

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2014 年 3 月 13 日(13.03.2014)



(10) 国際公開番号

WO 2014/037995 A1

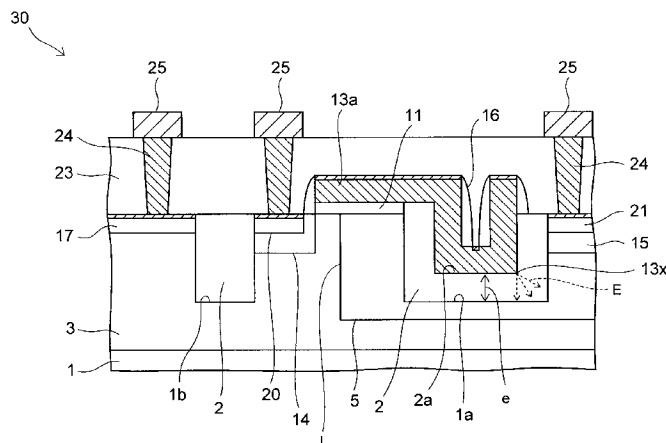
- (51) 国際特許分類:
H01L 21/336 (2006.01) H01L 27/088 (2006.01)
H01L 21/8234 (2006.01) H01L 29/78 (2006.01)
- (21) 国際出願番号: PCT/JP2012/072475
- (22) 国際出願日: 2012 年 9 月 4 日(04.09.2012)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (71) 出願人(米国を除く全ての指定国について): 富士通セミコンダクター株式会社(Fujitsu Semiconductor Limited) [JP/JP]; 〒2220033 神奈川県横浜市港北区新横浜二丁目 10 番 23 Kanagawa (JP).
- (72) 発明者; および
- (75) 発明者/出願人(米国についてのみ): 渡辺 賢治(WATANABE, Kenji) [JP/JP]; 〒2220033 神奈川県横浜市港北区新横浜二丁目 10 番 23 富士通セミコンダクター株式会社内 Kanagawa (JP). 有吉潤一(ARIYOSHI, Junichi) [JP/JP]; 〒2220033 神奈川県横浜市港北区新横浜二丁目 10 番 23 富士通セミコンダクター株式会社内 Kanagawa (JP).
- (74) 代理人: 岡本 啓三(OKAMOTO, Keizo); 〒1030013 東京都中央区日本橋人形町 3 丁目 1 1 番 7 号 山西ビル 4 階 岡本国際特許事務所 Tokyo (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーロピア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

[続葉有]

(54) Title: SEMICONDUCTOR DEVICE AND PRODUCTION METHOD THEREFOR

(54) 発明の名称: 半導体装置とその製造方法

[図24]



(57) Abstract: [Problem] To increase transistor voltage resistance in a semiconductor device and a production method therefor. [Solution] A semiconductor device having: a first conductive type source area (20) formed on a semiconductor substrate (1); a first conductive type drain area (21) having a first impurities concentration; a second conductive type first area (3) formed in contact with the source area (20); a first conductive type second area (5) having a second impurities concentration lower than the first impurities concentration, formed in contact with the drain area (21), and comprising a joining surface (J) that joins the first area (3); a groove (1a) formed inside the second area (5), between the drain area (21) and the joining surface (J); a first insulating film (2) formed inside the groove (1a) and comprising a recessed section (2a); a second insulating film (11) formed upon the semiconductor substrate (1) between the source area (20) and the groove (1a); and a gate electrode (13a) formed upon the second insulating film (11) and inside the recessed section (2a).

(57) 要約:

[続葉有]



WO 2014/037995 A1



添付公開書類:

— 国際調査報告 (条約第 21 条(3))

【課題】半導体装置とその製造方法において、トランジスタの耐圧を高めること。【解決手段】半導体基板 1 に形成された第 1 の導電型のソース領域 2 0 と、第 1 の不純物濃度を有する第 1 の導電型のドレイン領域 2 1 と、ソース領域 2 0 に接して形成された第 2 の導電型の第 1 の領域 3 と、第 1 の領域 3 との接合面 J を備え、ドレイン領域 2 1 に接して形成された、第 1 の不純物濃度よりの低い第 2 の不純物濃度を有する第 1 の導電型の第 2 の領域 5 と、第 2 の領域 5 内にあって、ドレイン領域 2 1 と接合面 J との間に形成された溝 1 a と、溝 1 a 内に形成され、凹部 2 a を備えた第 1 の絶縁膜 2 と、ソース領域 2 0 と溝 1 a との間の半導体基板 1 の上に形成された第 2 の絶縁膜 1 1 と、第 2 の絶縁膜 1 1 の上と凹部 2 a 内とに形成されたゲート電極 1 3 a とを有する半導体装置による。

明 細 書

発明の名称：半導体装置とその製造方法

技術分野

[0001] 本発明は、半導体装置とその製造方法に関する。

背景技術

[0002] MOS(Metal Oxide Silicon)トランジスタには幾つかのタイプがあるが、なかでもLDMOS(Laterally Diffused MOS)トランジスタは高耐圧化が容易であるため、自動車等のように高い電圧が用いられる分野で使用されている。

[0003] n型のLDMOSトランジスタは、ドリフト拡散領域と呼ばれる低濃度のn型拡散領域とp型のボディ領域とを備えており、そのn型拡散領域に空乏層を大きく広げることによりドレイン耐圧が高められる。

[0004] 但し、そのLDMOSトランジスタには、ドレイン耐圧の更なる向上という点において更に改善する余地がある。

先行技術文献

特許文献

[0005] 特許文献1：特開2012-104678号公報

特許文献2：特開2012-33648号公報

特許文献3：米国特許第7, 888, 732号公報

発明の概要

発明が解決しようとする課題

[0006] 半導体装置とその製造方法において、トランジスタの耐圧を高めることを目的とする。

課題を解決するための手段

[0007] 以下の開示の一観点によれば、半導体基板と、前記半導体基板に形成された第1の導電型のソース領域と、前記半導体基板に形成され、第1の不純物濃度を有する前記第1の導電型のドレイン領域と、前記半導体基板に形成され、かつ前記ソース領域に接して形成された第2の導電型の第1の領域と、

前記半導体基板に形成され、前記第 1 の領域との接合面を備え、前記ドレイン領域に接して形成された、前記第 1 の不純物濃度よりの低い第 2 の不純物濃度を有する前記第 1 の導電型の第 2 の領域と、前記第 2 の領域内にあって、前記ドレイン領域と前記接合面との間に形成された溝と、前記溝内に形成され、上面に凹部を備えた第 1 の絶縁膜と、前記ソース領域と前記溝との間の前記半導体基板の上に形成された第 2 の絶縁膜と、前記第 2 の絶縁膜の上と前記凹部内とに形成され、前記第 1 の領域、前記第 2 の領域、及び前記接合面の各々の上方に位置するゲート電極とを有する半導体装置が提供される。

図面の簡単な説明

[0008] [図1]図 1 は、検討に使用したLDMOSトランジスタの断面図である。

[図2]図 2 は、第 1 実施形態に係る半導体装置の製造途中の断面図（その 1）である。

[図3]図 3 は、第 1 実施形態に係る半導体装置の製造途中の断面図（その 2）である。

[図4]図 4 は、第 1 実施形態に係る半導体装置の製造途中の断面図（その 3）である。

[図5]図 5 は、第 1 実施形態に係る半導体装置の製造途中の断面図（その 4）である。

[図6]図 6 は、第 1 実施形態に係る半導体装置の製造途中の断面図（その 5）である。

[図7]図 7 は、第 1 実施形態に係る半導体装置の製造途中の断面図（その 6）である。

[図8]図 8 は、第 1 実施形態に係る半導体装置の製造途中の断面図（その 7）である。

[図9]図 9 は、第 1 実施形態に係る半導体装置の製造途中の断面図（その 8）である。

[図10]図 10 は、第 1 実施形態に係る半導体装置の製造途中の断面図（その

9) である。

[図11]図 1 1 は、第 1 実施形態に係る半導体装置の製造途中の断面図（その 1 0）である。

[図12]図 1 2 は、第 1 実施形態に係る半導体装置の製造途中の断面図（その 1 1）である。

[図13]図 1 3 は、第 1 実施形態に係る半導体装置の製造途中の断面図（その 1 2）である。

[図14]図 1 4 は、第 1 実施形態に係る半導体装置の製造途中の断面図（その 1 3）である。

[図15]図 1 5 は、第 1 実施形態に係る半導体装置の製造途中の断面図（その 1 4）である。

[図16]図 1 6 は、第 1 実施形態に係る半導体装置の製造途中の断面図（その 1 5）である。

[図17]図 1 7 は、第 1 実施形態に係る半導体装置の製造途中の断面図（その 1 6）である。

[図18]図 1 8 は、第 1 実施形態に係る半導体装置の製造途中の断面図（その 1 7）である。

[図19]図 1 9 は、第 1 実施形態に係る半導体装置の製造途中の断面図（その 1 8）である。

[図20]図 2 0 は、第 1 実施形態に係る半導体装置の製造途中の断面図（その 1 9）である。

[図21]図 2 1 は、第 1 実施形態に係る半導体装置の製造途中の断面図（その 2 0）である。

[図22]図 2 2 は、第 1 実施形態に係る半導体装置の製造途中の平面図である。

[図23]図 2 3 は、図 2 2 のX2-X2線に沿う断面図である。

[図24]図 2 4 は、第 1 実施形態に係る半導体装置が備えるLDMOSトランジスタの拡大断面図である。

[図25]図25は、第1実施形態における調査で使用した計算モデルの断面図である。

[図26]図26(a)は、第1実施形態において間隔 a を変化させたときのドレイン耐圧の調査結果を示す図であり、図26(b)は、第1実施形態において間隔 a を変化させたときの R_{onA} の調査結果を示す図である。

[図27]図27は、第1実施形態において間隔 a を変化させたときのドレイン耐圧と R_{onA} との相関図である。

[図28]図28は、第1実施形態において間隔 a を $0\ \mu\text{m}$ としたときの電界分布と空乏層の位置とをデバイスシミュレータによって計算して得られた図である。

[図29]図29は、第1実施形態において間隔 a を $0.2\ \mu\text{m}$ としたときの電界分布と空乏層の位置とをデバイスシミュレータによって計算して得られた図である。

[図30]図30は、第1実施形態において間隔 a を $0.3\ \mu\text{m}$ としたときの電界分布と空乏層の位置とをデバイスシミュレータによって計算して得られた図である。

[図31]図31は、第1実施形態において間隔 a を $0\ \mu\text{m}$ としたときの電流密度分布をデバイスシミュレータによって計算して得られた図である。

[図32]図31は、第1実施形態において間隔 a を $0.2\ \mu\text{m}$ としたときの電流密度分布をデバイスシミュレータによって計算して得られた図である。

[図33]図33(a)は、第1実施形態において間隔 b を変化させたときのドレイン耐圧の調査結果を示す図であり、図33(b)は、第1実施形態において間隔 b を変化させたときの R_{onA} の調査結果を示す図である。

[図34]図34は、第1実施形態において間隔 b を $0\ \mu\text{m}$ としたときの電界分布と空乏層の位置とをデバイスシミュレータによって計算して得られた図である。

[図35]図35は、第1実施形態において間隔 b を $0.2\ \mu\text{m}$ としたときの電界分布と空乏層の位置とをデバイスシミュレータによって計算して得られた図

である。

[図36]図36(a)は、第1実施形態において間隔 c を変化させたときのドレイン耐圧の調査結果を示す図であり、図36(b)は、第1実施形態において間隔 c を変化させたときの R_{onA} の調査結果を示す図である。

[図37]図37は、第1実施形態において間隔 c を $0\ \mu\text{m}$ としたときの電界分布と空乏層の位置とをデバイスシミュレータによって計算して得られた図である。

[図38]図38は、第1実施形態において間隔 c を $0.2\ \mu\text{m}$ としたときの電界分布と空乏層の位置とをデバイスシミュレータによって計算して得られた図である。

[図39]図39(a)は、第1実施形態において間隔 e を変化させたときのドレイン耐圧の調査結果を示す図であり、図39(b)は、第1実施形態において間隔 e を変化させたときの R_{onA} の調査結果を示す図である。

[図40]図40は、第1実施形態において間隔 e を変えたときのドレイン耐圧と R_{onA} との相関図である。

[図41]図41(a)、(b)は、第1実施形態における調査で使用した計算モデルの断面図である。

[図42]図42は、第1実施形態と比較例の各々において、間隔 e を変えたときのドレイン耐圧の調査結果を示す図である。

[図43]図43は、比較例の電界分布と空乏層の位置とをデバイスシミュレータによって計算して得られた図である。

[図44]図44は、第1実施形態の電界分布と空乏層の位置とをデバイスシミュレータによって計算して得られた図である。

[図45]図45は、第2実施形態に係る半導体装置の製造途中の断面図（その1）である。

[図46]図46は、第2実施形態に係る半導体装置の製造途中の断面図（その2）である。

[図47]図47は、第2実施形態に係る半導体装置の製造途中の断面図（その

3) である。

[図48]図48は、第2実施形態に係る半導体装置の製造途中の断面図（その4）である。

[図49]図49は、第2実施形態に係る半導体装置の製造途中の断面図（その5）である。

[図50]図50は、第2実施形態に係る半導体装置の製造途中の断面図（その6）である。

[図51]図51は、第3実施形態に係る半導体装置の平面図である。

[図52]図52は、図51のX3-X3線に沿う断面図である。

[図53]図53は、第3実施形態に係る半導体装置の製造途中の断面図（その1）である。

[図54]図54は、第3実施形態に係る半導体装置の製造途中の断面図（その2）である。

[図55]図55は、第3実施形態に係る半導体装置の製造途中の断面図（その3）である。

[図56]図56は、第3実施形態に係る半導体装置の製造途中の断面図（その4）である。

発明を実施するための形態

[0009] 本実施形態の説明に先立ち、本願発明者が検討したLDMOSトランジスタの構造について説明する。

[0010] 図1は、その検討に使用したLDMOSトランジスタの断面図である。

[0011] このLDMOSトランジスタ40は、半導体基板1の上にゲート絶縁膜41を介して形成されたゲート電極42を備える。

[0012] 半導体基板1にはボディ領域と呼ばれるp型の第1の領域3が形成されており、その第1の領域3にはドリフト領域と呼ばれるn型の第2の領域5が形成される。

[0013] 更に、この例では、第2の領域5に酸化シリコン膜等の絶縁膜43を埋め込むと共に、ゲート電極42の横の半導体基板1に、上記の第2の領域5よ

りも高濃度のn型ソース領域20とn型ドレイン領域21を形成する。

[0014] この構造によれば、ゲート電極42に正のゲート電圧を印加することで、p型の第1の領域3の表層の導電型が反転してチャネルCが形成される。これにより、n型ソース領域20とn型ドレイン領域21とが電氣的に接続されてLDMOSトランジスタ40はオン状態となる。

[0015] また、n型の第2の領域5の不純物濃度は、n型ソース領域20の不純物濃度よりも低いため、第1の領域3と第2の領域5とのpn接合の両側に広がる空乏層が第2の領域3に広がり、その空乏層によってドレイン耐圧を高めることもできる。なお、ドレイン耐圧とは、n型ドレイン領域21に印加できる電圧の最大値をいう。

[0016] 特に、この例では、ドレイン領域21の隣に、ゲート絶縁膜41よりも厚い絶縁膜43を設けたことにより、ゲート電極42の端部42xから出る電界Eがその絶縁膜43によって弱められる。これにより、ドレイン領域21の近傍の第2の領域5に電界Eが集中するのを防止でき、電界の集中が原因でドレイン耐圧が低下するのを防止することもできる。

[0017] 但し、絶縁膜43は電界の集中を防止するのに役立つ一方で、絶縁膜43の厚みの分だけ第2の領域5とゲート電極42との間隔Dが広がってしまう。上記した第2の領域5内の空乏層はゲート電圧によって押し広げられるので、このように間隔Dが広まったのではゲート電圧による空乏層の押し広げの効果が薄くなり、空乏層の拡大によるドレイン耐圧の向上に限界が生じてしまう。

[0018] 以下、各実施形態について説明する。

[0019] (第1実施形態)

第1実施形態に係る半導体装置について、その製造工程を追いながら説明する。

[0020] この半導体装置は、ロジック回路用のMOSトランジスタと高電圧用のLDMOSとを混載したものであって、次のようにして製造される。

[0021] 図2～図21は、本実施形態に係る半導体装置の製造途中の断面図である

。

[0022] まず、図2に示すように、LDMOS領域Iとロジック回路領域IIとを備えた半導体基板1としてp型のシリコン基板を用い、RIE(Reactive Ion Etching)によりその半導体基板1に第1の溝1aと複数の第2の溝1bとを形成する。

[0023] 各溝1a、1bの深さと幅は特に限定されない。本実施形態では、第1の溝1aの幅W1を1 μ m～2 μ m程度とし、第2の溝1bの幅W2はこれよりも狭い0.5 μ m以上とする。そして、第1の溝1aと第2の溝1bの深さdは、例えば0.2 μ m～0.5 μ m程度とする。

[0024] 本実施形態では、第1の溝1aと第2の溝1bとは同一のエッチング工程で同時に形成するため、各々の溝の深さを独立して設定することはできない。但し本発明は、第1の溝1aと第2の溝1bとを別々のエッチング工程で形成し、溝の深さを独立に設定する製造工程を否定するものではない。

[0025] そして、これらの溝1a、1b内と半導体基板1の上面とにCVD法で第1の絶縁膜2として酸化シリコン膜を形成し、その第1の絶縁膜2で各溝1a、1bを完全に埋める。その後に、半導体基板1の上面の余分な第1の絶縁膜2をCMP(Chemical Mechanical Polishing)法により研磨して除去し、第1の溝1a内と第2の溝1b内にのみ第1の絶縁膜2を残す。

[0026] なお、第1の絶縁膜2のうち第2の溝1bに形成された部分はSTI(Shallow Trench Isolation)用の素子分離絶縁膜として供される。素子分離構造はSTIに限定されず、LOCOS(Local Oxidation of Silicon)により素子分離を行ってもよい。

[0027] そして、ロジック回路領域IIは、n型高電圧領域n(high)、p型高電圧領域p(high)、n型低電圧領域n(low)、及びp型低電圧領域p(high)に細分され、これらの各々が上記の第2の溝1bによって分離される。

[0028] これらの領域のうち、n型高電圧領域n(high)とp型高電圧領域p(high)の各々には、後述のようにn型低電圧領域n(low)とp型低電圧領域p(high)の各々と比較してゲート電圧が高いMOSトランジスタが形成される。

[0029] 次に、図3に示す断面構造を得るまでの工程について説明する。

[0030] まず、半導体基板 1 の上に第 1 のレジスト膜 101 を形成し、その第 1 のレジスト膜 101 で p 型高電圧領域 p(high)、n 型低電圧領域 n(low)、及び p 型低電圧領域 p(low) を覆う。

[0031] なお、LDMOS 領域 I と n 型高電圧領域 n(high) は第 1 のレジスト膜 101 で覆われずに露出する。

[0032] そして、第 1 のレジスト膜 101 をマスクにするイオン注入により LDMOS 領域 I と n 型高電圧領域 n(high) に p 型不純物としてボロンをイオン注入し、第 1 の溝 1a と第 2 の溝 1b の各々よりも深い p 型の第 1 の領域 3 を形成する。

[0033] そのイオン注入の条件は特に限定されないが、例えば本実施形態ではそのイオン注入を二回に分けて行う。一回目の条件としては加速エネルギー 420 keV、ドーズ量 $1 \times 10^{12} \text{cm}^{-2} \sim 5 \times 10^{13} \text{cm}^{-2}$ を採用し、二回目の条件としては加速エネルギー 150 keV、ドーズ量 $1 \times 10^{12} \text{cm}^{-2} \sim 5 \times 10^{13} \text{cm}^{-2}$ を採用し得る。

[0034] このようにして形成された第 1 の領域 3 のうち、LDMOS 領域 I に形成された部分は LDMOS の p 型のボディ領域として供される。そして、n 型高電圧領域 n(high) に形成された部分の第 1 の領域 3 は p ウェルとして供される。

[0035] この後に、第 1 のレジスト膜 101 は除去される。

[0036] 続いて、図 4 に示すように、半導体基板 1 の上に第 2 のレジスト膜 102 を形成する。そして、第 2 のレジスト膜 102 をマスクにしながら、第 2 のレジスト膜 102 で覆われていない部分の半導体基板 1 に p 型不純物としてボロンをイオン注入し、第 1 の p 型領域 4 を形成する。

[0037] この第 1 の p 型領域 4 は、n 型高電圧領域 n(high) に形成される MOS トランジスタと、LDMOS 領域 I に形成される LDMOS トランジスタの各々の閾値電圧を調節する役割を担う。

[0038] 本工程におけるイオン注入の条件は特に限定されないが、本実施形態ではボロンの加速エネルギーを 15 keV、ドーズ量を $1 \times 10^{12} \text{cm}^{-2} \sim 2 \times 10^{13} \text{cm}^{-2}$ とする。

[0039] この後に、第 2 のレジスト膜 102 は除去される。

- [0040] 次いで、図5に示すように、半導体基板1の上に第3のレジスト膜103を形成し、その第3のレジスト膜103でn型高電圧領域n(high)、n型低電圧領域n(low)、及びp型低電圧領域p(low)を覆う。
- [0041] なお、LDMOS領域Iにおける第1の溝1aの周囲とp型高電圧領域p(high)は第3のレジスト膜103で覆われずに露出する。
- [0042] そして、第3のレジスト膜103をマスクにしながら半導体基板1にn型不純物としてリンをイオン注入し、n型の第2の領域5を形成する。
- [0043] その第2の領域5は、LDMOS領域IにおいてLDMOSのn型ドリフト領域として機能するものであって、第1の溝1aを内側に含むと共に、第1の溝1aよりも深くかつ第1の領域3よりも浅く形成される。更に、その第1の溝1aの横には第1の領域3と第2の領域5とのpn接合面Jが位置し、当該pn接合面Jが半導体基板1の表面に表出する。
- [0044] また、ロジック回路領域IIにおいては、第2の領域5はp型高電圧領域p(high)のnウェルとしての役割を担う。
- [0045] なお、このイオン注入の条件は特に限定されないが、本実施形態ではその条件を加速エネルギー500keV、ドーズ量 $1 \times 10^{12} \text{cm}^{-2} \sim 2 \times 10^{13} \text{cm}^{-2}$ として、例えばリンを注入する。また、このイオン注入を複数回に分けて行ってもよい。
- [0046] 更に、この例では上記のようにLDMOS領域Iのn型ドリフト領域とp型高電圧領域p(high)のnウェルとを同時に形成したが、これらの領域を別工程で形成してもよい。
- [0047] この後に、第3のレジスト膜103は除去される。
- [0048] 次に、図6に示すように、半導体基板1の上に第4のレジスト膜104を形成する。そして、その第4のレジスト膜104をマスクにしながら、加速エネルギーを60keV、ドーズ量を $1 \times 10^{12} \text{cm}^{-2} \sim 5 \times 10^{13} \text{cm}^{-2}$ とする条件で半導体基板1にn型不純物としてリンをイオン注入し、p型高電圧領域p(high)に第1のn型領域6を形成する。
- [0049] この第1のn型領域6により、p型高電圧領域p(high)に後で形成されるMOS

トランジスタの閾値電圧が調節されることになる。

[0050] この後に、第4のレジスト膜104は除去される。

[0051] 続いて、図7に示すように、半導体基板1に対して熱処理を行うことにより、第1の領域3と第2の領域5の各々の不純物を活性化させると共に、その不純物を拡散させて第1の領域3と第2の領域5の各々の不純物プロファイルをブロードにする。

[0052] この熱処理は、例えば、窒素雰囲気中において基板温度を1050℃とし、処理時間を30分とすることで行い得る。

[0053] なお、この熱処理によって拡散した第1のn型領域6は以降の図において図示を省略する。

[0054] 次に、図8に示すように、半導体基板1の上に第5のレジスト膜105を形成する。

[0055] そして、第5のレジスト膜105をマスクにしながら、加速エネルギーを230keV、ドーズ量を $1 \times 10^{12} \text{cm}^{-2} \sim 5 \times 10^{13} \text{cm}^{-2}$ とする条件でn型低電圧領域n(low)にp型不純物としてボロンをイオン注入し、第2のp型領域7を形成する。

[0056] なお、複数回のイオン注入により第2のp型領域7を形成してもよい。

[0057] その後に、n型低電圧領域n(low)に後で形成されるMOSトランジスタの閾値電圧を調節するために、第5のレジスト膜105を引き続きマスクにしながらn型低電圧領域n(low)にp型不純物をイオン注入し、第3のp型領域8を形成する。このときのイオン注入の条件は特に限定されないが、例えば、加速エネルギーを32keV、ドーズ量を $1 \times 10^{12} \text{cm}^{-2} \sim 2 \times 10^{13} \text{cm}^{-2}$ でボロンを注入し得る。

[0058] このイオン注入を終了した後、第5のレジスト膜105は除去される。

[0059] 次に、図9に示すように、半導体基板1の上に第6のレジスト膜106を形成する。

[0060] そして、第6のレジスト膜106をマスクにしながら、加速エネルギーを500keV、ドーズ量を $1 \times 10^{12} \text{cm}^{-2} \sim 5 \times 10^{13} \text{cm}^{-2}$ とする条件でp型低電圧領

域p(low)にn型不純物としてリンをイオン注入し、第2のn型領域9を形成する。

[0061] なお、複数回のイオン注入により第2のn型領域9を形成してもよい。

[0062] その後に、p型低電圧領域p(low)に後で形成されるMOSトランジスタの閾値電圧を調節するために、第6のレジスト膜106を引き続きマスクにしながらp型低電圧領域p(low)にn型不純物をイオン注入し、第3のn型領域10を形成する。このときのイオン注入の条件は特に限定されないが、例えば、加速エネルギーを32 keV、ドーズ量を $1 \times 10^{12} \text{cm}^{-2} \sim 2 \times 10^{13} \text{cm}^{-2}$ とする条件でリンを注入し得る。

[0063] このイオン注入を終了した後、第6のレジスト膜106は除去される。

[0064] 次に、図10に示すように、窒素雰囲気中で基板温度を1000℃、処理時間を10秒程度とする条件で半導体基板1を熱処理し、第2のp型領域7と第2のn型領域9の各々の不純物を活性化させる。

[0065] また、この熱処理により第2のp型領域7と第2のn型領域9の各々の不純物プロファイルがブロードとなり、第2のp型領域7がpウェルになると共に、第2のn型領域9がnウェルになる。

[0066] なお、この熱処理によって拡散した第3のp型領域8と第3のn型領域10は以降の図において図示を省略する。

[0067] 次に、図11に示すように、半導体基板1の上に第7のレジスト膜107を形成する。第7のレジスト膜107は第1の溝1aの上方に開口107aを備えており、当該開口107a以外の部分の半導体基板1は第7のレジスト膜107で覆われる。

[0068] そして、開口107aを通じて第1の溝1a内の第1の絶縁膜2をドライエッチングすることにより第1の絶縁膜2に凹部2aを形成する。このドライエッチングで使用するエッチングガスとしては、例えば、流量が15 sccmの C_4F_8 ガスと、流量が800 sccmのArガスと、流量が10 sccmの O_2 ガスとの混合ガスがある。

[0069] また、凹部2aの大きさも特に限定されない。本実施形態では、半導体基

板 1 の表面 1 x から測った凹部 2 a の深さ a を $0.2\ \mu\text{m}$ とする。また、第 1 の溝 1 a と凹部 2 a の各々の側面 1 e、2 e 同士の間隔 b と、側面 1 f、2 f 同士の間隔 c をいずれも $0.2\ \mu\text{m}$ にする。

[0070] なお、このドライエッチングの際、第 1 の溝 1 a 以外の部分の半導体基板 1 の表面 1 x は第 7 のレジスト膜 107 で保護されているので、当該表面 1 x がこのドライエッチングでダメージを受けることはない。

[0071] この後に、第 7 のレジスト膜 107 は除去される。

[0072] 次に、図 12 に示すように、半導体基板 1 の表面 1 x を熱酸化することにより、LDMOS 領域 I とロジック回路領域 II の各々に第 2 の絶縁膜 11 として厚さが $10\ \text{nm}$ 程度の熱酸化膜を形成する。

[0073] 次に、図 13 に示すように第 2 の絶縁膜 11 の上に第 8 のレジスト膜 108 を形成する。そして、第 8 のレジスト膜 108 をマスクにしながら、n 型低電圧領域 n(low) と p 型低電圧領域 p(low) における第 2 の絶縁膜 11 をフッ酸溶液でウエットエッチングして除去する。

[0074] この後に、第 8 のレジスト膜 108 は除去される。

[0075] 続いて、図 14 に示すように、半導体基板 1 の表面 1 x を再び熱酸化することにより、n 型低電圧領域 n(low) と p 型低電圧領域 p(low) の各々に第 3 の絶縁膜 12 として熱酸化膜を $5\ \text{nm}$ の厚さに形成する。

[0076] なお、この熱酸化では第 2 の絶縁膜 11 の膜厚も増大するため、第 3 の絶縁膜 12 は第 1 の絶縁膜 11 よりも薄くなる。

[0077] 次に、図 15 に示す断面構造を得るまでの工程について説明する。

[0078] まず、第 2 の絶縁膜 11 と第 3 の絶縁膜 12 の各々の上と凹部 2 a 内とに CVD 法でポリシリコン膜を $180\ \text{nm}$ の厚さに形成する。そして、そのポリシリコン膜をパターニングすることにより、LDMOS 領域 I に第 1 のゲート電極 13 a を形成するのと同時に、ロジック回路領域 II に複数の第 2 のゲート電極 13 b を形成する。

[0079] これらのゲート電極のうち、第 1 のゲート電極 13 a は、第 1 の領域 3 と第 2 の領域 5 の各々の上の第 2 の絶縁膜 11 の上と、これらの領域 3、5 の

間のpn接合面Jの上の第2の絶縁膜11の上とに形成される。更に、その第1のゲート電極13aは、第2の絶縁膜11から凹部2a内に連続するように形成される。

[0080] なお、上記のパターニングでは、第1のゲート電極13aと第2のゲート電極13bで覆われていない部分の第2の絶縁膜11と第3の絶縁膜12も除去される。そして、除去されずに残存する第2の絶縁膜11と第3の絶縁膜12は、第1のゲート電極13aや第2のゲート電極13bの下でゲート絶縁膜として機能する。

[0081] この例では、凹部2aの側面2fと第1のゲート電極13aの側面13fとが同一面内にあるが、当該側面13fをその横の第2の絶縁膜2の表面2x上にまで延在させてもよい。

[0082] 続いて、図16に示すように、半導体基板1の上に第9のレジスト膜109を形成し、第9のレジスト膜109をマスクにしながら半導体基板1にn型不純物として砒素をイオン注入する。これにより、LDMOS領域I、n型高電圧領域n(high)、及びn型低電圧領域n(low)の各々に、後述のn型ソース領域やn型ドレイン領域の一部として機能するn型エクステンション14が形成される。

[0083] このイオン注入の条件は特に限定されない。本実施形態では、加速エネルギーを15 keV、ドーズ量を $1 \times 10^{14} \text{cm}^{-2} \sim 1 \times 10^{15} \text{cm}^{-2}$ とする条件でこのイオン注入を行う。

[0084] また、この例ではLDMOS領域I、n型高電圧領域n(high)、及びn型低電圧領域n(low)の各々に同時にn型エクステンション14を形成しているが、これらの領域に別々にn型エクステンション14を形成してもよい。

[0085] この後に、第9のレジスト膜109は除去される。

[0086] 次に、図17に示すように、半導体基板1の上に第10のレジスト膜110を形成する。そして、第10のレジスト膜110をマスクにしながら半導体基板1にp型不純物として BF_2 をイオン注入することにより、p型高電圧領域p(high)とp型低電圧領域p(low)の各々にp型エクステンション15を形成する。

- [0087] このイオン注入の条件は特に限定されないが、本実施形態では加速エネルギーを80 keV、ドーズ量を $1 \times 10^{13} \text{cm}^{-2} \sim 2 \times 10^{14} \text{cm}^{-2}$ とする条件でこのイオン注入を行う。
- [0088] なお、この例ではp型高電圧領域p(high)とp型低電圧領域p(low)の各々に同時にp型エクステンション15を形成しているが、これらの領域に別々にp型エクステンション15を形成してもよい。
- [0089] この後に、第10のレジスト膜110は除去される。
- [0090] 次に、図18に示すように、LDMOS領域Iとロジック回路領域IIの各々に絶縁膜を形成し、その絶縁膜をエッチバックすることにより第1のゲート電極13aと第2のゲート電極13bの各々の側面に絶縁性サイドウォール16として残す。その絶縁膜は、例えばCVD法で形成された酸化シリコン膜である。
- [0091] 続いて、図19に示すように、半導体基板1の上に第11のレジスト膜111を形成し、第11のレジスト膜111をマスクにしながら半導体基板1にp型不純物としてボロンをイオン注入する。これにより、p型高電圧領域p(high)とp型低電圧領域p(low)の各々の第2のゲート電極13bの横に、p型エクステンション15よりも高濃度のp型ソース領域18とp型ドレイン領域19とが形成される。
- [0092] また、LDMOS領域Iにおいては、第2の溝1bの横に、p型の第1の領域3に電位を与えるためのp型タップ領域17が形成される。
- [0093] このイオン注入の条件は特に限定されない。本実施形態では、加速エネルギーを5 keV、ドーズ量を $1 \times 10^{14} \text{cm}^{-2} \sim 5 \times 10^{15} \text{cm}^{-2}$ とする条件でこのイオン注入を行う。
- [0094] なお、この例ではLDMOS領域I、p型高電圧領域p(high)、及びp型低電圧領域p(low)の各々に同時にイオン注入を行っているが、これらの領域に別々にイオン注入を行ってもよい。
- [0095] この後に、第11のレジスト膜111は除去される。
- [0096] 次いで、図20に示すように、半導体基板1の上に第12のレジスト膜1

12を形成し、第12のレジスト膜112をマスクにしながら半導体基板1にn型不純物としてリンをイオン注入する。

[0097] これにより、LDMOS領域Iにおいては、第1のゲート電極13aで覆われていない部分の半導体基板1の表面に、第2の領域5におけるよりも不純物濃度が高く、かつn型エクステンション14を介して第2の領域5と接するn型ドレイン領域21が形成される。

[0098] 更に、第1の溝1aとpn接合面Jとを介してドレイン領域21と対向する部分の半導体基板1の表面にn型ソース領域20が形成される。このn型ソース領域20は、その周囲のn型エクステンション14を介して第1の領域3と接する。

[0099] 一方、ロジック回路領域IIにおいては、n型高電圧領域n(high)とn型低電圧領域n(low)の各々の第2のゲート電極13bの横に、n型エクステンション14よりも高濃度のn型ソース領域20とn型ドレイン領域21とが形成される。

[0100] また、本工程におけるイオン注入の条件としては、例えば、加速エネルギー15 keV、ドーズ量 $1 \times 10^{14} \text{cm}^{-2} \sim 5 \times 10^{15} \text{cm}^{-2}$ を採用し得る。

[0101] なお、この例ではLDMOS領域I、n型高電圧領域n(high)、及びn型低電圧領域n(low)の各々に同時にイオン注入を行っているが、これらの領域に別々にイオン注入を行ってもよい。

[0102] 更に、この例では、LDMOS領域Iにおけるn型のソース領域20とp型のタップ領域17とを第2の溝1b内の第1の絶縁膜2で電氣的に分離しているが、これらの領域を分離する構造はこれに限定されない。例えば、第2の溝1bを形成せずにソース領域20とタップ領域17とを互いに接するように形成し、これらの領域の界面のpn接合でソース領域20とタップ領域17とを電氣的に分離してもよい。

[0103] ここまでの工程により、LDMOS領域Iにおいて第1のゲート電極13a、n型ソース領域20、及びn型ドレイン領域21を備えたLDMOSトランジスタ30の基本構造が完成する。

- [0104] また、ロジック回路領域IIにおいては、第1～第4のMOSトランジスタ31～34の基本構造が完成する。
- [0105] このうち、第1及び第2のMOSトランジスタ31、32が備える第2の絶縁膜11は、第3及び第4のMOSトランジスタ33、34が備える第3の絶縁膜12よりも厚い。よって、第1及び第2のMOSトランジスタ31、32は、第3及び第4のMOSトランジスタ33、34におけるよりも高いゲート電圧で駆動することができる。
- [0106] そのゲート電圧は特に限定されないが、本実施形態では第1及び第2のMOSトランジスタ31、32に印加するゲート電圧を5Vとし、第3及び第4のMOSトランジスタ33、34に印加するゲート電圧を1.8Vとする。
- [0107] この後に、第12のレジスト膜112は除去される。
- [0108] 次に、図21に示す断面構造を得るまでの工程について説明する。
- [0109] まず、LDMOS領域Iとロジック回路領域IIの各々にコバルト層等の高融点金属層をスパッタ法で形成し、熱処理によりその高融点金属層をシリコンと反応させて金属シリサイド層22を形成する。その後に、絶縁性サイドウォール16の上等で未反応となっている高融点金属層をウェットエッチングして除去する。
- [0110] 次に、LDMOS領域Iとロジック回路領域IIの各々に層間絶縁膜23としてCVD法により酸化シリコン膜を形成する。その後、層間絶縁膜23をパターニングして第1のコンタクトホール23aを形成し、第1のコンタクトホール23a内に第1のコンタクトプラグ24を形成する。
- [0111] 第1のコンタクトプラグ24の形成に際しては、第1のコンタクトホール23a内と層間絶縁膜23の上とにグルー膜としてチタン膜と窒化チタン膜とをこの順にスパッタ法で形成し、更にその上にCVD法でタングステン膜を形成する。その後、層間絶縁膜23の上の余分なグルー膜とタングステン膜とをCMP法で除去し、第1のコンタクトホール23a内にのみグルー膜とタングステン膜とを第1のコンタクトプラグ24として残す。
- [0112] 次に、この第1のコンタクトプラグ24と層間絶縁膜23の上に金属積層

膜を形成し、その金属積層膜をパターニングして配線 25 とする。その金属積層膜としては、例えば、アルミニウム膜を含む金属積層膜をスパッタ法で形成し得る。

[0113] 図 22 は、本工程を終了した時点における平面図であって、上記の図 21 は図 22 の X1-X1 線に沿う断面図に相当する。

[0114] 図 22 に示すように、LDMOS トランジスタ領域 I の第 1 のゲート電極 13a は平面視で帯状であって、その中央付近の一部が凹部 2a 内に形成される。そして、その凹部 2a は、平面視で第 1 の絶縁膜 2 の内側に位置する。

[0115] また、図 23 は、図 22 の X2-X2 線に沿う断面図である。

[0116] 図 23 に示すように、第 1 のゲート電極 13a と第 2 のゲート電極 13b の各々の上の層間絶縁膜 23 には第 2 のコンタクトホール 23b が形成される。そして、第 2 のコンタクトホール 23b 内には、既述の第 1 のコンタクトプラグ 24 と同一工程で第 2 のコンタクトプラグ 26 が形成され、第 2 のコンタクトプラグ 26 を介して第 1 のゲート電極 13a と第 2 のゲート電極 13b にゲート電圧が印加される。

[0117] 以上により、本実施形態に係る半導体装置の基本構造が完成する。

[0118] 図 24 は、その半導体装置が備える LDMOS トランジスタ 30 の拡大断面図である。

[0119] 図 24 に示すように、本実施形態では、第 2 の領域 5 内であって、ドレイン領域 21 と接合面 J との間の半導体基板 1 に溝 1a を形成し、その溝 1a 内に第 1 の絶縁膜 2 を形成する。更に、第 1 の絶縁膜 2 に凹部 2a を形成してその中に第 1 のゲート電極 13a を設ける。

[0120] このような凹部 2a がない図 1 の例では、ゲート電極 42 の下において電界 E が集中するのを緩和して耐圧を向上させるために、STI による絶縁膜 43 を形成した。

[0121] ところが、耐圧を向上させるべく絶縁膜 43 を厚くして第 2 の領域 5 とゲート電極 42 との間隔 D が広がりすぎると、チャンネルで起きる空乏層の広がりに起因した耐圧向上の効果が弱まってしまう。

[0122] また、絶縁膜43を薄くすれば空乏層がより広がり耐圧が向上するが、実際には絶縁膜43はSTI用の素子分離絶縁膜と同時に形成するため、絶縁膜43の厚さを変更することはプロセス上困難である。更に、絶縁膜43を薄くするために、STI用の素子分離絶縁膜とは別工程で絶縁膜43を形成したのであれば、工程数が増えるという問題が生じてしまう。

[0123] これに対し、本実施形態では、第1の絶縁膜2に凹部2aを形成してその中に第1のゲート電極13aを設ける。そのため、第1の絶縁膜2の厚さを変更したり、第1のゲート電極14aの下に別途溝を形成したりせずとも、第1のゲート電極13aの端部13xから出る電界Eが集中するのを緩和する効果と、空乏層の広がり効果とを得ることができる。

[0124] ここで、ドレイン耐圧は、凹部2aの深さや幅等のパラメータに依存すると考えられる。

[0125] 本願発明者は、これらのパラメータによってドレイン耐圧がどのように変わるのかを調査した。

[0126] 図25は、その調査に使用した計算モデルの断面図である。

[0127] なお、図25において、図24で説明したのと同じ要素には図25におけるのと同じ符号を付し、以下ではその説明を省略する。

[0128] 図25においては、ドレイン耐圧に影響を与え得るパラメータとしてa～eを例示している。これらのパラメータa～eは次のように定義される。

a：半導体基板1の表面1xから測った凹部2aの深さ

b：第1の溝1aの側面のうちソース領域20寄りの側面1eと、凹部2aの側面のうちソース領域20寄りの側面2eとの間隔

c：第1の溝1aの側面のうちドレイン領域21寄りの側面1fと、凹部2aの側面のうちドレイン領域21寄りの側面2fとの間隔

d：半導体基板1の表面1xから測った第1の溝1aの深さ

e：第1の溝1aの底面と凹部2aの底面との間隔

また、LDMOSトランジスタの特性を表す指標にはドレイン耐圧の他にRonAもある。RonAは、トランジスタのオン抵抗Ronとトランジスタの占有面積Aとの

積として定義される。同一のドレイン耐圧を有する二つのトランジスタのうち、オン抵抗 R_{on} が小さいトランジスタの方がチャネル幅を短くすることができるため占有面積 A が小さくなり $R_{on}A$ も小さくなる。よって、 $R_{on}A$ が小さいほどトランジスタの性能が高いといえる。

[0129] 以下では、上記のドレイン耐圧と共にこの $R_{on}A$ の値も調査した。なお、 $R_{on}A$ の算出に使用するオン抵抗 R_{on} としては、ドレイン領域21に0.1Vの電圧を印加した状態でトランジスタをオンにしたときのソースドレイン間の抵抗値を採用した。

[0130] (第1の調査)

本調査では、上記の深さ a を様々に変化させた。なお、 a 以外のパラメータ $b \sim d$ は次の値に固定した。

[0131] $b : 0.2 \mu m$

$c : 0.2 \mu m$

$d : 0.35 \mu m$

このときのドレイン耐圧の調査結果を図26(a)に示す。なお、図26(a)のグラフの横軸は上記の深さ a を表し、縦軸はドレイン耐圧を表す。また、白抜きの菱形で示される点は凹部2aがない場合の値である。

[0132] 図26(a)に示すように、ドレイン耐圧は深さ a に明確に依存しており、深さ a が $0.2 \mu m$ のときに最大値をとる。

[0133] また、深さは a が $0 \mu m$ よりも深く、かつ $0.26 \mu m$ 以下のときに、凹部2aがない場合と比較してドレイン耐圧が高くなる。

[0134] このことから、LDMOSトランジスタ30のドレイン耐圧を高めるには、深さ a を $0 \mu m$ 以上 $0.26 \mu m$ 以下、より好ましくは $0.2 \mu m$ とすればよいことが明らかとなった。

[0135] 一方、図26(b)は、 $R_{on}A$ の調査結果を示す図である。なお、図26(b)の横軸は上記の深さ a を表し、縦軸は $R_{on}A$ を表す。また、図26(a)と同様に、白抜きの点は凹部2aがない場合の値である。

[0136] 図26(b)に示すように、 $R_{on}A$ は深さ a と共に低減する。よって、 $R_{on}A$

を低減してLDMOSトランジスタ30を高性能化するには深さaをなるべく深くすればよい。

[0137] 図27は、上記のドレイン耐圧とRonAとの相関図である。

[0138] 図27のグラフには、図26(a)のピークを反映したピークが現れる。

[0139] 図28～図30は、デバイスシミュレータによって電界分布と空乏層の位置とを計算して得られた図である。計算に際しては、ゲート電圧を0V、ソース電圧を0V、ドレイン電圧を30Vとした。

[0140] このうち、図28は深さaを0 μ mとしたときに得られたものであり、凹部2aを形成しない場合の結果である。

[0141] この場合は、第1のゲート電極13aとn型の第2の領域5とが第1の絶縁膜2によって大きく隔てられている。よって、第1のゲート電極13aが空乏層DLを押し広げる能力が小さく、空乏層DLは第1の絶縁膜2の近くに停留している。

[0142] 一方、図29は、深さaを0.2 μ mとしたときの結果を示す図である。

[0143] 図29に示すように、この場合は凹部2aを形成したことで第1のゲート電極13aが第2の領域5に近づくため、第1のゲート電極13aのゲート電圧によって空乏層DLが大きく押し広げられる。図15のように深さが0.2 μ mのときにドレイン耐圧が高められたのは、このような空乏層DLの拡大によるものと考えられる。

[0144] また、図30は、深さaを0.3 μ mとしたときの結果を示す図である。

[0145] この場合、空乏層DLの広がり範囲は図29の場合と略同じであるが、点線円Aに示すように、第1の絶縁膜2の下面において電界が集中している領域が現れる。これは、深さaを深くしたために第1の絶縁膜2が薄くなり、第1のゲート電極13aの13x(図24参照)から出る電界が第1の絶縁膜2で弱められずに第2の領域5に到達したためと考えられる。

[0146] このように電界が集中するとドレイン耐圧の低下を招く。よって、この結果から、ドレイン電圧の向上という観点からは深さaを過度に深くするのは好ましくないことが明らかとなった。

[0147] 図3 1 及び図3 2 は、デバイスシミュレータによって電流密度分布を計算して得られた図である。計算に際しては、ゲート電圧を5. 6 V、ソース電圧を0 V、ドレイン電圧を0. 1 Vとした。

[0148] このうち、図3 1 は深さ a を $0 \mu\text{m}$ としたときに得られたものであり、凹部 $2 a$ を形成しない場合の結果である。

[0149] この場合は、第1の絶縁膜2の下面において電流が拡散している。このように拡散すると、電流が受ける抵抗が大きくなるため、トランジスタのオン抵抗が上昇して R_{onA} が増大してしまう。

[0150] 一方、図3 2 は、深さ a を $0. 2 \mu\text{m}$ としたときの結果を示す。

[0151] この場合は、図3 1 におけるのと比較して電流の拡散が抑制され、第1の絶縁膜2の下面に電流が集中している。このように電流が集中するとトランジスタのオン抵抗が低減する。

[0152] この結果から、深さ a を $0. 2 \mu\text{m}$ 程度の適度な値とすることでトランジスタのオン抵抗を低くし、トランジスタの R_{onA} を低減できることが明らかとなった。

[0153] (第2の調査)

本調査では、図2 5 に示した各パラメータ $a \sim e$ のうち間隔 b を様々に変化させた。

[0154] なお、 b 以外のパラメータ a 、 c 、 d は次の値に固定した。

[0155] $a : 0. 2 \mu\text{m}$

$c : 0. 2 \mu\text{m}$

$d : 0. 3 5 \mu\text{m}$

このときのドレイン耐圧の調査結果を図3 3 (a) に示す。なお、図3 3 (a) のグラフの横軸は上記の間隔 b を表し、縦軸はドレイン耐圧を表す。

[0156] 図3 3 (a) に示すように、ドレイン耐圧は間隔 b にも明確に依存しており、間隔 b が $0. 1 \mu\text{m}$ のときに最大値をとる。

[0157] なお、間隔 b が $0 \mu\text{m}$ のときは第1のゲート電極1 3 a と第2の領域5 とが接してしまい、LDMOSトランジスタ3 0 が機能しなくなってしまう。よって、

トランジスタとして機能するかどうかの境目である $b = 0 \mu\text{m}$ を基準にし、このときのドレイン耐圧よりも高いドレイン耐圧を得るには、図 3 3 (a) の結果から間隔 b を $0.05 \mu\text{m}$ 以上 $0.45 \mu\text{m}$ 以下とすればよいことも分かる。

[0158] 一方、図 3 3 (b) は、 R_{onA} の調査結果を示す図である。なお、図 3 3 (b) の横軸は上記の間隔 b を表し、縦軸は R_{onA} を表す。

[0159] 図 3 3 (b) に示すように、 R_{onA} は間隔 b と共に増大する。よって、 R_{onA} を低い値に維持して LDMOS トランジスタ 3 0 の高性能化を図るには、間隔 b をなるべく小さくすればよい。

[0160] 図 3 4 及び図 3 5 は、デバイスシミュレータによって電界分布と空乏層の位置とを計算して得られた図である。計算に際しては、ゲート電圧を 0V 、ソース電圧を 0V 、ドレイン電圧を 40V とした。

[0161] このうち、図 3 4 は、間隔 b を $0 \mu\text{m}$ としたときに得られた結果を示す図である。

[0162] この場合は、第 1 のゲート電極 1 3 a の端部 1 3 y の近くにおいて、点線円 B に示すように電界の集中が発生している。これは、間隔 b を $0 \mu\text{m}$ としたことで、端部 1 3 y から出た電界が第 1 の絶縁膜 2 で弱められずに第 2 の領域 5 に強く作用するためと考えられる。

[0163] このような電界の集中は、ドレイン耐圧の低下を招くので、なるべく避けるのが好ましい。

[0164] 一方、図 3 5 は、間隔 b を $0.2 \mu\text{m}$ としたときに得られた結果を示す図である。

[0165] この場合には、図 3 4 におけるような顕著な電界の集中が発生していない。このことから、電界の集中を防いでドレイン耐圧を高めるには、間隔 b を適度に大きくするのが好ましいことが明らかとなった。

[0166] (第 3 の調査)

本調査では、図 2 5 に示した各パラメータ $a \sim e$ のうち間隔 c を様々に変化させた。

[0167] なお、 c 以外のパラメータ a 、 b 、 d は次の値に固定した。

[0168] $a : 0.2 \mu\text{m}$

$b : 0.2 \mu\text{m}$

$d : 0.35 \mu\text{m}$

このときのドレイン耐圧の調査結果を図36 (a)に示す。なお、図36 (a)のグラフの横軸は上記の間隔 c を表し、縦軸はドレイン耐圧を表す。

[0169] 図36 (a)に示すように、ドレイン耐圧は間隔 c にも明確に依存しており、間隔 c が $0.1 \mu\text{m}$ のときに最大値をとる。

[0170] ここで、第2の調査と同様に、間隔 c が $0 \mu\text{m}$ のときは第1のゲート電極13aと第2の領域5とが接してしまいLDMOSトランジスタ30が機能しなくなってしまう。よって、トランジスタとして機能するかどうかの境目である $c = 0 \mu\text{m}$ を基準にし、このときのドレイン耐圧よりも高いドレイン耐圧を得るには、間隔 c を $0.05 \mu\text{m}$ 以上とすればよいことも分かる。

[0171] また、図36 (b)は、 R_{onA} の調査結果を示す図である。なお、図36 (b)の横軸は上記の間隔 c を表し、縦軸は R_{onA} を表す。

[0172] 図36 (b)に示すように、 R_{onA} は間隔 c と共に増大するので、 R_{onA} を低い値に維持してLDMOSトランジスタ30の高性能化を図るには間隔 c をなるべく小さくすればよいことも明らかとなった。

[0173] 図37及び図38は、デバイスシミュレータによって電界分布と空乏層の位置とを計算して得られた図である。計算に際しては、ゲート電圧を0V、ソース電圧を0V、ドレイン電圧を30Vとした。

[0174] このうち、図37は、間隔 c を $0 \mu\text{m}$ としたときに得られた結果を示す図である。

[0175] この場合は、第1のゲート電極13aの端部13xの近くにおいて、点線円Cに示すように電界の集中が発生している。これは、間隔 c を $0 \mu\text{m}$ としたことで、端部13xから出た電界が第1の絶縁膜2で弱められずに第2の領域5に強く作用するためと考えられる。

[0176] 既述のように、このような電界の集中は、ドレイン耐圧の低下を招くので

、なるべく避けるのが好ましい。

[0177] 一方、図38は、間隔 c を $0.2\mu\text{m}$ としたときに得られた結果を示す図である。

[0178] この場合には、図37におけるような顕著な電界の集中が発生していない。このことから、電界の集中を防いでドレイン耐圧を高めるには、間隔 c を適度に大きくするのが好ましいことが明らかとなった。

[0179] (第4の調査)

本調査では、図25に示した各パラメータ $a\sim e$ のうち間隔 e を様々に変化させた。なお、パラメータ b 、 c はいずれも $0.2\mu\text{m}$ に固定した。また、深さ d については、 $0.25\mu\text{m}$ 、 $0.35\mu\text{m}$ 、及び $0.45\mu\text{m}$ の各場合について調査した。

[0180] このときのドレイン耐圧の調査結果を図39(a)に示す。なお、図39(a)のグラフの横軸は上記の間隔 e を表し、縦軸はドレイン耐圧を表す。

[0181] 図39(a)に示すように、ドレイン耐圧は、間隔 d によらずに間隔 e が $0.1\mu\text{m}$ 以上 $0.2\mu\text{m}$ 以下の範囲内で最大値をとることが明らかとなった。

[0182] また、図39(b)は、 R_{onA} の調査結果を示す図である。なお、図39(b)の横軸は上記の間隔 e を表し、縦軸は R_{onA} を表す。

[0183] 図39(b)に示すように、 R_{onA} は間隔 e と共に増大するので、 R_{onA} を低い値に維持してLDMOSトランジスタ30の高性能化を図るには間隔 e をなるべく小さくすればよいことも明らかとなった。

[0184] 図40は、上記のドレイン耐圧と R_{onA} との相関図である。

[0185] 図40に示すように、各々のグラフには図39(a)のピークを反映したピークが現れる。

[0186] (第5の調査)

図41(a)、(b)は、この調査で使用した計算モデルの断面図である。なお、図41(a)、(b)において、図24で説明したのと同じ要素には図24におけるのと同じ符号を付し、以下ではその説明を省略する。

[0187] 図4 1 (a) は、本実施形態のモデルであって、第1の絶縁膜2に凹部2 aを形成した計算モデルである。

[0188] 一方、図4 1 (b) は、第1の絶縁膜2に凹部2 aを設けずに、第1の絶縁膜2の平坦な上面の上に第1の絶縁膜1 1を介して第1のゲート電極1 3 aを形成した比較例に係る計算モデルである。この比較例では、間隔eを第1の絶縁膜2の厚さとして定義している。

[0189] 本実施形態のように凹部2 aを形成しなくても、この比較例のように第1の絶縁膜2を薄くすれば第1のゲート電極1 3 aの端部1 3 xが第2の領域5に近接するので、ゲート電圧によって第2の領域5の空乏層を押し広げられるとも考えられる。

[0190] そこで、本願発明者は、図4 1 (a) と図4 1 (b) の各々のモデルのドレイン耐圧を調査した。その結果を図4 2に示す。

[0191] 図4 2の横軸は上記の間隔eを表し、縦軸はドレイン耐圧を表す。

[0192] 図4 2に示すように、比較例では間隔eを狭くしてもドレイン耐圧の上昇は僅かである。

[0193] これに対し、本実施形態では、間隔eを狭くすることによりドレイン耐圧が顕著に向上する。このことから、本実施形態のように第1の絶縁膜2に凹部2 aを形成し、その中に第1のゲート電極1 3 aを埋め込むことがドレイン耐圧の向上に有効であることが確認された。

[0194] 図4 3及び図4 4は、デバイスシミュレータによって電界分布と空乏層の位置とを計算して得られた図である。

[0195] これらのうち、図4 3は比較例(図4 1 (b))の計算結果であり、図4 4は本実施形態(図4 1 (a))の計算結果である。

[0196] なお、計算に際しては、ゲート電圧を0V、ソース電圧を0V、ドレイン電圧を3 0Vとした。

[0197] 図4 3と図4 4とを比較して明らかなように、本実施形態の方が空乏層DLがドレイン領域2 1側に拡大しており電界の変化が緩やかである。これは、本実施形態では、半導体基板1の表面1 xよりも下に第1のゲート電極1 3

aの下面が位置しているため、空乏層DLを押し広げる効果が比較例よりも大きいためである。

[0198] これらの理由により、図42のように本実施形態のドレイン耐圧が比較例よりも高められたと考えられる。

[0199] (第2実施形態)

第1実施形態では、図11の工程でドライエッチングにより第1の絶縁膜2に凹部2aを形成した。

[0200] これに対し、本実施形態では、以下のようにしてウェットエッチングにより凹部2aを形成する。

[0201] 図45～図50は、本実施形態に係る半導体装置の製造途中の断面図である。なお、図45～図50において、第1実施形態で説明したのと同じ要素には第1実施形態におけるのと同じ符号を付し、以下ではその説明を省略する。

[0202] この半導体装置を製造するには、まず、第1実施形態で説明した図2～図7の工程を行うことにより、図45に示す断面構造を得る。

[0203] 次に、図46に示すように、半導体基板1の上に第13のレジスト膜113を形成する。

[0204] ロジック回路領域IIにおいては、第13のレジスト膜113は、n型低電圧領域n(low)を除く領域を覆うように形成される。

[0205] 一方、LDMOS領域Iにおける第13のレジスト膜113は、第1の溝1a内の第1の絶縁膜2の一部領域PRが露出する開口113aを有する。

[0206] そして、第13のレジスト膜113をマスクにしながら、上記の一部領域PRにおける第1の絶縁膜2と、n型低電圧領域n(low)における半導体基板1とに、p型不純物としてボロンをイオン注入する。

[0207] そのイオン注入の条件は特に限定されないが、本実施形態では加速エネルギーを230keV、ドーズ量を $1 \times 10^{12} \text{cm}^{-2} \sim 5 \times 10^{13} \text{cm}^{-2}$ とする条件でこのイオン注入を行う。

[0208] これにより、n型低電圧領域n(low)に第2のp型領域7を形成すると同時

に、一部領域PRにおける第1の絶縁膜2にp型不純物を注入することができる。

[0209] なお、このイオン注入を複数回に分けて行ってもよい。

[0210] その後に、n型低電圧領域n(low)に後で形成される第3のMOSトランジスタ33（図21参照）の閾値電圧を調節するために、第13のレジスト膜113を引き続きマスクにしながらn型低電圧領域n(low)にp型不純物をイオン注入し、第3のp型領域8を形成する。このときのイオン注入の条件は特に限定されないが、例えば、加速エネルギーを32 keV、ドーズ量を $2 \times 10^{12} \text{cm}^{-2} \sim 2 \times 10^{13} \text{cm}^{-2}$ でボロンを注入し得る。

[0211] このボロンは、開口113aを通じて一部領域PRにおける第1の絶縁膜2にも注入される。

[0212] このイオン注入を終了した後、第13のレジスト膜113は除去される。

[0213] 次に、図47に示すように、第1の絶縁膜2の一部領域PRが露出する開口114aを備えた第14のレジスト膜114を半導体基板1の上に形成する。

[0214] なお、ロジック回路領域IIにおける第14のレジスト膜114は、p型低電圧領域p(low)を除く領域を覆うように形成される。

[0215] そして、第14のレジスト膜114をマスクにしながら、上記の一部領域PRにおける第1の絶縁膜2と、p型低電圧領域p(low)における半導体基板1とに、n型不純物としてリンをイオン注入する。

[0216] そのイオン注入の条件は特に限定されないが、本実施形態では加速エネルギーを500 keV、ドーズ量を $5 \times 10^{12} \text{cm}^{-2} \sim 5 \times 10^{13} \text{cm}^{-2}$ とする条件でこのイオン注入を行う。

[0217] これにより、p型低電圧領域p(low)に第2のn型領域9を形成すると同時に、一部領域PRにおける第1の絶縁膜2にn型不純物を注入することができる。

[0218] なお、このイオン注入を複数回に分けて行ってもよい。

[0219] その後に、p型低電圧領域p(low)に後で形成される第4のMOSトランジスタ

34の閾値電圧を調節するために、第14のレジスト膜114を引き続きマスクにしながらp型低電圧領域p(low)にn型不純物をイオン注入し、第3のn型領域10を形成する。このときのイオン注入の条件は特に限定されないが、例えば、加速エネルギーを180 keV、ドーズ量を $2 \times 10^{12} \text{cm}^{-2} \sim 2 \times 10^{13} \text{cm}^{-2}$ で砒素を注入し得る。

[0220] この砒素は、開口114aを通じて一部領域PRにおける第1の絶縁膜2にも注入される。

[0221] このイオン注入を終了した後、第14のレジスト膜114は除去される。

[0222] 次に、図48に示すように、窒素雰囲気中で基板温度を1000℃、処理時間を10秒程度とする条件で半導体基板1を熱処理し、第2のp型領域7と第2のn型領域9の各々の不純物を活性化させる。

[0223] また、この熱処理により第2のp型領域7と第2のn型領域9の各々の不純物プロファイルがブロードとなり、第2のp型領域7がpウェルになると共に、第2のn型領域9がnウェルになる。

[0224] なお、この熱処理によって拡散した第3のp型領域8と第3のn型領域10は以降の図において図示を省略する。

[0225] 次に、図49に示すように、半導体基板1の表面1xを熱酸化することにより、LDMOS領域Iとロジック回路領域IIの各々に第2の絶縁膜11として厚さが10nm程度の熱酸化膜を形成する。

[0226] そして、図50に示すように、第2の絶縁膜11の上に第15のレジスト膜115を形成する。

[0227] LDMOS領域Iにおいては、第15のレジスト膜115は開口115aを備えており、その開口115aから第1の絶縁膜2の一部領域PRが露出する。

[0228] 一方、ロジック回路領域IIにおいては、第15のレジスト膜115はn型高電圧領域n(high)とp型高電圧領域p(high)とを覆い、n型低電圧領域n(low)とp型低電圧領域p(high)は第15のレジスト膜115で覆われずに露出する。

[0229] そして、第15のレジスト膜115をマスクにしながら、n型低電圧領域n(low)とp型低電圧領域p(high)における第2の絶縁膜11をフッ酸溶液でウェ

ットエッチングして除去する。

[0230] また、これと同時に、開口 1 1 5 a を通じて第 1 の絶縁膜 2 もウエットエッチングし、第 1 の絶縁膜 2 に凹部 2 a を形成する。

[0231] ここで、本実施形態では、このウエットエッチングの前に図 4 6 や図 4 7 の工程で予め第 1 の絶縁膜 2 の一部領域 PR に不純物を注入しているが、不純物を含む酸化シリコンのフッ酸溶液に対するエッチングレートは不純物を含まない場合よりも速くなる。

[0232] そのため、n 型低電圧領域 n(low) と p 型低電圧領域 p(high) における第 1 の絶縁膜 2 のエッチング速度は一部領域 PR におけるよりも遅くなる。よって、n 型低電圧領域 n(low) と p 型低電圧領域 p(high) における第 1 の絶縁膜 2 の上面が半導体基板 1 の表面 1 x よりも低下するのを防止しつつ、一部領域 PR においては設計通りの深さを有する凹部 2 a を形成することが可能となる。

[0233] このウエットエッチングを終了後に、第 1 5 のレジスト膜 1 1 5 は除去される。

[0234] この後は、第 1 実施形態で説明した図 1 4 ～図 2 1 と同じ工程を行うことで、図 2 1 に示したような半導体装置の基本構造を完成させる。

[0235] 以上説明した本実施形態によれば、図 5 0 に示したように、n 型低電圧領域 n(low) と p 型低電圧領域 p(high) における第 2 の絶縁膜 1 1 を除去する工程が第 1 の絶縁膜 2 に凹部 2 a を形成する工程を兼ねるので工程の簡略化を図ることができる。

[0236] しかも、図 4 6 や図 4 7 の工程における不純物の注入により、LDMOS トランジスタ領域 I とロジック回路領域 II とで第 1 の絶縁膜 2 のエッチングレートに差を出すことができ、ロジック回路領域 II の素子分離用の第 1 の絶縁膜 2 がエッチングされるのを防止できる。

[0237] (第 3 実施形態)

第 1 実施形態では、図 2 2 に示したように、第 1 のゲート電極 1 3 a は平面視で帯状である。

[0238] これに対し、本実施形態では、第 1 のゲート電極 1 3 a を平面視でリング

状にする。

[0239] 図5 1は、本実施形態に係る半導体装置の平面図である。

[0240] 図5 1に示すように、LDMOS領域Iにおいては、第1の領域3と第2の領域5とのpn接合面Jのうち、半導体基板1の表面に現れた部分は平面視でリング状である。そして、第1のゲート電極13 aは、半導体基板1の表面に現れた部分のpn接合面Jを平面視で覆うリング状に形成される。

[0241] これにより、pn接合面Jの全ての部分が第1のゲート電極13 aで覆われた構造となるため、pn接合面Jの全ての部分に第1のゲート電極13 aに印加するゲート電圧が作用することになる。

[0242] 図5 2は、図5 1のX3-X3線に沿う断面図である。

[0243] LDMOS領域Iでは上記のようにpn接合面Jにゲート電圧が作用するため、そのゲート電圧によって第2の領域3の略全域に空乏層を広げることが可能となり、pn接合面Jにおいて耐圧が弱い部分をなくすることができる。これにより、本実施形態では、第1実施形態よりもLDMOSトランジスタ30のドレイン耐圧を更に高めることができるようになる。

[0244] しかも、本実施形態でも第1の絶縁膜2の凹部2 aに第1のゲート電極13 aを埋め込むため、第1実施形態と同じ理由によってドレイン耐圧を高めることができる。

[0245] 次に、本実施形態に係る半導体装置の製造方法について説明する。

[0246] 図5 3～図5 6は、本実施形態に係る半導体装置の製造途中の断面図である。

[0247] なお、図5 3～図5 6において、第1実施形態で説明したのと同じ要素には第1実施形態におけるのと同じ符号を付し、以下ではその説明を省略する。

[0248] この半導体装置を製造するには、まず、第1実施形態で説明した図2の工程を行うことにより、図5 3に示すように、半導体基板1の第1の溝1 aと第2の溝1 bの各々に第1の絶縁膜2が埋め込まれた構造を得る。

[0249] 次に、図5 4に示すように、ロジック回路領域IIに第16のレジスト膜1

16を形成する。そして、第16のレジスト膜116をマスクにしてLDMOS領域Iの半導体基板1にn型不純物としてリンをイオン注入することにより、第1の溝1aよりも深いn型の第2の領域5を形成する。

[0250] n型の第2の領域5は、第1の溝1aを内側に含むように形成され、第1実施形態で説明したようにLDMOSトランジスタのn型のドリフト領域として機能する。

[0251] このイオン注入の条件としては、例えば、加速エネルギーを300keV～2MeV、ドーズ量を $1 \times 10^{12} \text{cm}^{-2}$ ～ $3 \times 10^{13} \text{cm}^{-2}$ とする条件を採用し得る。なお、このイオン注入を複数回に分けて行ってもよい。

[0252] この後に、第16のレジスト膜116は除去される。

[0253] 次に、図55に示すように、LDMOS領域Iとロジック回路領域IIの各々に第17のレジスト膜117を形成する。

[0254] 第17のレジスト膜117は、LDMOS領域Iの第1の溝1aの横に開口117aを有すると共に、n型高電圧領域n(high)を除くロジック回路領域IIを覆う。

[0255] そして、第17のレジスト膜117をマスクにしながら、LDMOS領域Iにおける第2の領域5とn型高電圧領域n(high)の半導体基板1にp型不純物としてボロンをイオン注入する。これにより、第1の溝1aと第2の溝1bの各々よりも深く、かつ、第2の領域5よりも浅いp型の第1の領域3が形成されることになる。

[0256] そのイオン注入の条件は特に限定されないが、本実施形態ではそのイオン注入を二回に分けて行う。一回目の条件としては加速エネルギー420keV、ドーズ量 $1 \times 10^{12} \text{cm}^{-2}$ ～ $5 \times 10^{13} \text{cm}^{-2}$ を採用し、二回目の条件としては加速エネルギー150keV、ドーズ量 $1 \times 10^{12} \text{cm}^{-2}$ ～ $5 \times 10^{13} \text{cm}^{-2}$ を採用し得る。

[0257] このようにして形成された第1の領域3のうち、LDMOS領域Iに形成された部分はLDMOSのp型のボディ領域として供され、n型高電圧領域n(high)に形成された部分の第1の領域3はpウェルとして供される。

[0258] この後に、第17のレジスト膜117は除去される。

[0259] 次いで、図56に示すように、第1実施形態の図11の工程と同様に半導体基板1の上に第7のレジスト膜107を形成する。そして、第1実施形態と同じエッチング条件を採用し、開口107aを通じて第1の溝1a内の第1の絶縁膜2をドライエッチングすることにより第1の絶縁膜2に凹部2aを形成する。

[0260] このエッチングを終了した後に、第7のレジスト膜107は除去される。

[0261] この後は、第1実施形態で説明した図12～図21と同じ工程を行うことにより、図52に示した本実施形態に係る半導体装置の基本構造を得ることができる。

[0262] 以上、各実施形態について詳細に説明したが、各実施形態に係る半導体装置の用途は特に限定されない。例えば、高電圧で駆動可能なLDMOSトランジスタ30の特徴を活かして、LED(Light Emitting Device)照明のコントローラ、バッテリーチャージャ、及び太陽光発電システム等のように高電圧を使用する電子機器にこれらの半導体装置を使用し得る。また、自動車が備えるナビゲーションシステム、照明、及びボディ制御部品等の自動車関連製品にもこれらの半導体装置を適用し得る。また、無線通信を行う製品や、モーター等の駆動機構の制御を伴う製品にもこれらの半導体装置を適用し得る。

[0263] また、ロジック回路領域IIに形成された第1～第4のMOSトランジスタ33～34は、上記の各電子機器の制御回路等に使用し得る。

請求の範囲

- [請求項1] 半導体基板と、
 前記半導体基板に形成された第1の導電型のソース領域と、
 前記半導体基板に形成され、第1の不純物濃度を有する前記第1の導電型のドレイン領域と、
 前記半導体基板に形成され、かつ前記ソース領域に接して形成された第2の導電型の第1の領域と、
 前記半導体基板に形成され、前記第1の領域との接合面を備え、前記ドレイン領域に接して形成された、前記第1の不純物濃度よりの低い第2の不純物濃度を有する前記第1の導電型の第2の領域と、
 前記第2の領域内にあって、前記ドレイン領域と前記接合面との間に形成された溝と、
 前記溝内に形成され、上面に凹部を備えた第1の絶縁膜と、
 前記ソース領域と前記溝との間の前記半導体基板の上に形成された第2の絶縁膜と、
 前記第2の絶縁膜の上と前記凹部内とに形成され、前記第1の領域、前記第2の領域、及び前記接合面の各々の上方に位置するゲート電極とを有する半導体装置。
- [請求項2] 前記半導体基板の前記表面から測った前記凹部の深さは、 $0\ \mu\text{m}$ よりも深く、かつ、 $0.26\ \mu\text{m}$ 以下であることを特徴とする請求項1に記載の半導体装置。
- [請求項3] 前記溝の側面のうち前記ソース領域寄りの側面と、前記凹部の側面のうち前記ソース領域寄りの側面との間隔は、 $0.05\ \mu\text{m}$ 以上 $0.45\ \mu\text{m}$ 以下であることを特徴とする請求項1又は請求項2に記載の半導体装置。
- [請求項4] 前記溝の側面のうち前記ドレイン領域寄りの側面と、前記凹の側面のうち前記ドレイン領域寄りの側面との間隔は $0.05\ \mu\text{m}$ 以上であることを特徴とする請求項1乃至請求項3のいずれか1項に記載の半

導体装置。

[請求項5] 前記溝の底面と前記凹部の底面との間隔は、 $0.1\ \mu\text{m}$ 以上 $0.2\ \mu\text{m}$ 以下であることを特徴とする請求項1に記載の半導体装置。

[請求項6] 前記第1の領域は、前記溝よりも深く形成され、
前記第2の領域は、前記第1の領域内に形成されて、該第1の領域よりも浅く、かつ、前記溝よりも深いことを特徴とする請求項1乃至請求項5のいずれかに記載の半導体装置。

[請求項7] 前記接合面は平面視でリング状であり、
前記ゲート電極は、平面視で前記接合面を覆うリング状であることを特徴とする請求項1乃至請求項5のいずれか1項に記載の半導体装置。

[請求項8] 前記第2の領域は、前記溝よりも深く形成され、
前記第1の領域は、前記第2の領域内に形成されて、該第2の領域よりも浅く、かつ、前記溝よりも深いことを特徴とする請求項7に記載の半導体装置。

[請求項9] 同一の深さで前記溝が複数形成され、
隣り合う二つの前記溝の間にMOS(Metal Oxide Silicon)トランジスタが形成されたことを特徴とする請求項1乃至請求項8のいずれか1項に記載の半導体装置。

[請求項10] 半導体基板の表面に溝を形成する工程と、
前記溝内に第1の絶縁膜を形成する工程と、
前記半導体基板に、第1の導電型の第1の領域を形成する工程と、
前記半導体基板に、前記溝を内側に含み、前記第1の領域との接合面を備えた、第1の不純物濃度を有する第2の導電型の第2の領域を形成する工程と、
前記第1の絶縁膜の上面に凹部を形成する工程と、
前記半導体基板の前記表面に第2の絶縁膜を形成する工程と、
前記第1の領域、前記第2の領域、及び前記接合面の各々の上の前

記第2の絶縁膜の上、並びに前記凹部内に連続するゲート電極を形成する工程と、

前記溝の前記第2の領域に接し、前記半導体基板の表面に位置し、前記第1の不純物濃度よりも高い第2の不純物濃度を有する前記第2の導電型のドレイン領域を形成する工程と、

前記第1の領域に接して前記半導体基板の表面に、前記溝と前記接合面とを介して前記ドレイン領域と対向する前記第2の導電型のソース領域を形成する工程と、

を有し、

前記凹部は平面視で前記第1の絶縁膜の内側に位置する半導体装置の製造方法。

[請求項11] 前記凹部を形成する工程の前に、前記凹部を形成する部分の前記第1の絶縁膜に不純物を注入する工程を更に有し、

前記凹部を形成する工程は、前記不純物を注入した後、前記第1の絶縁膜をウェットエッチングすることにより行われることを特徴とする請求項10に記載の半導体装置の製造方法。

[請求項12] 前記溝を形成する工程において該溝を複数形成し、

前記不純物を注入する工程において、隣り合う二つの前記溝の間の前記半導体基板にも前記不純物を注入し、

前記不純物を注入した後、隣り合う二つの前記溝の間にMOSトランジスタを形成する工程を更に有することを特徴とする請求項11に記載の半導体装置の製造方法。

[請求項13] 前記第2の絶縁膜を形成する工程において、隣り合う二つの前記溝の間の前記半導体基板の表面にも前記第2の絶縁膜を形成し、

前記凹部を形成する工程において、隣り合う二つの前記溝の間の前記第2の絶縁膜を前記ウェットエッチングにより除去することを特徴とする請求項12に記載の半導体装置の製造方法。

[請求項14] 前記凹部を形成する工程の後、隣り合う二つの前記溝の間の前記半

導体基板の前記表面に、前記第2の絶縁膜よりも薄い第3の絶縁膜を形成する工程を更に有することを特徴とする請求項13に記載の半導体装置の製造方法。

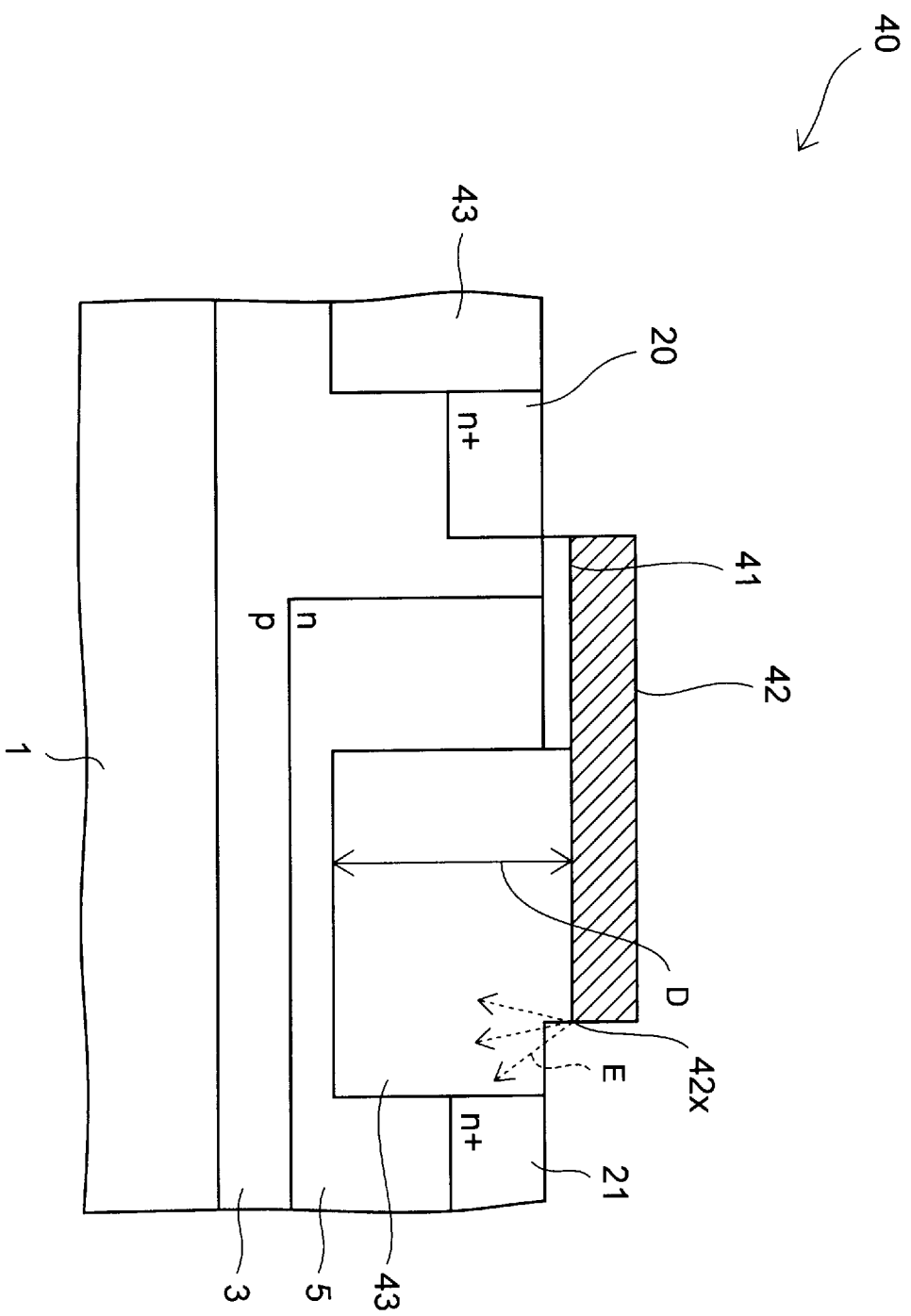
[請求項15] 前記第1の領域を形成する工程において、前記溝よりも深く該第1の領域を形成し、

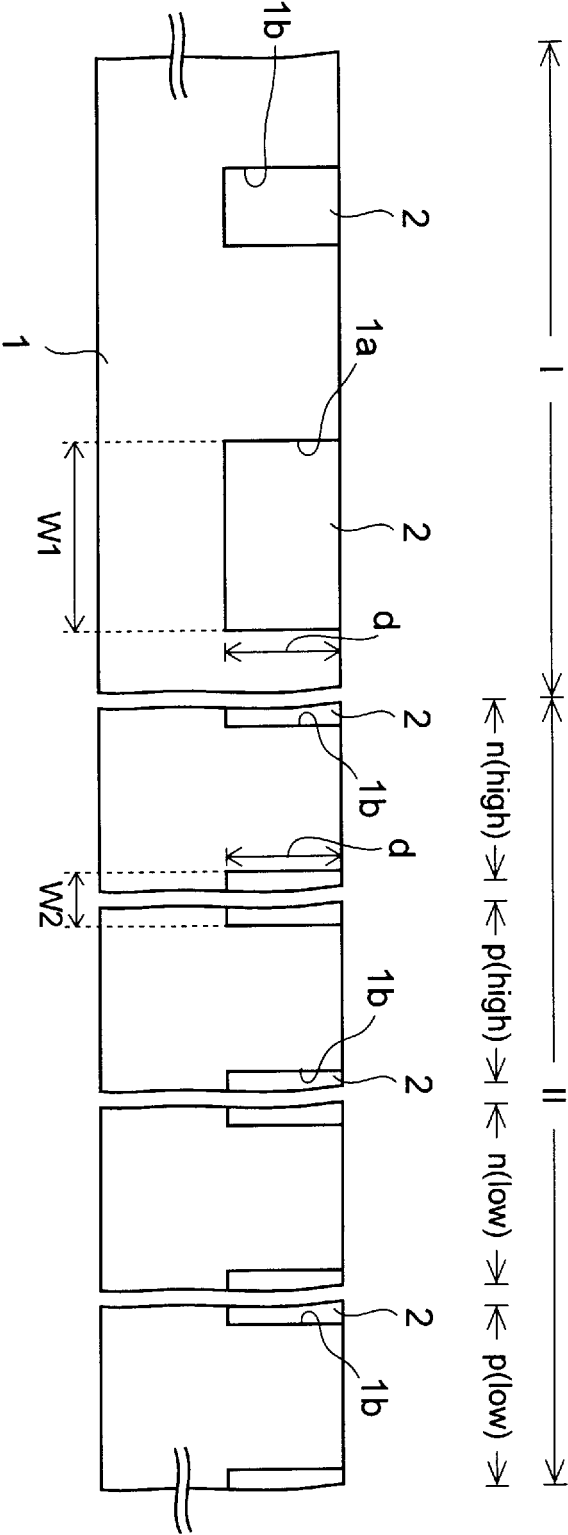
前記第2の領域を形成する工程において、前記第1の領域内に該第2の領域を形成すると共に、前記第1の領域よりも浅く、かつ、前記溝よりも深く前記第2の領域を形成することを特徴とする請求項10乃至請求項14のいずれかに記載の半導体装置の製造方法。

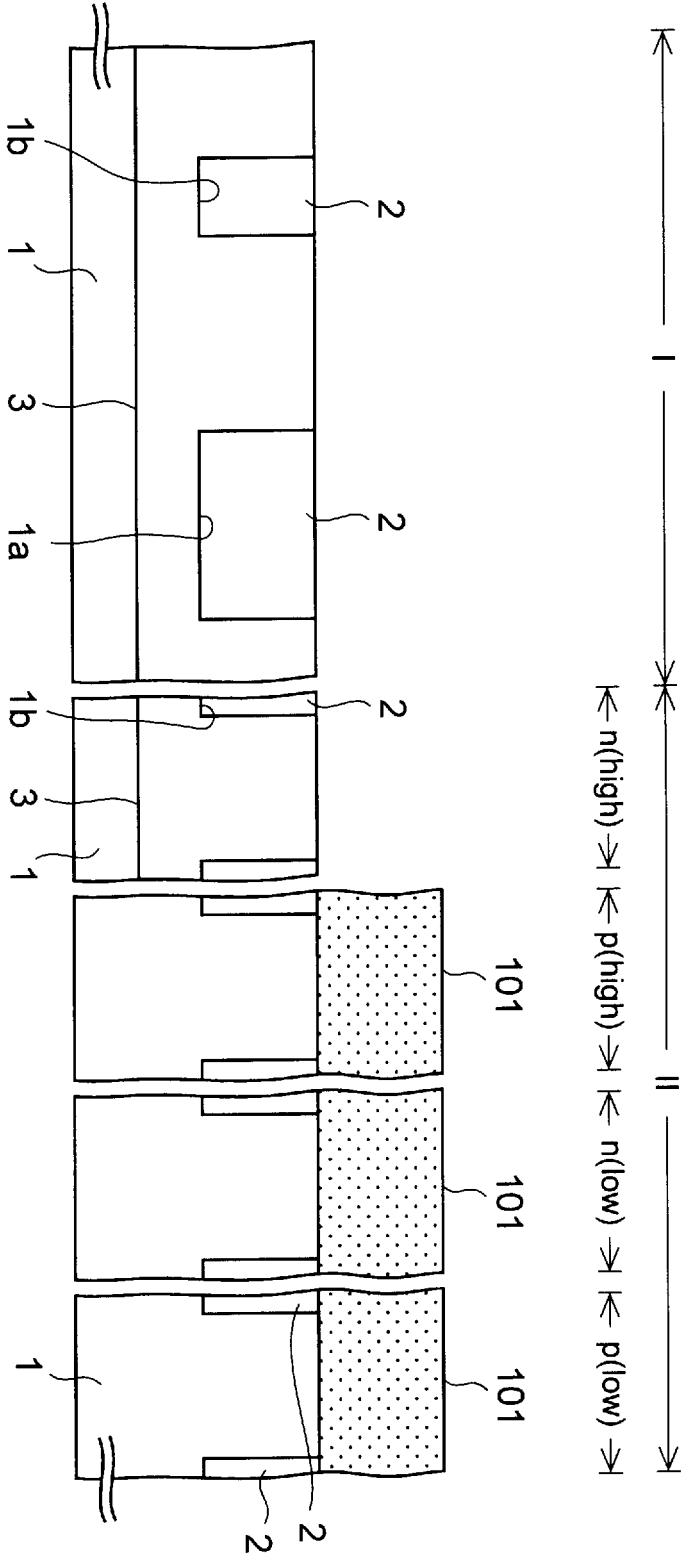
[請求項16] 前記接合面を平面視でリング状に形成することを特徴とする請求項10乃至請求項14のいずれか1項に記載の半導体装置の製造方法。

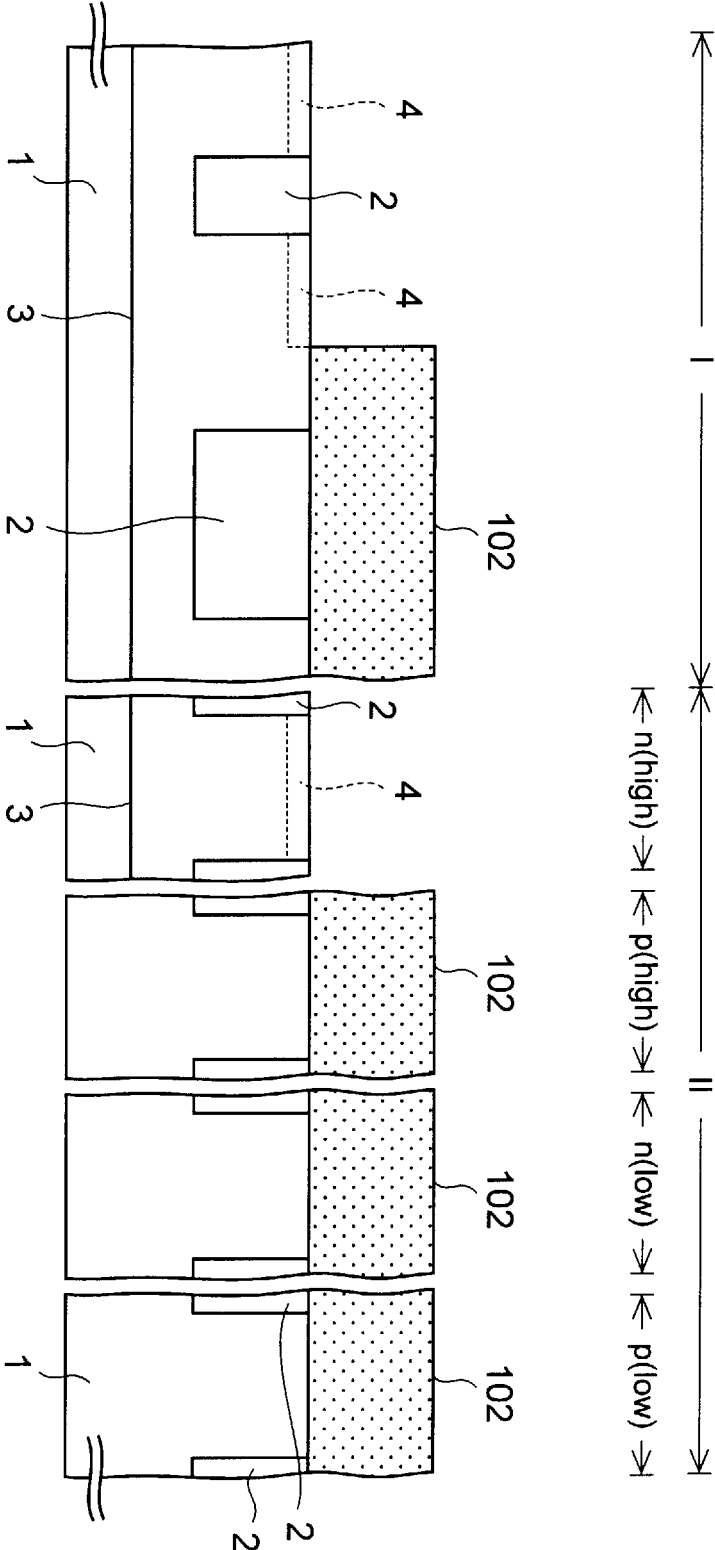
[請求項17] 前記第2の領域を形成する工程において、前記溝よりも深く該第2の領域を形成し、

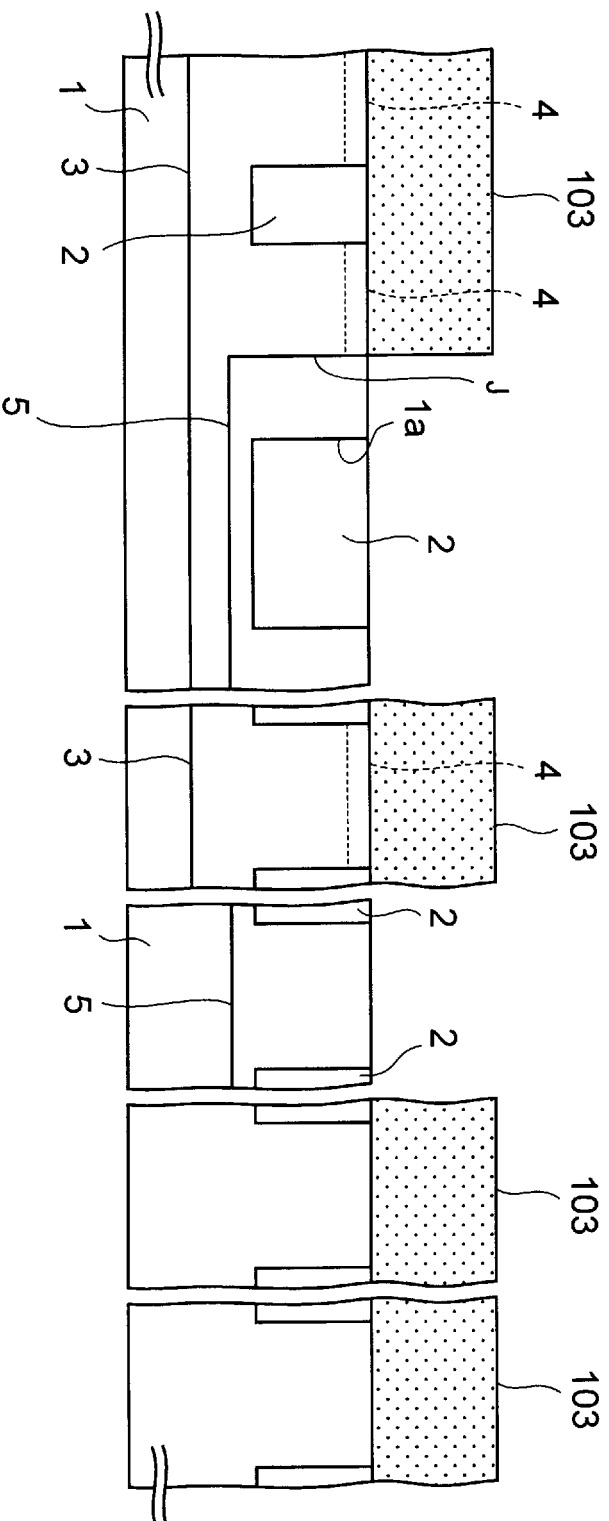
前記第1の領域を形成する工程において、前記第2の領域内に該第1の領域を形成すると共に、前記第2の領域よりも浅く、かつ、前記溝よりも深く前記第1の領域を形成することを特徴とする請求項16に記載の半導体装置の製造方法。



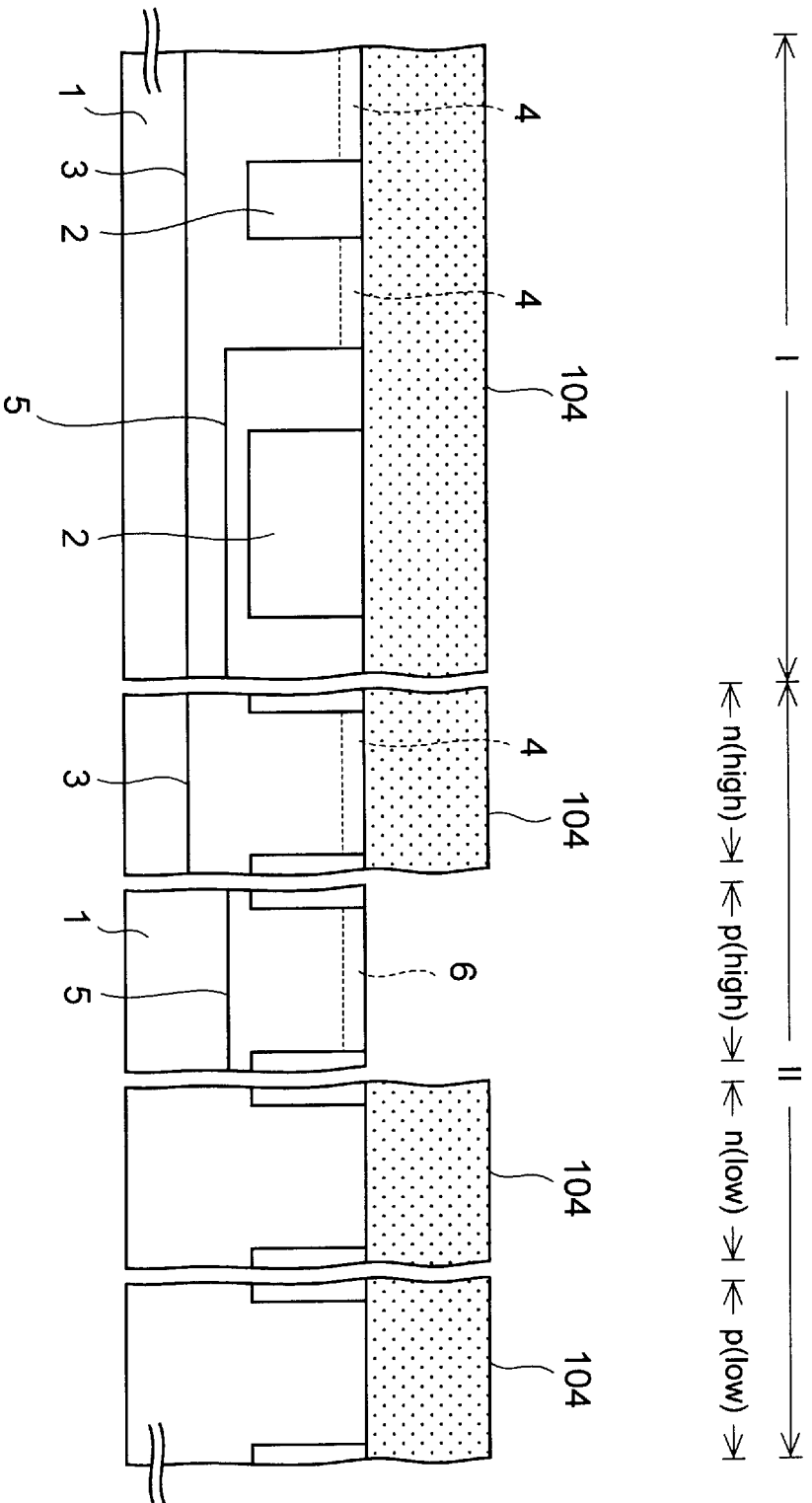


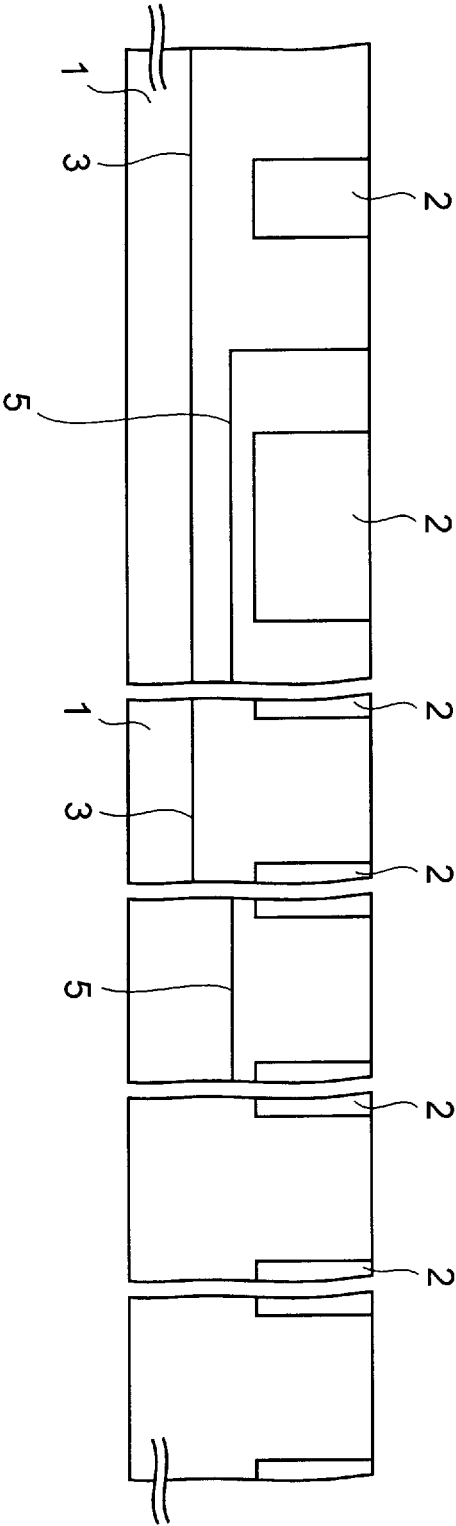
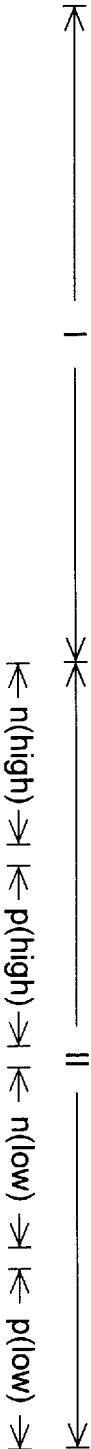


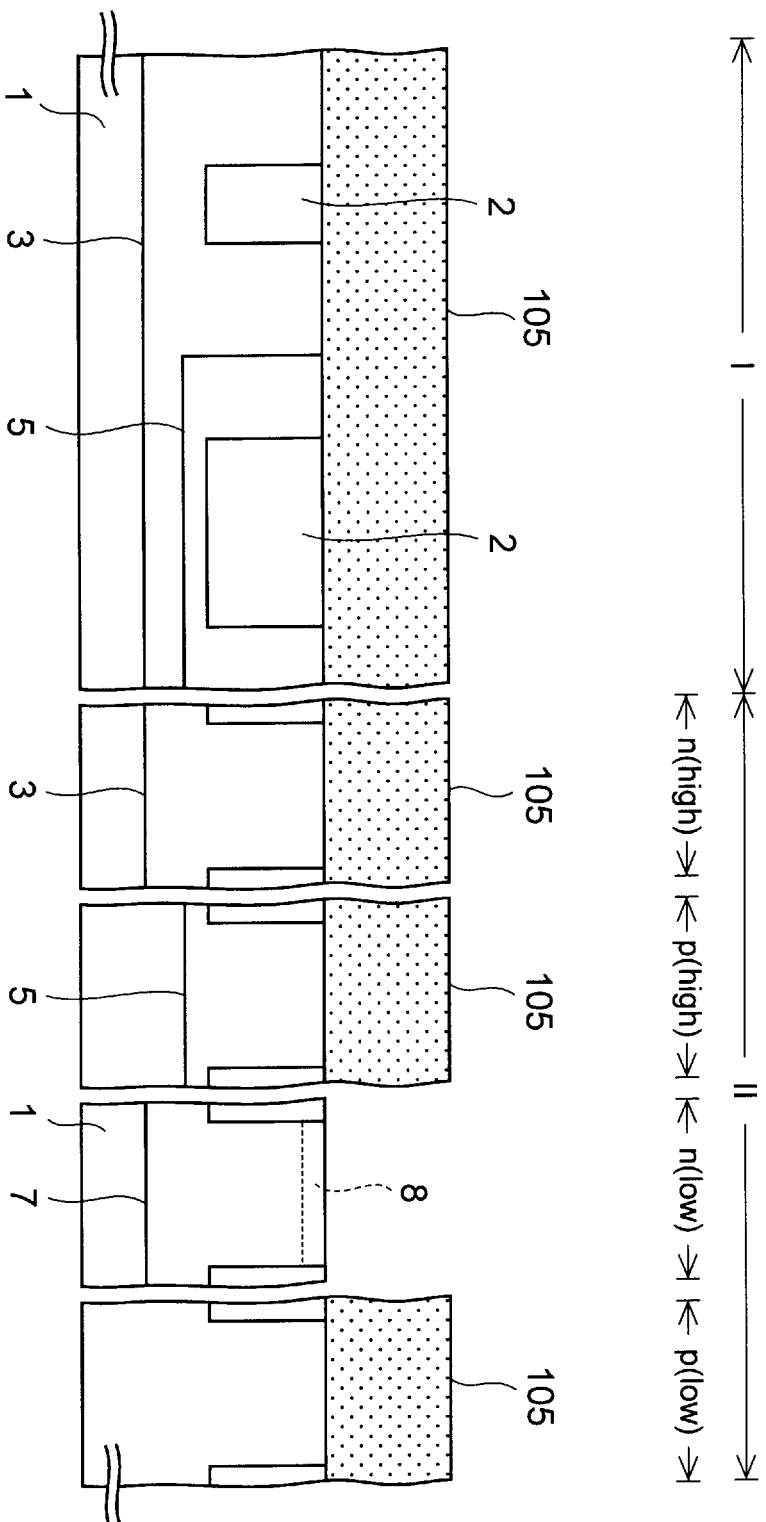


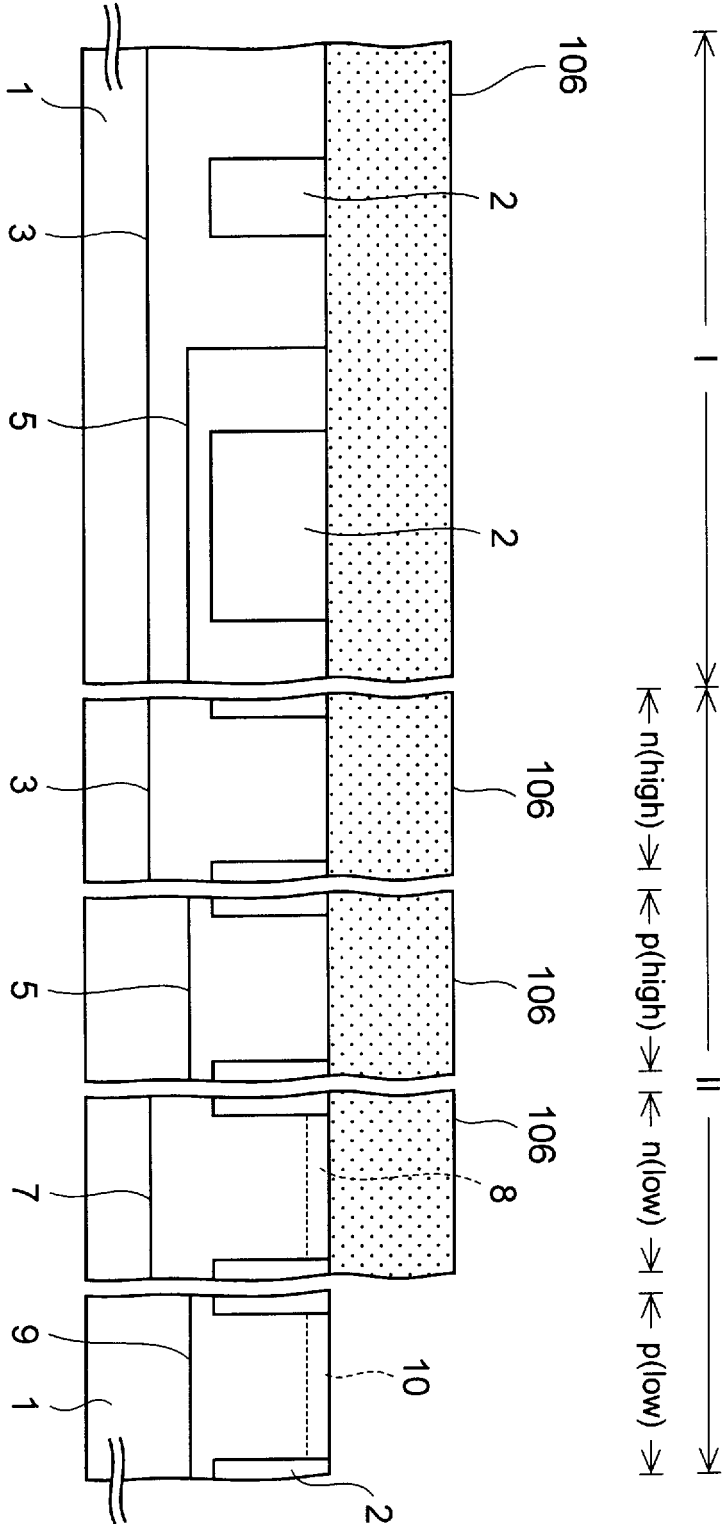


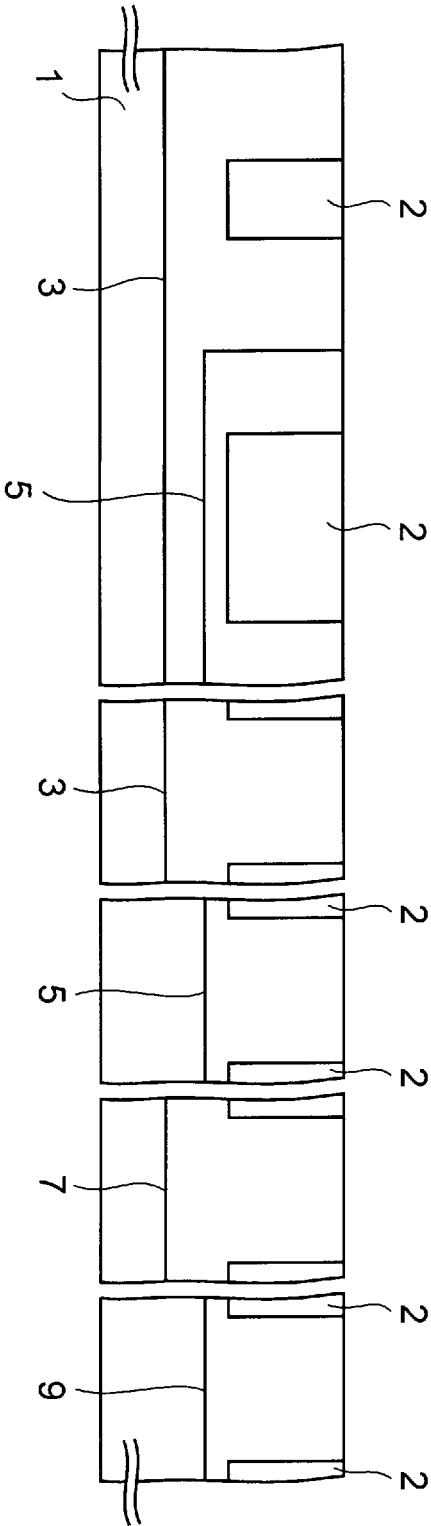
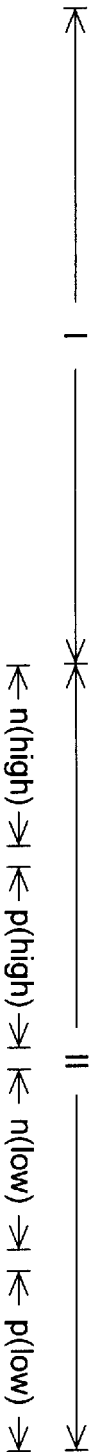
[9图]

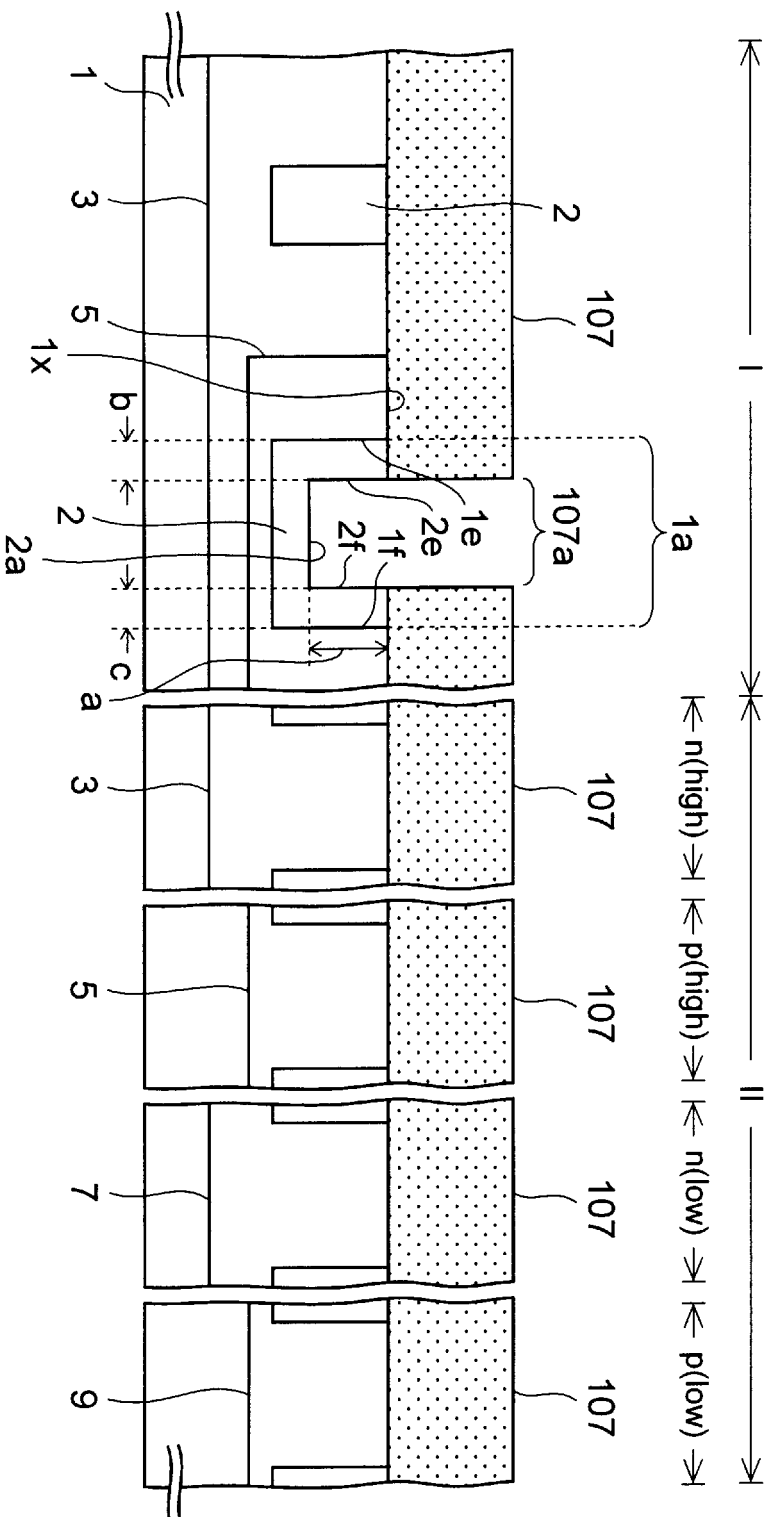


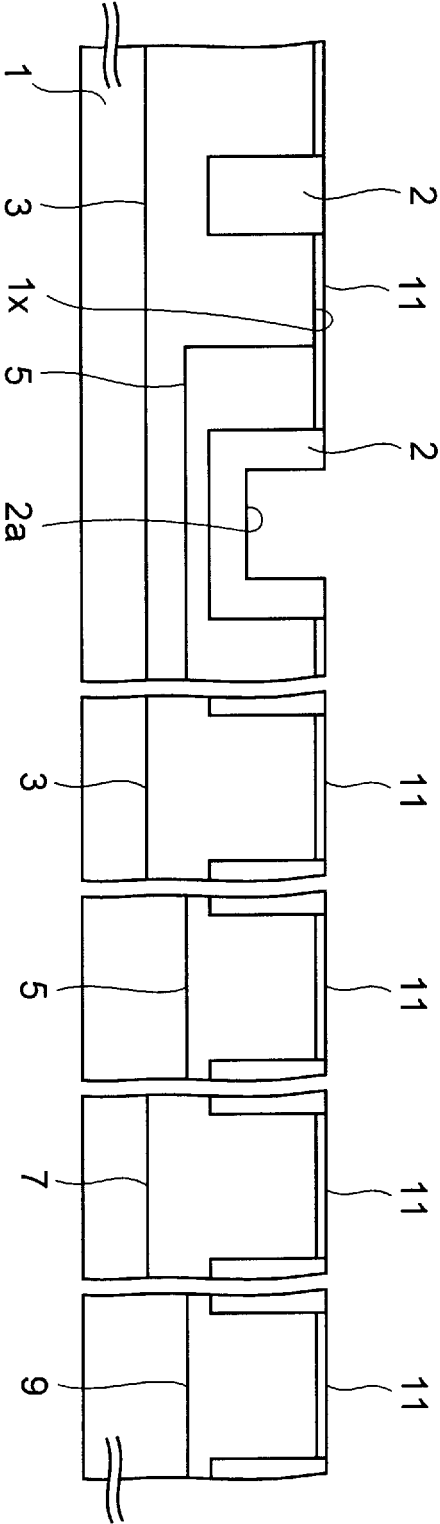
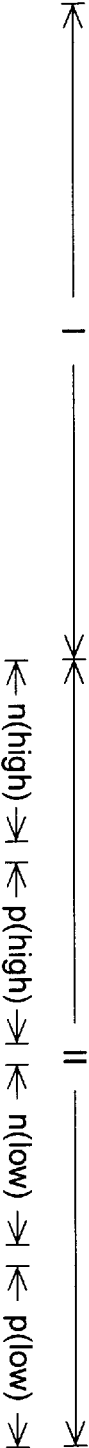


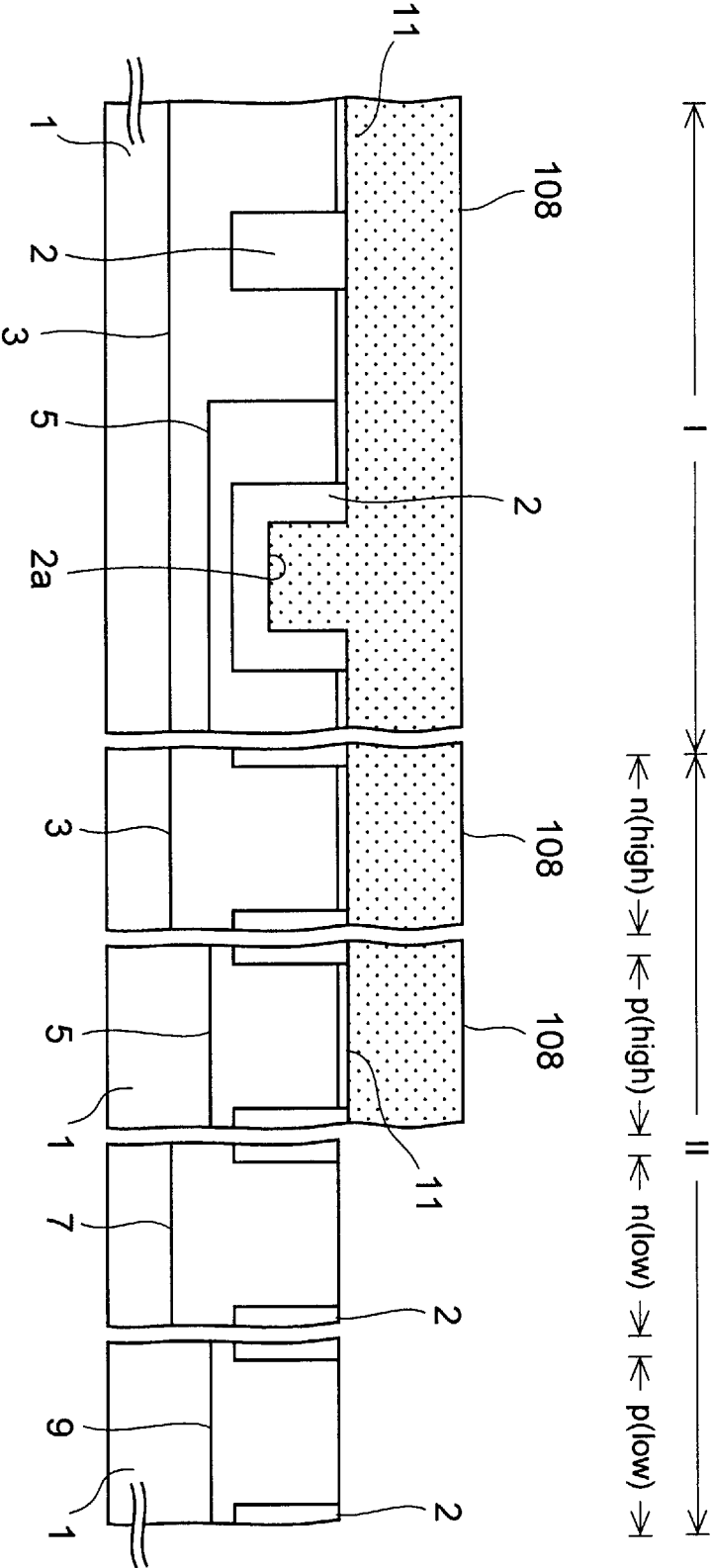


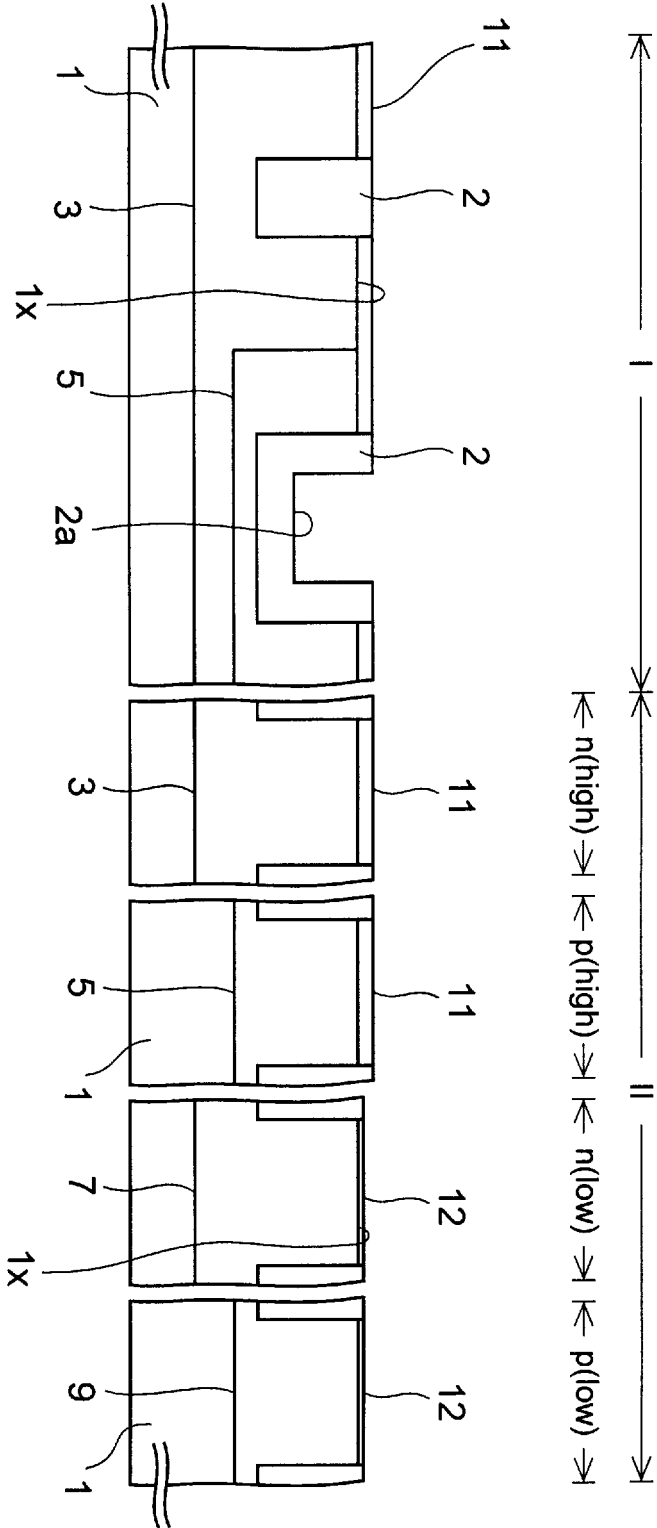


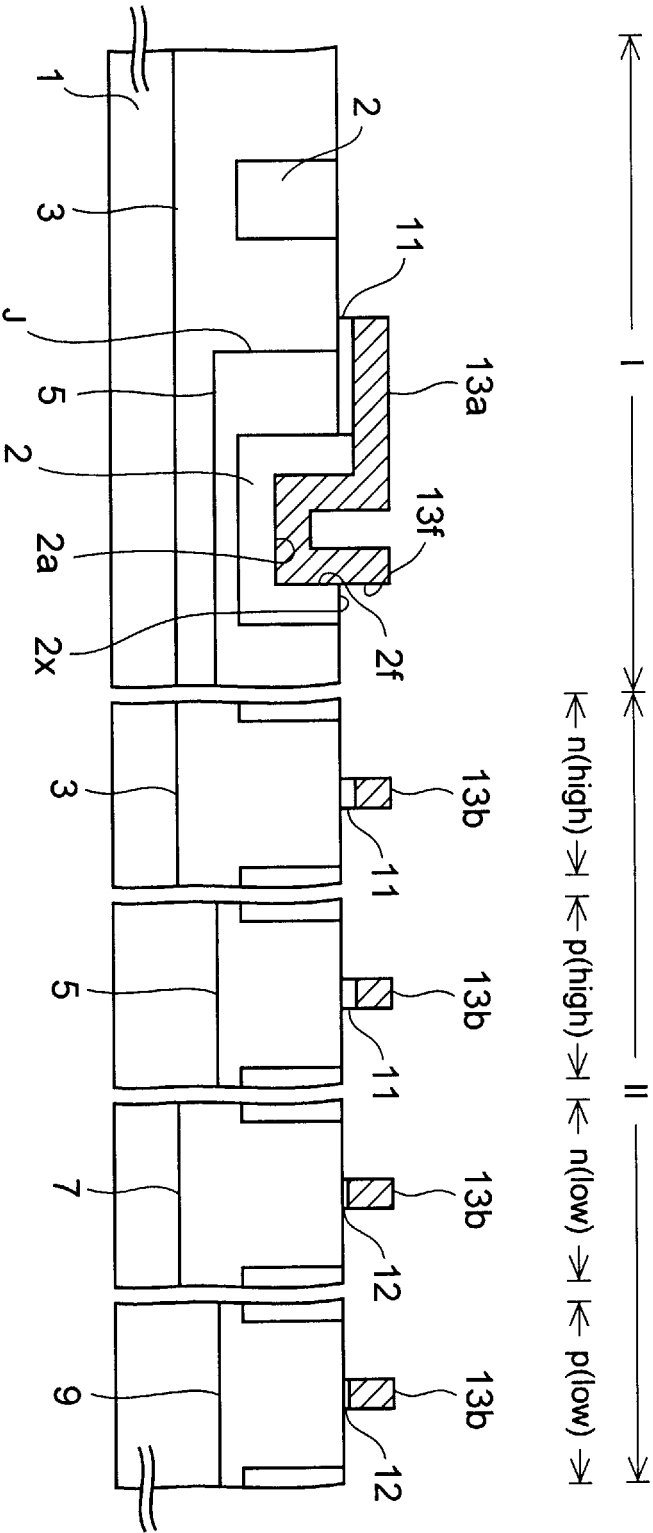


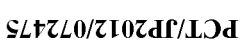


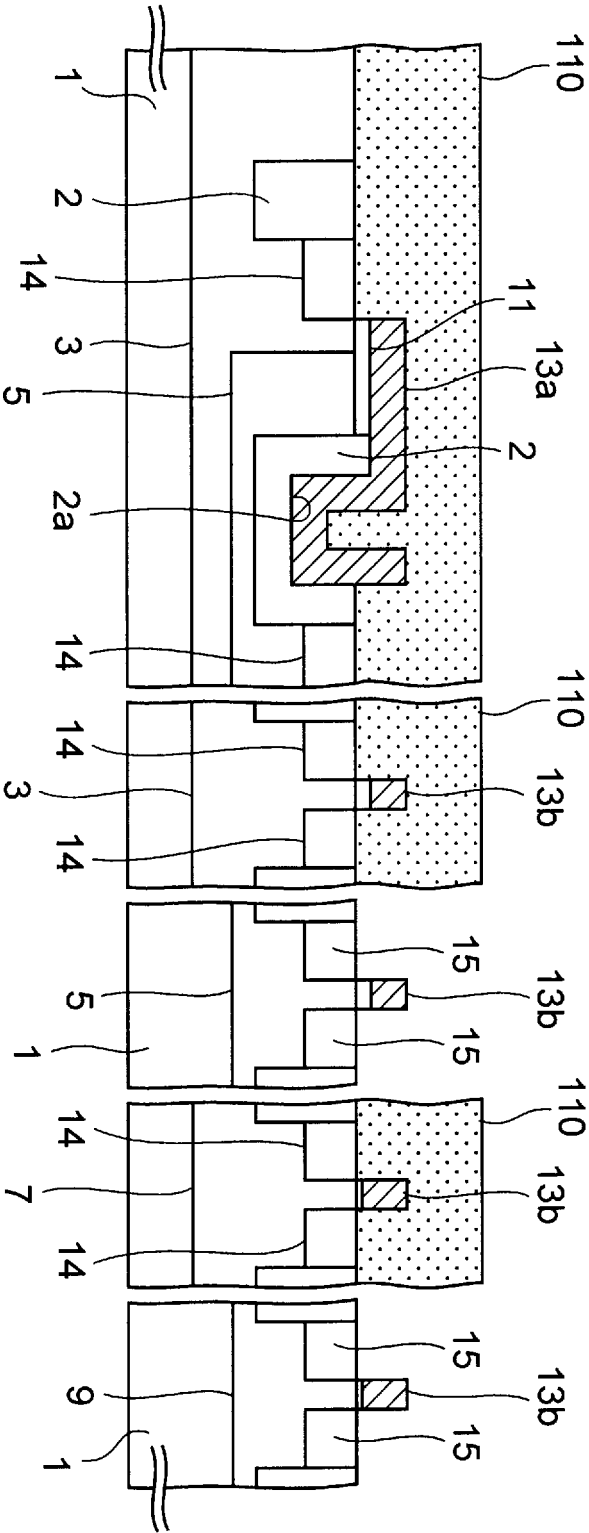
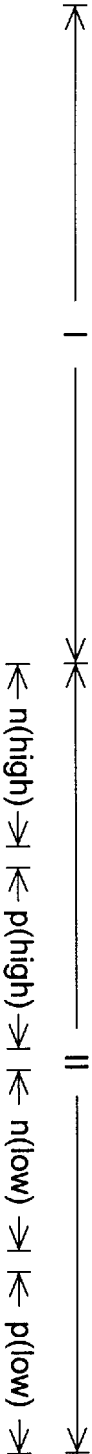


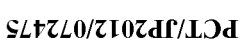


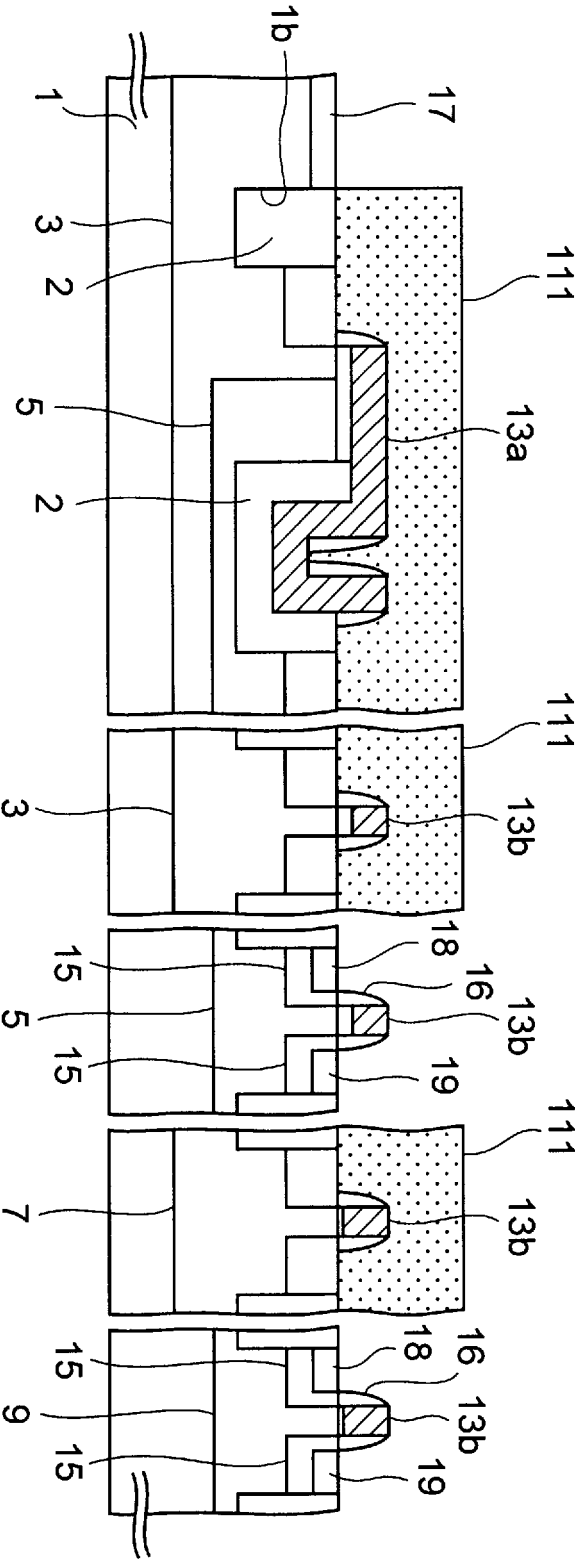


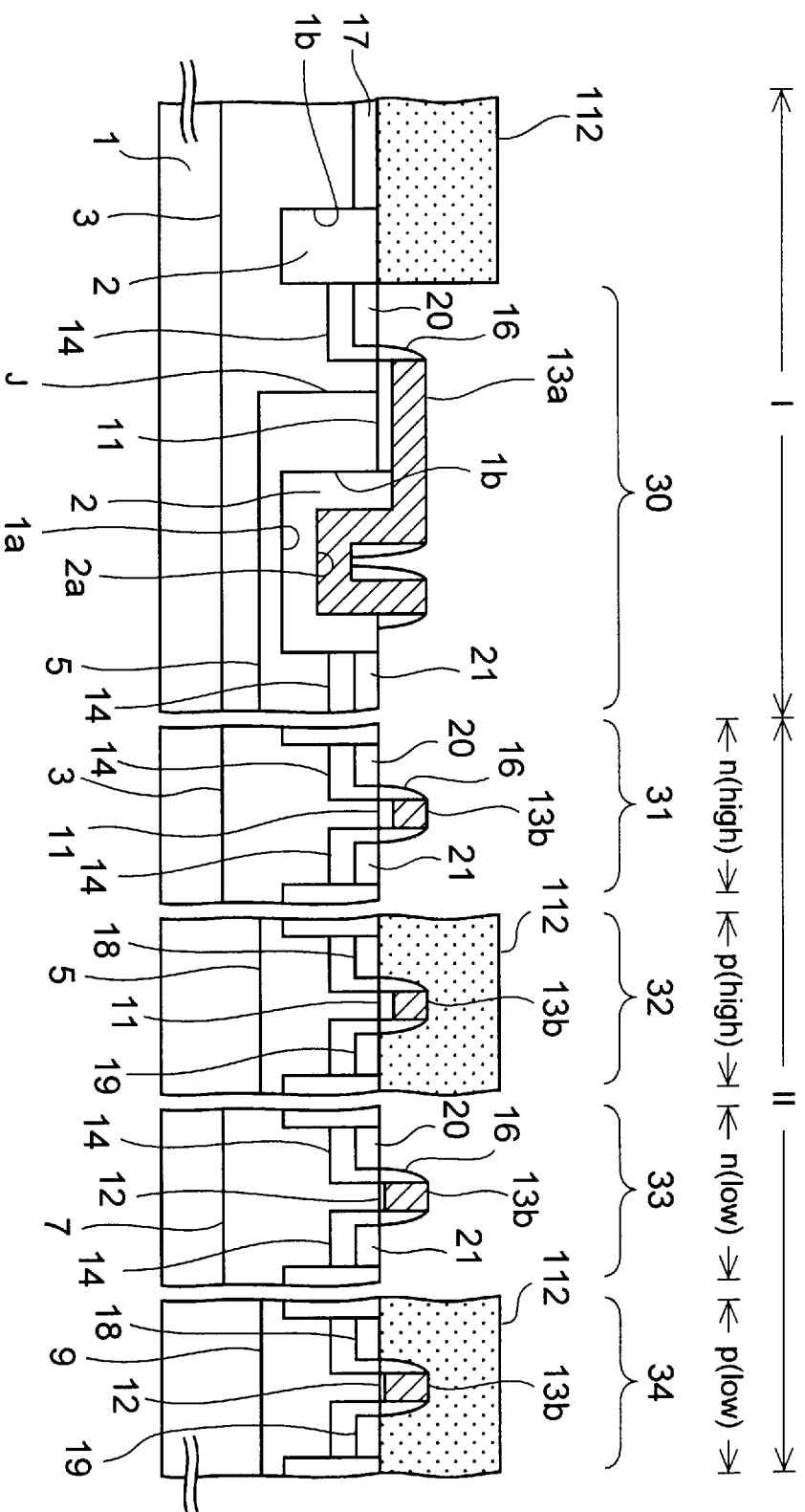


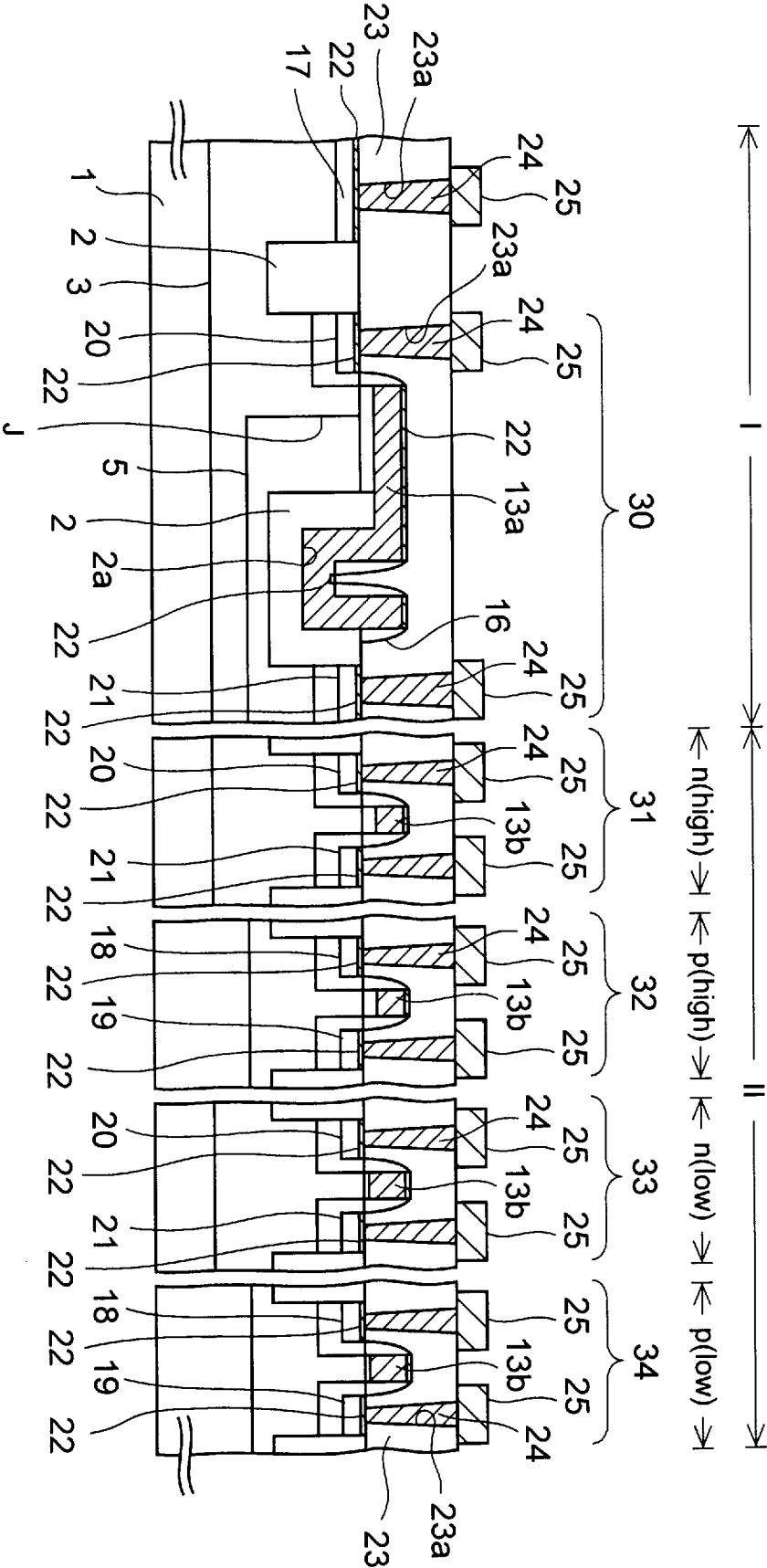


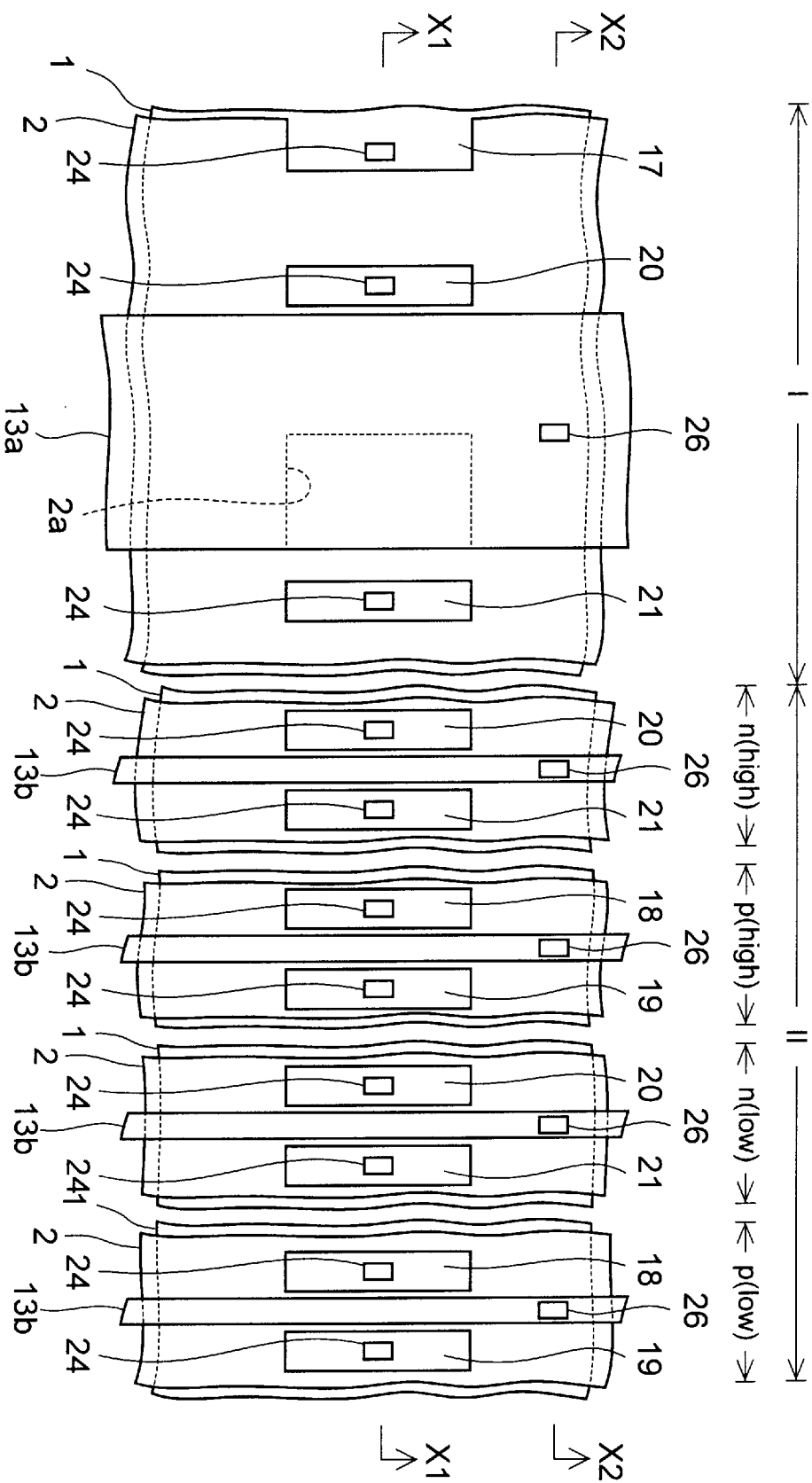


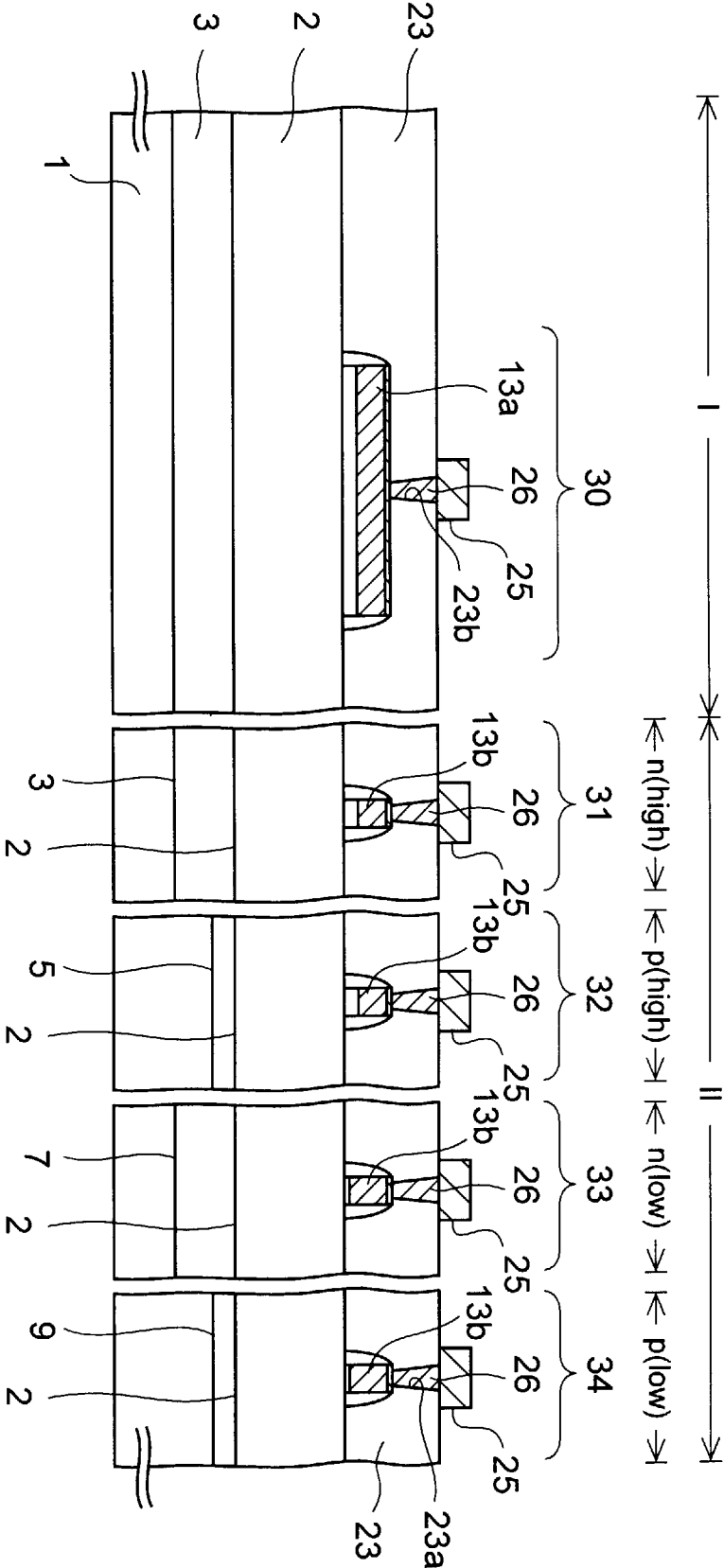


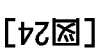


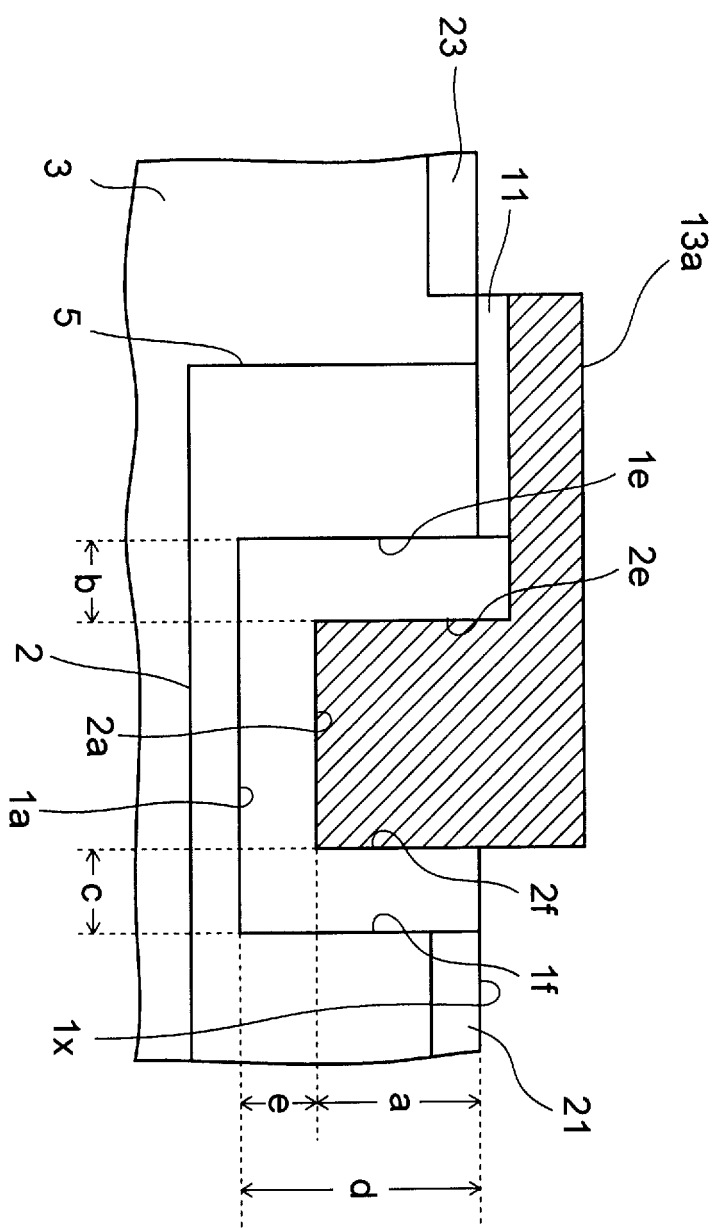




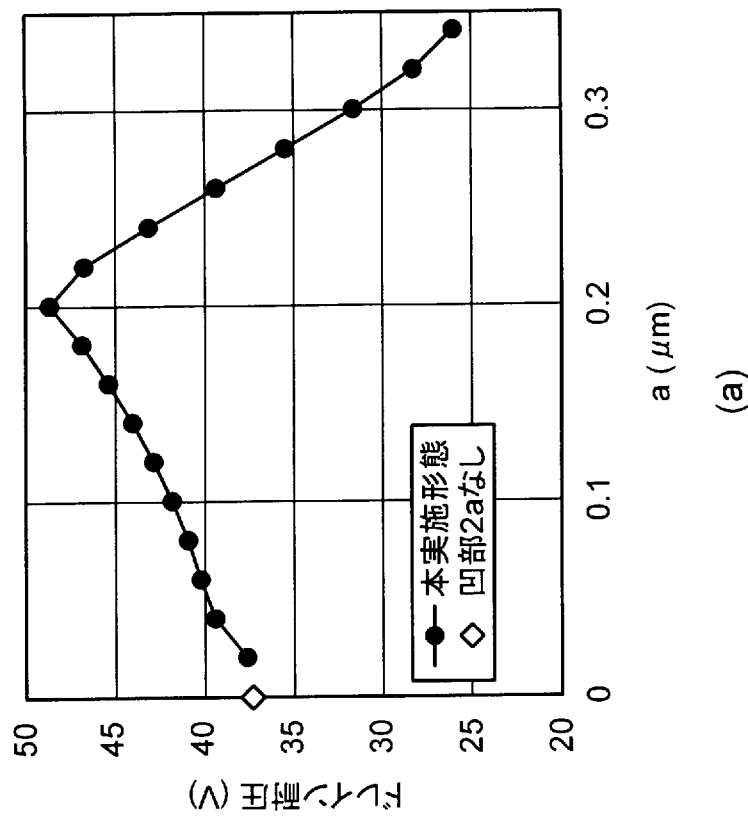
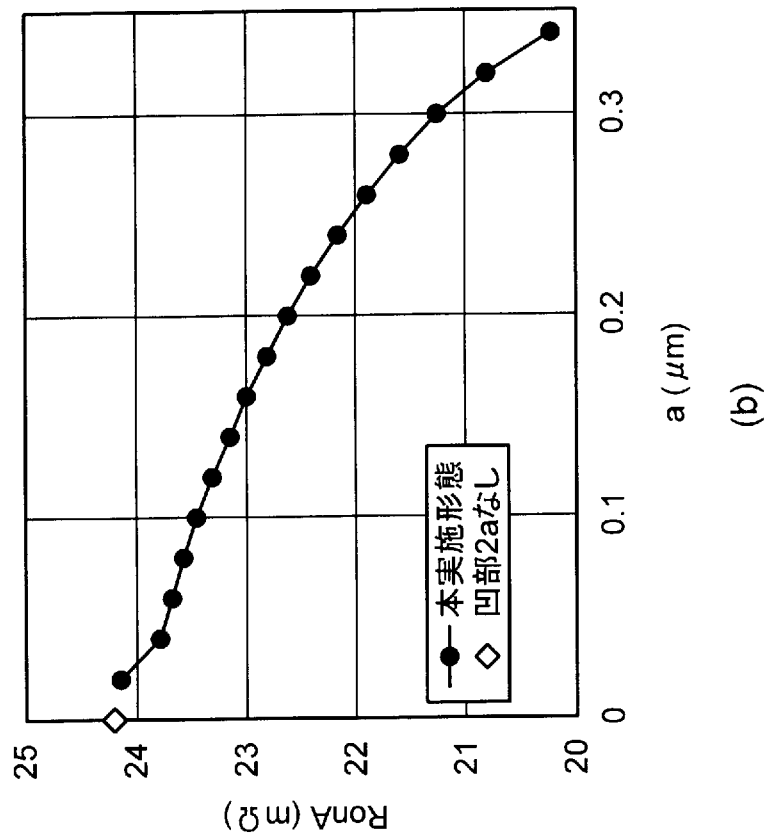




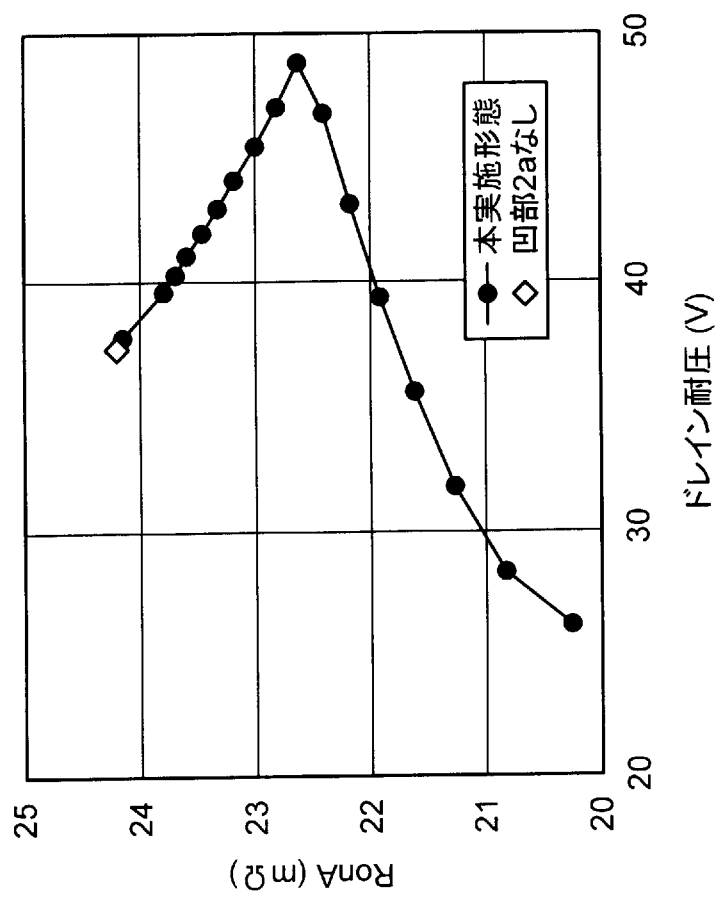


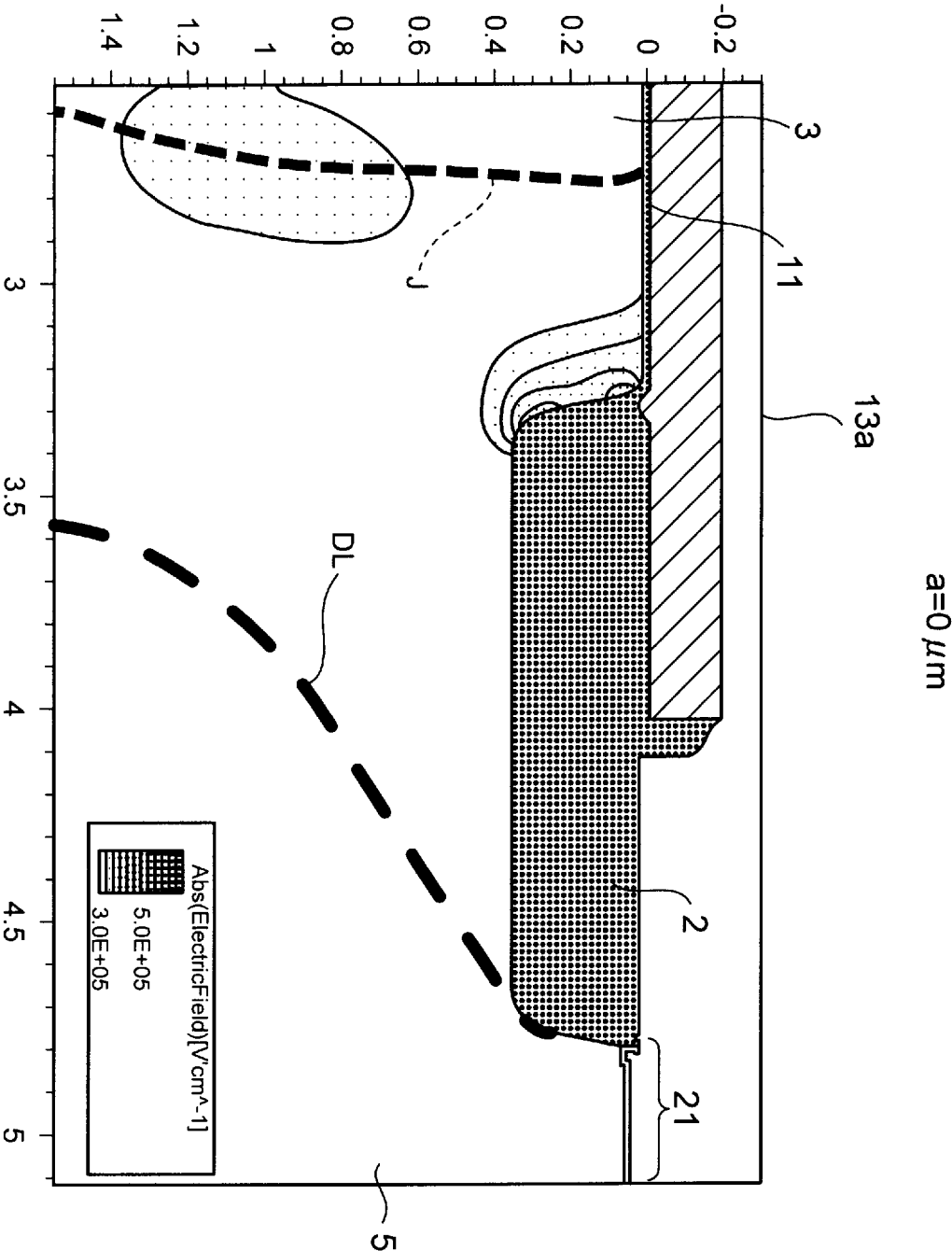


[図26]

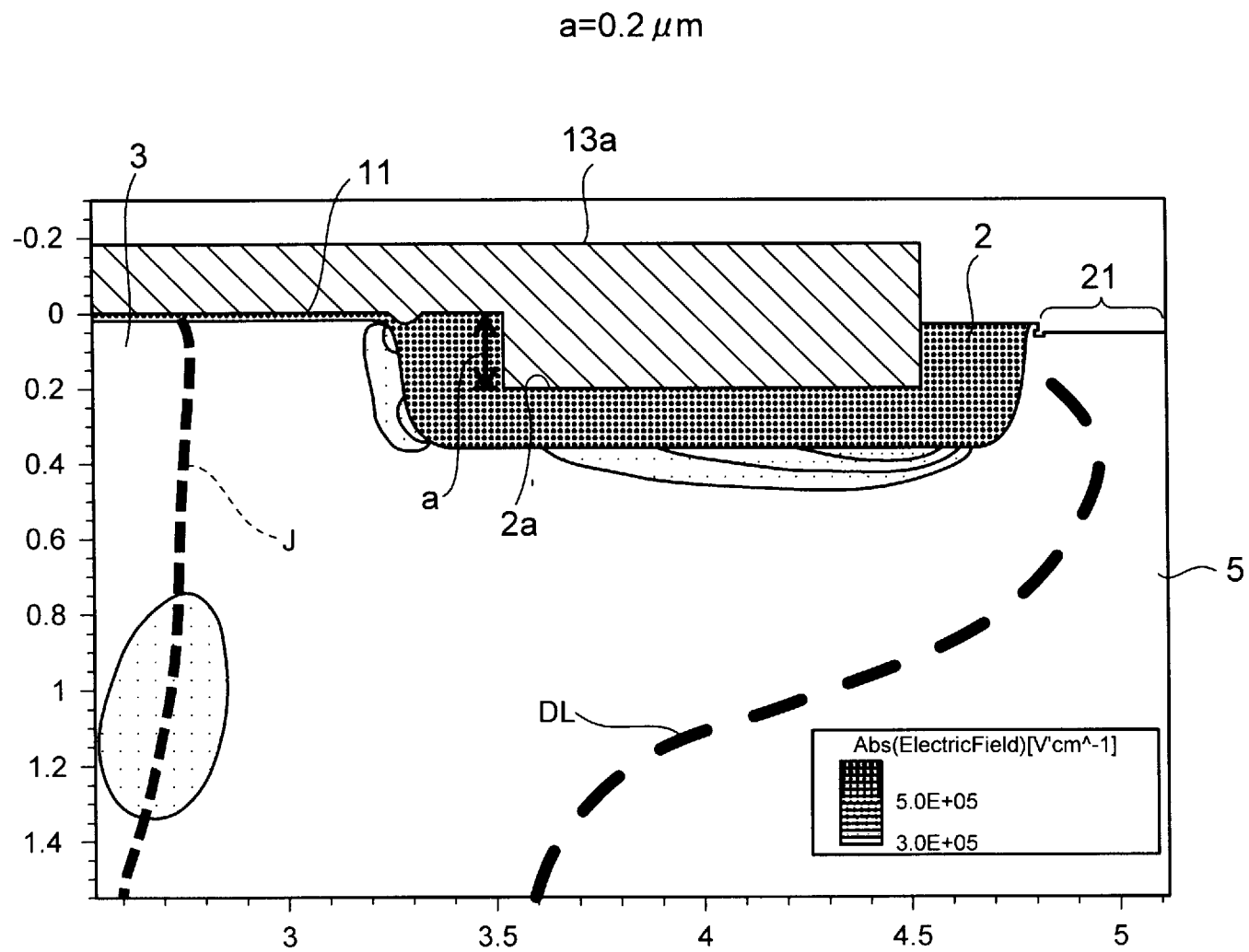


[図27]

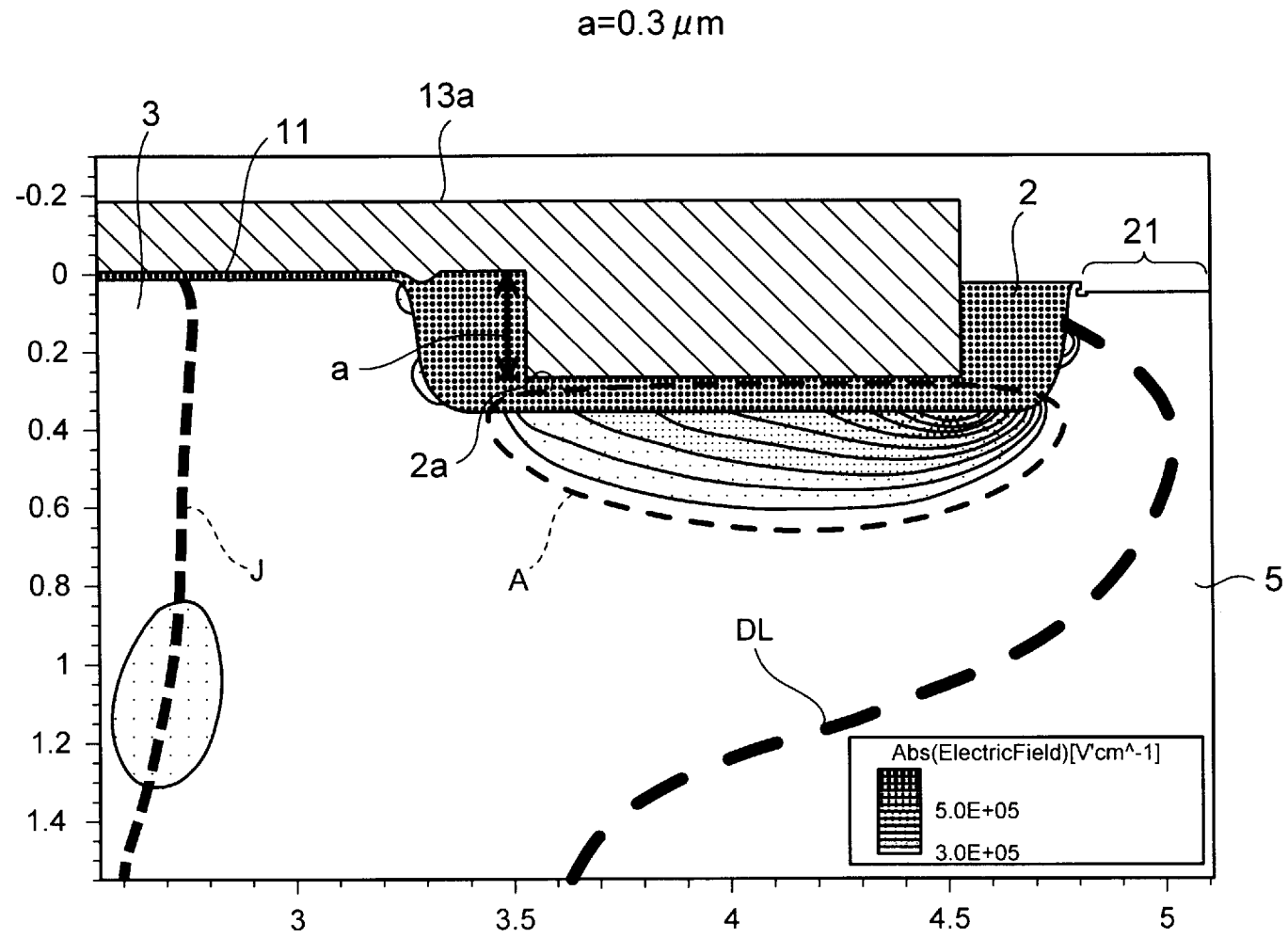




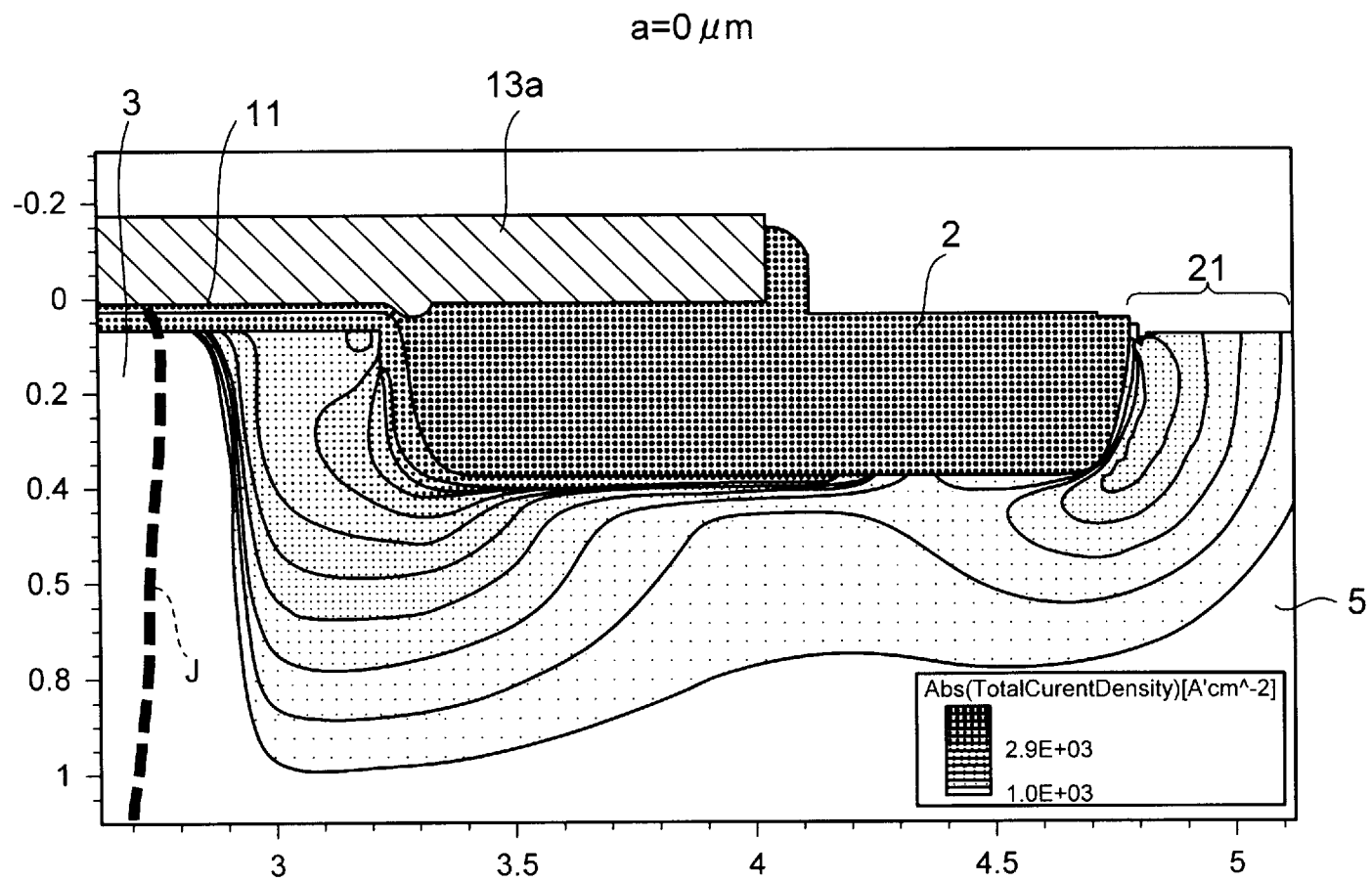
[図29]



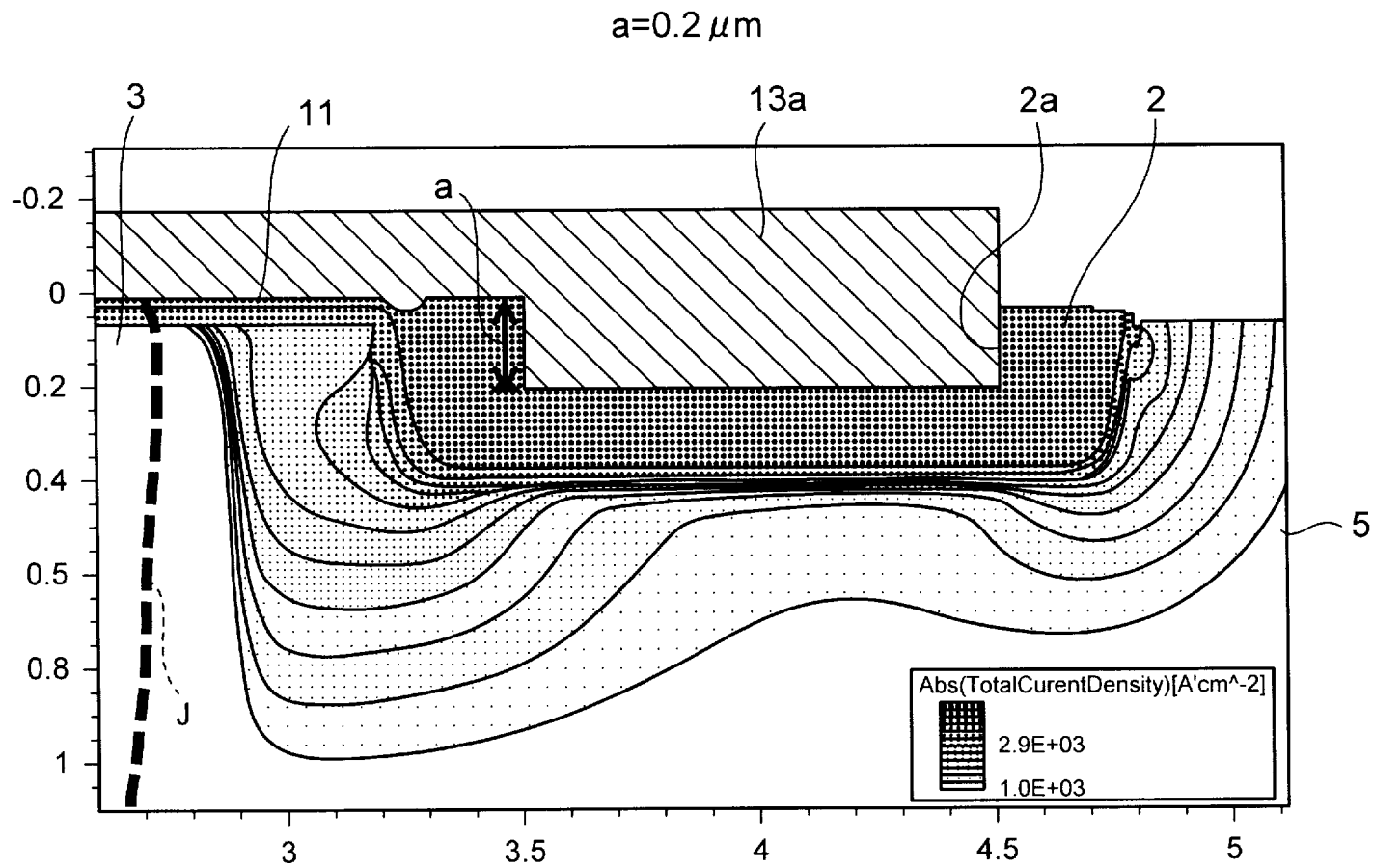
[図30]



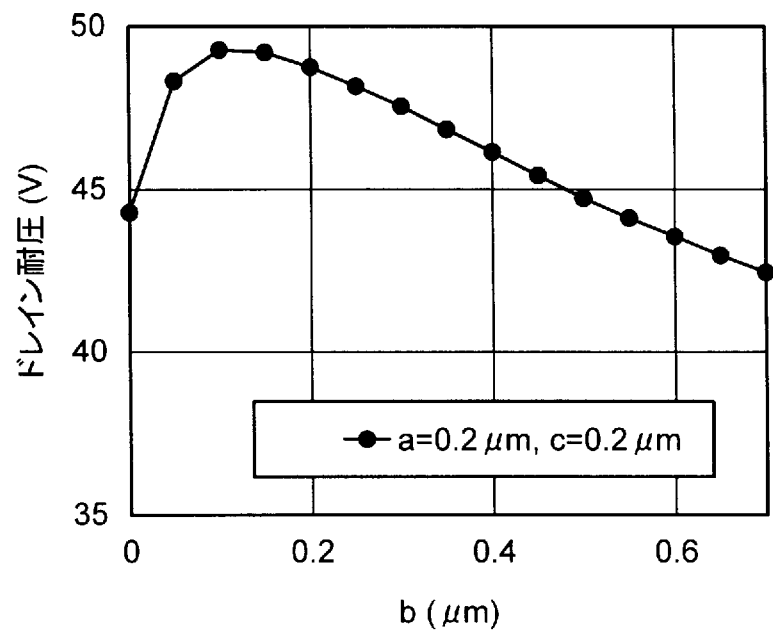
[図31]



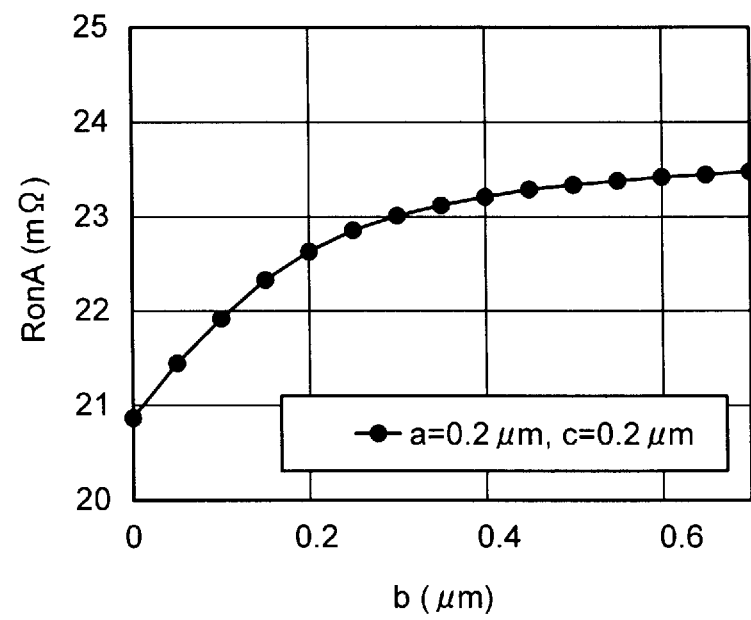
[図32]



[図33]

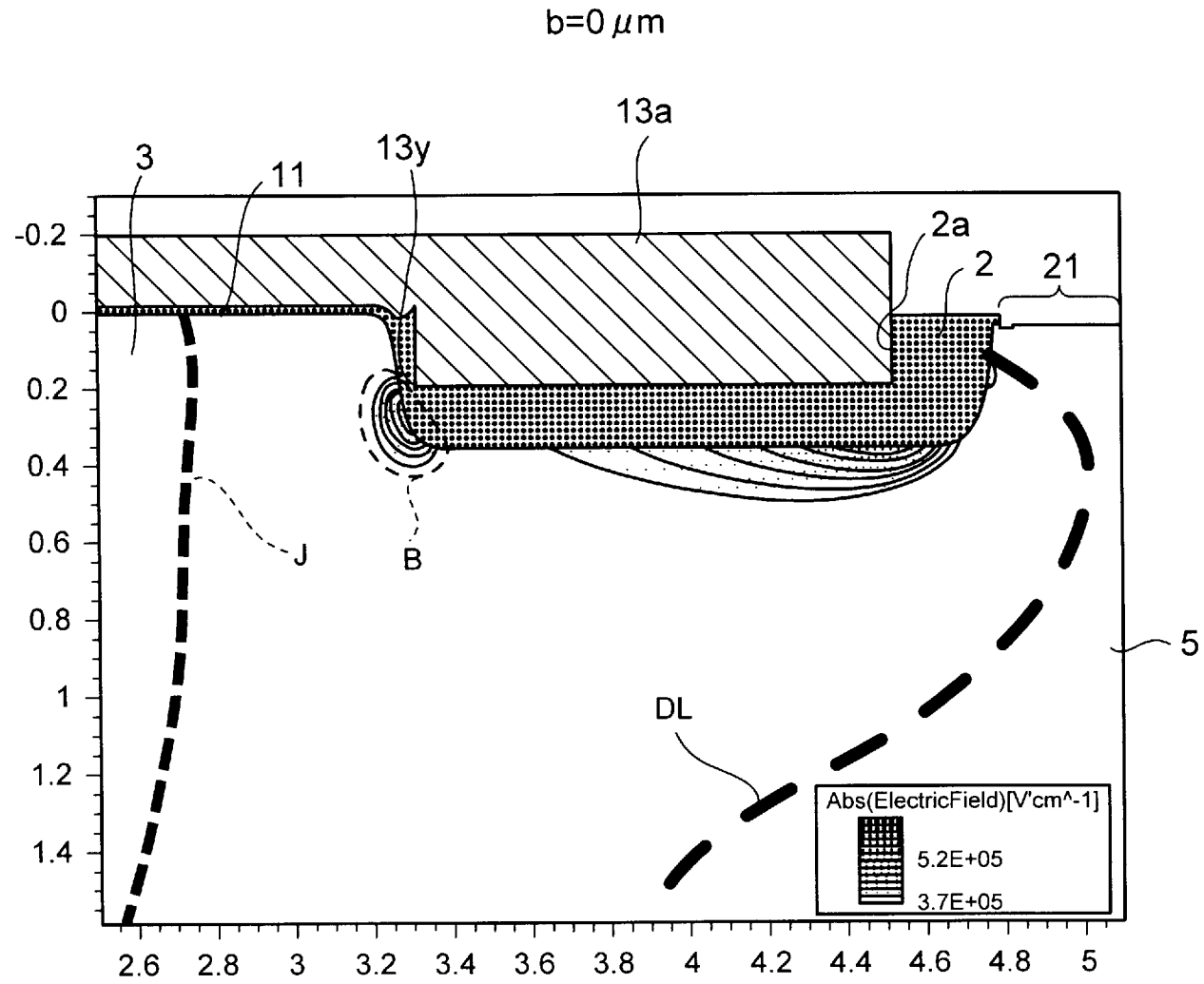


(a)

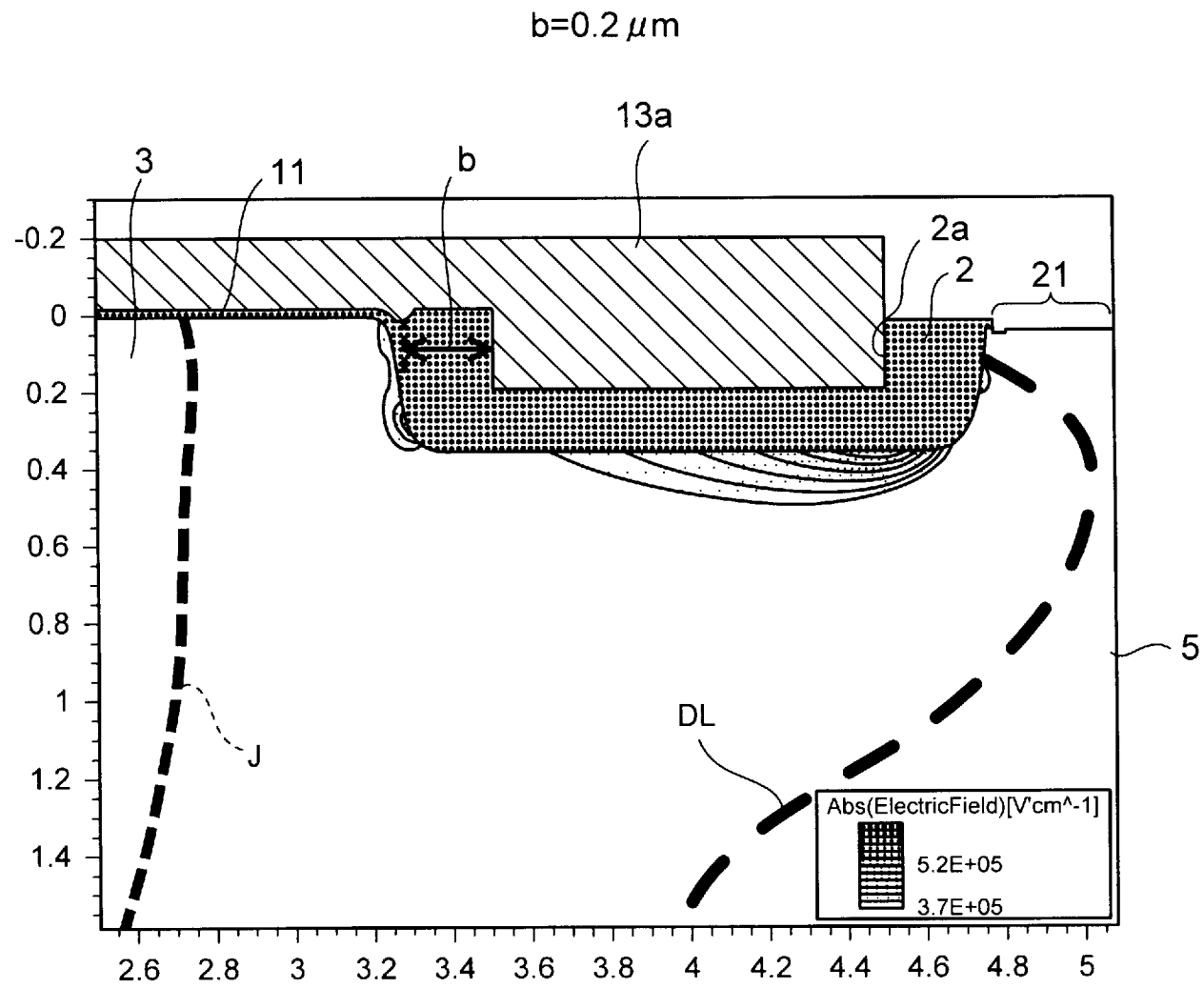


(b)

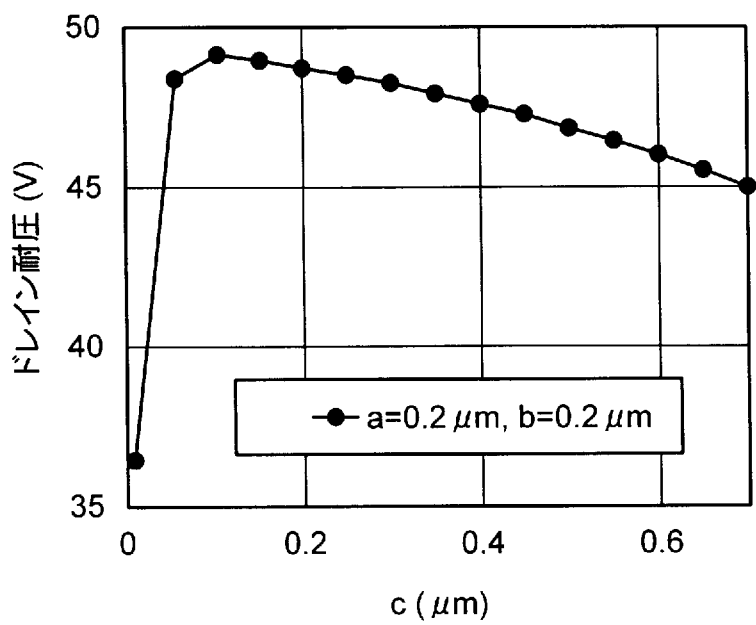
[図 34]



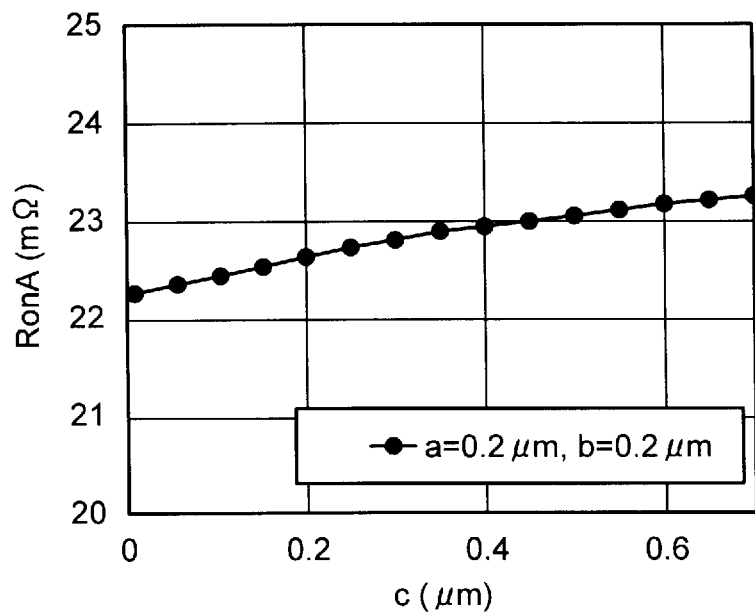
[図35]



[図36]

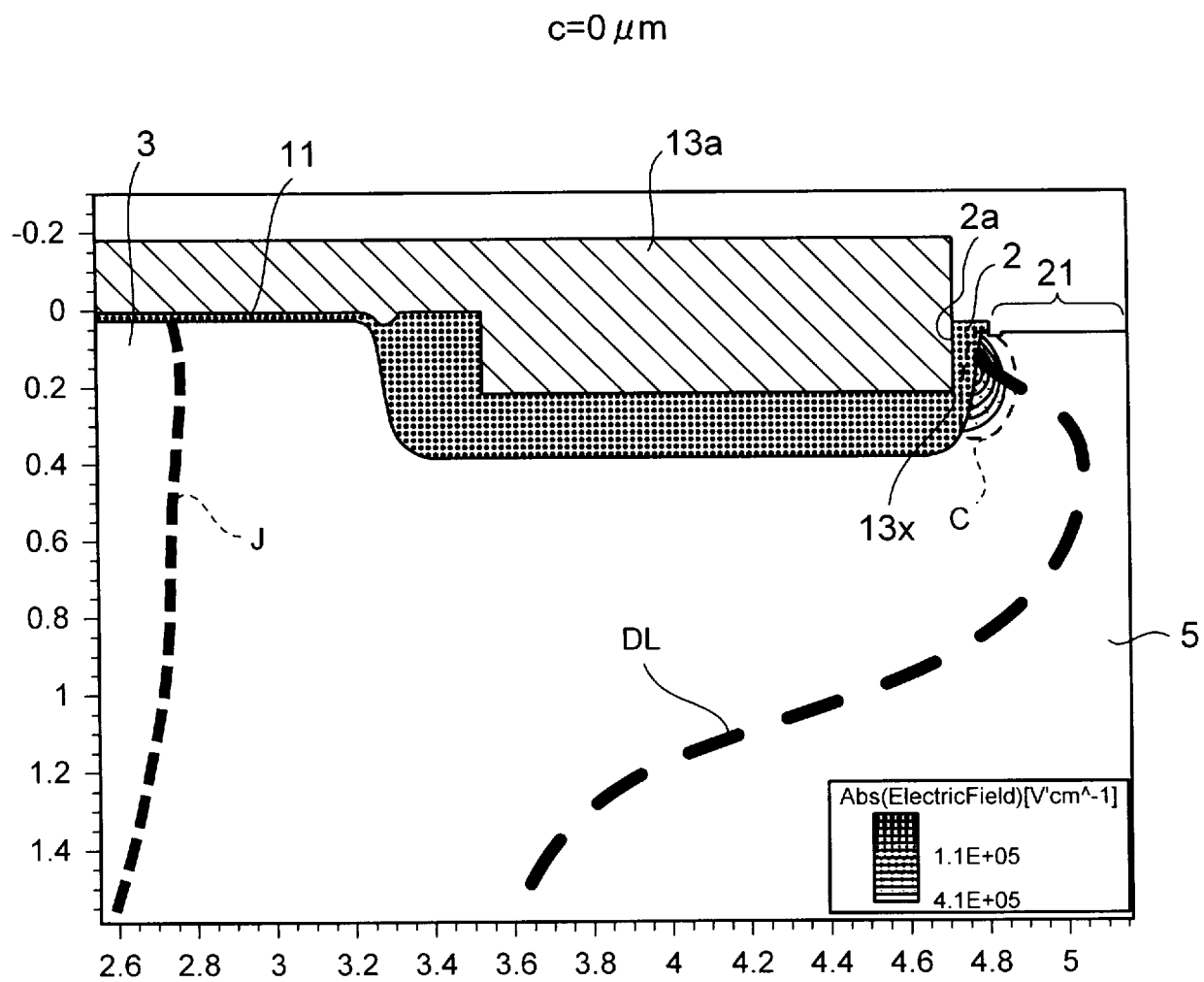


(a)

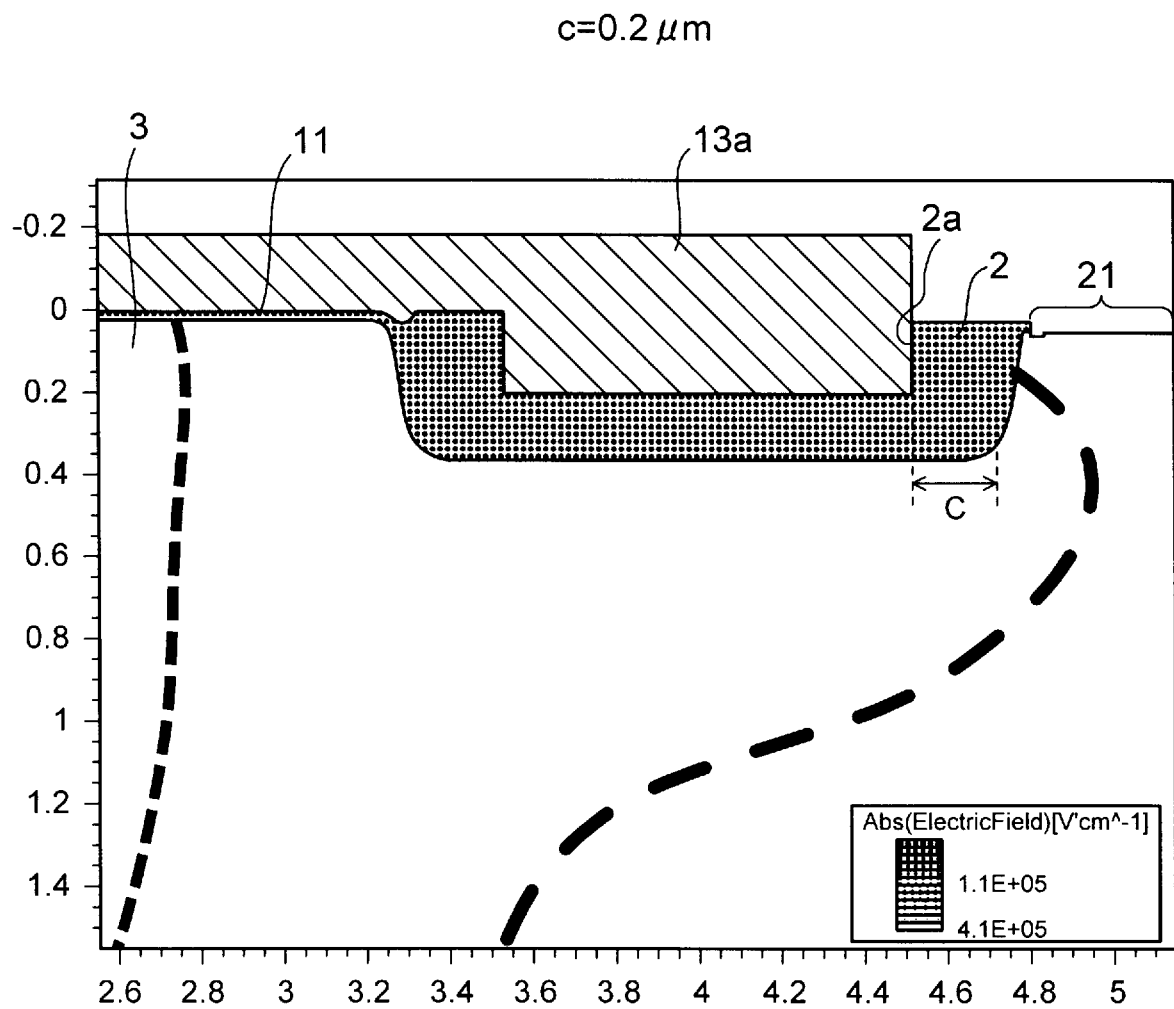


(b)

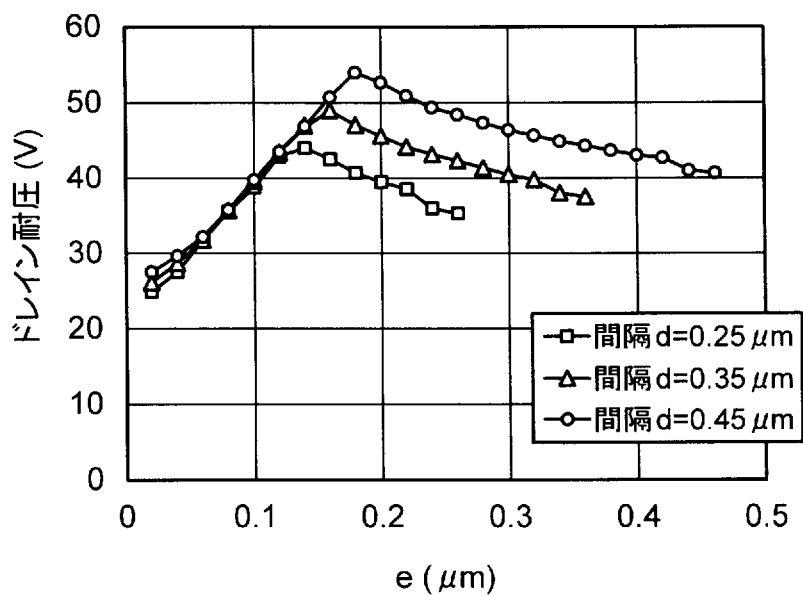
[図37]



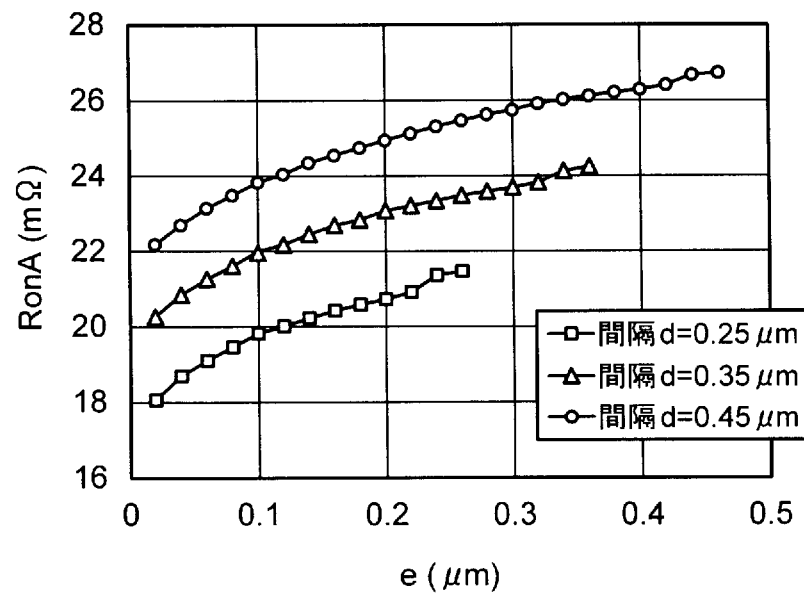
[図38]



[図39]

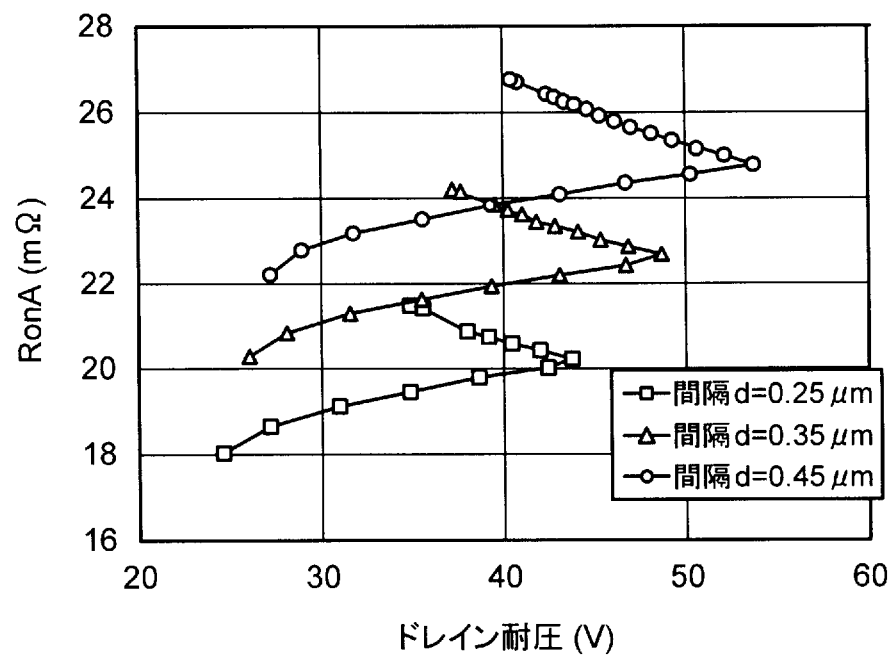


(a)



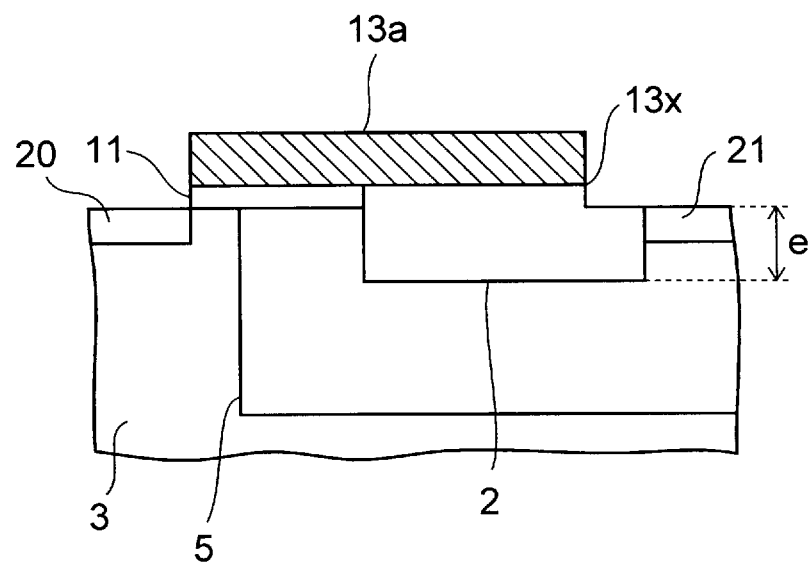
(b)

[図40]



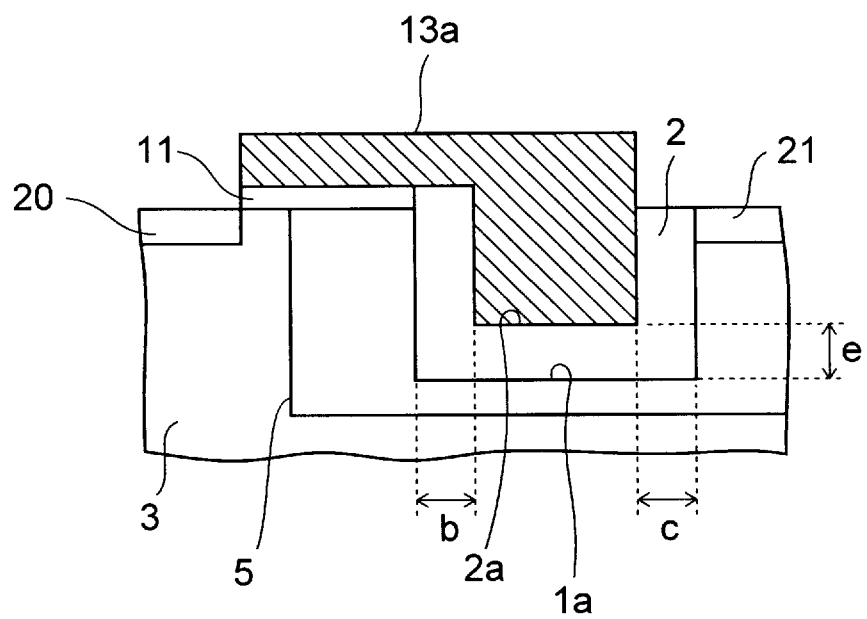
[図41]

比較例



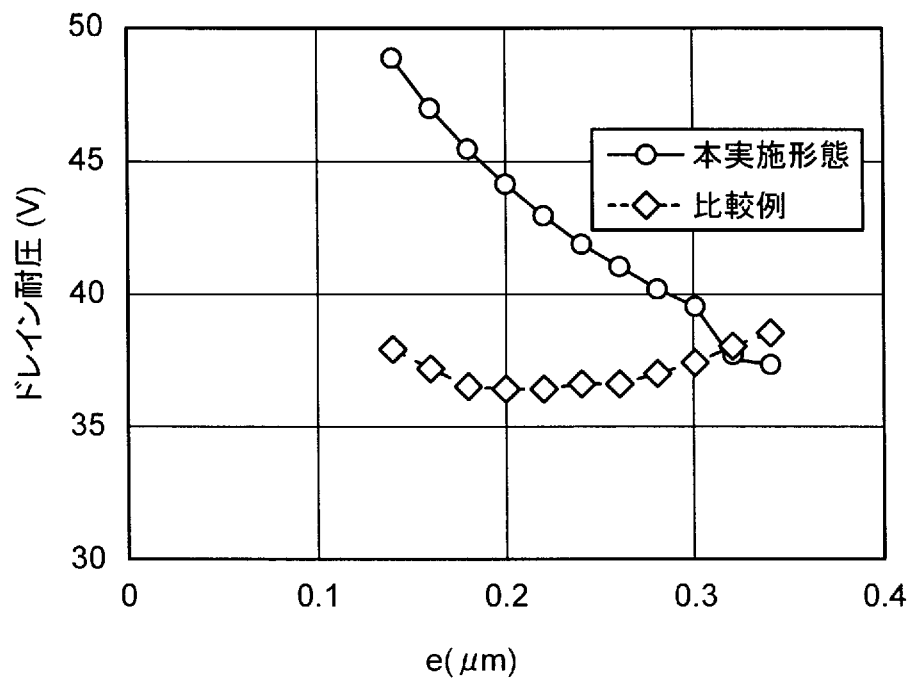
(b)

本実施形態

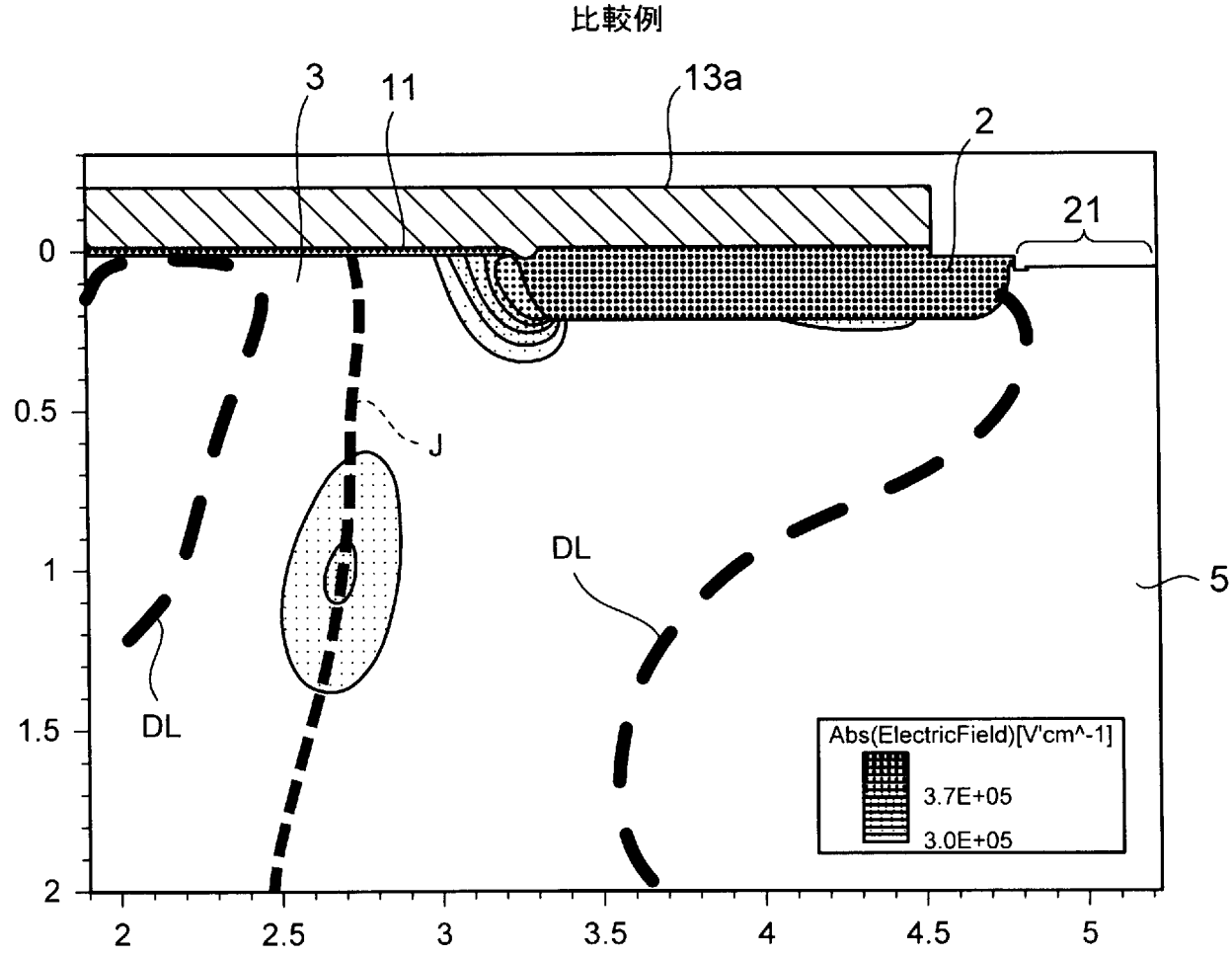


(a)

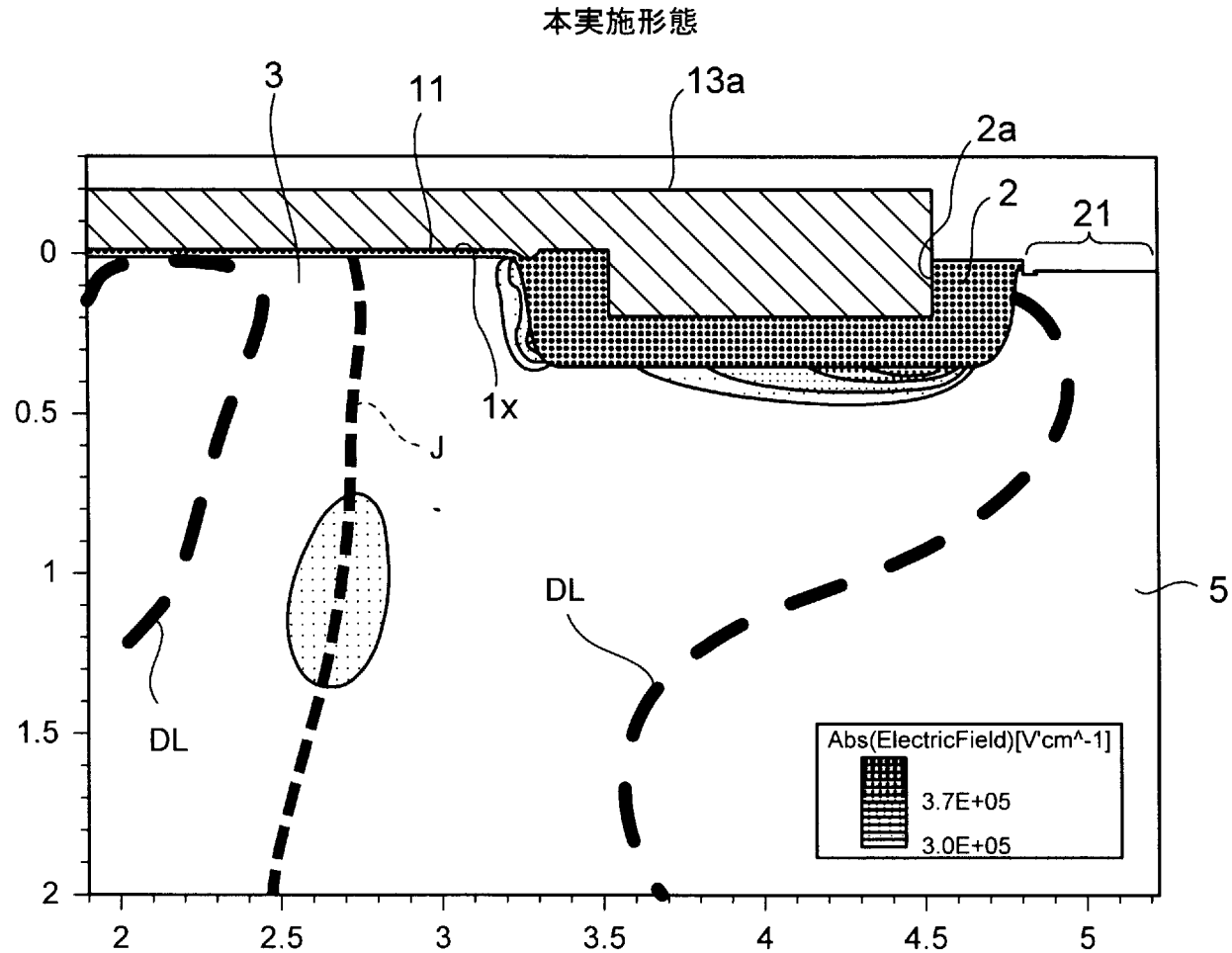
[図42]



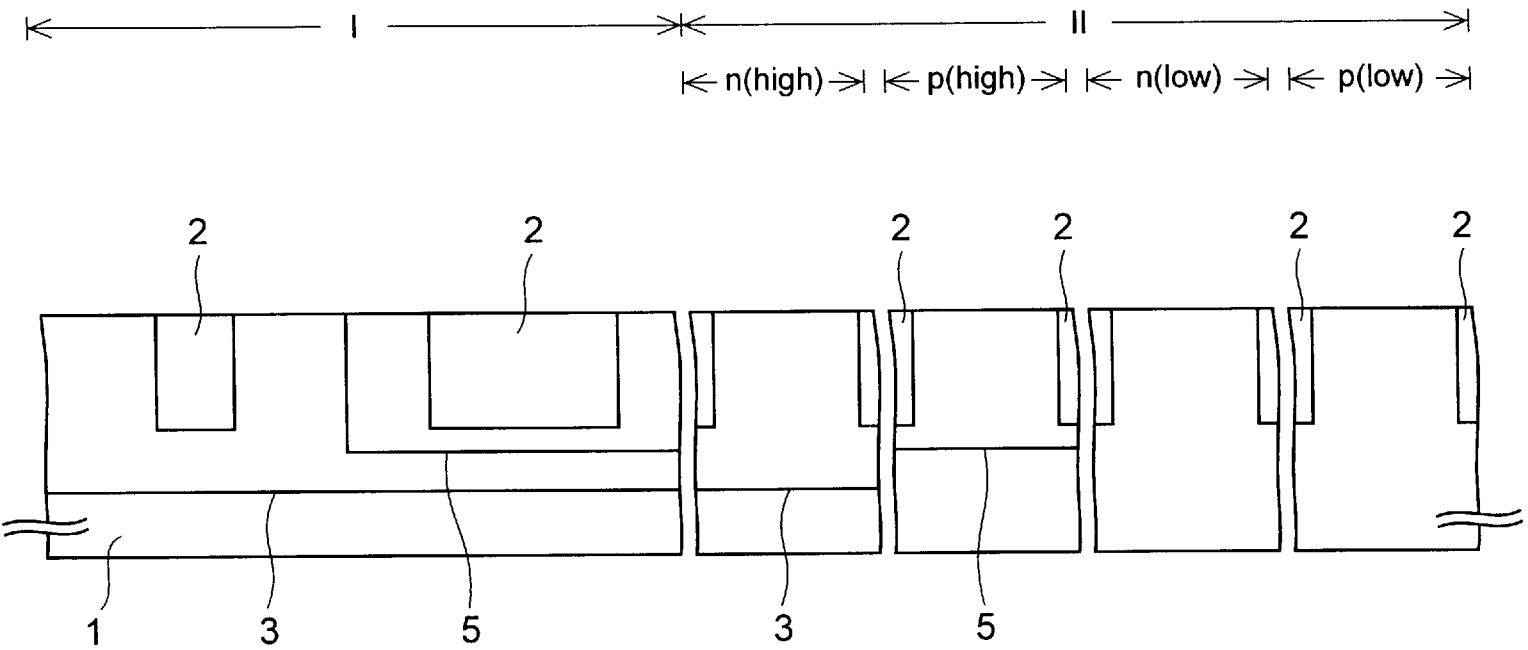
[図43]



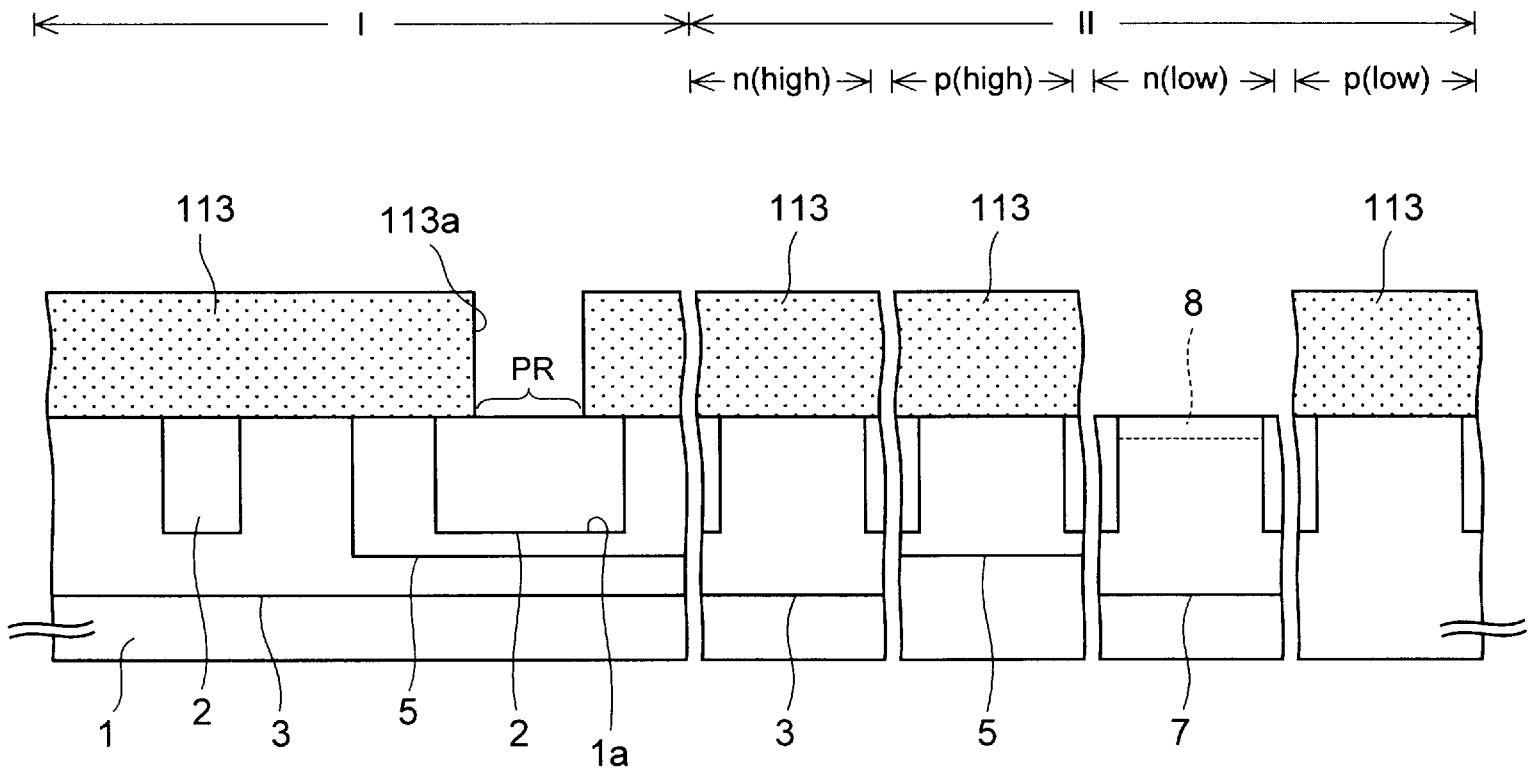
[図44]



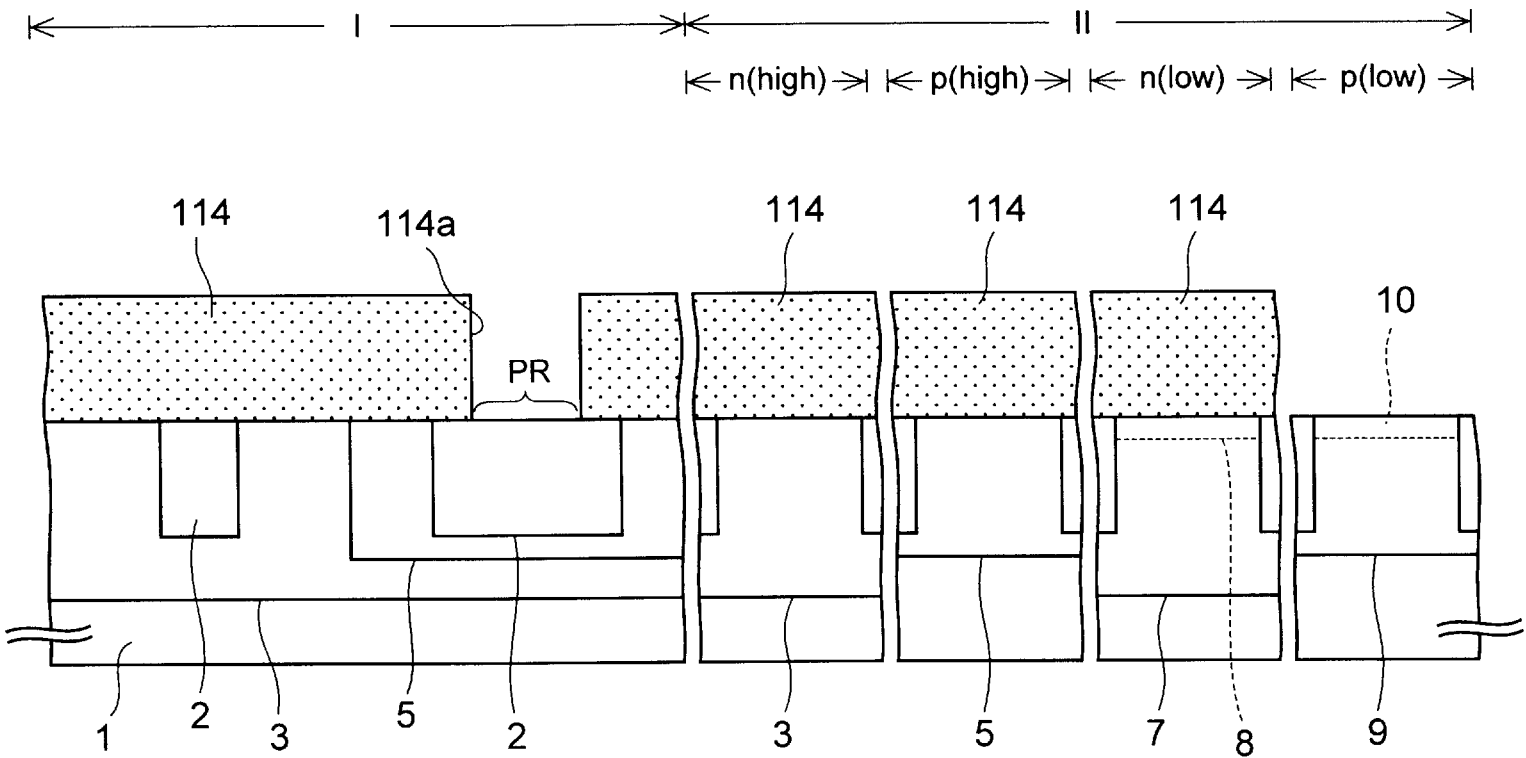
[図45]



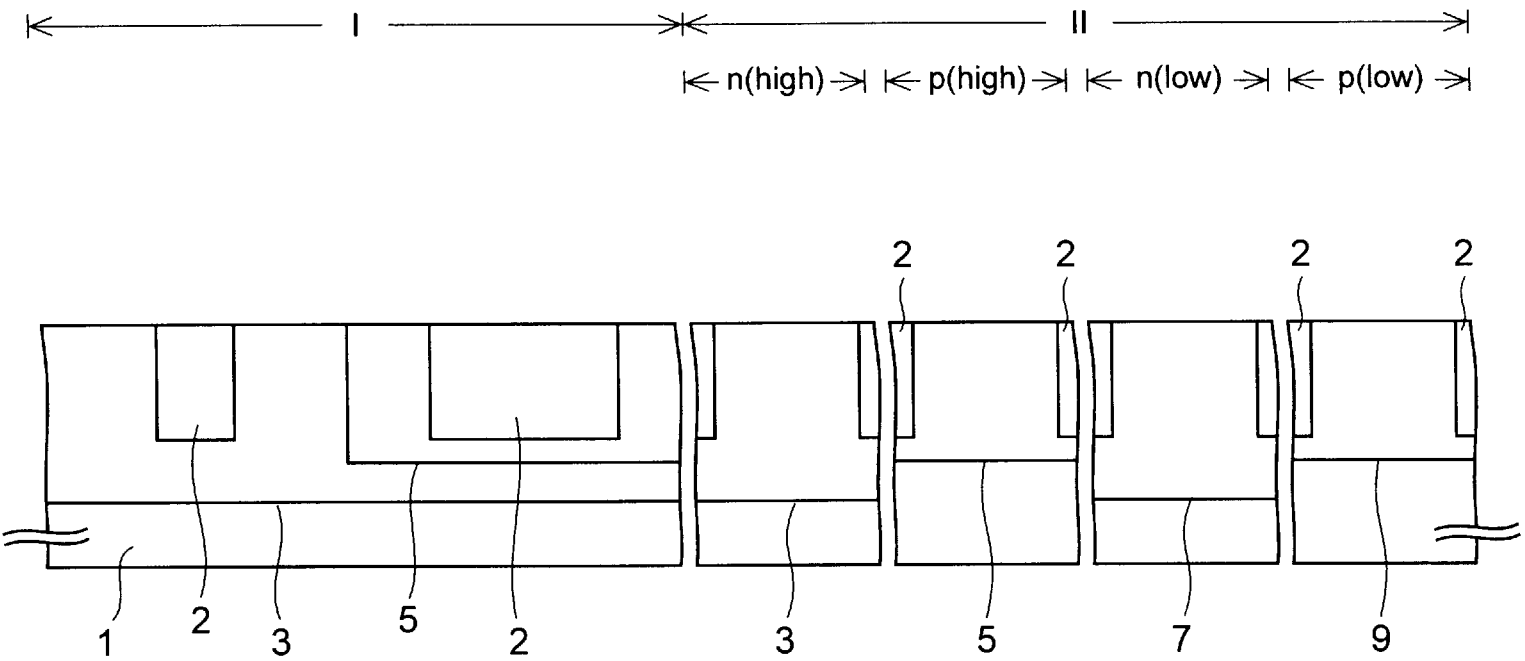
[図46]



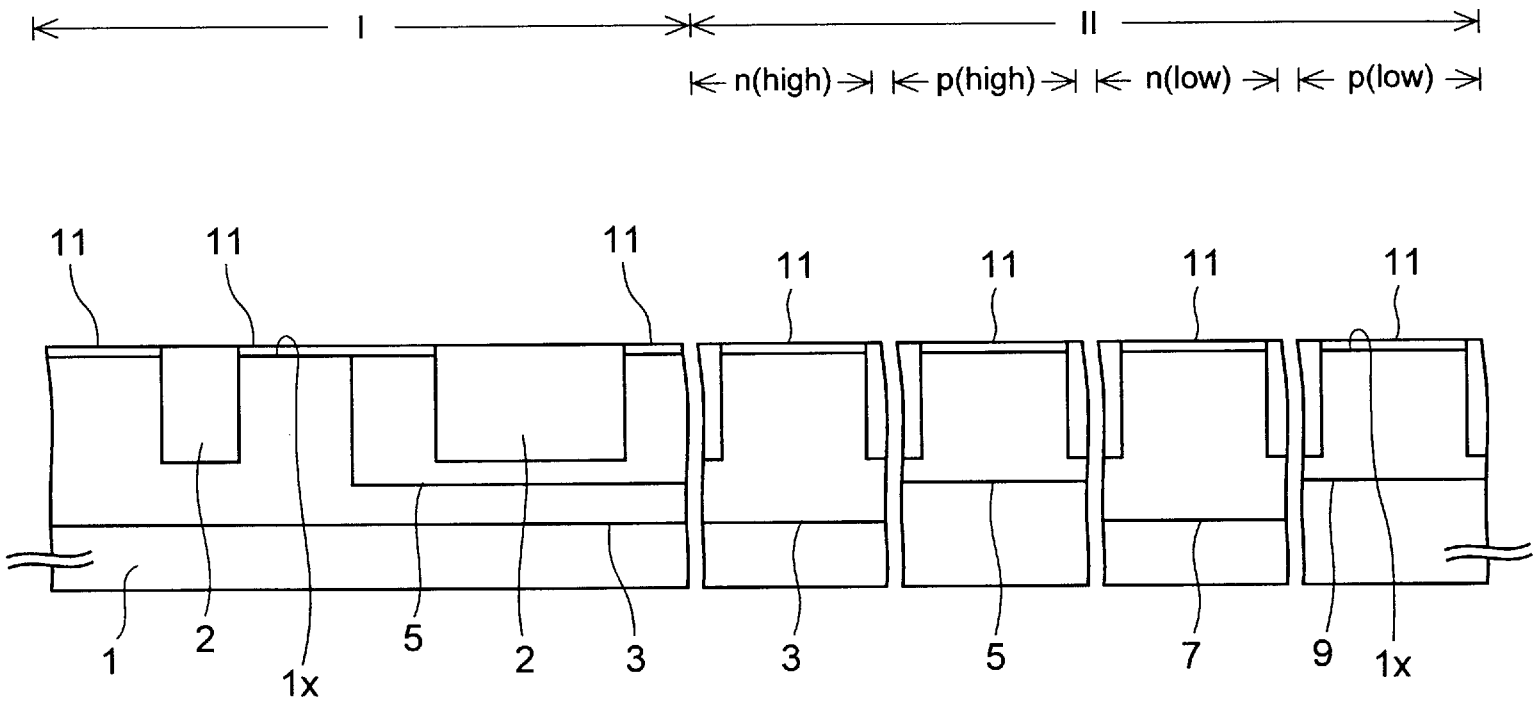
[図47]



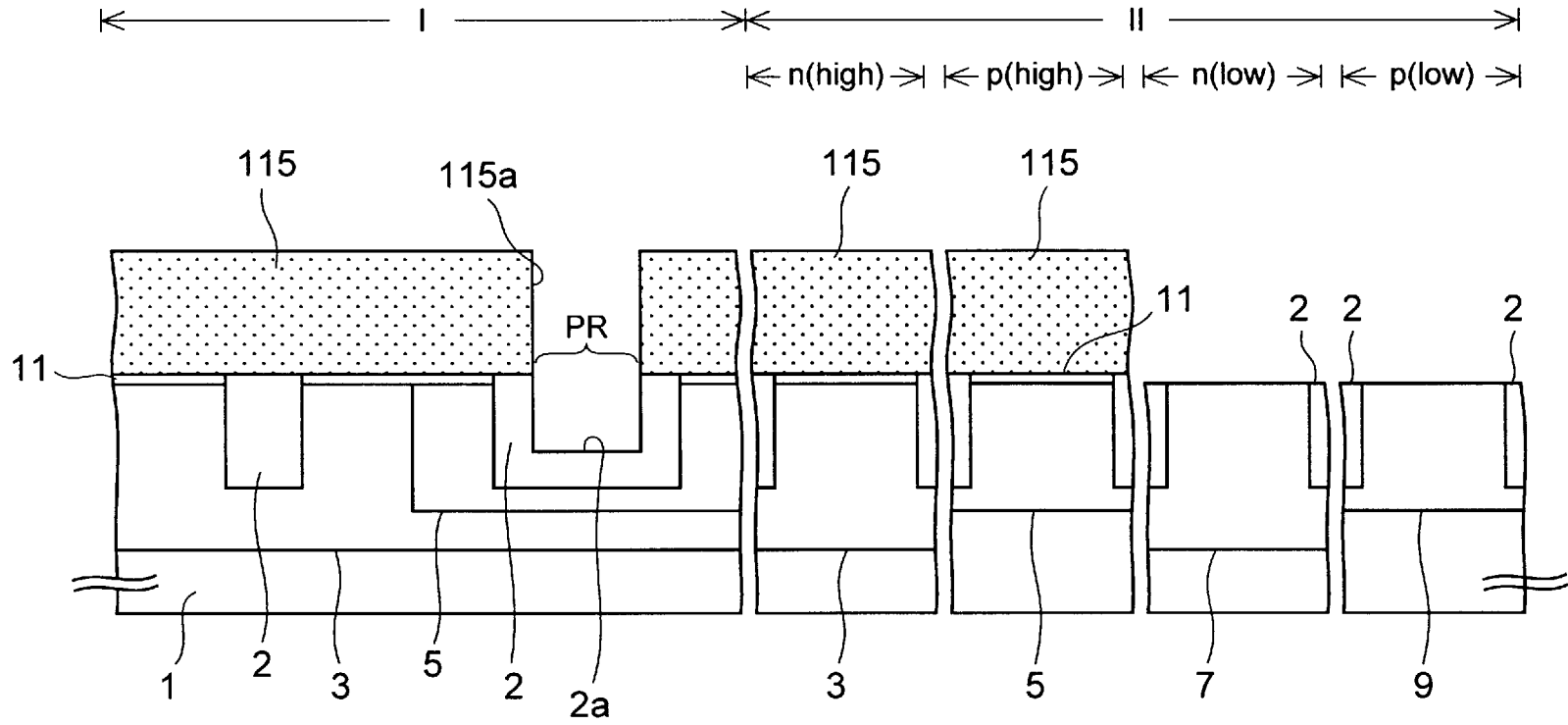
[図48]



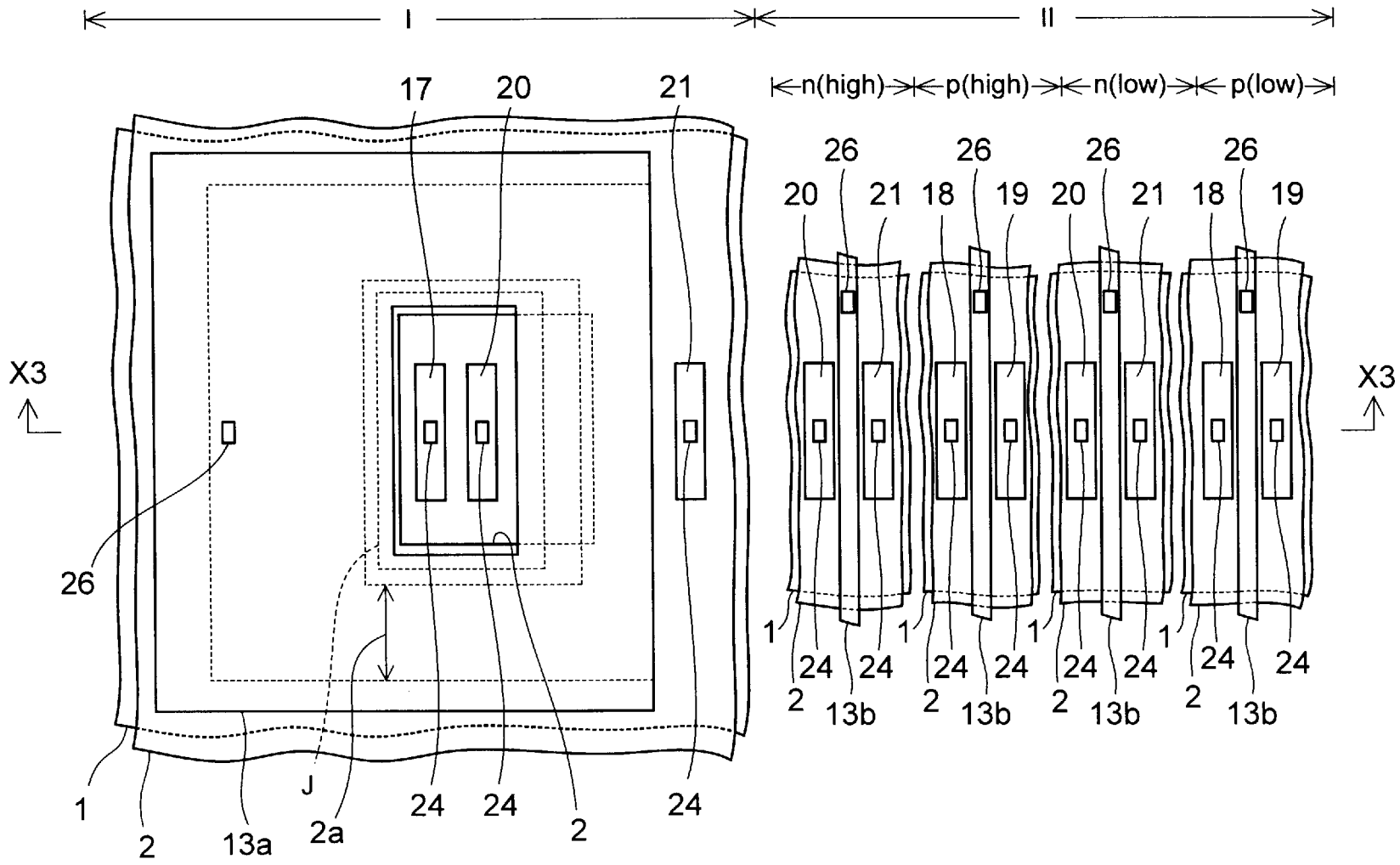
[図49]

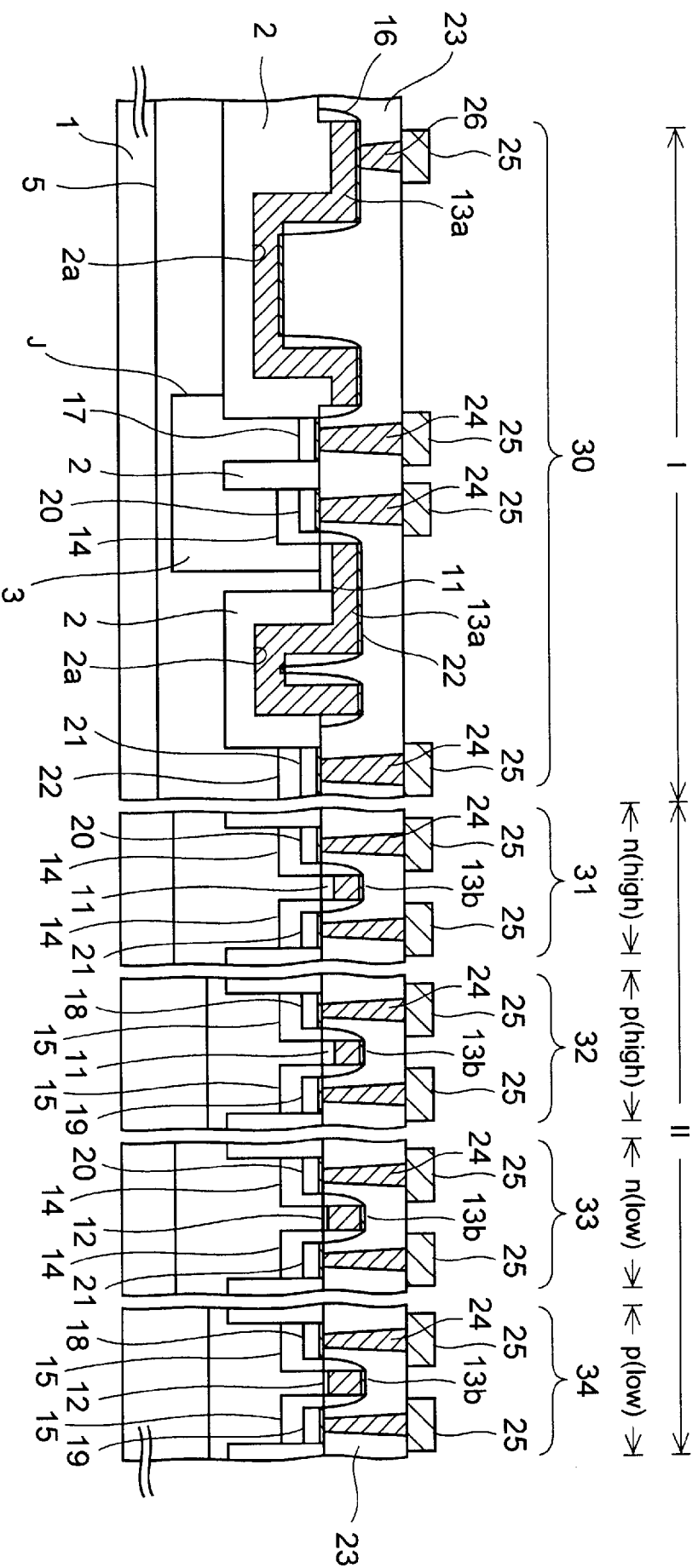


[図50]

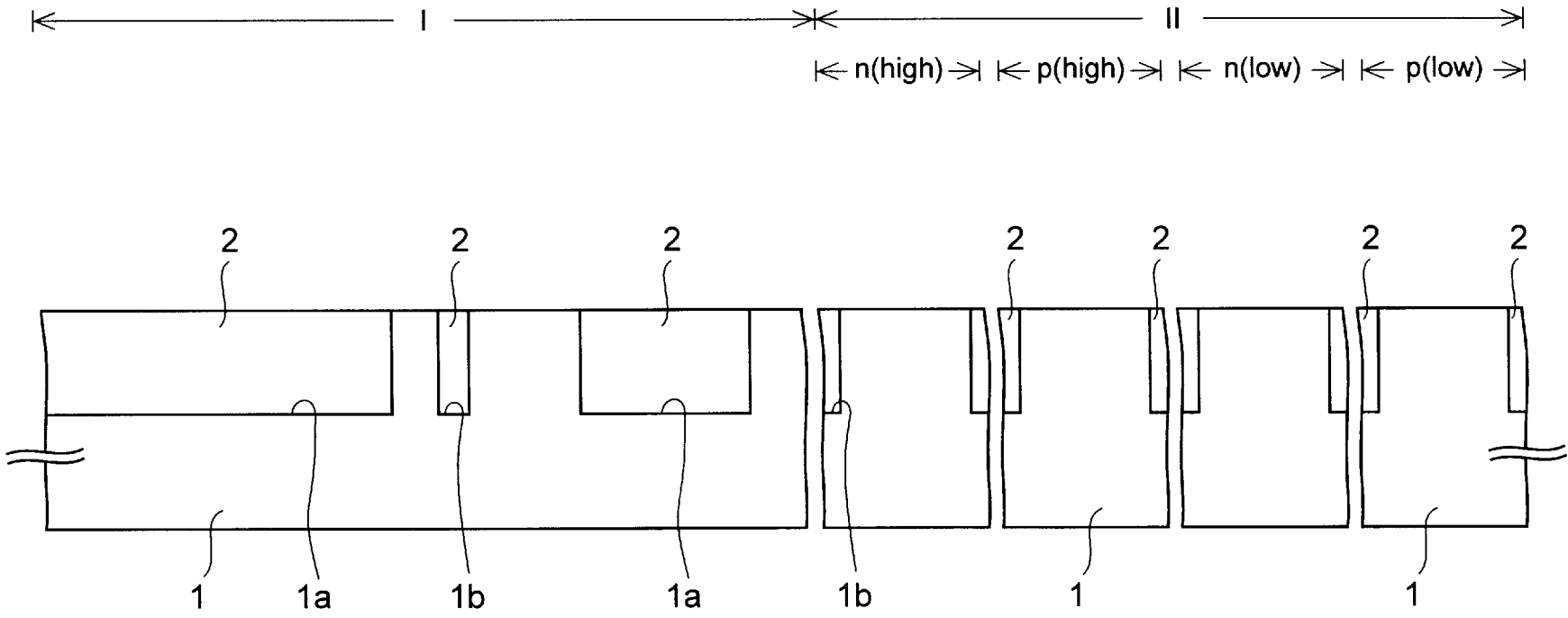


[図51]

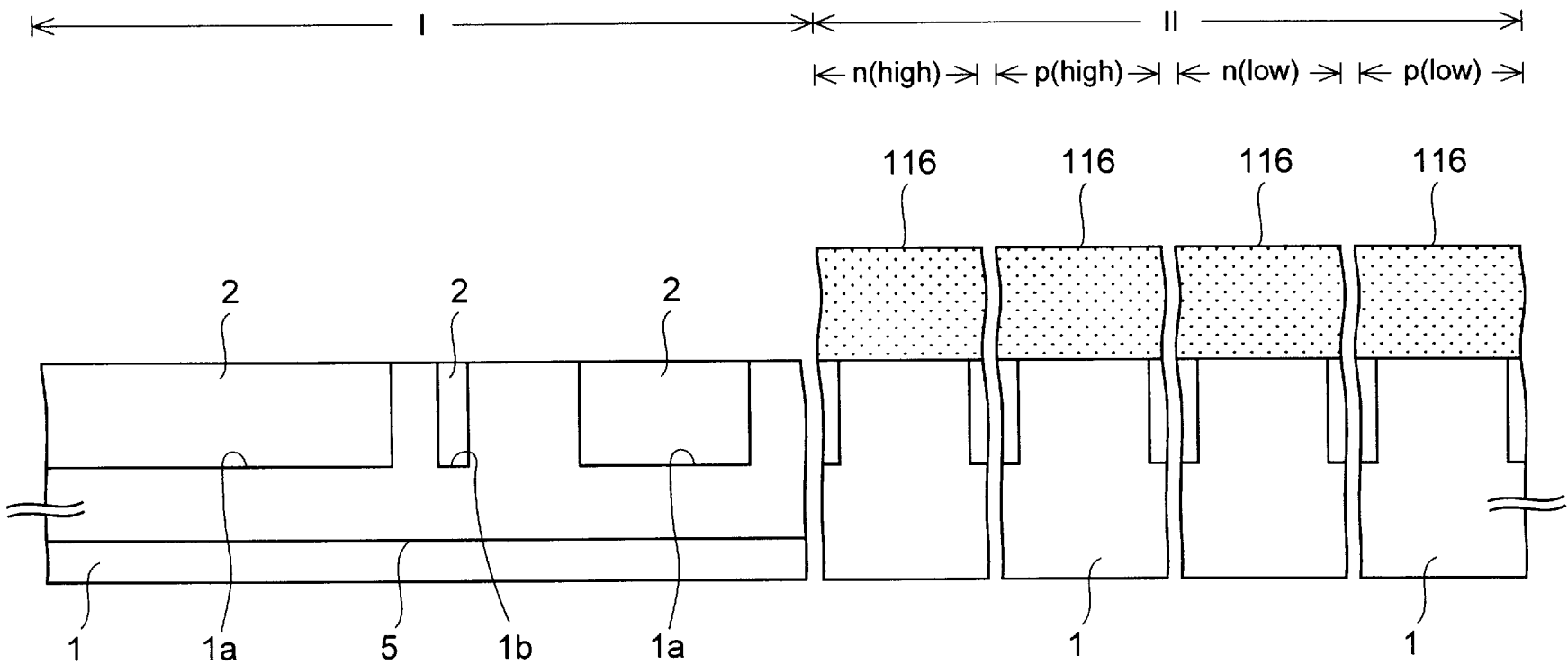




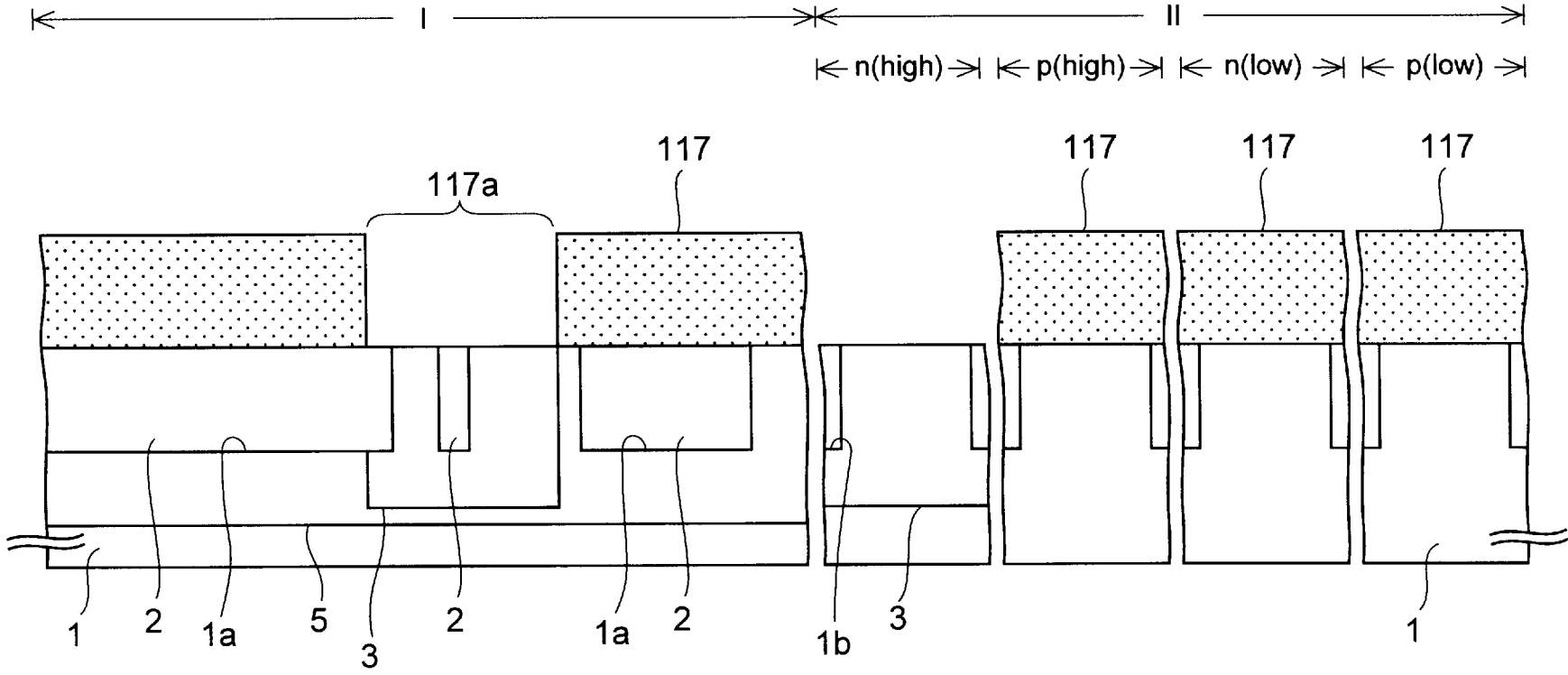
[図53]



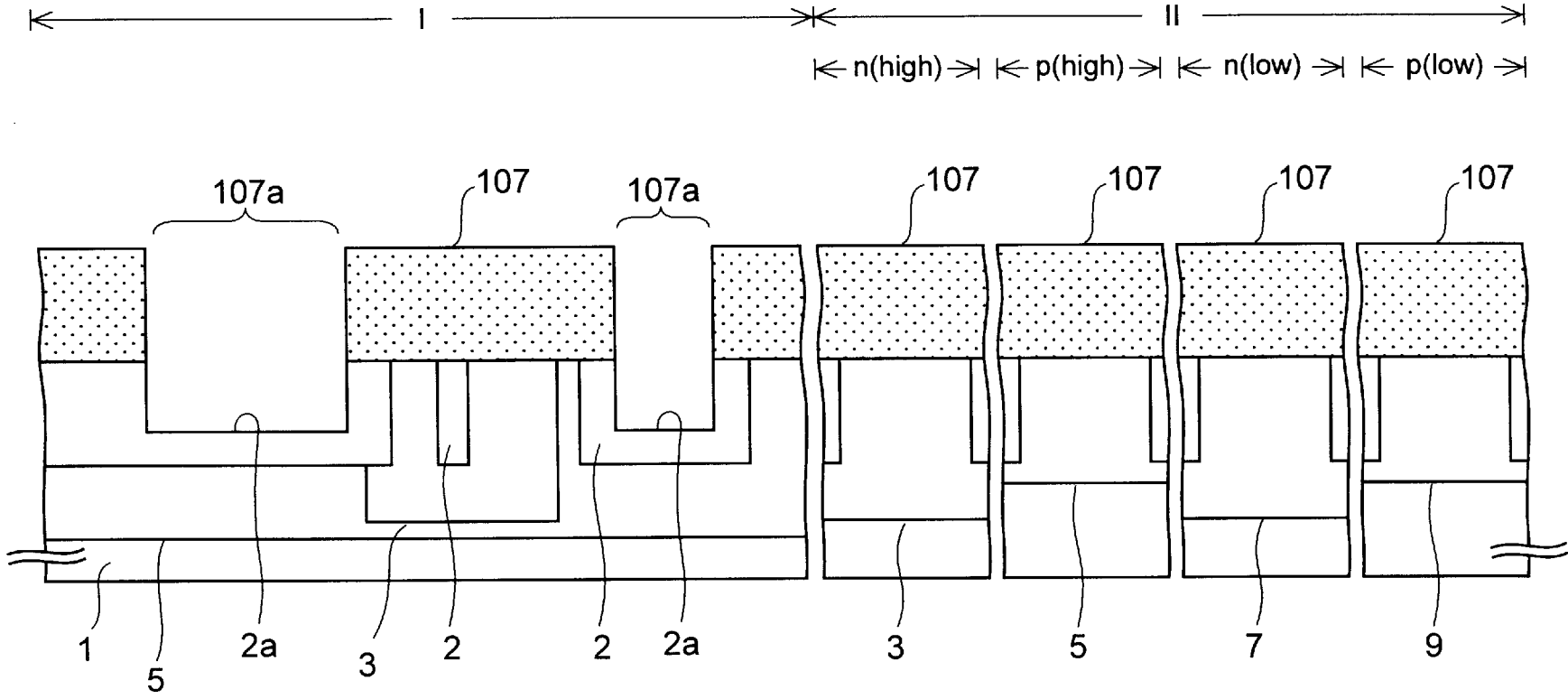
[図54]



[図55]



[図56]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2012/072475

A. CLASSIFICATION OF SUBJECT MATTER

H01L21/336(2006.01)i, H01L21/8234(2006.01)i, H01L27/088(2006.01)i,
H01L29/78(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L21/336, H01L21/8234, H01L27/088, H01L29/78

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2012
Kokai Jitsuyo Shinan Koho	1971-2012	Toroku Jitsuyo Shinan Koho	1994-2012

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2008-182106 A (Denso Corp.), 07 August 2008 (07.08.2008), paragraphs [0016] to [0020]; fig. 1 (Family: none)	1-9
X	JP 2005-183633 A (Toyota Central Research and Development Laboratories, Inc.), 07 July 2005 (07.07.2005), paragraph [0018]; fig. 3 (Family: none)	1-9
A	JP 2010-258226 A (Renesas Electronics Corp.), 11 November 2010 (11.11.2010), fig. 2 & US 2010/0270616 A1 & EP 2244300 A2	1-9



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
22 November, 2012 (22.11.12)

Date of mailing of the international search report
04 December, 2012 (04.12.12)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2012/072475

Box No. II Observations where certain claims were found unsearchable (Continuation of item 2 of first sheet)

This international search report has not been established in respect of certain claims under Article 17(2)(a) for the following reasons:

1. ☐ Claims Nos.:
because they relate to subject matter not required to be searched by this Authority, namely:

2. ☐ Claims Nos.:
because they relate to parts of the international application that do not comply with the prescribed requirements to such an extent that no meaningful international search can be carried out, specifically:

3. ☐ Claims Nos.:
because they are dependent claims and are not drafted in accordance with the second and third sentences of Rule 6.4(a).

Box No. III Observations where unity of invention is lacking (Continuation of item 3 of first sheet)

This International Searching Authority found multiple inventions in this international application, as follows:

In order that a group of inventions set forth in claims comply with the requirement of unity, it is required that a special technical feature for so linking the group of inventions as to form a single general inventive concept is present, but a group of inventions set forth in claims 1-17 are linked with one another by only the matter set forth in claim 1.

However, the above-said matter cannot be a special technical feature, since the matter is disclosed in the prior art document 1 (JP 2008-182106 A) and the prior art document 2 (JP 2005-183633 A).

(Continued to extra sheet)

1. ☐ As all required additional search fees were timely paid by the applicant, this international search report covers all searchable claims.
2. ☐ As all searchable claims could be searched without effort justifying additional fees, this Authority did not invite payment of additional fees.
3. ☐ As only some of the required additional search fees were timely paid by the applicant, this international search report covers only those claims for which fees were paid, specifically claims Nos.:

4. ☒ No required additional search fees were timely paid by the applicant. Consequently, this international search report is restricted to the invention first mentioned in the claims; it is covered by claims Nos.:
1-9

Remark on Protest

- ☐ The additional search fees were accompanied by the applicant's protest and, where applicable, the payment of a protest fee.
- ☐ The additional search fees were accompanied by the applicant's protest but the applicable protest fee was not paid within the time limit specified in the invitation.
- ☐ No protest accompanied the payment of additional search fees.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2012/072475

Continuation of Box No.III of continuation of first sheet (2)

Consequently, there is no special technical feature among the group of inventions set forth in claims 1-17 for so linking the inventions as to form a single general inventive concept.

Consequently, the group of inventions set forth in claims 1-17 does not comply with the requirement of unity of invention.

Next, the number of groups of inventions which are so linked as to form a general concept, namely, the number of inventions set forth in claims of this international application is examined.

There is no special technical feature among the group of inventions set forth in claims 1-17 for so linking the inventions as to form a single general inventive concept as said above.

Consequently, at least two inventions, which are classified into claims 1-9 and claims 10-17, are set forth in claims of this international application.

A. 発明の属する分野の分類 (国際特許分類 (I P C))

Int.Cl. H01L21/336 (2006.01) i, H01L21/8234 (2006.01) i, H01L27/088 (2006.01) i, H01L29/78 (2006.01) i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (I P C))

Int.Cl. H01L21/336, H01L21/8234, H01L27/088, H01L29/78

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 2 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 2 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 2 年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X	JP 2008-182106 A (株式会社デンソー) 2008.08.07, 段落【0016】 - 【0020】, 【図 1】 (ファミリーなし)	1-9
X	JP 2005-183633 A (株式会社豊田中央研究所) 2005.07.07, 段落【0018】, 【図 3】 (ファミリーなし)	1-9
A	JP 2010-258226 A (ルネサスエレクトロニクス株式会社) 2010.11.11, 【図 2】 & US 2010/0270616 A1 & EP 2244300 A2	1-9

C 欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の 1 以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

2 2 . 1 1 . 2 0 1 2

国際調査報告の発送日

0 4 . 1 2 . 2 0 1 2

国際調査機関の名称及びあて先

日本国特許庁 (I S A / J P)

郵便番号 1 0 0 - 8 9 1 5

東京都千代田区霞が関三丁目 4 番 3 号

特許庁審査官 (権限のある職員)

多賀 和宏

5 0

4 4 5 1

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 5 5 9

第II欄 請求の範囲の一部の調査ができないときの意見（第1ページの2の続き）

法第8条第3項（PCT17条(2)(a)）の規定により、この国際調査報告は次の理由により請求の範囲の一部について作成しなかった。

1. ☐ 請求項 _____ は、この国際調査機関が調査をすることを要しない対象に係るものである。
つまり、
2. ☐ 請求項 _____ は、有意義な国際調査をすることができる程度まで所定の要件を満たしていない国際出願の部分に係るものである。つまり、
3. ☐ 請求項 _____ は、従属請求の範囲であってPCT規則6.4(a)の第2文及び第3文の規定に従って記載されていない。

第III欄 発明の単一性が欠如しているときの意見（第1ページの3の続き）

次に述べるようにこの国際出願に二以上の発明があるところこの国際調査機関は認めた。

請求の範囲に記載されている一群の発明が単一性の要件を満たすためには、その一群の発明を単一の一般的発明概念を形成するように連関させるための、特別な技術的特徴の存在が必要であるところ、請求項1～17に記載されている一群の発明は、請求項1に記載された事項でのみ関連している。

しかしながら、この事項は、先行技術文献1（JP 2008-182106 A）や先行技術文献2（JP 2005-183633 A）に記載されているため、特別な技術的特徴とはなり得ない。

そうすると、請求項1～17に記載されている一群の発明の間には、単一の一般的発明概念を形成するように連関させるための特別な技術的特徴は存在しないこととなる。

よって、請求項1～17に記載されている一群の発明は、発明の単一性の要件を満たしていない。

1. ☐ 出願人が必要な追加調査手数料をすべて期間内に納付したので、この国際調査報告は、すべての調査可能な請求項について作成した。
2. ☐ 追加調査手数料を要求するまでもなく、すべての調査可能な請求項について調査することができたので、追加調査手数料の納付を求めなかった。
3. ☐ 出願人が必要な追加調査手数料を一部のみしか期間内に納付しなかったため、この国際調査報告は、手数料の納付のあった次の請求項のみについて作成した。
4. ☒ 出願人が必要な追加調査手数料を期間内に納付しなかったため、この国際調査報告は、請求の範囲の最初に記載されている発明に係る次の請求項について作成した。

1-9

追加調査手数料の異議の申立てに関する注意

- ☐ 追加調査手数料及び、該当する場合には、異議申立手数料の納付と共に、出願人から異議申立てがあった。
- ☐ 追加調査手数料の納付と共に出願人から異議申立てがあったが、異議申立手数料が納付命令書に示した期間内に支払われなかった。
- ☐ 追加調査手数料の納付はあったが、異議申立てはなかった。

(第Ⅲ欄の続き)

次に、この国際出願の請求の範囲に記載されている、一般的概念を形成するように連関している発明の群の数、すなわち、発明の数について検討する。

請求項 1 ～ 1 7 に記載されている一群の発明の間には、上記のとおり単一の一般的発明概念を形成するように連関させるための特別な技術的特徴は存在しない。

そうすると、この国際出願の請求の範囲には、少なくとも、請求項 1 ～ 9、請求項 1 0 ～ 1 7 に区分される 2 個の発明が記載されている。