



MEMÓRIA DESCRITIVA
DA
PATENTE DE INVENÇÃO
Nº 95 575

NOME: GEC PLESSEY TELECOMMUNICATIONS LIMITED, britânica, com
sede em New Century Park, P.O. Box 53, Coventry, CV3
1HJ., Reino Unido

EPÍGRAFE: "Arranjo de detecção de falha e monitorização de
largura de banda para um arranjo de comutação de
blocos"

INVENTORES: John Spencer Arnold e Alexander Schroder Philip

Reivindicação do direito de prioridade (ao abrigo do artigo
4º da Convenção de Paris de 20 de Março de 1883):

Reino Unido em 13 de Outubro de 1989 sob o nº. 8923158.3

71 629
A/GPT/4061/PT
(G 11042/S3/D)

PATENTE Nº. 95 575

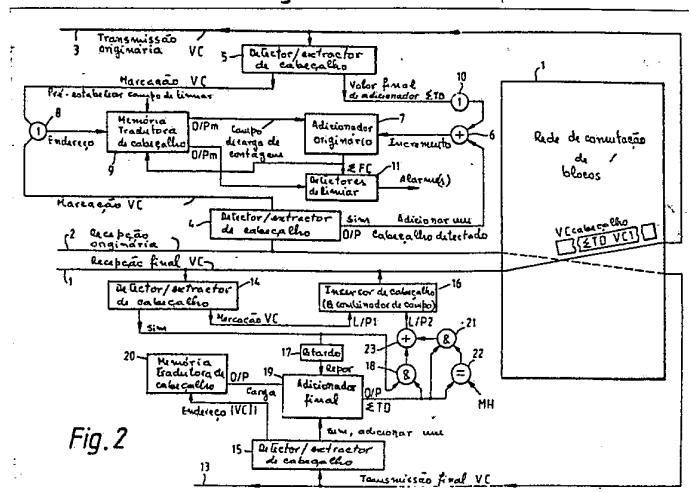
"Arranjo de detecção de falha e monitorização de largura de banda para um arranjo de comutação de blocos"

para que

GEC PLESSEY TELECOMMUNICATIONS LIMITED, pretende obter privilégio de invenção em Portugal.

R E S U M O

O presente invento refere-se a um arranjo de detecção de falha e de monitorização de largura de banda que proporciona um contador em associação com cada ponto de cruzamento de circuito virtual. Os contadores podem ser proporcionados com um valor de limiar comum ou individual, o qual quando excedido provoca que sejam gerados sinais de alarme. O arranjo de contador é disposto para registar o desequilíbrio médio dos dados recebidos e transmitidos em cada acesso de comutação envolvido na ligação de circuito virtual, e adicionalmente é disposto para medir a diferença entre os fluxos de dados líquidos dos correspondentes acessos de entrada e de saída. Em consequência, é possível distinguir entre o desequilíbrio de tráfego de ida/retorno e uma situação de perda de informação no comutador.



71 629

A/GPT/4061/PT

(G 11042/S3/D)



-2-

MEMÓRIA DESCRITIVA

O presente invento refere-se a meios de detecção de falha e monitorização de largura de banda para um arranjo de comutação de blocos, tal como um comutador ATD (divisão de tempo assíncrona), entre placas num dispositivo.

A detecção de falta num comutador ATD puro e assíncrono onde planos de comutação duplicados podem não ser proporcionados ou, se proporcionados, não são síncronos entre si, serão baseados em técnicas de correlação de erro, em vez de comparação de plano directa.

A gestão de tráfego num tal comutador envolve a monitorização de largura de banda para determinar o grau efectivo de utilização das ligações, quando opostas à utilização planeada ou negociada. Neste contexto a utilização planeada refere-se à fase de estabelecimento de ligação da comutação, onde um circuito de comutação é seleccionado de acordo com uma estima da carga de ligação de comutação, baseada em velocidades de dados e na natureza estatística das ligações. A utilização negociada refere-se à classe do serviço do cliente que pode ser debitado de acordo com a qualidade do critério de serviço.

Os desvios da ocupação planeada devem ser esperados, quando são estabelecidas novas ligações, durante os tempos de espera das existentes, de uma maneira que não pode ser predita com precisão. Além disso, as condições de falha podem provocar a redistribuição do tráfego devido a reencaminhamento em torno das falhas, incluindo técnicas de auto-tratamento.

Os desvios da ocupação planeada podem ser reduzidos se o comutador estiver completamente consciente dos seus tipos de ligação, em termos de largura de banda do pico à média, e fonte com corrente ou de impulsos.

De modo similar, os desvios da ocupação negociada podem ocorrer, devido a utilização fraudulenta ou mau funcionamento.

Um objectivo do presente invento é proporcionar meios de



-3-

detecção de falha e de monitorização de largura de banda, que resolvem os problemas atrás mencionados, de uma maneira eficiente.

Um objectivo adicional do presente invento é proporcionar uma entidade lógica, para executar os dois papéis, bastante diferentes, de detecção de falha e monitorização de tráfego. A entidade lógica é um arranjo de contador, no qual os diferentes limiares pré-estabelecíveis iniciam alarmes e pesquisa de falhas, e provocam o reencaminhamento, dentro do comutador ou externamente ao comutador, ou podem mesmo forçar um estado de desligado.

De acordo com o presente invento é proporcionado um arranjo de detecção de falha e monitorização de largura de banda para utilização num arranjo de comutação de blocos, tendo uma pluralidade de acessos de entrada e uma pluralidade de acessos de saída, estando os ditos acessos de entrada e de saída, dispostos para serem interligados por uma pluralidade de elementos de comutação, compreendendo cada um deles um certo número de pontos de cruzamento de comutação de circuito virtuais, caracterizado por cada circuito virtual ter um arranjo de contador associado, disposto para medir a diferença entre os fluxos de dados líquidos, nos correspondentes acessos de entrada e de saída, e tendo limiares pré-estabelecíveis que provocam que sejam, gerados sinais de alarme, quando os limiares são excedidos.

Uma concretização do presente invento será agora descrita com referência aos desenhos anexos, nos quais:

a figura 1 mostra uma configuração típica de um comutador de acesso 512, e

a figura 2 mostra um exemplo de arranjo de contador, localizado num acesso de comutação exterior, compreendendo um acesso de entrada e o correspondente acesso de saída da figura 1, para tráfego numa direcção de transmissão.

Referindo a figura 1, é mostrada uma configuração típica para um arranjo de comutação de acesso 512. O arranjo compreende um certo número de elementos de comutação tais como 0-7,

compreendendo cada elemento oito entradas. Cada elemento contém filas que são utilizadas para abrandarem o fluxo de dados para os acessos de saída. Os elementos estão interligados de modo que qualquer acesso de entrada pode ser ligado a qualquer acesso de saída. A configuração é mostrada como estando na forma dobrada, pelo que os acessos de entrada assentam no mesmo lado que os acessos de saída.

Os vários elementos de contador, que formam a base do presente invento, são proporcionados para cada circuito virtual nos lados de entrada ou saída de comutação, dos acessos externos à estrutura de comutação, por exemplo, de um acesso compreendendo o acesso de entrada de topo esquerdo e o acesso de saída de topo direito da figura 1. Os registadores estão dispostos, para registarem a diferença média entre a quantidade de dados enviados para o comutador, num circuito virtual e os recebidos do comutador na extremidade oposta do circuito através do comutador. Para fazer isto, devem ser proporcionados meios para comunicarem a quantidade dos dados recebidos, no acesso que recebe os dados, para o acesso que envia os dados. Cada acesso é, tanto um receptor como um emissor de dados para o comutador e, em consequência, devem ser proporcionados circuitos de informação simétricos internos, em relação à estrutura de comutação, para cada direcção de transmissão, para cada um dos circuitos virtuais. Uma vez que a finalidade do comutador é proporcionar circuitos de comunicação de dados recíprocos para circuitos virtuais, entre acessos da comutação, é desejável que os mesmos meios de comunicação sejam utilizados para a finalidade secundária de comunicação de informação da quantidade dos dados transmitidos, através do comutador, em cada um dos circuitos virtuais.

Todos os circuitos virtuais são assumidos como sendo de ambas as direcções no comutador, mesmo se de facto um circuito virtual for unidireccional. O mesmo valor de marcação é utilizado para as duas direcções de transmissão. Como mencionado anteriormente, o comutador é, de facto, dobrado e de lado único sendo, por isso, cada direcção de um circuito virtual um circuito separado



-5-

através do comutador, o mesmo é dizer do acesso X para o acesso Y, e do acesso Y para o acesso X, como é o caso num comutador típico tipo sistema X.

Cada cabeçalho de bloco mantém um campo adicional, o qual proporciona um certo número de blocos recebidos no circuito virtual, desde que, pelo menos, um seja transmitido. O valor deste campo vem do arranjo de contador em relação a cada circuito virtual, o qual indica o número de blocos recebidos. O tamanho de campo e a contagem podem ser da ordem de cinco bits para até trinta e um blocos recebidos. Notar-se-á que a contagem permite uma grande discrepância em velocidades para as duas direcções de transmissão. Para abastecer os circuitos virtuais unidireccionais é gerado um bloco por uma unidade final de linha digital, se a contagem acumula o tamanho de campo. Na extremidade de recepção o valor desta contagem é subtraído da contagem dos blocos enviados. Isto necessita de ser maior do que o tamanho de campo, digamos sete bits. Uma acumulação desta contagem acima de um valor pré-estabelecido resultaria no disparo de uma indicação de alarme. O valor pré-estabelecido seria mantido na memória tradutora de circuito virtual e seria, em consequência, diferente para cada circuito virtual, permitindo a minimização do tempo de detecção de falha, dependente da relação esperada das velocidades de bloco para as duas direcções.

Referindo a figura 2 apenas são mostradas as ocorrências de saída de tradutor de colector, as quais são relevantes para os contadores de detecção de falha. Outras traduções de cabeçalho operacional básico são omitidas por razões de clareza. O desenho mostra circuitos para a direcção de tráfego X recebido para Y apenas transmitido. Adicionalmente, seriam proporcionados arranjos idênticos para a verificação da direcção Y recebido para X transmitido. O arranjo de contador é mostrado ligado através de uma rede de comutação de blocos 1, tal como a mostrada na figura 1 dos desenhos anexos.

Considerando primeiramente o circuito virtual originando

recepção e o lado de circuito virtual originando transmissão do arranjo, cada bloco de dados passado ao longo dos fios 2 e 3, tem informação de cabeçalho detectada e extraída pelos circuitos 4 e 5, respectivamente. Se é detectado um cabeçalho, é gerada uma saída do circuito 4 que é passada para um combinador 6 para incrementar o circuito adicionador de origem 7. O circuito 4 extrai a marcação de circuito virtual e passa a mesma para um combinador 8, de modo que a mesma pode fazer parte do endereço para o circuito de memória de tradução de cabeçalho. De modo similar, o circuito 5 extrai o valor de adicionador final Σ_{TD} , o qual é passado através de um circuito inversor 10 para o combinador 6 para incrementar o circuito adicionador 7. A marcação de circuito virtual é também extraída pelo circuito 5 e apresentada ao combinador 8, para endereçar o circuito de memória tradutora de cabeçalho 9. O circuito de memória tradutora de cabeçalho 9 é também representado por campos de limiar pré-estabelecidos, e gera dois sinais de saída, saída n e saída m. A saída n representa o campo de contagem de carga e é utilizada para controlar o circuito de adicionador de origem 7, o qual compreende sete bits de dados. A saída do circuito de adicionador de origem 7, Σ_{FC} é passada para os detectores de limiar 11. Esta saída é também passada para um circuito de memória de tradução de cabeçalho 9, para manter o registo contínuo do valor de corrente do somatório Σ_{FC} , o qual representa o número aparente de células n comutador. A saída do circuito de memória de tradução de cabeçalho 9 é também passada para os circuitos de detector de limiar 11, os quais são obrigados a gerar um sinal de alarme quando o circuito de adicionador de origem 7 e o circuito de memória de tradução de cabeçalho determinam uma condição de falha.

Considerando agora o circuito virtual de recepção final e o lado de circuito virtual de transmissão final do arranjo, os blocos de dados transmitidos ao longo das linhas 12 e 13 têm cada a sua informação de cabeçalho detectada e extraída pelos circuitos 14 e 15, respectivamente. O circuito 14 gera dois



sinais de saída, um representa a marcação VC, o qual é imediatamente passado para um circuito insersor de cabeçalho 16, o qual obriga o cabeçalho a ser reinserido no bloco de dados, na linha 12. O outro sinal indica positivamente que foi detectado e passado um cabeçalho, para um circuito de retardo 17 e para uma porta E 18. A saída do circuito de retardo 17 é obrigada a restabelecer um circuito de adicionador final 19. O circuito de determinação de adicionador 19 compreende cinco bits de dados. O circuito detetor e extractor de cabeçalho 15 gera dois sinais de saída, o primeiro sinal representa uma identificação positiva do cabeçalho e é passado para o circuito de adicionador final 19, para incrementar a sua contagem por um. O segundo sinal gerado a partir do circuito 15 representa o endereço do circuito virtual e é utilizado para endereçar uma memória tradutora de cabeçalho 20, cujo sinal de saída é utilizado para carregar o circuito de finalização de adicionador 19. A saída do circuito 19 Σ_{TD} , é passado para uma entrada adicional da porta E 18 e para uma entrada da porta E 21. A saída é também passada para uma porta 22, a qual tem uma segunda entrada ligada permanentemente a uma corrente de sinais de entrada lógica um, e a saída da porta 22 está ligada a uma entrada adicional da porta E 21. As saídas das portas E 18 e 21 são aplicadas às respectivas entradas de um combinador 23, cuja saída é utilizada como um sinal de entrada adicional, para o circuito insersor de cabeçalho 26. O circuito 16 está sob o controlo da saída do combinador 23 e do sinal de marcação de circuito virtual recebido do circuito 14. O circuito 16 opera para obrigar o cabeçalho e o campo a serem combinados no bloco de dados na linha 12.

O campo Σ_{TD} contém o valor do adicionador de finalização como lido no instante de recepção de um bloco de dados vindo da respectiva linha, por exemplo, Σ_{TD} é a diferença dos blocos recebidos no circuito virtual de finalização, desde que o último bloco foi transmitido. Apreciar-se-á que para transmissão de circuito unidireccional apenas Σ_{TD} será enviado, na finalização para a direcção original, apenas quando o seu valor atinge uma

71 629

A/GPT/4061/PT

(G 11042/S3/D)

-8-



contagem máxima de trinta e um.

Adicionalmente, limiares ajustáveis podem ser dispostos nos contadores, para iniciarem as várias operações, como se segue:

alterações do plano (ou bloco) de segurança,
verificações de persistência,
re-selecção de circuito de comutação,
reencaminhamento de rede, e
rejeição de tráfego.

Adicionalmente, as técnicas de correlação, aplicadas a saídas de contador, podem auxiliar o diagnóstico de falha, dentro do comutador e entre nós de rede.

A técnica de contador acima descrita para detecção de falha e monitorização de largura de banda tem a vantagem de ser de fácil implementação, e não apresentar as desvantagens da arte anterior. A mesma proporciona um modo simples e eficiente de proporcionar a necessária supervisão para tais arranjos de comutação.

O arranjo de detecção de falha descrito verifica a função de tradução de cabeçalho mais completamente do que qualquer alternativa conhecida, tal como uma baseada na comparação plana e todos os números de sequência. Isto é tornado mais eficaz pelo facto de que o mesmo circuito virtual é utilizado em ambas as direcções de transmissão, com acesso à mesma localização de memória de tradução de cabeçalho, para obter os campos de adicionador.

71 629

A/GPT/4061/PT

(G 11042/S3/D)

-9-

R E I V I N D I C A Ç Õ E S

1 - Arranjo de detecção de falha e monitorização de largura de banda para utilização num arranjo de comutação de blocos, tendo uma pluralidade de acessos de entrada e uma pluralidade de acessos de saída, estando os ditos acessos de entrada e de saída dispostos para serem interligados por uma pluralidade de elementos de comutação, compreendendo cada um deles um número de pontos de cruzamento de comutação de circuito virtuais, caracterizado por cada circuito virtual ter um arranjo de contador associado, disposto para medir a diferença entre os fluxos de dados líquidos nos correspondentes acessos de entrada e de saída, e tendo limiares pré-estabelecíveis, os quais provocam que sejam gerados sinais de alarme, quando os limiares são excedidos.

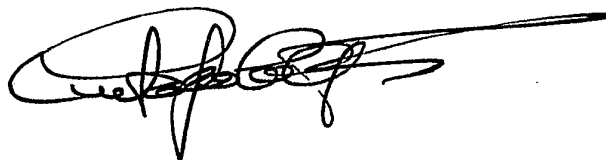
2 - Arranjo de detecção de falha e monitorização de largura de banda de acordo com a reivindicação 1, caracterizado por o valor de limiar pré-estabelecido para cada circuito virtual ser mantido numa memória tradutora de circuito virtual.

3 - Arranjo de detecção de falha e monitorização de largura de banda de acordo com a reivindicação 1, caracterizado por o arranjo de contador estar disposto para registar o desequilíbrio médio dos dados transmitidos e recebidos em cada acesso de comutação envolvido na ligação de circuito virtual.

Lisboa, 11. OUT. 1990

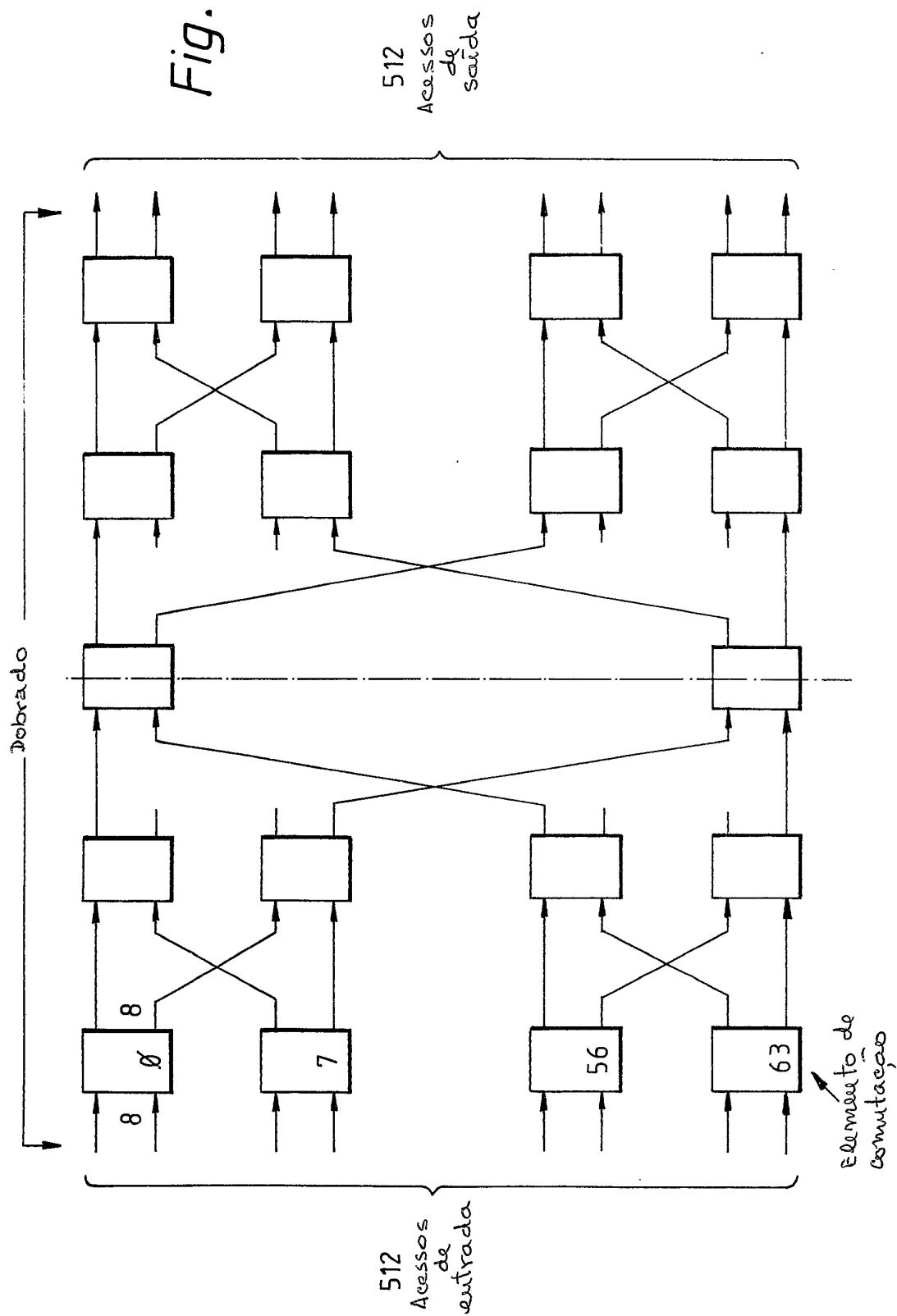
Por GEC PLESSEY TELECOMMUNICATIONS LIMITED

- O AGENTE OFICIAL -



[Handwritten signature]

Fig.1



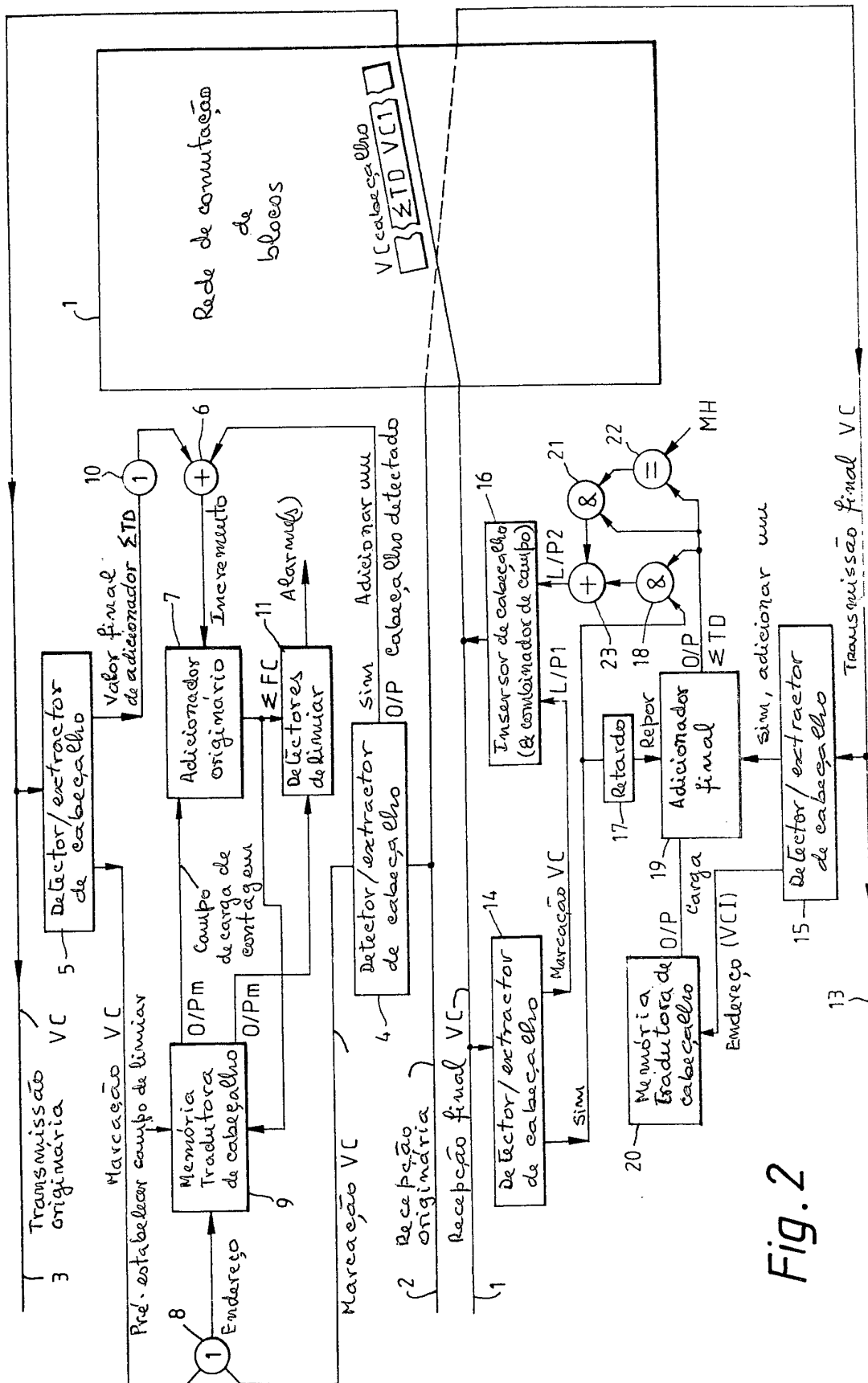


Fig. 2

[Handwritten signature]