

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2023年11月16日(16.11.2023)



(10) 国際公開番号

WO 2023/218980 A1

(51) 国際特許分類:

H04N 23/60 (2023.01) H04N 23/68 (2023.01)
H04N 23/54 (2023.01) H04N 25/40 (2023.01)

Kouichi); 〒2430014 神奈川県厚木市旭町四丁目14番1号 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP).

(21) 国際出願番号: PCT/JP2023/016577

(22) 国際出願日: 2023年4月27日(27.04.2023)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2022-079195 2022年5月13日(13.05.2022) JP

(71) 出願人: ソニーセミコンダクタソリューションズ株式会社(SONY SEMICONDUCTOR SOLUTIONS CORPORATION) [JP/JP]; 〒2430014 神奈川県厚木市旭町四丁目14番1号 Kanagawa (JP).

(72) 発明者: 宮澤 彰宏 (MIYAZAWA Akihiro); 〒2430014 神奈川県厚木市旭町四丁目14番1号 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP). 交野 浩一(MAZENO

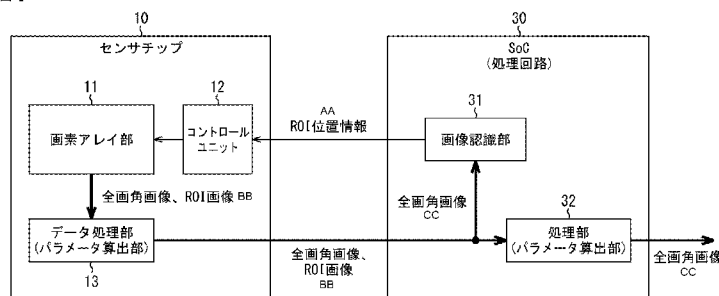
(74) 代理人: 西川 孝, 外 (NISHIKAWA Takashi et al.); 〒1700013 東京都豊島区東池袋3丁目9番10号 池袋F Nビル4階 Tokyo (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MU, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

(54) Title: IMAGING DEVICE, SENSOR CHIP, AND PROCESSING CIRCUIT

(54) 発明の名称: 撮像装置、センサチップ、および処理回路

[図5]



10 Sensor chip
11 Pixel array unit
12 Control unit
13 Data processing unit (parameter calculation unit)
30 SoC (processing circuit)
31 Image recognition unit
32 Processing unit (parameter calculation unit)
AA ROI location information
BB Whole angle-of-view image, ROI image
CC Whole angle-of-view image

(57) Abstract: The present disclosure relates to an imaging device, a sensor chip, and a processing circuit that make it possible for high quality images to be more suitably acquired. This sensor chip has a pixel array unit that reads out a pixel signal for all of a pixel area at a first frame rate and reads out a pixel signal for a specific area at a second frame rate higher than the first frame rate, whereby it is possible to simultaneously output a whole angle-of-view image of one frame and areal images of multiple frames, wherein: a parameter calculation unit calculates a correction parameter for correcting the whole angle-of-view image on the basis of the areal images of the multiple frames; and a processing circuit has a processing unit that, in a later stage, outputs a whole angle-of-view image that reflects a correction based on the correction parameter. The present technology can be applied to an imaging device that photographs and outputs a moving image.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告 (条約第21条(3))

(57) 要約: 本開示は、より好適に高品質な画像を取得することができるようにする撮像装置、センサチップ、および処理回路に関する。センサチップは、画素領域全ての画素信号を第1のフレームレートで読み出すとともに、特定領域の画素信号を第1のフレームレートより高い第2のフレームレートで読み出すことで、1フレームの全画角画像と複数フレームの領域画像を同時に出力可能とする画素アレイ部を有し、パラメータ算出部は、複数フレームの領域画像に基づいて、全画角画像の補正のための補正パラメータを算出し、処理回路は、補正パラメータに基づいた補正が反映された全画角画像を後段に出力する処理部を有する。本開示は、動画画像を撮影して出力する撮像装置に適用することができる。

明 細 書

発明の名称：撮像装置、センサチップ、および処理回路

技術分野

[0001] 本開示は、撮像装置、センサチップ、および処理回路に関し、特に、より好適に高品質な画像を取得できるようにする撮像装置、センサチップ、および処理回路に関する。

背景技術

[0002] 特許文献1には、画素アレイ部内の全画素の信号を第1のフレームレートで読み出すとともに、画素アレイ部内の特定の領域の画素の信号を第1のフレームレートよりも高い第2のフレームレートで読み出す撮像素子が開示されている。特許文献1の撮像素子によれば、回路規模が小さく、低消費電力にて、特定の領域の画素に対する読み出し駆動と、全体画角の画素に対する読み出し駆動とを実現することができる。

先行技術文献

特許文献

[0003] 特許文献1：特開2021-34786号公報

発明の概要

発明が解決しようとする課題

[0004] 取得した画像データ（フレーム）から補正データを検出し、記録用の画像へフィードバックする場合、補正データ検出のためのフレームが必要なため、補正後画像のフレームレートが低下するなど、好適に高品質な画像を取得することができなかった。

[0005] 本開示は、このような状況に鑑みてなされたものであり、より好適に高品質な画像を取得できるようにするものである。

課題を解決するための手段

[0006] 本開示の撮像装置は、画素領域全ての画素信号を第1のフレームレートで読み出すとともに、前記画素領域における特定領域の画素信号を前記第1の

フレームレートより高い第2のフレームレートで読み出すことで、1フレームの全画角画像と複数フレームの領域画像を同時に出力可能とする画素制御部を有するセンサチップと、複数フレームの前記領域画像に基づいて、前記全画角画像の補正のための補正パラメータを算出するパラメータ算出部と、前記補正パラメータに基づいた補正が反映された前記全画角画像を後段に出力する処理部を有する処理回路とを備える撮像装置である。

[0007] 本開示のセンサチップは、画素領域全ての画素信号を第1のフレームレートで読み出すとともに、前記画素領域における特定領域の画素信号を前記第1のフレームレートより高い第2のフレームレートで読み出すことで、1フレームの全画角画像と複数フレームの領域画像を同時に出力可能とする画素制御部と、複数フレームの前記領域画像に基づいて、前記全画角画像の補正のための補正パラメータを算出するパラメータ算出部と、前記補正パラメータを用いて補正した前記全画角画像を出力する処理部とを備えるセンサチップである。

[0008] 本開示の処理回路は、画素領域全ての画素信号を第1のフレームレートで読み出すとともに、前記画素領域における特定領域の画素信号を前記第1のフレームレートより高い第2のフレームレートで読み出すことで、1フレームの全画角画像と複数フレームの領域画像を同時に出力可能とするセンサチップから出力された複数フレームの前記領域画像に基づいて、前記全画角画像の補正のための補正パラメータを算出するパラメータ算出部と、前記補正パラメータを用いて補正した前記全画角画像を後段に出力する処理部とを備える処理回路である。

[0009] 本開示においては、画素領域全ての画素信号が第1のフレームレートで読み出されるとともに、前記画素領域における特定領域の画素信号が前記第1のフレームレートより高い第2のフレームレートで読み出されることで、1フレームの全画角画像と複数フレームの領域画像が同時に出力され、複数フレームの前記領域画像に基づいて、前記全画角画像の補正のための補正パラメータが算出され、前記補正パラメータに基づいた補正が反映された前記全

画角画像が後段に出力される。

図面の簡単な説明

- [0010] [図1]従来技術の問題点について説明する図である。
- [図2]従来技術の問題点について説明する図である。
- [図3]D S S 駆動について説明する図である。
- [図4]D S S 駆動について説明する図である
- [図5]センサチップとS o Cの構成例を示す図である。
- [図6]画像補正に関する処理の流れについて説明する図である。
- [図7]第1の実施形態のセンサチップとS o Cの構成例を示す図である。
- [図8]ブレ補正の流れについて説明する図である。
- [図9]第2の実施形態のセンサチップとS o Cの構成例を示す図である。
- [図10]A E 処理部の詳細な構成例を示す図である。
- [図11]第3の実施形態のセンサチップとS o Cの構成例を示す図である。
- [図12]第4の実施形態のセンサチップとS o Cの構成例を示す図である。
- [図13]画像の出力フォーマットの例を示す図である。
- [図14]処理時間とレジスタへの反映について説明する図である。
- [図15]撮像装置の構成例を示すブロック図である。

発明を実施するための形態

- [0011] 以下、本開示を実施するための形態（以下、実施の形態とする）について説明する。なお、説明は以下の順序で行う。

- [0012] 1. 従来技術の問題点
2. D S S 駆動について
3. センサチップとS o Cの構成および動作
4. 第1の実施形態（ブレ補正の例）
5. 第2の実施形態（明るさ補正の例）
6. 第3の実施形態（位相差A Fによる合焦制御の例）
7. 第4の実施形態（コントラストA Fの性能向上の例）
8. S o Cに求められるスペック

9. 適用例

[0013] < 1. 従来技術の問題点 >

図1には、センサチップが画像データを出し、処理回路（S o C : System-on-a-chip）が画像データを取得し、記録用の画像として後段に出力する構成が示されている。

[0014] このような構成において、処理回路が取得した画像データ（フレーム）から補正データを検出し、記録用の画像へフィードバックする場合、補正データ検出のためのフレーム（補正データ検出画像）が必要となる。そのため、最終的に処理回路から出力される補正後画像（補正対象画像）のフレームレートは低下してしまう。例えば、図1に示されるように、センサチップから出力される画像データのフレームレートが30fpsであって、連続する3フレームを補正データ検出画像として補正対象画像を補正する場合、補正対象画像のフレームレートは、7.5fpsまで低下してしまう。

[0015] 特に、検出する補正データの精度を高めようとする場合、より多くのフレームを補正データ検出画像とする必要があり、補正対象画像のフレームレートはより一層低下してしまう。

[0016] そこで、検出する補正データの精度を高めるために、図2上段に示されるように、センサチップが画角を縮小した狭画角画像F_nを出力することによりフレームレートを向上させる（高速撮影を行う）ことが考えられる。しかしながらこの場合、画角を補正した後の補正後画像の空間解像度が低くなってしまう。

[0017] また、図2下段に示されるように、センサチップが、補正対象画像となる全画角画像F_sと、補正データ検出画像となる複数フレームの狭画角画像F_nとを交互に出力することにより、空間解像度を維持できるようにすることも考えられる。しかしながらこの場合、後段のS o Cとセンサチップとの間で、モード（画角）切替のためのレジスタ制御に係る通信が発生し、消費電力が増大してしまう。

[0018] また、スーパースローモーションカメラ（ハイスピードカメラ）に搭載さ

れるセンサを採用することで、高速撮影と空間解像度の維持を実現することが可能となるが、コストが高くなってしまう。

[0019] そこで、本開示においては、全画角画像と領域画像を同時に出力可能とするセンサを用いて、複数フレームの領域画像に基づいて補正パラメータを算出し、算出した補正パラメータを全画角画像へフィードバックすることで、より好適に高品質な画像を取得することを実現する。

[0020] <2. DSS駆動について>

特許文献1に開示されているように、画素アレイ部内の全画素の信号を第1のフレームレートで読み出すとともに、画素アレイ部内の特定の領域の画素の信号を第1のフレームレートよりも高い第2のフレームレートで読み出す撮像素子が知られている。

[0021] 本開示に係る技術を適用した撮像装置においては、特許文献1の撮像素子（センサチップ）を採用する。

[0022] 図3に示されるように、本開示に係る技術を適用した撮像装置1を構成するセンサチップは、画素から読み出された信号に対してAD（Analog to Digital）変換を行うAD変換器を1行分有する単一チップから成るチップ構造を有する。本開示のセンサチップは、画素アレイ部（画素領域）内の全領域の画素信号を第1のフレームレートで読み出すとともに、画素領域内の特定領域（ROI（Region Of Interest））の画素信号を第1のフレームレートよりも高い第2のフレームレートで読み出す。以下、特に、第2のフレームレートについては、高フレームレートとも呼ぶ。

[0023] このように、本開示のセンサチップは、単一の画素アレイ部に対して複数の制御を行い、対応する領域の画素信号を読み出す構造を有している。本開示のセンサチップにおいては、複数の制御の下に、AD変換を含めた読み出し制御を工夫することにより、回路リソースや電力の負担を抑えて、全画角画像の出力と高フレームレートのROI画像の出力とを実現する。「ROI画像の出力」とは、特定領域の領域画像の出力のことをいう。

[0024] このように、全画角画像とROI画像を同時に出力するセンサチップの駆

動方式を、以下、D S S (Dual Speed Stream) 駆動という。

[0025] D S S 駆動においては、上述したように、全画角画像の画素信号を第1のフレームレートで読み出す制御が行われ、R O I 画像の画素信号を第1のフレームレートよりも高い第2のフレームレートで読み出す制御が行われる。その中で、例えばR O I 画像の画角は、そのフレームレート（第2のフレームレート）が高くなるにつれて小さくなる。

[0026] ここで、図4を参照して、特定領域（R O I）の切り出し処理について説明する。

[0027] まず、垂直R O I 成分、すなわち、垂直アドレス情報（垂直R O I 位置情報）に基づいて、R O I を含む範囲の画素行の各画素の画素信号の読み出し動作が繰り返して実行される。これにより、図4に示されるように、R O I を含む横長の画像が取得される。この横長の画像に対して、水平R O I 成分、すなわち、水平アドレス情報（水平R O I 位置情報）に基づいて、R O I 部分の矩形だけを切り出し、他の部分についてはマスキングする処理が行われる。このような処理により、出力データ量の削減を図ることができる。

[0028] なお、図4の例では、垂直R O I 成分に基づいて取得された横長の画像からR O I 部分だけが切り出された画像がR O I 画像とされるが、垂直R O I 成分に基づいて取得された横長の画像がそのままR O I 画像とされてもよい。

[0029] <3. センサチップとS o Cの構成および動作>

ここで、上述したD S S 駆動が可能なセンサチップと、画素領域におけるR O I の位置を表すR O I 位置情報をセンサチップにリアルタイムにフィードバックするS o C（処理回路）の構成とその動作について説明する。

[0030] 図5は、本開示に係る技術を適用し得るセンサチップとS o Cの構成例を示す図である。

[0031] 図5に示されるように、センサチップ10は、画素アレイ部11、コントロールユニット12、およびデータ処理部13を有しており、S o C 30は、画像認識部31と処理部32を有している。

- [0032] 画素アレイ部 11 には、光電変換部（受光素子）を含む画素が、行方向（水平方向）と列方向（垂直方向）すなわち行列状に二次元配置されている。
- [0033] コントロールユニット 12 は、各種のタイミング信号、クロック信号、制御信号などに基づいて画素アレイ部 11 内の画素の画素信号の読み出し制御を行う画素制御部として構成される。コントロールユニット 12 は、画素アレイ部 11 の各画素を行単位などで駆動する。
- [0034] 具体的には、コントロールユニット 12 は、画素アレイ部 11 内の画素領域全ての画素信号を第 1 のフレームレートで読み出すとともに、S o C 30 からの R O I 位置情報に基づいて、画素アレイ部 11 内の特定領域（R O I）の画素信号を第 2 のフレームレート（高フレームレート）で読み出す。このようなコントロールユニット 12 の読み出し制御により、1 フレームの全画角画像と複数フレームの R O I 画像が同時に出力可能となる。
- [0035] データ処理部 13 は、例えば画素列毎に設けられる A D 変換器やラッチ回路などから構成される。具体的には、データ処理部 13 は、画素列毎に画素行単位で出力されるアナログの画素信号をデジタル信号に変換し、変換された画素データに対する所定のデータ処理を行った後、画像（画像データ）として S o C 30 に出力する。
- [0036] センサチップ 10 が通常駆動モードで駆動している場合、データ処理部 13 は、第 1 のフレームレートで全画角画像を出力する。センサチップ 10 が 1 フレーム期間中に複数の R O I 画像を出力可能な D S S 駆動モードで駆動している場合、データ処理部 13 は、第 1 のフレームレートで全画角画像を出力するとともに、第 2 のフレームレートで R O I 画像を出力する。以下においては、1 フレーム期間中に同時に出力される 1 フレームの全画角画像と複数フレームの R O I 画像を、合わせてフレームセットという。
- [0037] S o C 30 の画像認識部 31 は、センサチップ 10 からの全画角画像に対する画像認識に基づいて、画素アレイ部 11 の画素領域における特定領域（R O I）を決定し、画素領域における R O I の位置を表す R O I 位置情報をセンサチップ 10 に出力する。これにより、センサチップ 10 は、S o C 3

0により決定されたROIの画素信号を読み出すことでROI画像を出力することができる。なお、画像認識部31は、センサチップ10内に設けられるようにもできる。

[0038] 処理部32は、センサチップ10からの複数フレームのROI画像に基づいて算出された補正パラメータに基づいた補正が反映された全画角画像を後段に出力する。

[0039] 処理部32は、補正パラメータを算出するパラメータ算出部の機能を有し得る。この場合、処理部32は、センサチップ10からの複数フレームのROI画像に基づいて、全画角画像の補正のための補正パラメータを算出し、算出した補正パラメータを用いて全画角画像を補正する。

[0040] ここで、図6を参照して、センサチップ10とSOC30による画像補正に関する処理の流れについて説明する図である。

[0041] センサチップ10が通常駆動モードで駆動している場合、センサチップ10からは全画角画像が第1のフレームレートで出力される。その中で、ステップS1において、DSS駆動モードでの駆動が設定されると、センサチップ10からは全画角画像が第1のフレームレートで出力されるとともに、複数のROI画像が第2のフレームレートで出力される。

[0042] 図6の例では、全画角画像は、補正対象画像として30fpsで出力され、複数のROI画像は、補正データ検出画像として960fpsで出力される。なお、ROI画像のフレームレートは、ROI画像の画角や、検出される補正データ（算出される補正パラメータ）の精度、最終的に出力される補正後画像の用途などに応じて、任意に設定・変更することができる。

[0043] ステップS2において、補正対象画像（全画角画像）と複数の補正データ検出画像（ROI画像）がSOC30に取り込まれると、ステップS3において、SOC30は、複数の補正データ検出画像から補正データを検出することで、補正パラメータを算出する。

[0044] その後、ステップS4において、SOC30は、算出した補正パラメータを補正対象画像へフィードバックする。その結果、ステップS5において、

補正パラメータに基づいた補正が反映された補正対象画像が、補正後画像として出力される。

[0045] 以上の構成および処理によれば、DSS駆動により1フレームの全画角画像と複数フレームのROI画像が1フレーム期間毎にフレームセットとして出力されるので、高速に補正データを検出するとともに、最終的にSOC30から出力される補正後画像のフレームレートの低下を防ぐことが可能となる。

[0046] また、DSS駆動が可能なセンサチップを用いることで、空間解像度を維持しつつ、SOC30とセンサチップ10との間での通信量を削減することを、低コストのセンサチップ10で実現することが可能となる。

[0047] 以上のように、本開示に係る技術によれば、より好適に高品質な画像を取得することが可能となる。

[0048] なお、図5において、センサチップ10のデータ処理部13がパラメータ算出部の機能を有していてもよい。この場合、データ処理部13は、複数フレームのROI画像をSOC30に出力することなく、その複数フレームのROI画像に基づいて、全画角画像の補正のための補正パラメータを算出し、算出した補正パラメータを用いて全画角画像を補正する。

[0049] 以下においては、本開示の実施形態に係るセンサチップとSOCの具体的な構成について説明する。

[0050] <4. 第1の実施形態>

図7は、本開示の第1の実施形態のセンサチップとSOCの構成例を示す図である。

[0051] 図7に示されるように、センサチップ110は、画素アレイ部111、コントロールユニット112、およびデータ処理部113を有しており、SOC130は、画像認識部131、ブレ情報算出部132、およびブレ補正部133を有している。

[0052] センサチップ110が有する画素アレイ部111、コントロールユニット112、およびデータ処理部113は、図5を参照して説明した画素アレイ

部 1 1、コントロールユニット 1 2、およびデータ処理部 1 3 とそれぞれ同様に構成されるので、その説明は省略する。

[0053] S o C 1 3 0 が有する画像認識部 1 3 1 は、図 5 を参照して説明した画像認識部 3 1 と同様に構成されるので、その説明は省略する。一方、ブレ情報算出部 1 3 2 およびブレ補正部 1 3 3 は、図 5 を参照して説明した処理部 3 2 に対応する。

[0054] ブレ情報算出部 1 3 2 は、本実施形態におけるパラメータ算出部として構成される。ブレ情報算出部 1 3 2 は、センサチップ 1 0 からの複数フレームの R O I 画像から、補正データとして動きベクトルを検出することで、ブレ軌跡（ブレ量）を表すブレ情報を算出し、ブレ補正部 1 3 3 に供給する。

[0055] S o C 1 3 0 においては、画像認識部 1 3 1 による画像認識に基づいて、動きベクトルの検出対象となる注目被写体が検出されることで R O I が決定される。すなわち、ブレ情報算出部 1 3 2 は、R O I 画像に映る注目被写体から動きベクトルを検出することで、ブレ情報を算出する。なお、画像認識の認識対象となる注目被写体は、例えばユーザにより指定され得る。

[0056] ブレ補正部 1 3 3 は、ブレ情報算出部 1 3 2 からのブレ情報に基づいて、センサチップ 1 0 からの全画角画像のブレを補正し、補正後の全画角画像を後段に出力する。

[0057] 図 8 を参照して、S o C 1 3 0 によるブレ補正の流れについて説明する。

[0058] ステップ S 1 1 において、ブレ情報算出部 1 3 2 は、あるフレームセットを構成する複数フレームの R O I 画像を補正データ検出画像として、各フレーム間の動きベクトルを検出することで、ブレ情報を算出する。

[0059] ステップ S 1 2 において、ブレ補正部 1 3 3 は、ブレ情報算出部 1 3 2 により算出されたブレ情報に基づいて、例えば次のフレームセットを構成する全画角画像を補正対象画像として、そのブレを補正する。

[0060] 以上のような動作が、フレームセット毎に繰り返されることで、補正後の全画角画像が例えば 3 0 f p s で後段に出力される。

[0061] 以上の構成および動作によれば、D S S 駆動が可能なセンサを用いること

で、高速にブレ情報を算出することができるので、最終的に出力される補正後画像のフレームレートを低下させることなく、ブレのない高品質な画像を取得することが可能となる。

[0062] <5. 第2の実施形態>

図9は、本開示の第2の実施形態のセンサチップとS o Cの構成例を示す図である。

[0063] 図9に示されるように、センサチップ210は、画素アレイ部211、コントロールユニット212、およびデータ処理部213を有しており、S o C 230は、画像認識部231を有している。

[0064] センサチップ210が有する画素アレイ部211およびコントロールユニット212は、図5を参照して説明した画素アレイ部11およびコントロールユニット12とそれぞれ同様に構成されるので、その説明は省略する。また、S o C 230が有する画像認識部231は、図5を参照して説明した画像認識部31と同様に構成される。

[0065] センサチップ210のデータ処理部213は、Dゲイン処理部221とA E（自動露出）処理部222を含むように構成される。

[0066] Dゲイン処理部221は、後段のA E処理部222により算出されたDゲイン（デジタルゲイン）に基づいて、デジタル信号である画像データ（全画角画像、R O I画像）を構成する各画素データを増幅する。画素データが増幅された全画角画像と複数フレームのR O I画像は、A E処理部222に供給される。

[0067] A E処理部222は、本実施形態におけるパラメータ算出部として構成される。A E処理部222は、Dゲイン処理部221からの複数フレームのR O I画像から、補正データとして輝度データを取得し、取得した輝度データに基づいて、A E情報（自動露出情報）を算出する。

[0068] S o C 230においては、画像認識部231による画像認識に基づいたシーン判別により、輝度データの取得対象となる測光領域がR O Iとして決定される。すなわち、A E処理部222は、S o C 230により決定された測

光領域から輝度データを取得し、A E 情報を算出する。

[0069] A E 処理部 2 2 2 は、A E 情報として、D ゲイン、A (アナログ) ゲイン、および露光時間を算出する。算出された A E 情報のうち、D ゲインは、D ゲイン処理部 2 2 1 に供給され、A ゲインと露光時間は、コントロールユニット 2 1 2 に供給される。コントロールユニット 2 1 2 は、D S S 駆動モードにおいて、A E 処理部 2 2 2 からの A ゲインと露光時間に基づいて、画素アレイ部 1 1 の各画素を駆動する。また、上述したように、D ゲイン処理部 2 2 1 は、A E 処理部 2 2 2 からの D ゲインに基づいて、全画角画像と R O I 画像の画素データを増幅する。すなわち、センサチップ 2 1 0 は、A E 処理部 2 2 2 により算出された A E 情報に基づいた A E 制御により、全画角画像の明るさを補正する。

[0070] A E 処理部 2 2 2 は、D ゲイン処理部 2 2 1 からの全画角画像、すなわち、明るさが補正された全画角画像を、例えば 3 0 f p s で S o C 2 3 0 に出力する。

[0071] 図 1 0 は、A E 処理部 2 2 2 の詳細な構成例を示す図である。

[0072] 図 1 0 に示される A E 処理部 2 2 2 は、輝度平均値算出部 2 4 1、差分算出部 2 4 2、および帰還率乗算部 2 4 3 から構成される。

[0073] 輝度平均値算出部 2 4 1 は、D ゲイン処理部 2 2 1 からの複数フレームの R O I 画像のそれぞれから輝度データを取得し、その平均値 (輝度平均値) を算出し、差分算出部 2 4 2 に供給する。

[0074] 差分算出部 2 4 2 は、輝度平均値算出部 2 4 1 からの輝度平均値と、あらかじめ設定された輝度データの目標値との差分値を算出し、帰還率乗算部 2 4 3 に供給する。

[0075] 帰還率乗算部 2 4 3 は、差分算出部 2 4 2 からの差分値に基づいて、A E 情報 (D ゲイン、A ゲイン、露光時間) に対する重み付けの値としての帰還率を算出し、D ゲイン、A ゲイン、露光時間それぞれに乗算する。重み付けされた D ゲインは、D ゲイン処理部 2 2 1 に供給され、重み付けされた A ゲインと露光時間は、コントロールユニット 2 1 2 に供給される。

[0076] 以上の構成によれば、DSS駆動が可能なセンサを用いることで、高速にAE情報を算出することができるので、最終的に出力される補正後画像のフレームレートを低下させることなく、明るさが最適化された高品質な画像を取得することが可能となる。

[0077] <6. 第3の実施形態>

図11は、本開示の第3の実施形態のセンサチップとSoCの構成例を示す図である。

[0078] 図11に示されるように、センサチップ310は、画素アレイ部311、コントロールユニット312、およびデータ処理部313を有しており、SoC330は、画像認識部331とAF（オートフォーカス）情報算出部332を有している。

[0079] また、図11には、センサチップ310とSoC330に加え、レンズなどの光学系を含むレンズユニット350が示されている。レンズユニット350は、レンズの合焦制御を行うAF制御部351を有している。

[0080] センサチップ310が有する画素アレイ部311、コントロールユニット312、およびデータ処理部313は、図5を参照して説明した画素アレイ部11、コントロールユニット12、およびデータ処理部13とそれぞれ同様に構成されるので、その説明は省略する。但し、画素アレイ部311には、通常の画素データ（画素信号）を出力する画素の一部に代えて、位相差画素データ（位相差画素信号）を出力可能な位相差検出画素が含まれる。

[0081] SoC330が有する画像認識部331は、図5を参照して説明した画像認識部31と同様に構成されるので、その説明は省略する。一方、AF情報算出部332は、図5を参照して説明した処理部32に対応する。

[0082] AF情報算出部332は、本実施形態におけるパラメータ算出部として構成される。AF情報算出部332は、センサチップ10からの複数フレームのROI画像から、補正データとして位相差画素データを取得することで、レンズの合焦制御を行うためのAF情報を算出し、レンズユニット350のAF制御部351に供給する。

[0083] S o C 3 3 0 においては、画像認識部 3 3 1 による画像認識に基づいて、レンズの合焦制御のための切り出し領域が R O I として決定される。すなわち、A F 情報算出部 3 3 2 は、S o C 3 3 0 により決定された切り出し領域から位相差画素データを取得し、A F 情報を算出する。

[0084] レンズユニット 3 5 0 の A F 制御部 3 5 1 は、A F 情報算出部 3 3 2 からの A F 情報に基づいて、レンズの合焦制御を行う。すなわち、A F 制御部 3 5 1 は、位相差 A F 制御を行う。これにより、センサチップ 3 1 0 は、フォーカスが補正（調整）された全画角画像を、例えば 3 0 f p s で S o C 3 3 0 に出力することができる。

[0085] 以上の構成によれば、D S S 駆動が可能なセンサを用いることで、高速に A F 情報を算出することができるので、最終的に出力される補正後画像のフレームレートを低下させることなく、フォーカスが適切に調整された高品質な画像を取得することが可能となる。

[0086] < 7. 第 4 の実施形態 >

図 1 2 は、本開示の第 4 の実施形態のセンサチップと S o C の構成例を示す図である。

[0087] 図 1 2 に示されるように、センサチップ 4 1 0 は、画素アレイ部 4 1 1、コントロールユニット 4 1 2、およびデータ処理部 4 1 3 を有しており、S o C 4 3 0 は、動きベクトル検出部 4 2 1、前景分離部 4 2 2、画像認識部 4 2 3、A F 情報算出部 4 3 4 を有している。

[0088] また、図 1 2 には、センサチップ 4 1 0 と S o C 4 3 0 に加え、レンズなどの光学系を含むレンズユニット 4 5 0 が示されている。レンズユニット 4 5 0 は、レンズの合焦制御を行う A F 制御部 4 5 1 を有している。

[0089] センサチップ 4 1 0 が有する画素アレイ部 4 1 1、コントロールユニット 4 1 2、およびデータ処理部 4 1 3 は、図 5 を参照して説明した画素アレイ部 1 1、コントロールユニット 1 2、およびデータ処理部 1 3 とそれぞれ同様に構成されるので、その説明は省略する。

[0090] S o C 4 3 0 が有する画像認識部 4 3 3 は、図 5 を参照して説明した画像

認識部 3 1 と基本的には同様に構成される。一方、動きベクトル検出部 4 3 1、前景分離部 4 3 2、および A F 情報算出部 4 3 4 は、図 5 を参照して説明した処理部 3 2 に対応する。

[0091] 動きベクトル検出部 4 3 1 は、センサチップ 4 1 0 からの複数フレームの R O I 画像から、補正データとして動きベクトルを検出する。具体的には、動きベクトル検出部 4 3 1 は、フレームセットを構成する複数フレームの R O I 画像の、各フレーム間の画素毎の動きベクトルを検出する。

[0092] 前景分離部 4 3 2 は、本実施形態におけるパラメータ算出部として構成される。前景分離部 4 3 2 は、動きベクトル検出部 4 3 1 により検出された画素毎の動きベクトルに基づいて、R O I 画像における前景領域と背景領域を分離することで、前景領域を特定する。

[0093] 画像認識部 4 3 3 は、前景分離部 4 3 2 により特定された前景領域と、全画角画像に対する画像認識により検出された被写体領域に基づいて、レンズの合焦制御に用いられるコントラスト値を計測する測光領域を、R O I として決定する。R O I の位置を表す R O I 位置情報は、センサチップ 4 1 0 に出力され、測光領域を表す情報は、A F 情報算出部 4 3 4 に供給される。

[0094] A F 情報算出部 4 3 4 は、センサチップ 4 1 0 からの全画角画像において、画像認識部 4 3 3 からの情報で表される測光領域のコントラスト値を計測することで、レンズの合焦制御を行うための A F 情報を算出し、レンズユニット 4 5 0 の A F 制御部 4 5 1 に供給する。

[0095] レンズユニット 4 5 0 の A F 制御部 4 5 1 は、A F 情報算出部 4 3 4 からの A F 情報に基づいて、レンズの合焦制御を行う。すなわち、A F 制御部 4 5 1 は、コントラスト A F 制御を行う。これにより、センサチップ 4 1 0 は、所望の被写体領域に対するフォーカスが調整された全画角画像を、例えば 3 0 f p s で S o C 4 3 0 に出力することができる。

[0096] 以上の構成によれば、D S S 駆動が可能なセンサを用いることで、高速に被写体領域を分離することができるので、より高性能なコントラスト A F によりフォーカスが調整された高品質な画像を取得することが可能となる。

[0097] <8. S o Cに求められるスペック>

D S S 駆動モードで駆動するセンサチップから高フレームレートで出力される R O I 画像を処理する S o C（処理回路）側には、一定のスペックが求められる。

[0098]（１）高フレームレートの R O I 画像を保存する R O M（R A M）の容量

上述した第１の実施形態のような S o C においては、ブレ情報を算出するために必要な R O I 画像のフレーム数に応じて、R O M（Read Only Memory）や R A M（Random Access Memory）の容量を確保する必要がある。

[0099]（２）特殊な出力フォーマットへの対応

D S S 駆動モードで駆動するセンサチップからは、図１３の左側に示される、通常出力フォーマットの画像（全画角画像）に加え、例えば、同図右側に示される、R O I に対応する特殊な出力フォーマットの画像（R O I 画像）が複数出力される。S o C 側では、このような特殊な出力フォーマットの画像データを受け入れる性能が必要とされる。なお、センサチップから画像データとして出力される全画角画像と複数の R O I 画像とは、互いに非同期で（異なるタイミングで）出力される。

[0100]（３）処理時間とレジスタへの反映

図１４に示されるように、高フレームレートで出力される補正データ検出画像から算出した補正パラメータに基づいた補正に要する処理時間は、補正が反映される次のフレームセットの補正対象画像（補正後画像）のレジスタ反映のタイミングより前に完了している必要がある。仮に、処理時間が、次のフレームセットの補正対象画像（補正後画像）のレジスタ反映のタイミングに間に合わないような場合、補正パラメータに基づいた補正は、次々フレームセットの補正対象画像に反映されることになる。

[0101] 以上のように、上述した要件を満たす S o C（処理回路）を採用することで、より好適に高品質な画像を取得することが可能となる。

[0102] <9. 適用例>

本開示に係る技術は、様々な製品に適用することができる。より具体的に

は、デジタルスチルカメラやビデオカメラなどの撮像装置や、携帯電話機などの撮像機能を有する携帯端末装置、画像読取部に撮像素子を用いる複写機などの電子機器に適用することができる。以下、デジタルスチルカメラやビデオカメラなどの撮像装置に適用する場合について説明する。

[0103] 図15は、電子機器の一例である撮像装置の構成を示すブロック図である。図15に示されるように、本実施形態に係る撮像装置500は、レンズ群などを含む撮像光学系501、撮像部502、DSP (Digital Signal Processor) 回路503、フレームメモリ504、表示装置505、記録装置506、操作系507、および電源系508を含むように構成される。DSP回路503、フレームメモリ504、表示装置505、記録装置506、操作系507、および電源系508は、バスライン509を介して相互に接続される。

[0104] 撮像光学系501は、被写体からの入射光（像光）を取り込んで撮像部502の撮像面上に結像する。撮像部502は、撮像光学系501によって撮像面上に結像された入射光の光量を画素単位で電気信号に変換して画素信号として出力する。DSP回路503は、一般的なカメラ信号処理、例えば、ホワイトバランス処理、デモザイク処理、ガンマ補正処理などを行う。

[0105] フレームメモリ504は、DSP回路503での信号処理の過程で適宜データの格納に用いられる。表示装置505は、液晶表示装置や有機EL (Electro Luminescence) 表示装置などのパネル型表示装置から成り、撮像部502で撮像された動画像または静止画像を表示する。記録装置506は、撮像部502で撮像された動画像または静止画像を、可搬型の半導体メモリや、光ディスク、HDD (Hard Disk Drive) などの記録媒体に記録する。

[0106] 操作系507は、ユーザによる操作の下に、撮像装置500が備える様々な機能について操作指令を発する。電源系508は、DSP回路503、フレームメモリ504、表示装置505、記録装置506、および操作系507の動作電源となる各種の電源を、これら供給対象に対して適宜供給する。

[0107] 上記の構成の撮像装置500において、撮像部502とDSP503それ

それぞれとして、上述した実施形態のDSS駆動が可能なセンサチップと、ROI位置情報をセンサチップにリアルタイムにフィードバックするSOCそれぞれを採用することができる。したがって、撮像装置500においても、より好適に高品質な画像を取得することが可能となる。

[0108] 本開示の実施の形態は、上述した実施の形態に限定されるものではなく、本開示の要旨を逸脱しない範囲において種々の変更が可能である。

[0109] 本明細書に記載された効果はあくまで例示であって限定されるものではなく、他の効果があってもよい。

さらに、本開示は以下のような構成をとることができる。

(1)

画素領域全ての画素信号を第1のフレームレートで読み出すとともに、前記画素領域における特定領域の画素信号を前記第1のフレームレートより高い第2のフレームレートで読み出すことで、1フレームの全画角画像と複数フレームの領域画像を同時に出力可能とする画素制御部を有するセンサチップと、

複数フレームの前記領域画像に基づいて、前記全画角画像の補正のための補正パラメータを算出するパラメータ算出部と、

前記補正パラメータに基づいた補正が反映された前記全画角画像を後段に出力する処理部を有する処理回路と

を備える撮像装置。

(2)

前記処理回路は、前記補正パラメータを用いて補正した前記全画角画像を後段に出力する

(1)に記載の撮像装置。

(3)

前記センサチップは、前記補正パラメータを用いて補正した前記全画角画像を前記処理回路に出力する

(1)に記載の撮像装置。

(4)

前記処理回路は、前記全画角画像に対する画像認識に基づいて前記画素領域における前記特定領域を決定し、

前記センサチップは、前記処理回路により決定された前記特定領域の画素信号を読み出すことで前記領域画像を出力する

(1)に記載の撮像装置。

(5)

前記パラメータ算出部は、複数フレームの前記領域画像から検出された動きベクトルに基づいてブレ情報を算出し、

前記処理回路は、算出された前記ブレ情報に基づいて、前記全画角画像のブレを補正する

(2)または(4)に記載の撮像装置。

(6)

前記処理回路は、前記画像認識に基づいて、前記動きベクトルの検出対象となる注目被写体を検出することで、前記特定領域を決定する

(5)に記載の撮像装置。

(7)

前記パラメータ算出部は、複数フレームの前記領域画像から取得された輝度データに基づいて自動露出情報を算出し、

前記センサチップは、算出された前記自動露出情報に基づいた自動露出制御により、前記全画角画像の明るさを補正する

(3)または(4)に記載の撮像装置。

(8)

前記処理回路は、前記画像認識に基づいたシーン判別により、前記輝度データの取得対象となる測光領域を、前記特定領域として決定する

(7)に記載の撮像装置。

(9)

前記センサチップは、前記画素領域に位相差画素データを出力可能な位相

差検出画素を含み、

前記パラメータ算出部は、複数フレームの前記領域画像から取得された前記位相差画素データに基づいて、レンズの合焦制御を行うための合焦制御情報を算出する

(4)に記載の撮像装置。

(10)

算出された前記合焦制御情報に基づいて、前記レンズの合焦制御を行う合焦制御部をさらに備える

(9)に記載の撮像装置。

(11)

前記処理回路は、前記画像認識に基づいて、前記レンズの合焦制御のための切り出し領域を、前記特定領域として決定する

(9)または(10)に記載の撮像装置。

(12)

前記パラメータ算出部は、複数フレームの前記領域画像から検出された動きベクトルに基づいて前景領域を特定し、

前記処理回路は、特定された前記前景領域と、前記画像認識により検出された被写体領域に基づいて、レンズの合焦制御に用いられるコントラスト値を計測する測光領域を、前記特定領域として決定する

(4)に記載の撮像装置。

(13)

前記処理回路は、前記測光領域において計測された前記コントラスト値に基づいて、前記レンズの合焦制御を行うための合焦制御情報を算出する

(12)に記載の撮像装置。

(14)

算出された前記合焦制御情報に基づいて、前記レンズの合焦制御を行う合焦制御部をさらに備える

(13)に記載の撮像装置。

(15)

画素領域全ての画素信号を第1のフレームレートで読み出すとともに、前記画素領域における特定領域の画素信号を前記第1のフレームレートより高い第2のフレームレートで読み出すことで、1フレームの全画角画像と複数フレームの領域画像を同時に出力可能とする画素制御部と、

複数フレームの前記領域画像に基づいて、前記全画角画像の補正のための補正パラメータを算出するパラメータ算出部と、

前記補正パラメータを用いて補正した前記全画角画像を出力する処理部とを備えるセンサチップ。

(16)

画素領域全ての画素信号を第1のフレームレートで読み出すとともに、前記画素領域における特定領域の画素信号を前記第1のフレームレートより高い第2のフレームレートで読み出すことで、1フレームの全画角画像と複数フレームの領域画像を同時に出力可能とするセンサチップから出力された複数フレームの前記領域画像に基づいて、前記全画角画像の補正のための補正パラメータを算出するパラメータ算出部と、

前記補正パラメータを用いて補正した前記全画角画像を後段に出力する処理部と

を備える処理回路。

符号の説明

[0110] 10 センサチップ, 11 画素アレイ部, 12 コントロールユニット, 13 データ処理部, 30 SoC, 31 画像認識部, 32 処理部, 500 撮像装置, 502 撮像部, 503 DSP

請求の範囲

- [請求項1] 画素領域全ての画素信号を第1のフレームレートで読み出すとともに、前記画素領域における特定領域の画素信号を前記第1のフレームレートより高い第2のフレームレートで読み出すことで、1フレームの全画角画像と複数フレームの領域画像を同時に出力可能とする画素制御部を有するセンサチップと、
- 複数フレームの前記領域画像に基づいて、前記全画角画像の補正のための補正パラメータを算出するパラメータ算出部と、
- 前記補正パラメータに基づいた補正が反映された前記全画角画像を後段に出力する処理部を有する処理回路と
- を備える撮像装置。
- [請求項2] 前記処理回路は、前記補正パラメータを用いて補正した前記全画角画像を後段に出力する
- 請求項1に記載の撮像装置。
- [請求項3] 前記センサチップは、前記補正パラメータを用いて補正した前記全画角画像を前記処理回路に出力する
- 請求項1に記載の撮像装置。
- [請求項4] 前記処理回路は、前記全画角画像に対する画像認識に基づいて前記画素領域における前記特定領域を決定し、
- 前記センサチップは、前記処理回路により決定された前記特定領域の画素信号を読み出すことで前記領域画像を出力する
- 請求項1に記載の撮像装置。
- [請求項5] 前記パラメータ算出部は、複数フレームの前記領域画像から検出された動きベクトルに基づいてブレ情報を算出し、
- 前記処理回路は、算出された前記ブレ情報に基づいて、前記全画角画像のブレを補正する
- 請求項4に記載の撮像装置。
- [請求項6] 前記処理回路は、前記画像認識に基づいて、前記動きベクトルの検

出対象となる注目被写体を検出することで、前記特定領域を決定する
請求項 5 に記載の撮像装置。

[請求項7] 前記パラメータ算出部は、複数フレームの前記領域画像から取得された輝度データに基づいて自動露出情報を算出し、
前記センサチップは、算出された前記自動露出情報に基づいた自動露出制御により、前記全画角画像の明るさを補正する
請求項 4 に記載の撮像装置。

[請求項8] 前記処理回路は、前記画像認識に基づいたシーン判別により、前記輝度データの取得対象となる測光領域を、前記特定領域として決定する
請求項 7 に記載の撮像装置。

[請求項9] 前記センサチップは、前記画素領域に位相差画素データを出力可能な位相差検出画素を含み、
前記パラメータ算出部は、複数フレームの前記領域画像から取得された前記位相差画素データに基づいて、レンズの合焦制御を行うための合焦制御情報を算出する
請求項 4 に記載の撮像装置。

[請求項10] 算出された前記合焦制御情報に基づいて、前記レンズの合焦制御を行う合焦制御部をさらに備える
請求項 9 に記載の撮像装置。

[請求項11] 前記処理回路は、前記画像認識に基づいて、前記レンズの合焦制御のための切り出し領域を、前記特定領域として決定する
請求項 9 に記載の撮像装置。

[請求項12] 前記パラメータ算出部は、複数フレームの前記領域画像から検出された動きベクトルに基づいて前景領域を特定し、
前記処理回路は、特定された前記前景領域と、前記画像認識により検出された被写体領域に基づいて、レンズの合焦制御に用いられるコントラスト値を計測する測光領域を、前記特定領域として決定する

請求項4に記載の撮像装置。

[請求項13] 前記処理回路は、前記測光領域において計測された前記コントラスト値に基づいて、前記レンズの合焦制御を行うための合焦制御情報を算出する

請求項12に記載の撮像装置。

[請求項14] 算出された前記合焦制御情報に基づいて、前記レンズの合焦制御を行う合焦制御部をさらに備える

請求項13に記載の撮像装置。

[請求項15] 画素領域全ての画素信号を第1のフレームレートで読み出すとともに、前記画素領域における特定領域の画素信号を前記第1のフレームレートより高い第2のフレームレートで読み出すことで、1フレームの全画角画像と複数フレームの領域画像を同時に出力可能とする画素制御部と、

複数フレームの前記領域画像に基づいて、前記全画角画像の補正のための補正パラメータを算出するパラメータ算出部と、

前記補正パラメータを用いて補正した前記全画角画像を出力する処理部と

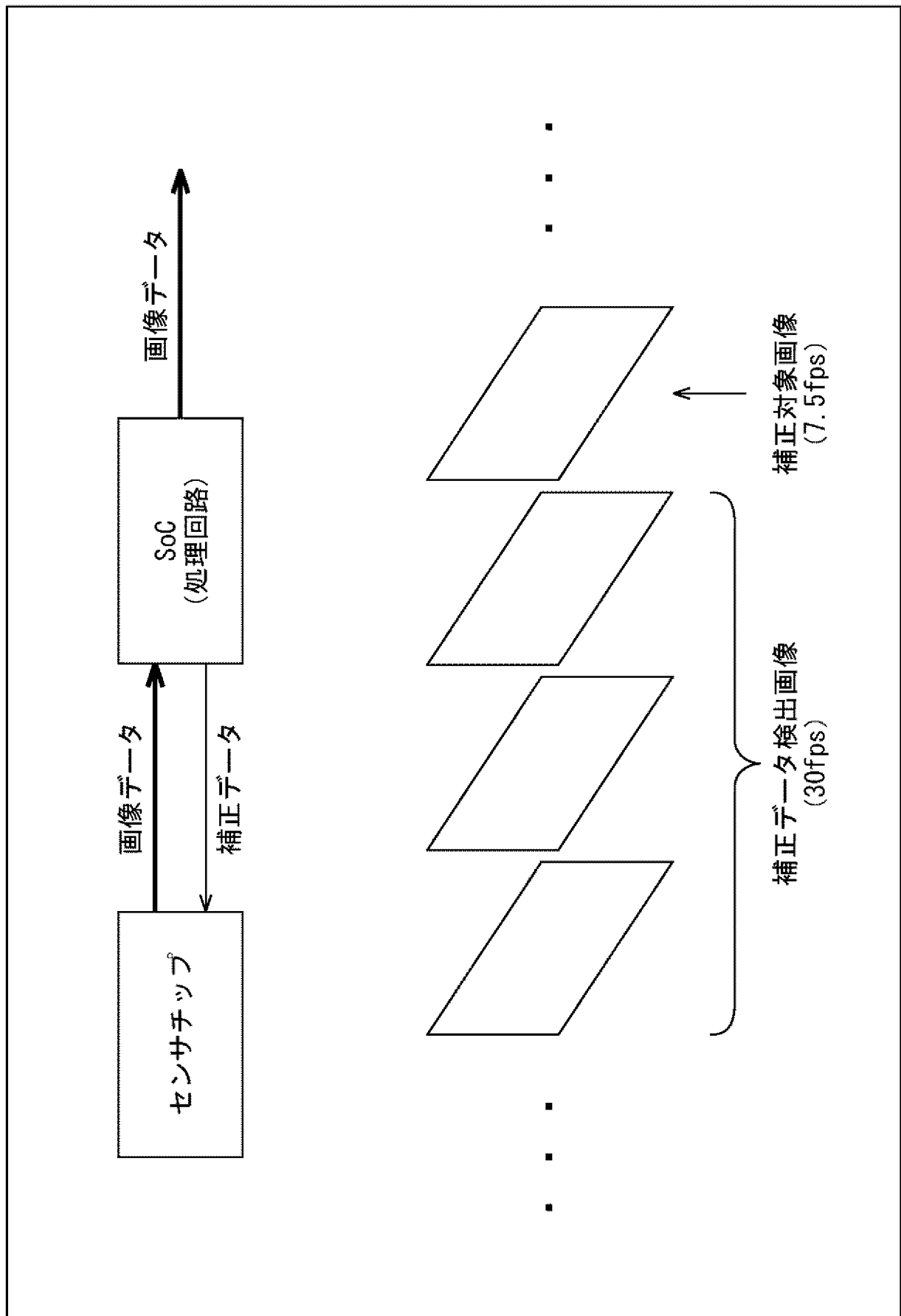
を備えるセンサチップ。

[請求項16] 画素領域全ての画素信号を第1のフレームレートで読み出すとともに、前記画素領域における特定領域の画素信号を前記第1のフレームレートより高い第2のフレームレートで読み出すことで、1フレームの全画角画像と複数フレームの領域画像を同時に出力可能とするセンサチップから出力された複数フレームの前記領域画像に基づいて、前記全画角画像の補正のための補正パラメータを算出するパラメータ算出部と、

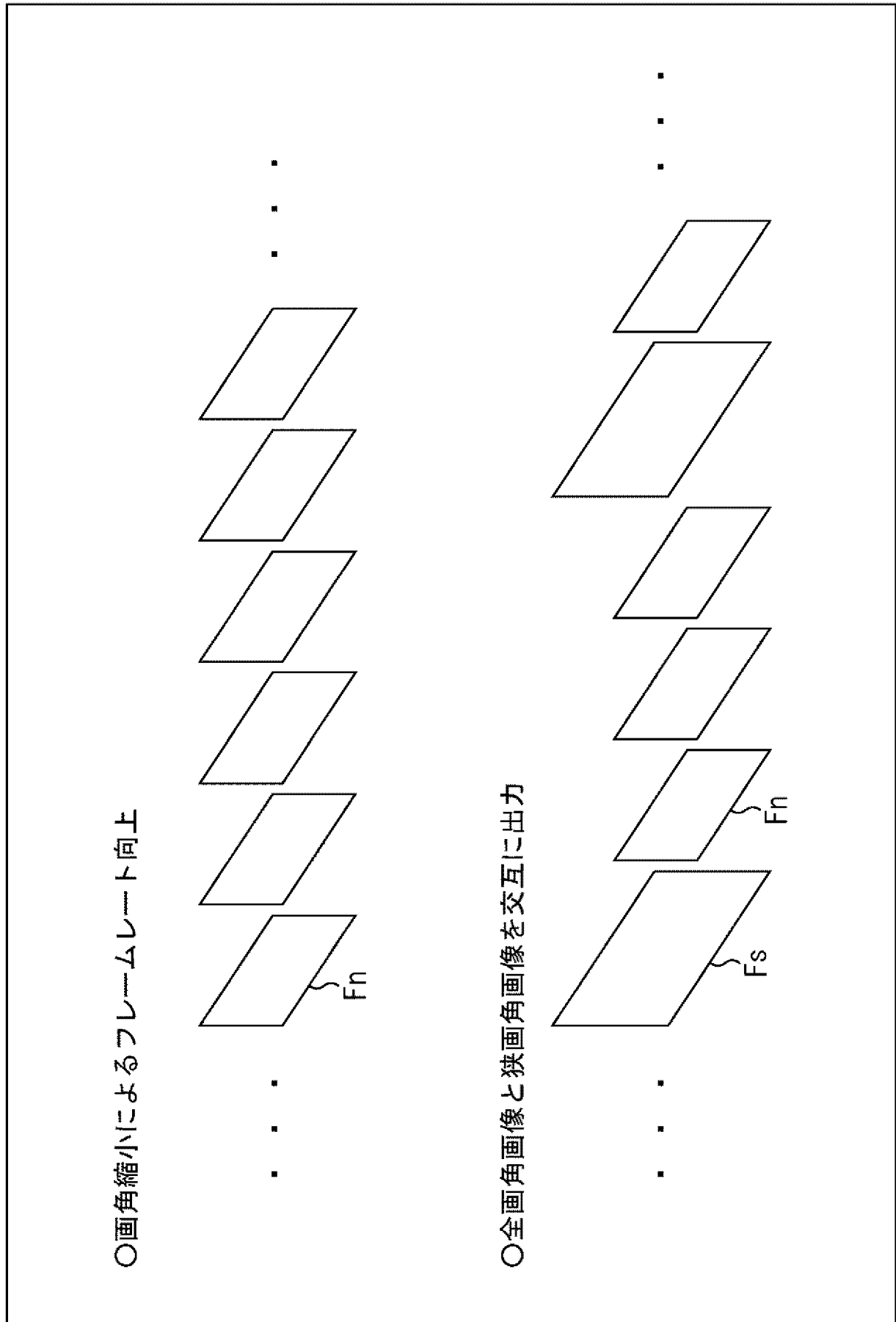
前記補正パラメータを用いて補正した前記全画角画像を後段に出力する処理部と

を備える処理回路。

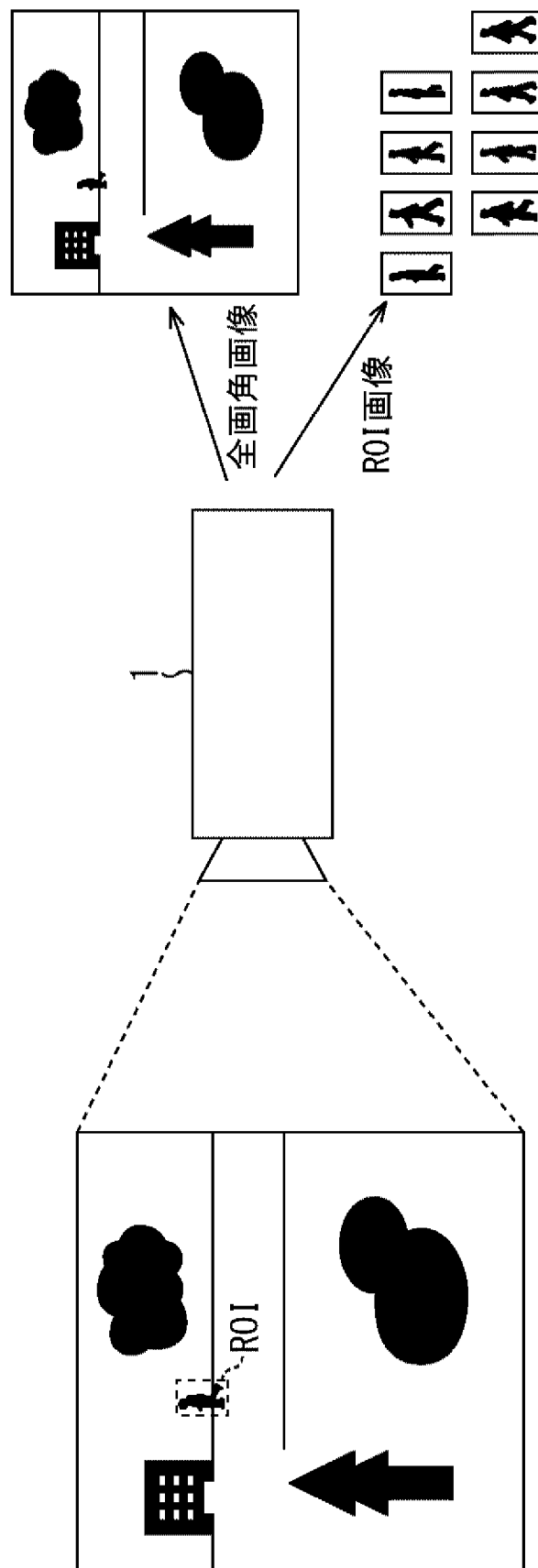
[図1]
FIG. 1



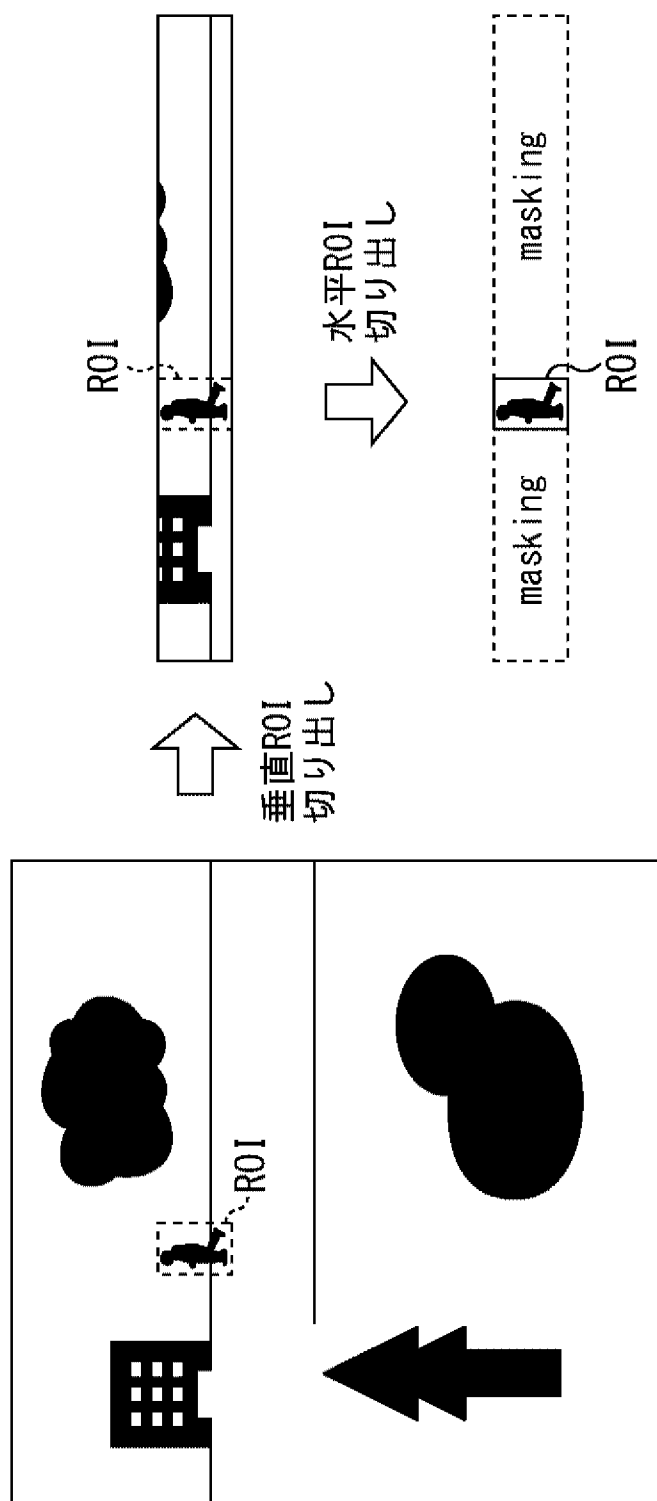
[図2]
FIG. 2



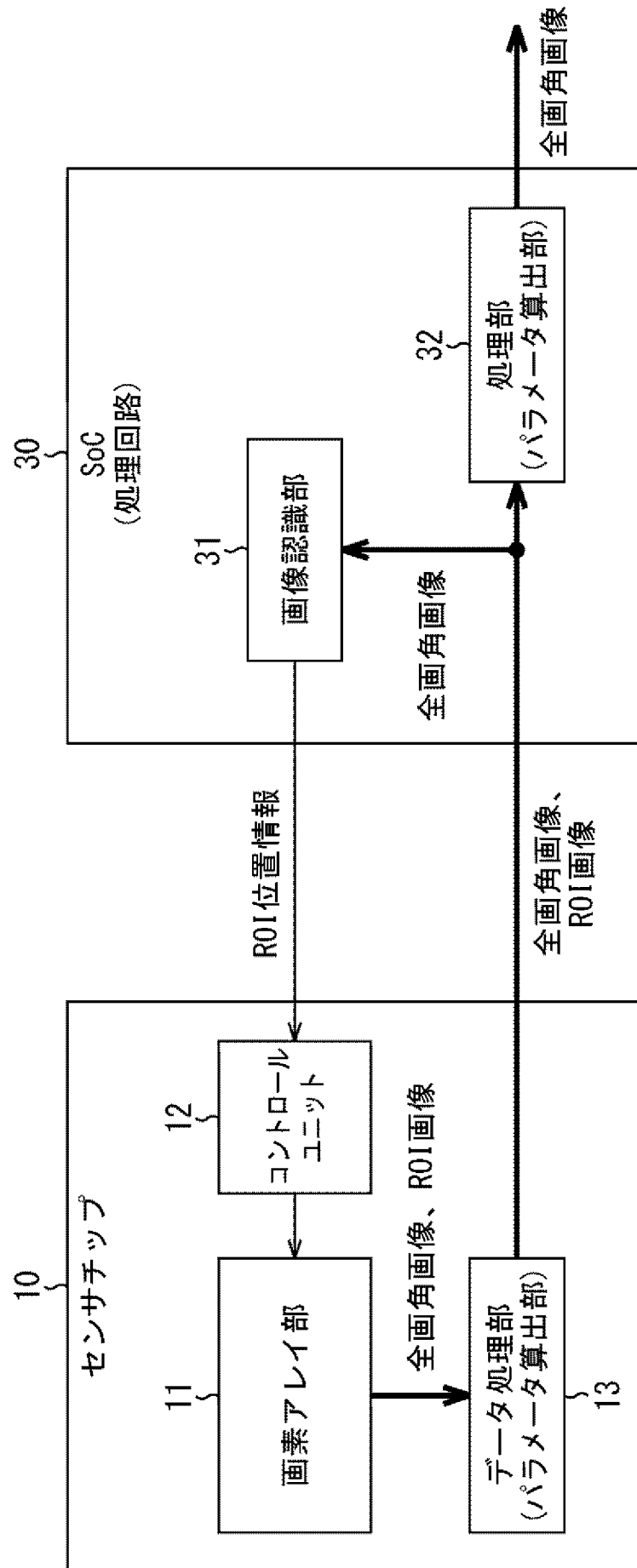
[図3]
FIG. 3

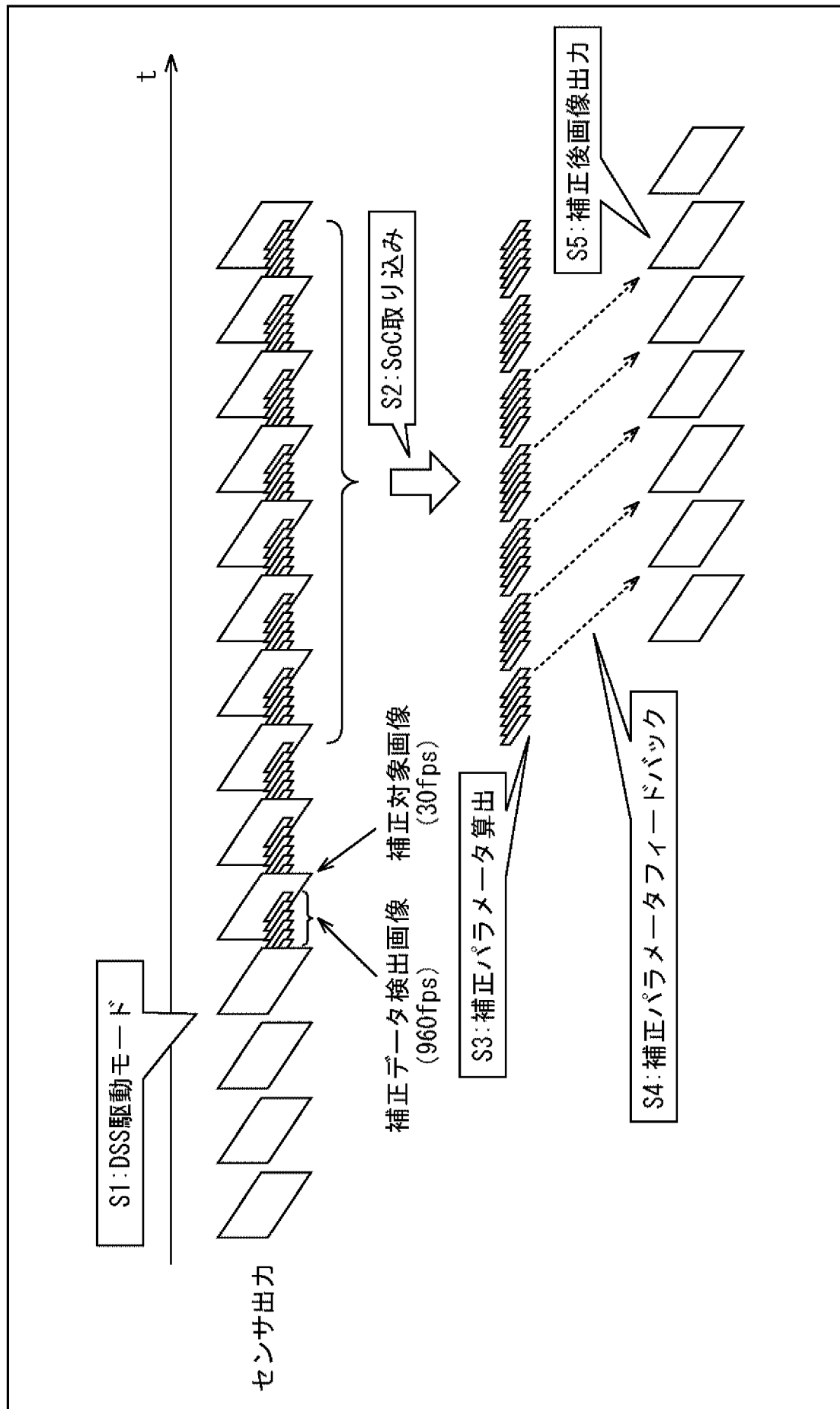


[図4]
FIG. 4

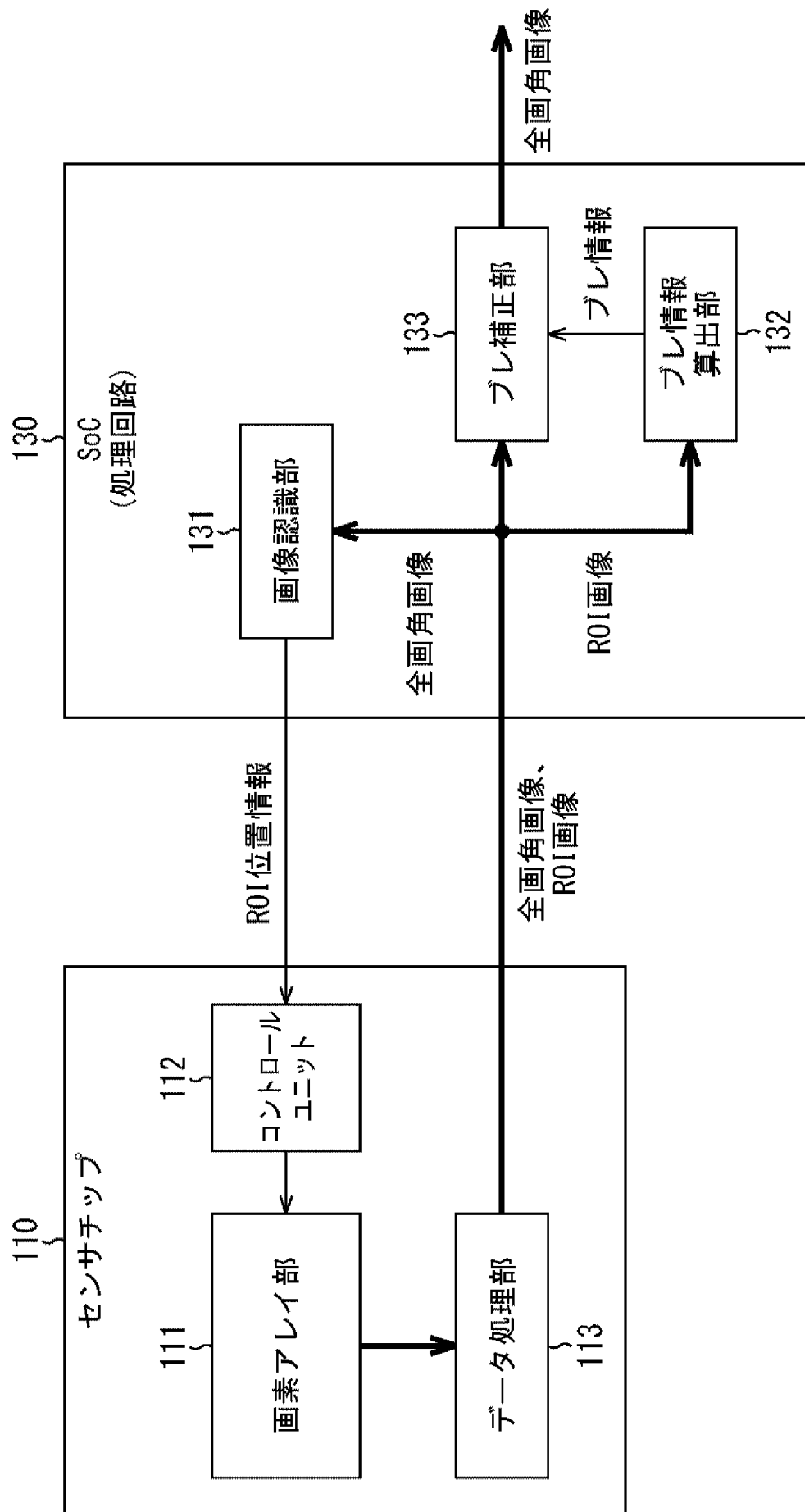


[図5]
FIG. 5

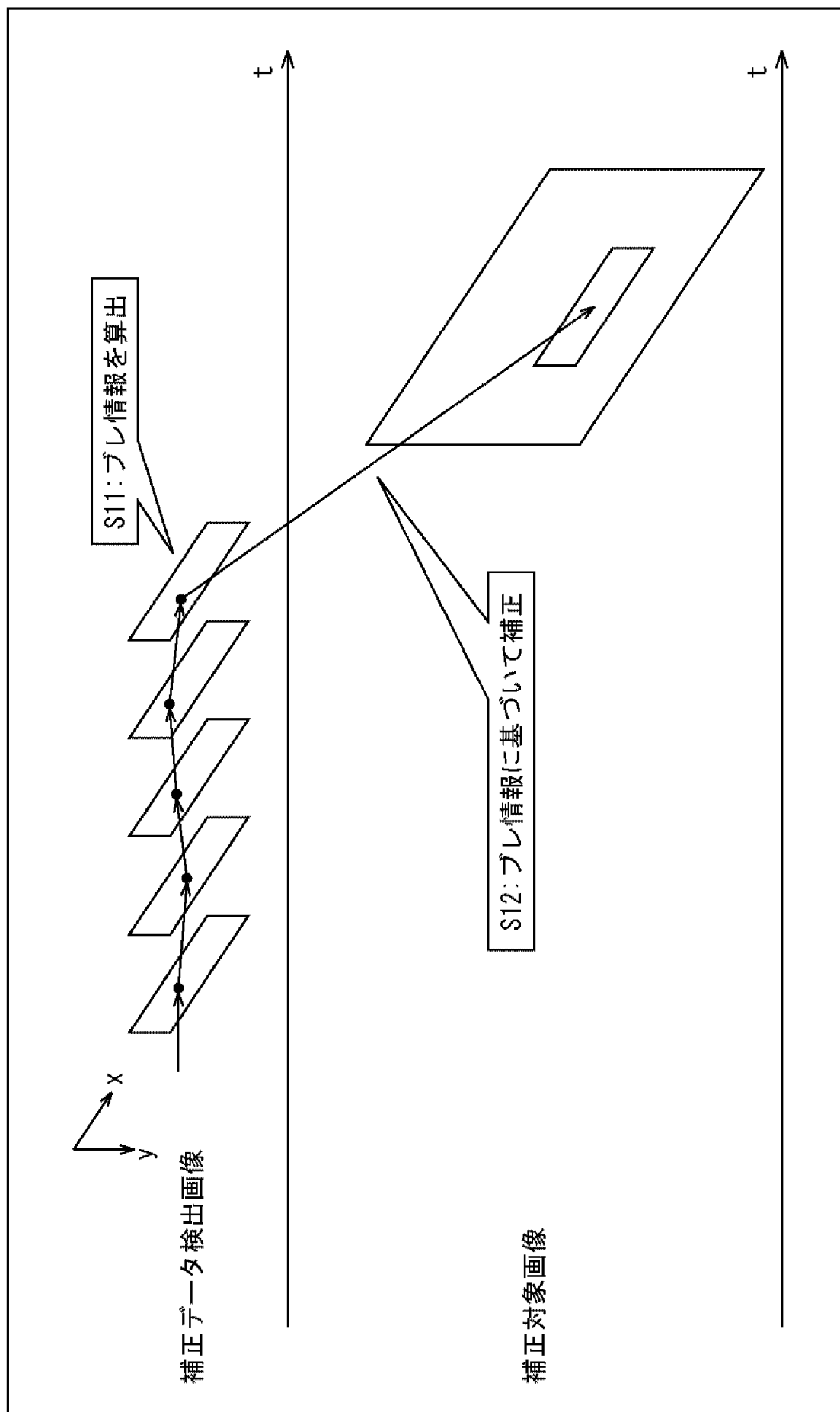


[図6]
FIG. 6

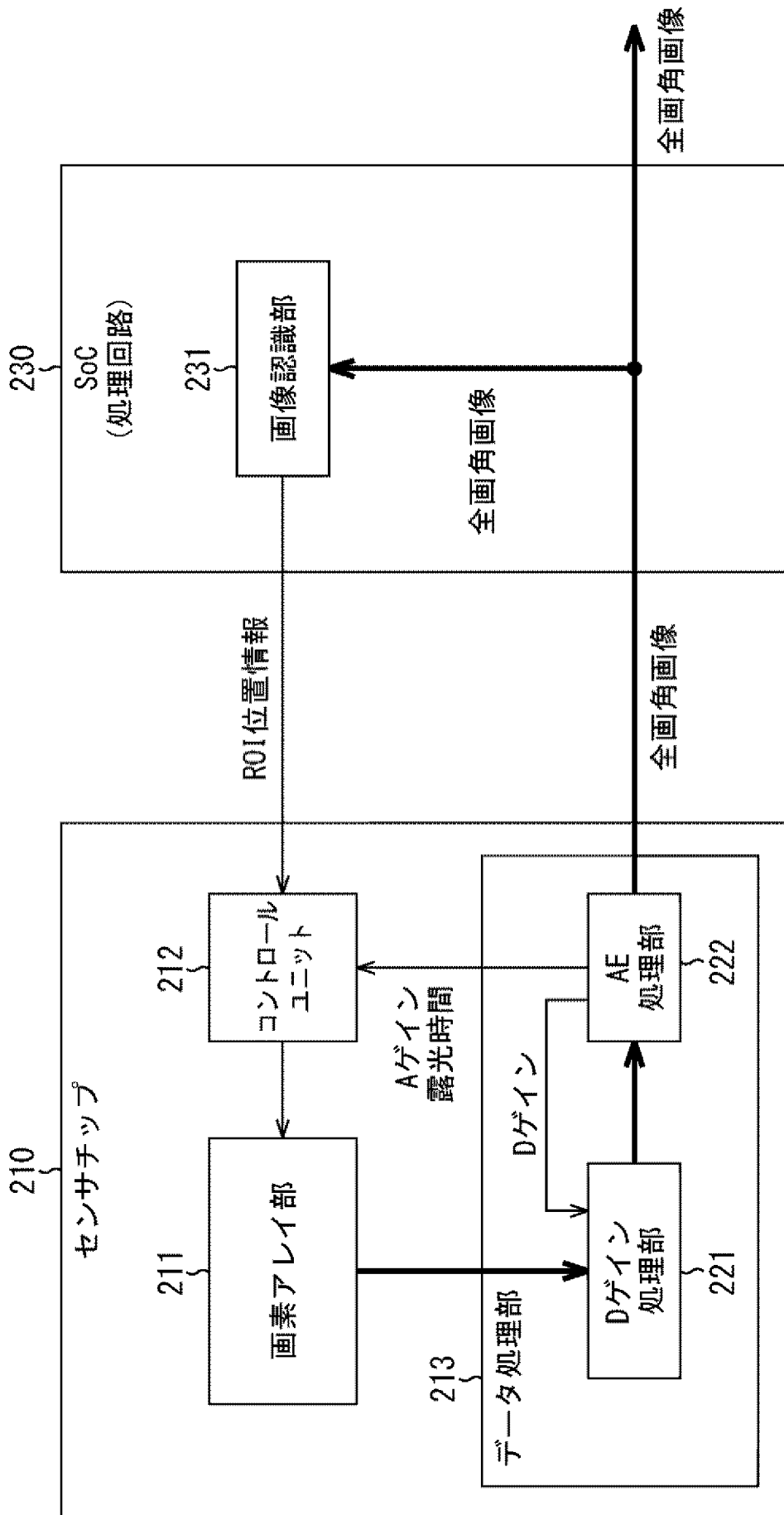
[図7]
FIG. 7

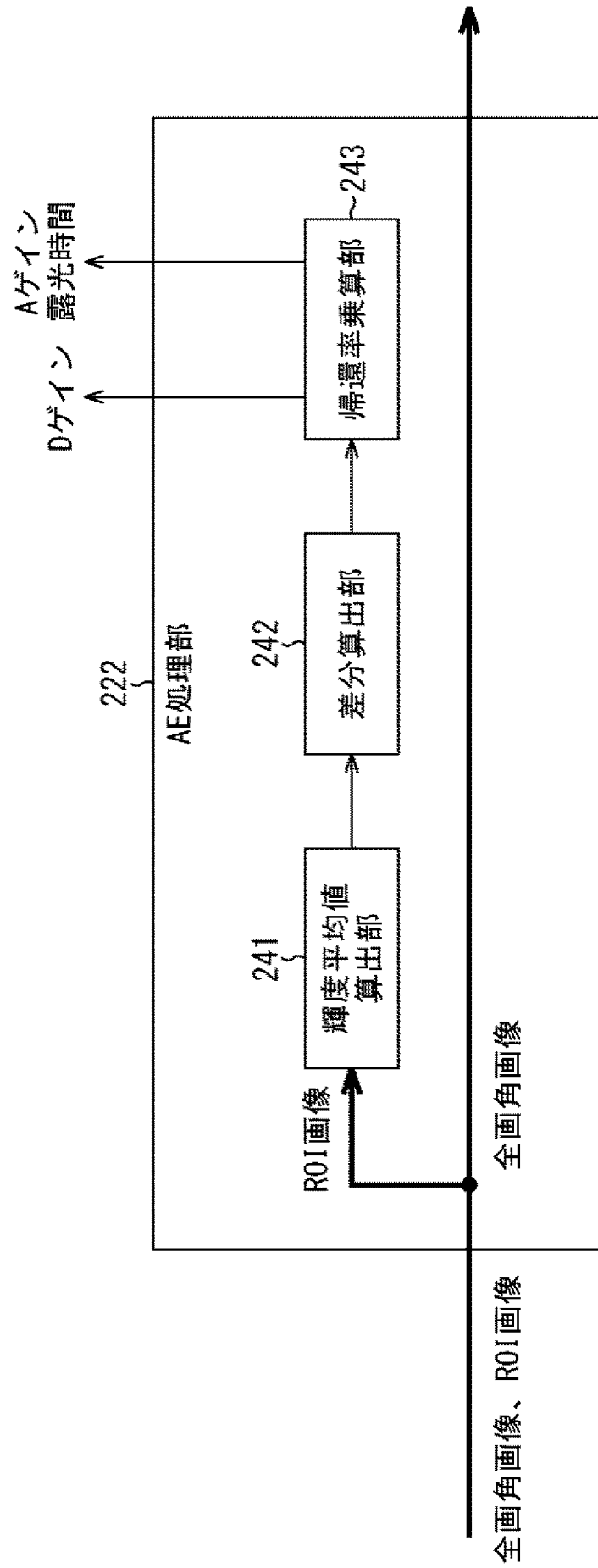


[図8]
FIG. 8

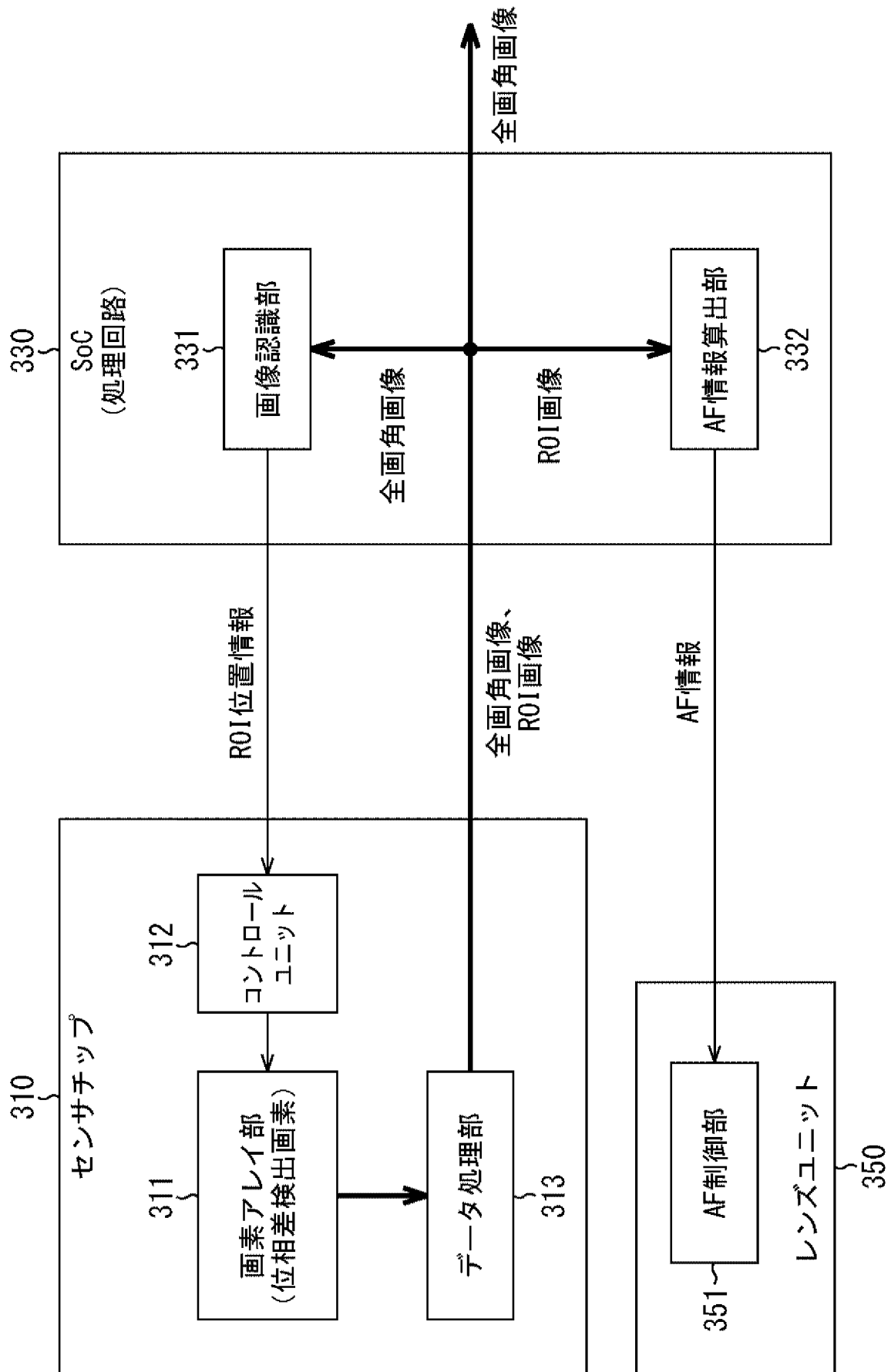


[図9]
FIG. 9

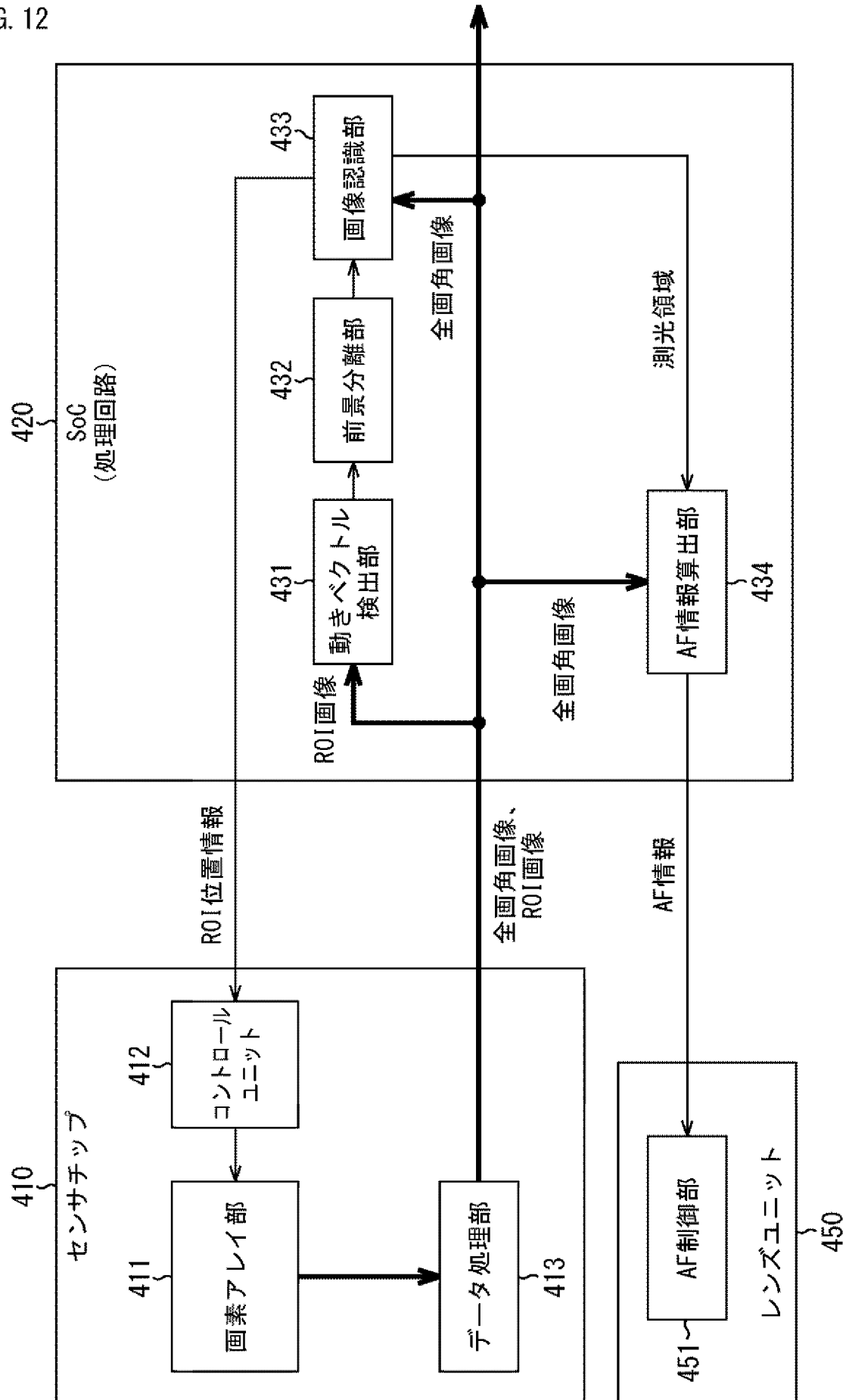


[図10]
FIG. 10

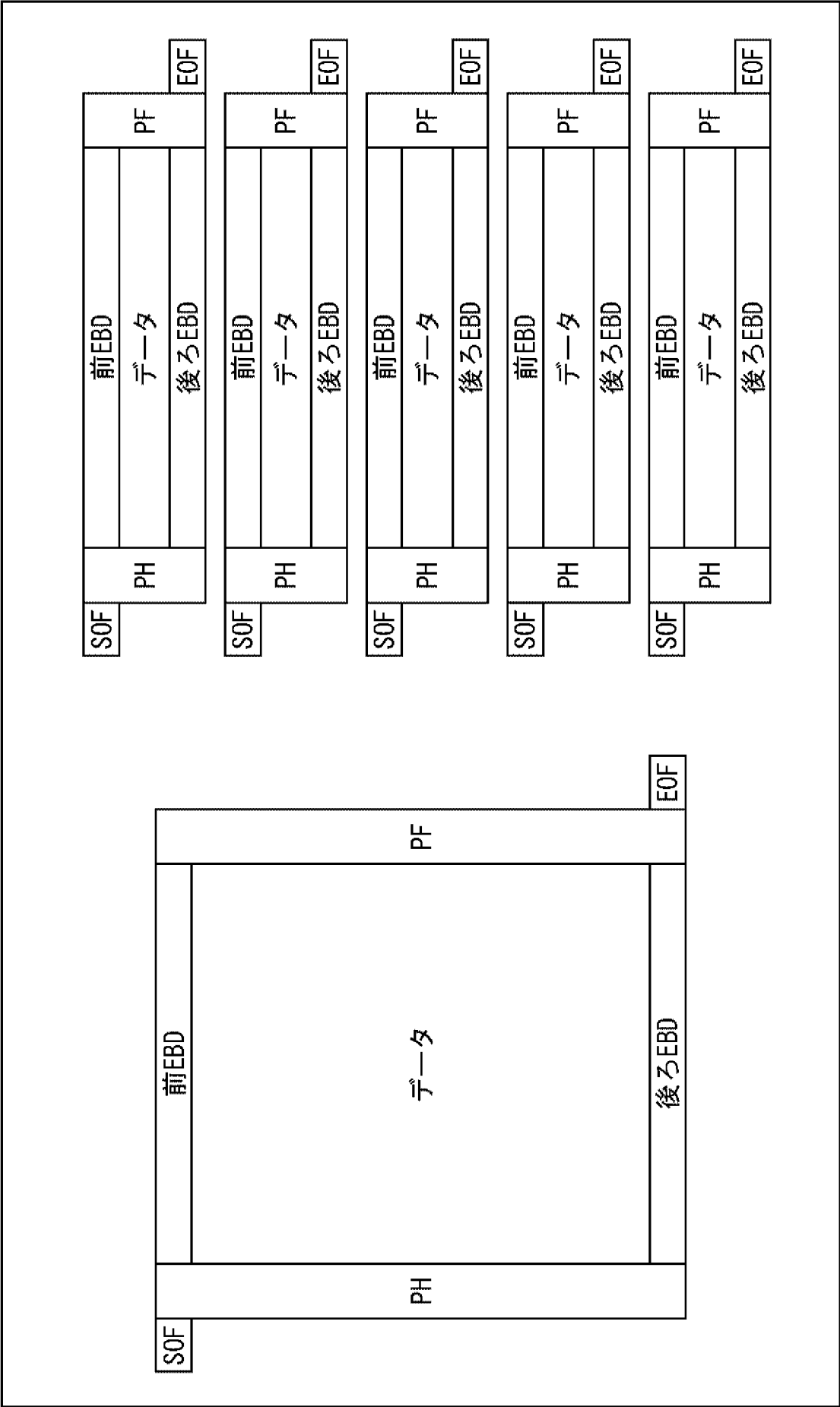
[図11]
FIG. 11



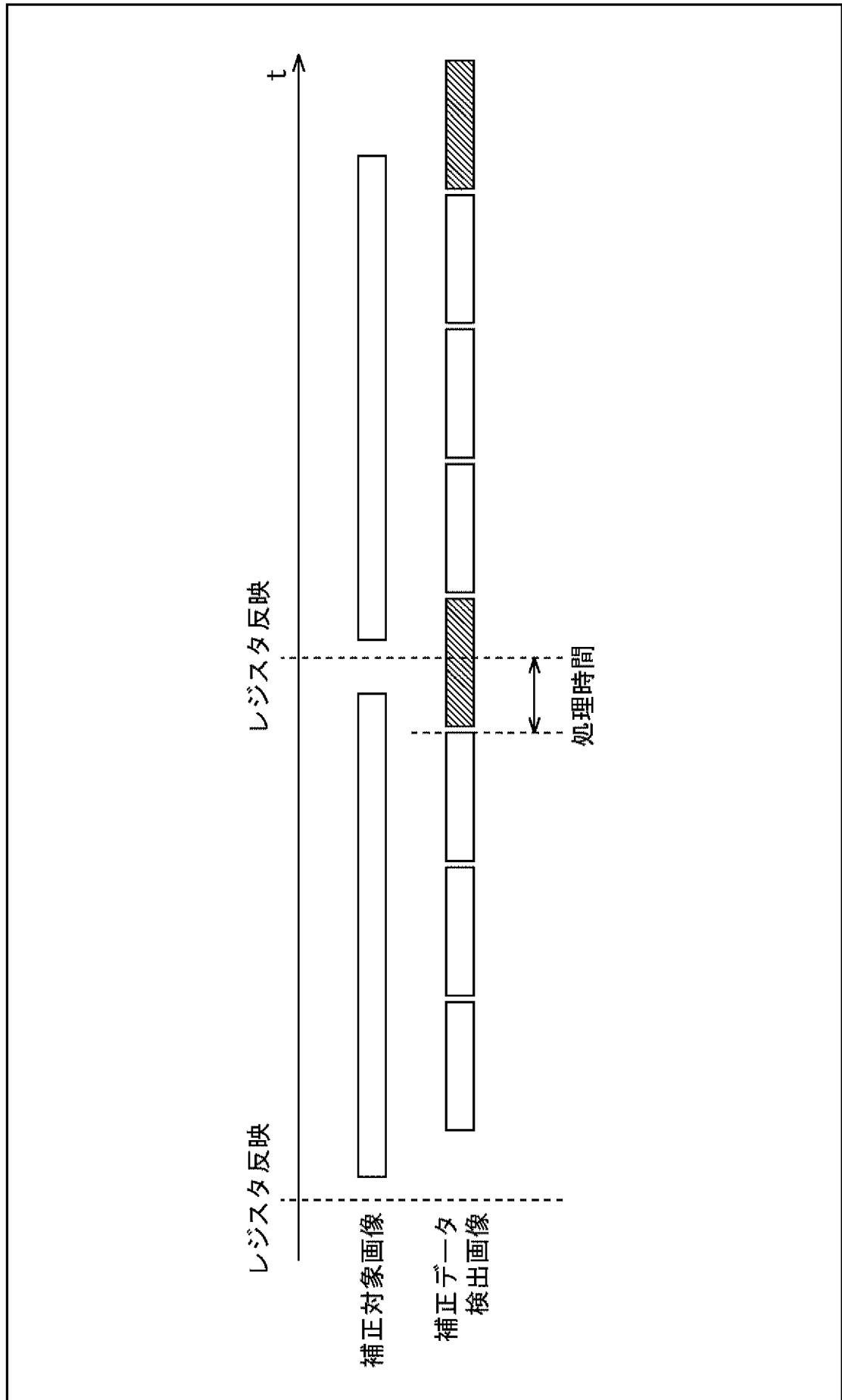
[図12]
FIG. 12



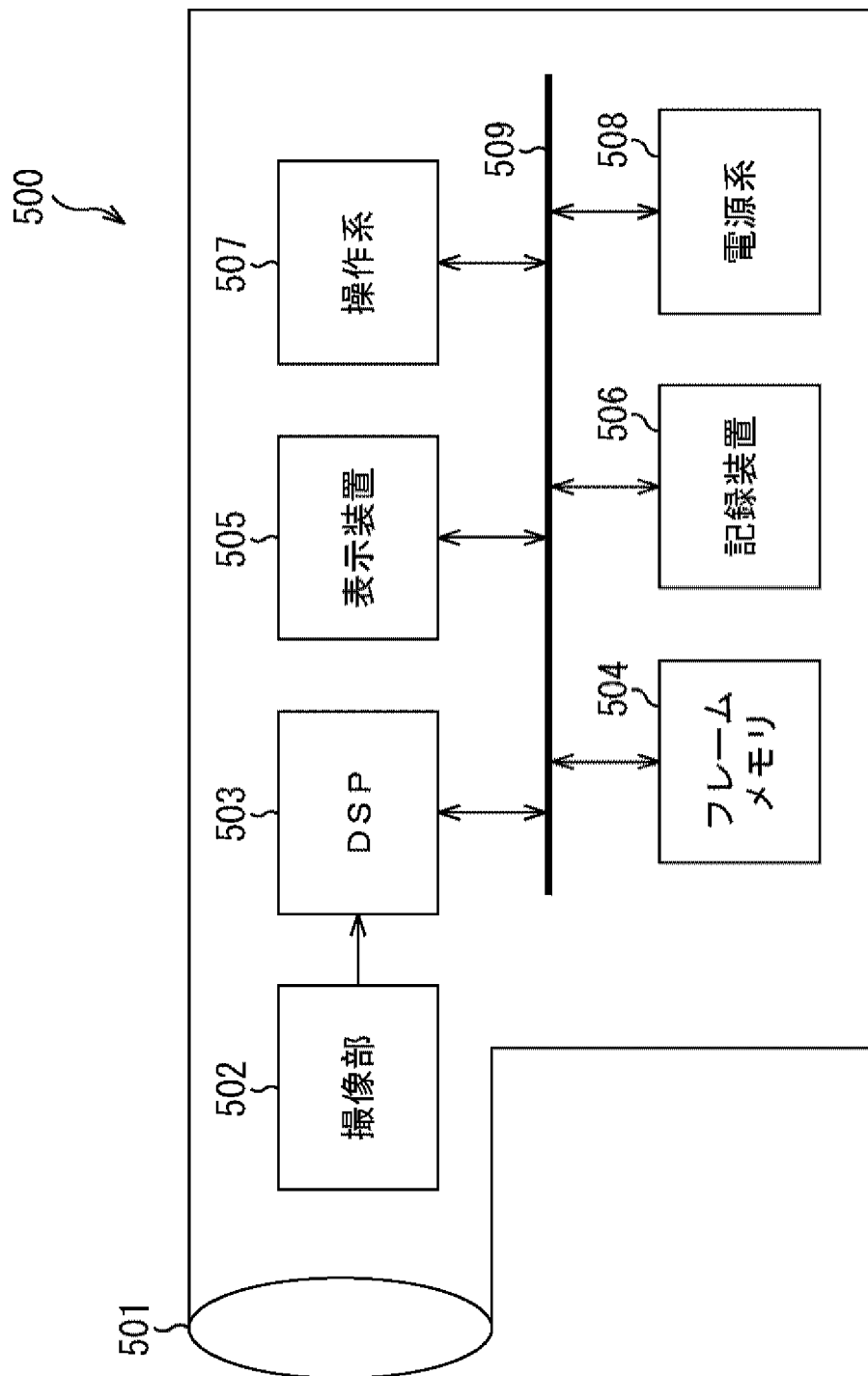
[図13]
FIG. 13



[図14]
FIG. 14



[図15]
FIG. 15



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2023/016577

A. CLASSIFICATION OF SUBJECT MATTER**H04N 23/60**(2023.01)i; **H04N 23/54**(2023.01)i; **H04N 23/68**(2023.01)i; **H04N 25/40**(2023.01)i

FI: H04N23/60 500; H04N23/54; H04N23/68; H04N25/40

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H04N23/60; H04N23/54; H04N23/68; H04N25/40

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996
 Published unexamined utility model applications of Japan 1971-2023
 Registered utility model specifications of Japan 1996-2023
 Published registered utility model applications of Japan 1994-2023

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	WO 2020/218201 A1 (FUJIFILM CORP.) 29 October 2020 (2020-10-29) paragraphs [0083]-[0092], [0122]-[0141], fig. 12-18	1-6, 9-16
Y	WO 2021/033388 A1 (SONY SEMICONDUCTOR SOLUTIONS CORP.) 25 February 2021 (2021-02-25) claims, paragraphs [0012]-[0119], [0127]-[0132], fig. 1	1-16
Y	JP 2000-78483 A (CANON INC.) 14 March 2000 (2000-03-14) paragraphs [0002]-[0014], fig. 1, 2	1-4, 7, 8
A	JP 2015-119206 A (CANON INC.) 25 June 2015 (2015-06-25) entire text, all drawings	1-16
A	JP 2008-252648 A (CASIO COMPUT. CO., LTD.) 16 October 2008 (2008-10-16) entire text, all drawings	1-16

☐ Further documents are listed in the continuation of Box C.☒ See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance
 “E” earlier application or patent but published on or after the international filing date
 “L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
 “O” document referring to an oral disclosure, use, exhibition or other means
 “P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
 “X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
 “Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
 “&” document member of the same patent family

Date of the actual completion of the international search

16 June 2023

Date of mailing of the international search report

27 June 2023

Name and mailing address of the ISA/JP

Japan Patent Office (ISA/JP)
 3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915
 Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/JP2023/016577

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
WO	2020/218201	A1	29 October 2020	US 2022/0038631 A1 paragraphs [0116]-[0124], [0154]-[0173], fig. 12-18 CN 113728613 A JP 2022-64968 A	
WO	2021/033388	A1	25 February 2021	US 2022/0353441 A1 claims, paragraphs [0047]- [0175], [0190]-[0195], fig. 1 JP 2021-34786 A	
JP	2000-78483	A	14 March 2000	(Family: none)	
JP	2015-119206	A	25 June 2015	US 2015/0172595 A1 entire text, all drawings CN 104717424 A	
JP	2008-252648	A	16 October 2008	(Family: none)	

A. 発明の属する分野の分類（国際特許分類（IPC）） H04N 23/60(2023.01)i; H04N 23/54(2023.01)i; H04N 23/68(2023.01)i; H04N 25/40(2023.01)i FI: H04N23/60 500; H04N23/54; H04N23/68; H04N25/40										
B. 調査を行った分野										
調査を行った最小限資料（国際特許分類（IPC）） H04N23/60; H04N23/54; H04N23/68; H04N25/40										
最小限資料以外の資料で調査を行った分野に含まれるもの <table border="0"> <tr> <td>日本国実用新案公報</td> <td>1922 - 1996年</td> </tr> <tr> <td>日本国公開実用新案公報</td> <td>1971 - 2023年</td> </tr> <tr> <td>日本国実用新案登録公報</td> <td>1996 - 2023年</td> </tr> <tr> <td>日本国登録実用新案公報</td> <td>1994 - 2023年</td> </tr> </table>			日本国実用新案公報	1922 - 1996年	日本国公開実用新案公報	1971 - 2023年	日本国実用新案登録公報	1996 - 2023年	日本国登録実用新案公報	1994 - 2023年
日本国実用新案公報	1922 - 1996年									
日本国公開実用新案公報	1971 - 2023年									
日本国実用新案登録公報	1996 - 2023年									
日本国登録実用新案公報	1994 - 2023年									
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）										
C. 関連すると認められる文献										
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号								
Y	WO 2020/218201 A1（富士フイルム株式会社）29.10.2020（2020 - 10 - 29） 段落[0083]-[0092], [0122]-[0141], 図12-18	1-6, 9-16								
Y	WO 2021/033388 A1（ソニーセミコンダクタソリューションズ株式会社）25.02.2021 （2021 - 02 - 25） [特許請求の範囲], 段落[0012]-[0119], [0127]-[0132], 図1	1-16								
Y	JP 2000-78483 A（キヤノン株式会社）14.03.2000（2000 - 03 - 14） 段落[0002]-[0014], 図1, 2	1-4, 7, 8								
A	JP 2015-119206 A（キヤノン株式会社）25.06.2015（2015 - 06 - 25） 全文, 全図	1-16								
A	JP 2008-252648 A（カシオ計算機株式会社）16.10.2008（2008 - 10 - 16） 全文, 全図	1-16								
☐ C欄の続きにも文献が列挙されている。 ☒ パテントファミリーに関する別紙を参照。										
<table border="0"> <tr> <td> * 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的な技術水準を示すもの “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献 </td> <td> “T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献 </td> </tr> </table>			* 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的な技術水準を示すもの “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献	“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献						
* 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的な技術水準を示すもの “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献	“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献									
国際調査を完了した日 16.06.2023	国際調査報告の発送日 27.06.2023									
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号	権限のある職員（特許庁審査官） 丑田 真悟 5P 3100 電話番号 03-3581-1101 内線 3271									

国際調査報告
 パテントファミリーに関する情報

国際出願番号

PCT/JP2023/016577

引用文献			公表日	パテントファミリー文献	公表日
WO	2020/218201	A1	29.10.2020	US 2022/0038631 A1 段落[0116]-[0124], [0154]- [0173], 図12-18 CN 113728613 A JP 2022-64968 A	
WO	2021/033388	A1	25.02.2021	US 2022/0353441 A1 [特許請求の範囲], 段落 [0047]-[0175], [0190]- [0195], 図1 JP 2021-34786 A	
JP	2000-78483	A	14.03.2000	(ファミリーなし)	
JP	2015-119206	A	25.06.2015	US 2015/0172595 A1 全文, 全図 CN 104717424 A	
JP	2008-252648	A	16.10.2008	(ファミリーなし)	