

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4361724号
(P4361724)

(45) 発行日 平成21年11月11日(2009.11.11)

(24) 登録日 平成21年8月21日(2009.8.21)

(51) Int.Cl.

F I

H O 1 L 21/822 (2006.01)

H O 1 L 27/04 E

H O 1 L 27/04 (2006.01)

G 1 1 C 5/00 3 O 3 Z

G 1 1 C 5/00 (2006.01)

H O 1 L 21/82 W

H O 1 L 21/82 (2006.01)

H O 1 L 21/82 P

H O 1 L 25/065 (2006.01)

H O 1 L 25/08 Z

請求項の数 10 (全 19 頁) 最終頁に続く

(21) 出願番号 特願2002-352795 (P2002-352795)
 (22) 出願日 平成14年12月4日(2002.12.4)
 (65) 公開番号 特開2003-264240 (P2003-264240A)
 (43) 公開日 平成15年9月19日(2003.9.19)
 審査請求日 平成17年1月19日(2005.1.19)
 (31) 優先権主張番号 2001-076944
 (32) 優先日 平成13年12月6日(2001.12.6)
 (33) 優先権主張国 韓国(KR)

(73) 特許権者 390019839
 三星電子株式会社
 S A M S U N G E L E C T R O N I C S
 C O . , L T D .
 大韓民国京畿道水原市靈通区梅灘洞416
 416, Maetan-dong, Yeongtong-gu, Suwon-si,
 Gyeonggi-do 442-742
 (KR)

(74) 代理人 100064908
 弁理士 志賀 正武

(74) 代理人 100089037
 弁理士 渡邊 隆

(74) 代理人 100108453
 弁理士 村山 靖彦

最終頁に続く

(54) 【発明の名称】 集積回路、半導体装置及びデータプロセッシングシステム

(57) 【特許請求の範囲】

【請求項1】

半導体装置において、
 互いに向き合う第1及び第2面を有するボードと、
 前記ボードの前記第1面に配置されたメモリ集積回路と、
 前記ボードの前記第2面に配置された他の一つのメモリ集積回路を備え、
 前記メモリ集積回路のうちの少なくとも一つが、内部ノード及び入出力ターミナルを有する半導体チップと、
 選択信号に従って前記内部ノードの第1及び第2ノードのうちの一つと第1入出力ターミナルとの間で第1信号経路を選択的に設定するマルチプレクサと、
 前記選択信号に従って前記第1及び第2ノードのうちの他の一つと第2入出力ターミナルとの間で第2信号経路を選択的に設定する他の一つのマルチプレクサと、前記第1入出力ターミナルと前記マルチプレクサとの間に配置され、TTLレベルの信号をCMOSレベルの信号に、またはCMOSレベルの信号をTTLレベルの信号に変換するバッファとを備え、
 前記第1及び第2入出力ターミナルが前記半導体チップを横切る軸を中心に対称であることを特徴とする半導体装置。

【請求項2】

前記バッファが、前記バッファと前記第1入出力ターミナルとの間の信号経路上のインピーダンスと整合されるタミネーションインピーダンスを有することを特徴とする請求項

1に記載の半導体装置。

【請求項 3】

前記入出力ターミナルがボールグリッドアレイからなるピンを備え、
前記第 1 及び第 2 入出力ターミナルは前記ボールグリッドアレイの第 1 及び第 2 ピンに各々電氣的に連結され、
前記第 1 ピンは前記ボールグリッドアレイの対称軸に対して前記第 2 ピンと対称であることを特徴とする請求項 1 に記載の半導体装置。

【請求項 4】

前記選択信号を発生する制御回路をさらに備えることを特徴とする請求項 1 に記載の半導体装置。

【請求項 5】

前記制御回路がプログラム可能な要素を備えることを特徴とする請求項 4 に記載の半導体装置。

【請求項 6】

前記半導体装置の専用入出力ターミナルと、
前記ボードの一面に配置されて前記専用入出力ターミナルを第 1 電圧源にインタフェースするための経路と、
前記ボードの他の面に配置されて前記専用入出力ターミナルを第 2 電圧源にインタフェースするための経路とをさらに備え、
前記専用入出力ターミナルが、前記メモリ集積回路が搭載された前記ボードの面に沿って前記第 1 及び第 2 電圧源のうちの一つに連結されることを特徴とする請求項 4 に記載の半導体装置。

【請求項 7】

外部電極が互いに対称である第 1 及び第 2 パッケージのうちのいずれか一つで組み立てられた半導体装置において、
前記第 1 及び第 2 パッケージのうちのいずれか一つの外部電極に各々対応して T T L レベルの外部信号を各々受信するボンディングパッドと、
前記ボンディングパッドに各々連結されて前記 T T L レベルの外部信号を C M O S レベルの内部信号に変換する入力バッファ回路と、
前記入力バッファ回路の出力信号を制御信号に応答してスイッチングするマルチプレクシング回路と、
前記半導体装置が前記第 1 及び第 2 パッケージのいずれで組み立てられるかに従って前記制御信号を設定する制御回路を備え、
前記マルチプレクシング回路が、前記半導体装置が前記第 1 パッケージで形成される場合には、前記ボンディングパッドに印加される基本型信号が対応する内部回路に伝送されるように前記入力バッファ回路の前記出力信号をスイッチングし、前記半導体装置が前記第 2 パッケージで形成される場合には、前記ボンディングパッドに印加される対称形信号が前記基本型信号に対応する前記内部回路に伝送されるように前記入力バッファ回路の前記出力信号をスイッチングすることを特徴とする半導体装置。

【請求項 8】

前記第 1 パッケージの前記外部電極を通じて入力される信号が前記第 2 パッケージの前記外部電極を通じて入力される信号と対称的に割り当てられることを特徴とする請求項 7 に記載の半導体装置。

【請求項 9】

前記第 1 及び第 2 パッケージの各々がファイン - ピッチボールグリッドアレイ (F B G A) パッケージであることを特徴とする請求項 7 に記載の半導体装置。

【請求項 10】

データプロセッシングシステムにおいて、
プロセッサと、
メモリモジュールと、

前記プロセッサと前記メモリモジュールとをインタフェースするデータバスとを備え、
前記メモリモジュールが、
前記データバスに電氣的に連結された多数の経路を有するボードと、
前記ボードの両面で互いに向き合う一対の対称形のメモリチップとを含み、
前記メモリチップのうちの少なくとも一つが、
前記メモリチップ上の軸に対して互いに対称である第 1 及び第 2 入出力ターミナルと、
選択信号に応答して、前記メモリチップの第 1 及び第 2 内部ノードのうちの一つと前記第
1 入出力ターミナルとの間の第 1 信号経路を選択的に設定する第 1 マルチプレクサと、
選択信号に応答して、前記メモリチップの第 1 及び第 2 内部ノードのうちの他の一つと前
記第 2 入出力ターミナルとの間の第 2 信号経路を選択的に設定する第 2 マルチプレクサと

10

、
前記第 1 入出力ターミナルと前記第 1 マルチプレクサとの間に配置され、T T L / C M O
S レベルの信号を C M O S / T T L レベルの信号に変換するバッファとを含み、

前記バッファは、前記バッファと前記第 1 入出力ターミナルとの間の伝送線上のインピー
ダンスと整合させる入力インピーダンスを有することを特徴とするデータプロセッシング
システム。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、集積回路、半導体装置及びデータプロセッシングシステムに関する。

20

【0002】

【従来の技術】

通常集積回路は、多様な種類の能動素子及び受動素子を含む。能動素子としてはダイオ
ードまたはトランジスタがあり、受動素子としてはキャパシタまたは抵抗がある。

【0003】

基板上に集積された電気素子は、互いに有機的に連結されて電氣的な機能を実行する。例
えば、集積された要素は、D R A M や S R A M として動作するように構成されうる。また
、そのように集積されたメモリチップを一つに組み立てることにより、大容量を有するメ
モリモジュールが作られる。

【0004】

30

大部分のモジュールは、印刷回路基板（プリント回路基板）のようなモジュールボ
ードの両面に搭載された様々な集積回路を使用する。例えば、チップスケール、ガルウィ
ング、フリップチップ、ボールグリッドアレイまたは他のパッケージ形態で様々なメモリ
チップがモジュールボードの両面に搭載される。モジュールボードは、集積回路を物理的
に支える役割を果たす。また、モジュールボードは、搭載された集積回路を外部回路に電
氣的に連結するターミナルになる。

【0005】

デュアルインラインモジュール（D I M M）は、印刷回路基板の両面に多数のメモ
リチップを搭載する。互いに向き合う面での結線構造は、互いに対称になるピン配列を有
している。一つの面のチップは、反対側の面の対応するチップと互いに対称になるターミ
ナル（またはピン）構造を有する。このような形態のチップを“鏡形の対”（対称形の対
）とすることができる。

40

【0006】

モジュールボード上においてチップを互いに対称に配置する際に、モジュールボードの両
面で互いに対称にされるチップのターミナルは、実質的に同一の位置で互いに連結される
。したがって、モジュールボードのレイアウトを簡単に設計することができ、導電線の長
さを短く配列することができる。

【0007】

【発明が解決しようとする課題】

集積回路の密度が増加することによって、チップ間の連結と信号の伝達は幾何学的にさら

50

に難しくなり、また、RC遅延または伝達遅延などの問題がさらに深化される。集積密度が高くなることにもかかわらず、同一の伝達遅延、例えば、チップの内部入出力ラインとボード-パッケージ間のインタフェースによる伝達遅延を小さくすることが重要である。多様な種類のインタフェース条件において電氣的な遅延が実質的に同一に維持されれば、より速い動作スピードと、さらに大きい入出力容量を有するチップを製造することが可能である。これはマルチビットまたは同期式データ伝送のためのメモリモジュールの開発において、重要なキーポイントになる。

【0008】

【課題を解決するための手段】

本発明の1つの側面によると、集積回路装置は、回路群が集積された基板を備える。スイッチング回路が第1及び第2パッドの各々に対する第1及び第2信号経路を選択的に動作させる。前記第1及び第2パッドは、前記基板を中心に互いに対称である。選択信号に従って、前記スイッチング回路は、前記第1パッドと第1及び第2内部ノードのうち一つのノードとの間に配置された第1信号経路と、前記第2パッドと前記第1及び第2ノードのうち他の一つのノードとの間に配置された前記第2信号経路を選択的に構成する。前記第1及び第2信号経路のうちの少なくとも一つは、前記スイッチング回路と前記第1及び第2パッドの各々と間に直列に連結され、TT Lレベルの信号をCMOSレベルの信号に変換するバッファを含む。

10

【0010】

他の望ましい実施形態によると、前記バッファは前記第1または第2パッドに連結された伝送経路に対するインピーダンス整合機能を提供する。

20

【0011】

更に他の実施形態において、対称形で配置された複数の第1及び第2パッドの鏡型ピンからなるボールグリッドアレイと対応して配列される。

【0012】

上述の実施形態で示した本発明の手段または方法に準じて本発明の技術分野で通常の知識を持つ者は本発明の範囲内で本発明の変形及び応用が可能である。

【0013】

ここで使用される“基板”または基板アセンブリという用語は、半導体ウェハのダイ(die)をも含む意味であるものとする。そのようなダイは、基板内にまたは基板上に形成された一つまたはそれ以上の層を有する。その層は、回路集積のための素子(例えば、トランジスタ、ダイオード、キャパシタ、連結配線など)を作るためにパターニングされる。そのような素子の形成において、一つまたはそれ以上のパターニングされた層は、多様な高さの表面形状を有する。“集積回路”という用語は、基板上または基板内に共に形成された回路の集積された状態またはそれによる素子を包括する。

30

【0014】

ここで使用される“集積回路”という用語はまた、与えられたパッケージ形状のための追加的な工程または組み立ての後に得られる装置をも包括する。パッケージは、チップスケール、ボールグリッドアレイ、フリップチップ、ガルウイング、J-リード、リードフレーム及びそれと類似する多様な種類であり得る。また、前記集積回路という用語は、‘半導体集積回路装置’または単純に‘チップ’のような用語の組み合わせをも包括する。すなわち、追加的なパッケージ工程及び組み立て過程が付加されたとしても、その中間段階の“集積回路”は上位概念として通用される。

40

【0015】

“チップ”とは、半導体ダイを意味する。或いは、“チップ”は、フリップチップ形状の“チップスケールパッケージ”のような形態で呼ばれる。より具体的な意味は関連した状況の前後関係に従って明確になる。

【0016】

【発明の実施の形態】

図面中において実質的に同一の構成と機能を有する構成要素については、同一の参照符号

50

を使用する。

【 0 0 1 7 】

図 1 を参照すると、集積回路 1 5 0 のボールグリッドアレイは、第 1 信号配列 1 0 0 に従って多様な信号に割り当てられたピン群（例えば、1 4 4 ピン）1 1 0 からなる。図 1 において、ピン群 1 1 0 に割り当てられた信号群は、メモリ装置とインタフェースし、動作させるための信号を示す。アレイ 1 0 0 のピンまたはパッドは、行 A ~ M と列 1 ~ 1 2 に沿って配置される。各ピン / パッドは、行と列のインデックスとして参照される。例えば、最も左側の最も下に配置されたピンは 1 1 0 (A , 1) として、最も下の行に沿って配置されたピンは 1 1 0 (A) として、4 番目の列のピンは 1 1 0 (4) として参照される。

10

【 0 0 1 8 】

アレイ 1 0 0 の一部のピン、例えば 1 1 0 (F , 2 ~ 3) 及び 1 1 0 (F , 1 0 ~ 1 1) は N C として割当られる。N C は、集積回路装置の内部に連結されないターミナルであることを意味する。リードフレーム形態のパッケージにおいて、N C は特定リードに対するワイヤボンディングが形成されていないことを意味する。

【 0 0 1 9 】

ここで、“ピン”という用語は、外部回路とインタフェースする集積回路のターミナルを意味する。ボールグリッドアレイの場合、ピンという用語は、集積回路のパッドに接触する導電性を有する“ボール”を含む。或いは、ターミナルという用語は、集積回路から突出したパッドまたは陥没したパッドを含む。突出または陥没したパッドは、印刷回路基板、または他の外部回路に組まれた回路網に電氣的に連結される。

20

【 0 0 2 0 】

図 2 を参照すると、ボールグリッド形状の集積回路 1 5 0 ' は、図 1 の第 1 信号配列 1 0 0 と対称なピン - 信号配列 1 0 0 ' からなるピン 1 1 0 を含む。配列 1 0 0 ' の信号割り当て状態は、配列 1 0 0 の信号割り当て状態と互いに鏡に映ったように対称（以下、単に“対称”という）になっている。例えば、ピン 1 1 0 (A , 1) 及び 1 1 0 (A , 1 2) は、図 2 の配列 1 0 0 ' においてアドレスビット A 7 及び A 0 に各々割り当てられている。これは、図 1 の配列 1 0 0 において A 0 及び A 7 が同一のピンに割り当てられた状態と対称である。したがって、メモリコントローラから伝送されたアドレスビット A 0 は、図 1 のピン 1 1 0 (A , 1) を通じて図 3 のアドレス A 0 パッド 3 1 0 (1 2 4) に印加される一方、図 2 のピン 1 1 0 (A , 1 2) を通じて図 3 のアドレスパッド 3 1 0 (9 0) に印加される。しかし、アドレス A 7 パッド 3 1 0 (9 0) に印加されたアドレスビット A 0 は、対称形のパッケージ内のスイッチング回路 M U X を通じてアドレス信号 A 0 として内部回路に伝送される。

30

【 0 0 2 1 】

メモリコントローラから伝送されたアドレス信号 A 7 は、図 1 のピン 1 1 0 (A , 1 2) を通じて図 3 のパッド 3 1 0 (9 0) に印加される一方、図 2 のピン 1 1 0 (A , 1) を通じて図 3 のアドレスパッド 3 1 0 (1 2 4) に印加される。しかし、アドレスパッド 1 3 0 (1 2 4) に印加されるアドレス信号 A 7 は、対称形のパッケージ内のスイッチング回路 M U X を通じてアドレス信号 A 7 として内部回路に伝送される。

40

【 0 0 2 2 】

すなわち、図 1 のピン 1 1 0 (A , 1) と図 2 のピン 1 1 0 (A , 1 2) は、メモリコントローラから外部アドレス信号 A 0 を取り込むが、図 1 のピン 1 1 0 (A , 1) が図 3 のアドレスパッド 3 1 0 (1 2 4) に連結される一方、図 2 のピン 1 1 0 (A , 1 2) は、図 1 の 1 1 0 (A , 1 2) のように、図 3 のアドレスパッド 1 3 0 (9 0) に連結される。

【 0 0 2 3 】

同じように、図 1 のピン 1 1 0 (A , 1 2) と図 2 のピン 1 1 0 (A , 1) は、メモリコントローラから外部アドレス信号 A 7 を取り込むが、図 1 のピン 1 1 0 (A , 1 2) が図 3 のアドレスパッド 3 1 0 (9 0) に連結される一方、図 2 のピン 1 1 0 (A , 1) は、

50

図 1 の 1 1 0 (A、1 2) のように、図 3 のアドレスパッド 3 1 0 (1 2 4) に連結される。

【 0 0 2 4 】

外部アドレス信号 A 7 を受信する図 2 のピン 1 1 0 (A、1) が図 3 のアドレスパッド 2 1 0 (1 2 4) に連結されても、外部アドレス信号 A 7 は信号 S E L に応答して図 4 のスイッチング回路 4 5 0 を通じてアドレス信号 A 7 として内部回路に伝送される。

【 0 0 2 5 】

図 2 のピン 1 1 0 (A、1) が外部アドレス信号 A 7 を受信する理由は、基本型のピン配列形態と対称形のピン配列形態が図 5 のようなチップパッケージに実装された場合に、ピン 1 1 0 (A、1 2) の位置と同一であるからである。同じように、図 2 のピン 1 1 0 (A、2) が外部アドレス信号 A 0 を受信する理由は、基本型のピン配列形態と対称形のピン配列形態が図 5 のようなチップパッケージに実装された場合に、ピン 1 1 0 (A、1) の位置と同一であるからである。

【 0 0 2 6 】

同様に、データビット D Q S 3、D Q S 0 は、配列 1 0 0' では、ピン 1 1 0 (M、1)、1 1 0 (M、1 2) に各々割り当てられ、配列 1 0 0 では、それと対称形に各々のピンに割り当てられる。

【 0 0 2 7 】

したがって、図 2 の配列 1 0 0' でのピン - 信号割り当ては、図 1 の配列 1 0 0 でのピン - 信号割り当てに対して対称である。“対称形”及び“基本型”という用語は、説明の便宜のためのものであり、図 1 の配列 1 0 0 が基本型の配列 1 0 0' に対して対称形（互いに鏡に映った形状の状態）になると表現することができる。

【 0 0 2 8 】

図 1 及び図 2 を再び参照すると、対称軸 1 2 0 は、ピン 1 1 0 (6) 及び 1 1 0 (7) に相当する 6 番目の列と 7 番目の列との間で集積回路 1 5 0 を横切る。対称軸 1 2 0 を中心として、図 1 の配列 1 0 0 におけるピン - 信号割り当ては、図 2 の配列 1 0 0' と互いに対称的である。集積回路 1 5 0 のパッドまたはピン 1 1 0 の位置は、軸 1 2 0 に対して互いに物理的に対称であることが分かる。例えば、ピン 1 1 0 (A、6) の物理的な位置は、軸 1 2 0 を中心としてピン 1 1 0 (A、7) の位置と対称である。同じように、他の対称な対のピンも、軸 1 2 0 を中心として、物理的に互いに対称である。

【 0 0 2 9 】

また、本発明の実施形態では、対称な対をなす各ピンには、同一の種類の信号が割り当てられている。図 1 を参照すると、ピン対 1 1 0 (A、1 & 1 2) のピンは、アドレス信号 A 0 及び A 7 に各々割り当てられ、ピン対 1 1 0 (B、1 & 1 2) のピンは、電圧信号 V R E F に割り当てられ、ピン対 1 1 0 (C、1 & 1 2) のピンは、データ信号 D Q 2 3 及び D Q 8 に各々割り当てられる。このような類似の信号の割り当ては、本実施形態のために示したものであり、必ずしも、同種の信号（例えば、制御信号、アドレス信号、データ信号及び電圧信号）を互いに対称なピンに割り当てる必要はない。

【 0 0 3 0 】

一般的に、ピンの配置を対称的にすることは、モジュールボードのレイアウトと配線を単純化することに有利である。ボード上の配線処理を単純にすることは、対称的に配列された多様な種類のピンに対する信号伝達チャンネルの特性を向上させる。

【 0 0 3 1 】

もし、そのような対称形（または鏡形）ピンの配置を利用しなければ、異なる種類の集積回路の間で、同一のピンに対するインタフェースが複雑になるか、信号伝達の長さが異なるようになる。例えば、ボードの一面に搭載された集積回路のピンをインタフェースするための配線の長さがボードの他の面に搭載された集積回路のピンをインタフェースするための配線の長さとは異なるようになり、信号伝達の特性を低下させる。

【 0 0 3 2 】

例えば、第 1 の集積回路と第 2 の集積回路が対向して配置されている場合において、アド

10

20

30

40

50

レス信号は第2の集積回路の該当するピンに到達する前に、第1の集積回路のより近いピンに先に到達しうる。このような伝達時間の差は、同期方式で動作すべきチップを搭載したメモリモジュールの全体において、望ましくない影響を与える。

【0033】

さらに、短い配線長は、他の集積回路に伝達される信号の特性に影響を及ぼすような反響作用を誘発しうる。同様に、長い配線長は、より近い集積回路に対して望ましくないインピーダンスの不連続性 (impedance discontinuity) を誘発させうる。そのようなインピーダンスの不連続性、例えば、二つの伝送線が接するところでの不連続性は、集積回路により受信または送信される信号の特性に悪影響を及ぼす。

【0034】

信号の伝達遅延の差を補正するための多様な方法の1つとして、より短い配線に別途の信号線を追加することがある。しかし、別途の信号線を追加して配線を延長することは、より大きなボードスペースを要求したり、外部のノイズに対して弱くしたり、モジュールの他の領域への望ましくない信号を伝達したり、モジュールの外部への放射を誘発したりしうる。対称形のピン配列は、このような問題点を克服する。

【0035】

図1及び図2を参照すると、1つの例示的な実施形態としての対称形のピン対を有する集積回路100及び100'は、同一のパッド100 (A-M, 1-12) の配列を有する。したがって、互いに向き合う集積回路のピンは、ボード上で実質的に同一の位置に置かれた同一の信号線に連結される。このような連結は、互いに向き合う集積回路の間で同一に割り当てられた信号を伝達する際の配線長の差を最小化することができる。

【0036】

本発明の実施形態によると、集積回路内にあるスイッチング回路は、分離されたパッド-ピン配列構造において、パッドとピンを選択的に連結させる動作を実行する。このように、互いに異なるピン-信号配列構造を単一集積回路に形成することによって、同一の工程を通じて集積回路を組み立てることが可能である。そうでなければ、基本型の配列構造と対称形の配列構造のために各々別途の工程を実施しなければならない。

【0037】

図3を参照すると、組み立て工程の中間段階における集積回路300 (または基板300) は、そのエッジに配置されたパッド310を含む。複数のパッド310 (1-166) は、基板のエッジまたは端部320に沿って配置される。このような形態のパッド配列を“エッジパッド配列”または“エッジパッド構造”ということができる。この状態で、組み立て工程をさらに進めると、基板300は、後に形成される図1及び図2に示したボールグリッドアレイ配列100及び100'のピン110にパッド310を連結する付加的な伝送線が形成される。

【0038】

図3に示したように、本発明の実施形態によると、集積回路300の内部回路は、集積回路200の互いに異なるボンディングパッド310の間で、二種類の異なる信号を選択的に伝送する。基板300の互いに異なるボンディングパッド310は、ボールグリッドアレイ100及び100' (図1及び図2) に示した各々の対称形のピン110に結合される。例えば、中間層 (例えば、半導体物質、誘電物質、金属、連結用の開口など) は、集積回路300の表面と集積回路150及び150'のボールグリッドアレイ100及び100'に置かれたピン110との間で電気的な連結をするための媒介機能を果たす。

【0039】

特に、本発明の実施形態では、図1乃至図3に示したように、アドレス信号A7のためのボンディングパッド310 (90) がボールグリッドアレイ100のピン110 (A, 12) に中間層 (図示せず) を通じて連結されて、外部のアドレス信号A7を受信するようになっている。同じように、アドレス信号A0のための集積回路300のボンディングパッド310 (124) は、基本型のボールグリッドアレイ100のピン110 (A, 1) に連結されて外部のアドレス信号A0を受信する。

10

20

30

40

50

【 0 0 4 0 】

一方、対称形の配列 1 0 0' において、集積回路 3 0 0 のボンディングパッド 3 1 0 (9 0) はピン 1 1 0 (A、1 2) に連結され、図 1 のピン 1 1 0 (A、1) と共に外部アドレス信号 A 0 を受信する。そして、基板 3 0 0 のボンディングパッド 3 1 0 (1 2 4) は、ピン 1 1 0 (A、1) に連結されて、図 1 のピン 1 1 0 (A、1 2) と共に外部アドレス信号 A 7 を受信する。集積回路の内部で選択的な信号伝送を制御する回路は、ボンディングパッド (例えば、3 1 0 (9 0) 及び 3 1 0 (1 2 4)) と、ピン (例えば 1 1 0 (A、1 2) 及び 1 1 0 (A、1)) に対する信号割り当てを決める。

【 0 0 4 1 】

メモリモジュールにおいて、データ、電源電圧及び接地電圧用のピンは、基本型のピン配列構造と対称形のピン配列構造との間で再経路設定をする必要がない場合がある。例えば、図 1 に示したように、接地電圧 V s s はピン 1 1 0 (D、5)、1 1 0 (D、6) 及び 1 1 0 (D、8) に割り当てられる。そのような信号割り当ては、基本型のピン配列構造と対称形のピン配列構造に対して同一に適用される。データビットに対しても同一である。一方、メモリ装置内において、与えられたワードの特定データビットに対する正確な列の位置は重要でない可能性もある。したがって、パッケージまたは集積回路のピンに割り当てられるデータワードの特定データビットは、基本型のピン配列と対称形のピン配列の間で再経路設定を必要としない場合がある。

【 0 0 4 2 】

データビットは、ある実施形態では互いに対称的に割り当てられなくてもよいが、図 1 及び図 2 の実施形態に示した配列 1 0 0 及び 1 0 0' では、データビットが対称的になっている。データビットが対称的な配列は、データ伝送のためのタイミング管理を厳密にすべきである場合、例えば、高速動作または同期式のデータ伝送を要する場合に有利である。

【 0 0 4 3 】

アドレス及び制御信号については、データ信号に比べて、集積回路内の指定された内部回路への経路設定に対する要求が強い。基本型のピン配列構造または対称形のピン配列構造において、もし指定された信号を受信するために内部回路を選択的にスイッチングする回路がないとすると、前述した媒介層 (または中間層) のみによってチップパッドレイアウトから基本型のピン配列構造または対称形のピン配列構造に至る再経路設定をしなければならない。

【 0 0 4 4 】

媒介構造が有する短所としては、基本型のピン配列または鏡形のピン配列の集積回路を各々別個の組み立て工程により製作しなければならないことである。例えば、基本型のピン配列と対称形のピン配列とでは、互いに異なる媒介層の構造 (図示せず) を通じてボンディングパッドとピンが互いに電気的に連結される。そして、ピンの数が増加すれば、媒介層からなる再経路設定の回路の構成がさらに複雑になる。

【 0 0 4 5 】

さらに、そのような媒介層を有する半導体装置の電気的な特性は、動作周波数の増加に従って影響を受ける。動作周波数が増加すると、入出力ライン間の長さの差による影響が顕著になる。その結果、鏡形のピン - 信号配列を設定するための媒介構造を有する半導体装置の内部回路に対する信号遅延は、基本型のピン - 信号配列の半導体装置の内部回路に対する信号遅延との間に差が生じる。一方、本発明の実施形態では、内部のスイッチング回路が内部回路のピンに対して割り当てられた信号を選択的に設定する。したがって、本発明の実施形態では、前述の媒介用の回路が必要ではなく、配線の長さの差、信号の相互カップリング及びノイズなどを誘発する媒介構造による問題を解消することができる。

【 0 0 4 6 】

しかし、動作周波数が増加することによって、広い動作周波数領域にわたって集積回路またはメモリモジュールの動作性を維持するために、前述のように、媒介構造の採用を考慮する必要がある。

【 0 0 4 7 】

集積回路の内部の入出力ラインは、信号の特性と信号伝達構造に影響を及ぼす。集積回路の内部回路に信号が到達するために、信号は、入出力インタフェース、入出力インタフェースからスイッチング回路に至る第1経路、スイッチング回路とスイッチング回路から内部回路に至る他の経路を通過する。そして、媒介用の配線の間またはボードレイアウトでの電気的な配線の長さの差が基本型及び鏡形のピン配列の半導体装置の内部回路に到達する信号の特性に影響を与えるので、集積回路の内部経路を設定することに関する困難性が存在する。このような経路上の差は、信号のスルーレート (slew rate)、信号伝達上の不整合 (mismatch)、信号反射特性の不一致、インピーダンスの不連続性、伝達損失または予想外の R / C 遅延などを誘発する。

【0048】

10

図4を参照すると、本発明の実施形態においては、内部回路150に属する第1及び第2内部回路410及び420は、スイッチング回路450の選択状態にしたがってパッド430及び440または440及び430を各々通じて信号を取り込む。本実施形態では、スイッチング回路450がマルチプレクサ450A及び450Bからなる。マルチプレクサ450Aは、第1内部回路410の入力460Aに連結されていて、制御線470の制御信号に従ってパッド430またはパッド440の信号を取り込む。マルチプレクサ450Bは、第2内部回路420の入力460Bに連結されていて、制御線470の制御信号に従ってパッド440またはパッド430の信号を取り込む。制御回路480は、マルチプレクサ450A及び450Bの駆動状態を設定するための制御信号を発生する。

【0049】

20

図4において、バッファ490及び496は、スイッチング回路450とパッド430及び440との間の信号経路上に直列に配置される。本実施形態の1つの特徴によると、バッファ490及び496は、入出力パッド430及び440に近い位置に配置される。例えば、パッド430とそれに対応するバッファ450との間の伝送線492の長さは、数 μm より短く設計されることが望ましい。一方、バッファ490とスイッチング回路450との間の伝送線の長さは、数 μm より長く設計されうる。本実施形態では、バッファがスイッチング回路よりパッドに電気的に近い位置に配置されるようにする。すなわち、バッファ496は、スイッチング回路450よりもパッド440に近い位置に配置する。

【0050】

30

パッド430及び440は、ボールグリッドアレイの配列内で互いに対称になっている (例えば、図1及び図2のパッド110に相当する)。また、前記パッドは、エッジ形のパッド配列の基板のエッジに沿って配列されうる (図3のパッド310に該当する)。また、エッジ形のパッドは、基板の対称軸 (または鏡軸) を中心として互いに対称に配置されうる。

【0051】

基本型の配列構造のパッケージのために、マルチプレクサ450Aは、バッファ490を通過するパッド430の信号に連結されて第1内部回路410への経路を設定するように配置される。また、マルチプレクサ450Bは、バッファ496を通過するパッド440の信号に連結されて第2内部回路420への経路を設定するように配置される。

40

【0052】

対称形の配列を設定するために、制御回路480は、制御線470に制御信号を提供し、マルチプレクサ450A及び450Bは、互いに選択的に動作する。マルチプレクサ450Aがパッド430からの信号を第2内部回路420に伝達する一方、マルチプレクサ450Bはパッド440からの信号を第1内部回路410に伝達する。

【0053】

バッファ490及び496は、電圧コンバーターを含みうる。バッファは、集積回路の外部から提供される TTL レベルの信号を CMOS レベルに変換して内部回路を駆動する。外部の信号源から入力される信号は信号レベルが低いかもしれないので、ボード上の集積回路で使用されるためには、バッファリングが必要であるかもしれない。

50

【 0 0 5 4 】

内部回路 4 1 0 (または 4 2 0) からの入出力信号経路 4 9 2 及び 4 9 4 ~ 4 6 0 A (または 4 9 4 ~ 4 6 0 B) は、内部回路の他の回路の近くの領域において交差するように、または長く配置されうる。これらの他の回路は、入出力経路上の信号に容量性または誘導性の結合によって影響を及ぼしうる。入出力経路に対するノイズの結合成分は、集積回路に到達する信号の特性を低下させる。入出力パッドに近い領域で信号をバッファリングすることによって、単一ボード上の集積回路から伝送される信号レベルをさらに大きい駆動能力で提供することが可能である。

【 0 0 5 5 】

前記バッファはまた、逆方向の信号遮断の機能を提供する。内部回路に提供される信号 (例えば、集積回路の外部のローレベル信号に比較してハイレベルである) は、内部回路内で一定のレベルに維持される。もし、バッファを使用しなければ、他の伝送線にカップリングされた内部信号が、集積回路の外部回路に連結された該伝送線に通って外部に伝搬されうる。結果的に、信号経路上に配置されたバッファは、そのような (ノイズ成分の) 信号が外部に伝達される程度を減らすための逆遮断機能を提供する。

【 0 0 5 6 】

前述の実施形態において、集積回路の内部回路に送られる入出力パッド (例えば、4 3 0 及び 4 4 0) からの信号をバッファリングするものとして説明した。しかし、本発明の範囲は他の種類のバッファも含む。例えば、バッファは、内部から信号を受けた後に、入出力パッドを通じて集積回路の外部に信号を伝達するように構成されることができる。このような場合に、バッファは、CMOSレベルの内部信号をTTLレベルの外部信号に変換しうる。また、この場合においても、集積回路の外部から入出力信号経路を通じて集積回路の内部に流入されるノイズ成分の信号に対する遮断機能を果たす。

【 0 0 5 7 】

図 1 及び図 2 及び図 4 及び図 5 を参照すると、基本型 1 5 0 または対称形のピン - 信号配列 1 5 0' の半導体装置または集積回路は、ボード 5 1 0 の両面に搭載される。ここで、各集積回路 1 5 0 または 1 5 0' で互いに対称なピン 1 1 0 (K、5) 及び 1 1 0 (K、8) は、互いに向き合っており、ボード 5 1 0 により互いに連結される。

【 0 0 5 8 】

ボード 5 1 0 は、集積回路 1 5 0 及び 1 5 0' のピン 1 1 0 に対する電気的なインタフェースのためのパッド (例えば、図 6 及び図 7 の 5 6 0 及び 5 6 2) を搭載している。伝送線 5 2 2、5 2 4、5 3 0 及び 5 3 2 は、基本型及び対称形の配列 1 0 0 及び 1 0 0' において割り当てられたピンに対して互いに異なる信号を伝達する。例えば、信号 DQ 1 は、図 5 に示したメモリコントローラ 5 4 0 で発生される。ボード 5 1 0 は、信号 DQ 1 を伝送線 5 3 0 を通して基本型及び対称形の配列 1 0 0 及び 1 0 0' の該当するピン 1 1 0 (K、5) 及び 1 1 0 (K、8) に各々伝達する。図 6 を参照すると、ボードに搭載されたパッド 5 6 0 及び 5 6 2 は、対称形の対の集積回路の対称形のピンを各々インタフェースする。パッド 5 6 0 及び 5 6 2 は、対向したピンに近い位置に配置された導電性の物質を通じて互いに連結される。すなわち、対称形のピンのためのパッド 5 6 0 及び 5 6 2 は、ボードを貫通する連結通路 5 3 1 により互いに連結される。

【 0 0 5 9 】

図 7 はモジュールボード上でパッドを連結するための、図 6 の構造と類似した連結通路 5 6 4 を示す。本実施形態において、ピン 1 1 0 (K、8) 及び 1 1 0 (K、5) は、図 1 及び図 2 と関連して先に説明したように、配列 1 0 0 及び 1 0 0' の信号 DQ 1 に結合される図 6 のガルウィング (gull wing) 形態のパッケージにおけるピンを示すためである。配列 1 0 0 の DQ 1 (K、5) は、図 3 の DQ 1 パッド 3 1 0 (8) に連結され、配列 1 0 0' の DQ 1 (K、8) は、図 1 の DQ 3 0 (K、8) のように DQ 3 0 パッド 3 1 0 (3 8) に連結される。

【 0 0 6 0 】

このようなボードでの結合構造により、基本型及び対称形の配列 1 0 0 及び 1 0 0' にお

10

20

30

40

50

ける対称形のピンは、互いに電氣的に連結されて、信号原、例えば、メモリコントローラ 540 または他のチップセットから実質的に同一の位置で同一の信号を受信することができる。基本型及び対称形の配列 100 及び 100' において、各信号経路上の伝達距離は実質的に同一に維持される。本実施形態では、連結通路による多少の差がある（すなわち、経路 530 と各パッド 560 及び 562 との間の連結構造が少し異なる）。また、回路ボード（例えば、薄い層からなるボード）内の中間層の経路 530 は、ほぼ中間で連結通路 531 と結合する。

【0061】

図 5 ~ 7 に示したように、対称形の対 150 及び 150' の集積回路の基本型及び対称形の配列を構成するために、各装置の制御回路 480（図 4 参照）は、基本型及び対称形の制御信号を設定するようにプログラムされる。集積回路 150 の制御回路 480 は、基本型の配列構造のための制御信号を発生するようにプログラムされる。伝送線 470 上の制御信号は、マルチプレクサ 450 A を選択的に駆動して内部回路 410 の入力 460 A とピン 430 との間の信号経路を設定する。マルチプレクサ 450 B は、内部回路 420 の入力 460 B とピン 440 との間の第 2 信号経路を設定する。

10

【0062】

互いに向き合う集積回路の制御回路は、対称形の配列 100' の信号 - ピン割り当て状態を設定するようにプログラムされる。伝送線 470 上の対称形の制御信号を利用して、マルチプレクサ 450 A は、内部回路 410 の入力 460 A とピン 440 との間の信号経路を設定し、マルチプレクサ 450 B は、内部回路 420 の入力 460 B とピン 430 との間の信号経路を設定する。

20

【0063】

図 8 を参照すると、マルチプレクサ 450 A 及び 450 B の各々は、二つの伝送ゲートと一つのインバーターで構成される。例えば、マルチプレクサ 450 A は、2 : 1 の選択比を有する伝送ゲート 610 及び 620 を含む。伝送ゲート 610 は、第 1 内部回路 410 の入力になるノード 460 A とバッファ 490 の出力に連結されるノード 494 との間に連結されるゲート制御型のチャンネルを有する。伝送ゲート 620 は、ノード 460 a とバッファ 496 との間の信号経路に直列に連結されたチャンネルを有する。伝送ゲート 610 の P 型のチャンネルは制御信号に直接的に接続され、N 型のチャンネルはインバーター 650 を通じて前記制御信号に接続される。伝送線 470 の制御信号は、伝送ゲート 610 と相補的な方式により伝送ゲート 620 を駆動する。すなわち、伝送ゲート 620 の N 型のチャンネルは制御信号に直接的に接続され、P 型のチャンネルはインバーター 650 を通じて前記制御信号に接続される。

30

【0064】

同様に、マルチプレクサ 450 B は、二つの伝送ゲート 630 及び 640 と一つのインバーター 660 で構成され、出力 460 B と二つの入力（バッファ 490 からの入力及びバッファ 496 からの入力）に対して 2 : 1 の選択比で動作する。伝送ゲート 630 は、ノード 460 B とバッファ 496 との間に直列に連結されており、伝送ゲート 640 は、ノード 460 B とバッファ 490 との間に直列に連結されている。伝送ゲート 630 及び 640 の P 型及び N 型のチャンネルは、前述の伝送ゲート 610 及び 620 の場合のように、伝送線 470 上の制御信号により駆動される。

40

【0065】

図 8 を参照すると、本実施形態では、ハイレベルの制御信号は、入出力パッド 440 と内部ノード 460 A との間の第 1 信号経路と、入出力パッド 430 と内部ノード 460 B との間の第 2 信号経路を設定する。一方、ローレベルの制御信号は、入出力パッド 430 と内部ノード 460 A との間の第 1 信号経路と、入出力パッド 440 と内部ノード 460 B との間の第 2 信号経路を設定する。

【0066】

図 9 及び図 11 を参照すると、制御回路 480（図 4 参照）は、スイッチング回路（すなわち、マルチプレクサ 450）を選択的に駆動する制御信号を設定するためのプログラム

50

可能な回路要素を含む。このプログラム要素は、ウェハ段階、パッケージ段階、モジュール段階、またはこれらの結合段階でプログラムされる。例えば、プログラム要素は、ボンディングワイヤ、ヒューズ、オッション回路、ラッチ、フラッシュセルまたはそれと類似なものを含む。

【0067】

図9を参照すると、配線（またはボンディングワイヤ）740は、伝送線に連結されるワイヤボンド構造になっている。ボンディングワイヤがボンディングパッド710に連結されると、制御信号は、インバータ714を通じてローレベルになる。一方、ボンディングワイヤが接地パッド730に連結されると、制御信号は、インバータ714を通じてハイレベルになる。

10

【0068】

図9において、配線740は、他の形態の連結構造、例えばソルダを通じて形成されることができる。集積回路150（図9の点線で表示された部分）は、モジュール510Bの一面に置かれたパッド730に連結されるピン720を含む。パッド730は、接地電圧のようなローレベルのバイアス電圧に連結されている。一方、集積回路がメモリモジュール510Aの他の面に搭載された場合には、ピン720はパッド710に連結されて電源電圧Vccが提供される。集積回路（すなわち、基本型または対称形）の配列は、集積回路が搭載されるモジュールボードの面に応じて変更されうる。モジュールボード510Aの一面では、導電線712は、第1レベルバイアスVCCに連結される。モジュールボード510Bの他の面では、導電線732が他のレベルのバイアスGNDに連結される。

20

【0069】

図10を参照すると、制御回路480は、ヒューズ752に直列に連結されたゲート制御型のチャンネルを有するPMOSFET750を含む。ヒューズ752は接地電圧に連結され、PMOSFET750のソースは電源電圧VCCに連結される。PMOSFET750のドレインはヒューズ752とラッチ回路の入力に連結される。前記ラッチ回路はヒューズ752とPMOSFET750により決められる信号の論理状態をラッチする。前記ラッチ回路は、プログラム可能なヒューズ752の状態（切断されているか否か）に従って選択信号SELを出力ノード470に送る。

【0070】

図10に示したように、前記ラッチ回路は、PMOSFETで構成されたフィードバック用のMOSFETに結合されたインバータ714を含む。制御回路480に最初に電源電圧VCCが供給されると、PMOSFET750のゲートは電源電圧VCCに遅延して応答する。制御回路の動作に関するグラフに示したように、電源電圧VCC（点線で表示される）が上昇する時に、ゲートの制御信号VCCHBは初期にはローレベルを維持する。ヒューズが切られていなければ、ラッチの入力レベルはローレベルを維持し、ラッチはローレベルの入力をラッチし、ハイレベルの制御信号SELを出力する。これはラッチのPMOSFETフィードバックトランジスタをターンオフさせる。

30

【0071】

VCCの上昇から所定の時間の後には、PMOSFET750のゲートに印加される制御信号VCCHBが電源電圧VCCと同一の電圧レベルを有する。これにより、PMOSFET750はターンオフされ、ヒューズ752に流れる電流を遮断する。ヒューズが既に切れた状態でプログラムされていれば、ラッチ回路はハイレベルの入力をラッチし、ローレベルの制御信号SELを出力する。

40

【0072】

他の実施形態では、制御回路は、ウェハ段階、パッケージ段階、またはその後の段階で設定されるプログラム可能な要素を含む。例えば、制御回路は、電氣的にプログラム可能なヒューズ回路を有することができる。図11を参照すると、ラッチ回路760は、ヒューズ切断活性化信号FCUTを入力するMOSFET770に連結される。MOSFET770は、ラッチ回路760の一方の側に配置されたヒューズ710を切断した場合にターンオンされる。ヒューズ710の抵抗値は、ヒューズ720の抵抗値より大きく設計され

50

る。したがって、ヒューズ710が切断されれば、制御信号SELがローレベルになる一方、ヒューズ710が切断されなければ、制御信号SELはハイレベルを維持する。図4及び図5乃至図7を再び参照すると、対称の対で互いに向き合う集積回路150及び150'は、モジュールボード510の両面で互いに向き合い、同一の信号が割り当てられたピンを有している。集積回路の内部では、他の種類のピンに対する各々の入出力信号の経路がそれらに直列に連結されたバッファを有する。

【0073】

したがって、実施形態において、類似のバッファと、ピンとバッファとの間の類似の配線の長さなどが集積回路の多数の入出力ターミナルについて設計される。そのような実施形態においては、集積回路は、多数の入出力信号経路にわたって同一の電気的な特性を有することを理解しなければならない。

10

【0074】

また、基本型及び対称形の集積回路はチップの外部に対して類似のタミネーション特性及び伝達遅延特性を有する。各バッファに対する基本型及び対称形の信号経路において電気的な配線の長さは実質的に同一である。これと共に、多数または広域の動作周波数の条件にわたって動作特性は同一に維持される。

【0075】

また、本発明の実施形態では、基本型及び対称形の配列の装置の製造において、同一の組み立て工程を使用する。

【0076】

20

集積回路の入出力ピンに近い位置でバッファを使用する実施形態では、制御可能なタミネーションインピーダンスが入出力インタフェース上に付与されることによって、より長い信号経路において過度なRC影響を避けることができる。その結果、互いに異なる動作の周波数の環境でセットアップ/ホールド時間を充実に制御することができる。

【0077】

前述の説明では、単一の対称形の対の二つの信号に関連したバッファ及び入出力パッドのみに関して説明したが、本発明は、多重対称形の対に対しても適用されることを理解すべきである。例えば、図12を参照すると、二つの集積回路850及び850'は、基本型及び対称形のピン/信号の配列の入出力パッドの構成110(B)を有している。集積回路850の入出力パッド804、806、808、810、812、814、816及び818は、集積回路150の基本型のピン/信号配列100に対して図1に示した行Bに属するピンと対応する。対称形の関係においては、図2に示した対称形のピン/信号の配列100'の集積回路150'のボールグリッドアレイにおける行Bに属するピンにピン804~818が対応するようになっている。

30

【0078】

図12の例は、ボールグリッドアレイの単一行に対するパッドを示している。しかし、本発明によれば、ボールグリッドアレイの他の行についても同一の構成を実現することができる。また、本発明は、そのような1つの行または複数の行に対する他の形態の信号配列が可能であり、行当たりのピンの数を異なることができる。

【0079】

40

図12に示すように、一つの対で信号割り当てが互いに対称にされうるだけでなく、それらの物理的な位置も互いに対称にされうる。また、信号の種類は同一であってもよい。例えば、対称形の対のピンにアドレス、データ、制御または電圧信号の種類を割り当てることができる。そして、そのような種類の信号において、互いに相補的な関係の信号が一つの対称形の対に相当する各々のピンに割り当てられうる。図12の例では、信号A2、A10、/RAS、CK、/CK、/CS、A9及びA5が対称形の装置850'のパッド804~818に割り当てられ、信号A5、A9、/CS、/CK、CK、/RAS、A10及びA2が基本型装置850の該当するパッド804~818に割り当てられる。図4及び図8に関して前述した場合と同じように、基本型及び対称形の装置850及び850'のマルチプレクサ840は、制御線470上の制御信号SEL及びSEL'に従って、

50

入出力パッドと該当する集積回路との間の信号伝送を適切にスイッチングする役割を果たす。

【0080】

バッファ820は、マルチプレクサ840と各々の入出力パッド804～818との間に連結され、入出力パッドの信号を他の論理レベルに変換してもよい。例えば、外部のTTLレベルの信号を内部回路に使用されるCMOSレベルの信号に変換することができる。変換された信号は、マルチプレクサ840を通じて元来の指定された内部回路に伝送される。

【0081】

対称形の対のピンに割り当てられた信号の種類に応じて、対称形の対のピンに対するバッファは、第1種類の対のピンについての信号変換と第2種類の対のピンについての信号変換とが異なるように設計されてもよい。例えば、アドレスピンはデータ回路を駆動するための論理レベルとは異なる論理レベルとしてデコーダを駆動するので、アドレス対に割り当てられたバッファはデータ対に割り当てられたバッファとは区別して設計されうる。

10

【0082】

図12において、選択信号SEL及びSEL'を発生する回路は、図9乃至図11と関連して前述した制御回路に相当する。

【0083】

また他の実施形態として、図13を参照すると、データプロセッサシステム900はバス940に連結される。バス940は、キーボード、マウス、プリンタ、ネットワークインタフェース、ディスクシステムなどのようなサブシステム960に連結される。バス940は、メモリモジュール510を直接またはメモリコントローラ540を通じてインタフェースする。コントローラを通じてメモリモジュール510をインタフェースする場合には、メモリモジュール510はコントローラにより動作する。

20

【0084】

図13で拡張して示したように、本発明のメモリモジュールは、図4乃至図12に関連して説明した実施形態に従って対称形の対の集積回路150及び150'を含む。モジュールボード内での経路設定は、コントローラ540またはバス940のような集積回路を電氣的にインタフェースするように設計されている。また、経路設定を通じてバス（またはコントローラ）と対称形の集積回路の同一のピンとの間で信号の伝達が行われる。

30

【0085】

本発明は、前述の実施形態に限定されず、本発明の範囲内で通常の知識を持つ者によって多様な方式により実施されることができると理解しなければならない。

【0086】

【発明の効果】

本実施形態によれば、入出力バッファは、ピンをインタフェースし、ピンと集積回路内の指定された内部回路との間での信号伝達を担当する。スイッチング回路（例えば、マルチプレクサ）は、制御信号にตอบสนองして入出力ピンと各内部回路との間での信号経路を設定する。制御信号は、基本型または対称形の信号体系を選択する。

【0087】

40

したがって、本発明によれば、メモリモジュール上の集積回路の密度が増加することによるRC遅延または伝達遅延などの問題を解消する効果がある。また、本発明によればチップの内部の入出力ラインとボード・パッケージとの間のインタフェースによる伝達遅延を減らすことができる。また、本発明によれば、多様な種類のインタフェース条件で電氣的な遅延を実質的に同一に維持することによって、より速い動作スピードとさらに大きい入出力容量を有するようにチップを製造することが可能な利点がある。

【図面の簡単な説明】

【図1】通常のピン配列のボールグリッドアレイの下面を示す概略図である。

【図2】鏡形のピン配列のボールグリッドアレイの下面を示す概略図である。

【図3】半導体集積回路装置のためのボールグリッドアレイのパッドの配列を示す概略図

50

である。

【図4】本発明の実施形態による集積回路装置の構成を示すブロック図である。

【図5】通常のピン配列または対称形のピン配列のパッケージに印加される外部信号のための信号体系を示す図面である。

【図6】対称形の対をなす互いに対称な集積回路を搭載したモジュールボードの部分断面図である。

【図7】対称形の対をなす互いに対称な集積回路を搭載したモジュールボードの部分断面図である。

【図8】図4に示した実施形態に使用されるマルチプレクサの回路図である。

【図9】図4に示したマルチプレクサを駆動するための選択信号を設定する制御回路を示す図面である。

【図10】図4に示したマルチプレクサを駆動するための選択信号を設定する制御回路を示す図面である。

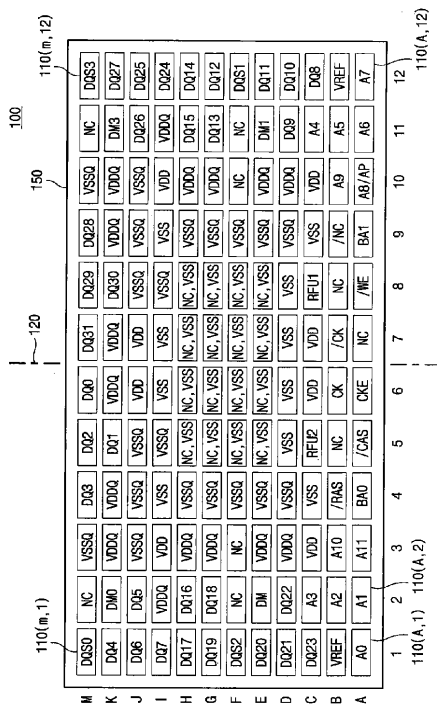
【図11】図4に示したマルチプレクサを駆動するための選択信号を設定する制御回路を示す図面である。

【図12】本発明の実施形態による対称形のピン配列のパッケージを使用する信号伝達構造を示す図面である。

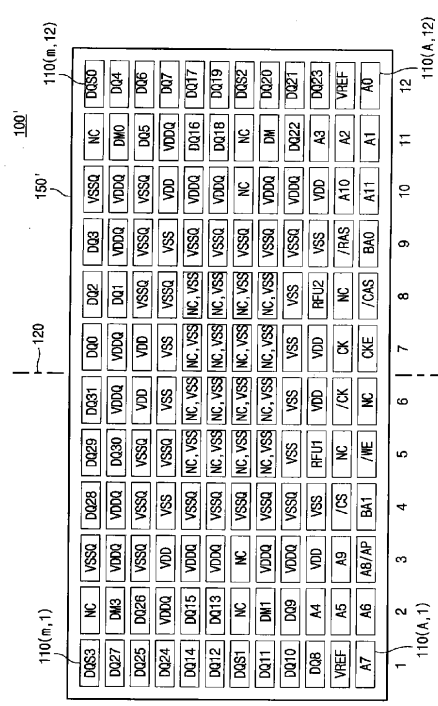
【図13】本発明の実施形態に従って、図1及び図2の一行に配列されたものと同一のボンディングパッド及び信号割り当て状態による対称形の対の集積回路を示す図面である。

10

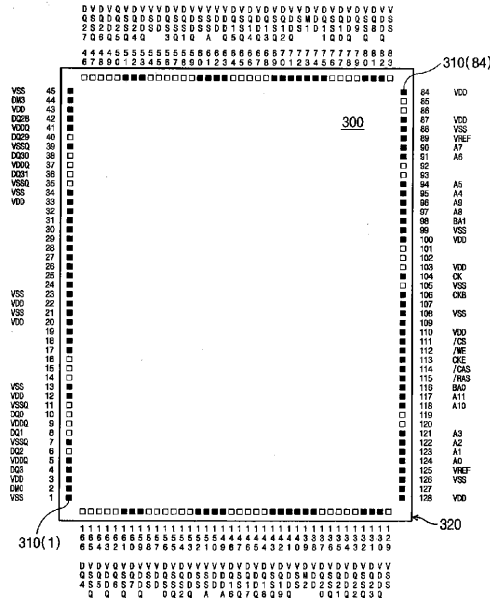
【図1】



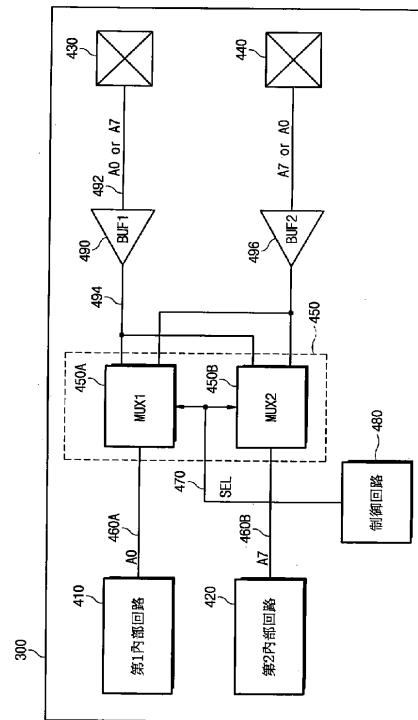
【図2】



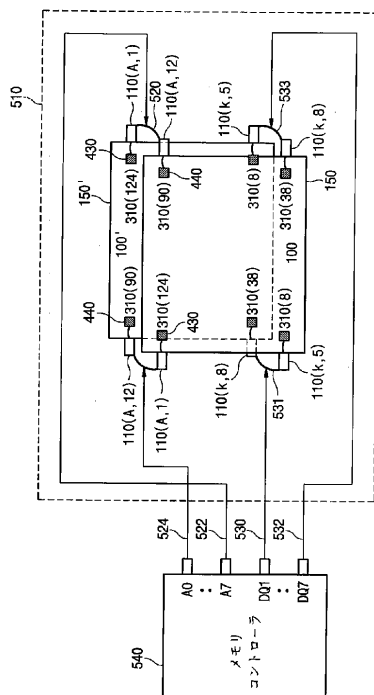
【図 3】



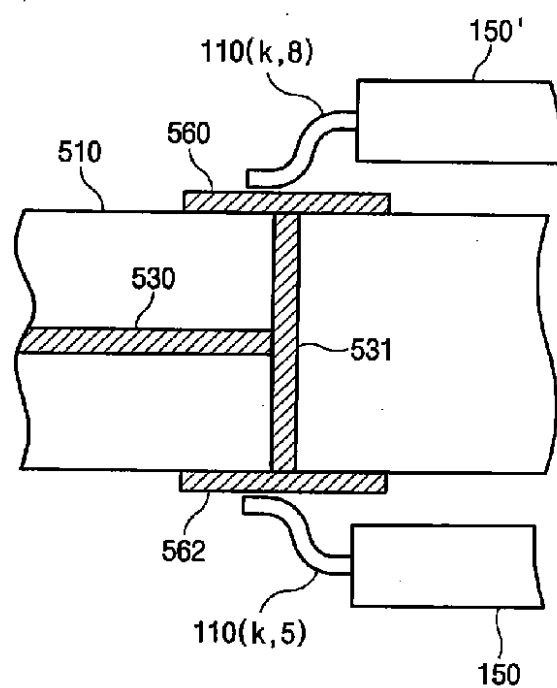
【図 4】



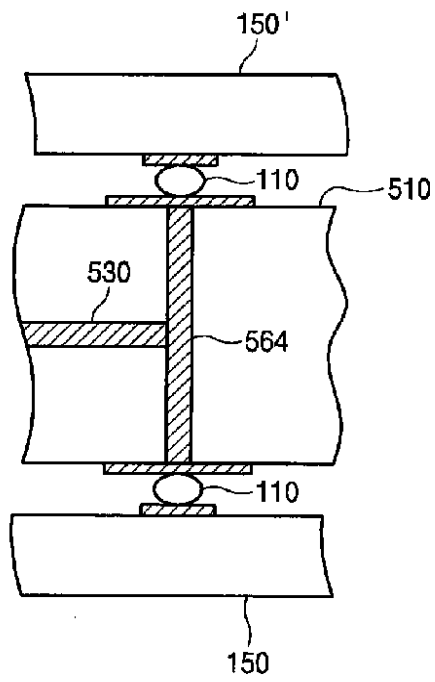
【図 5】



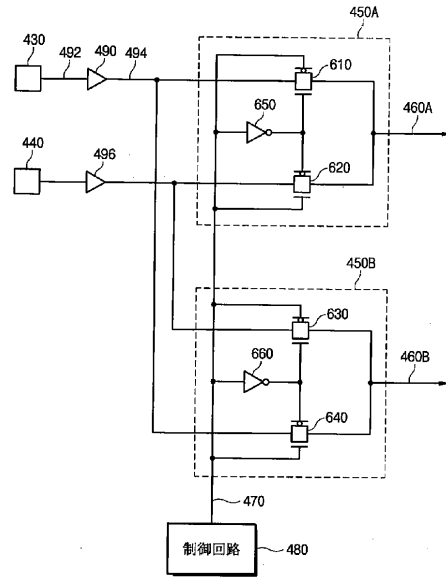
【図 6】



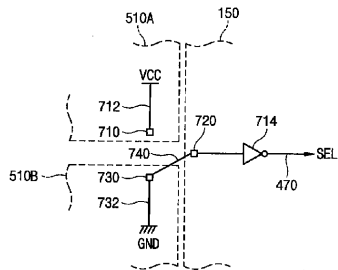
【図 7】



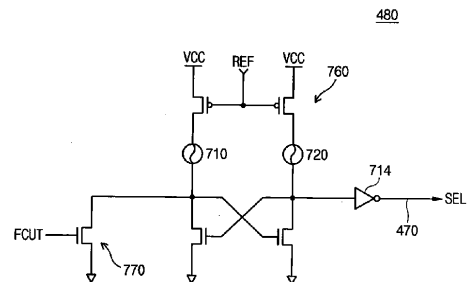
【図 8】



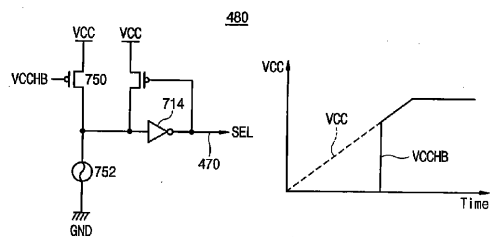
【図 9】



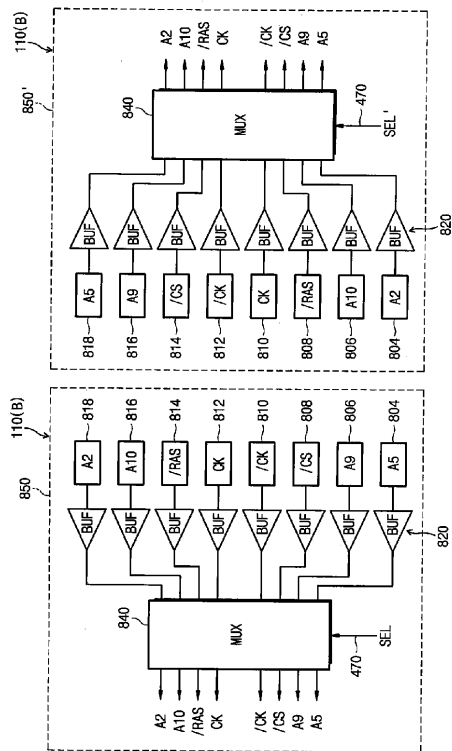
【図 11】



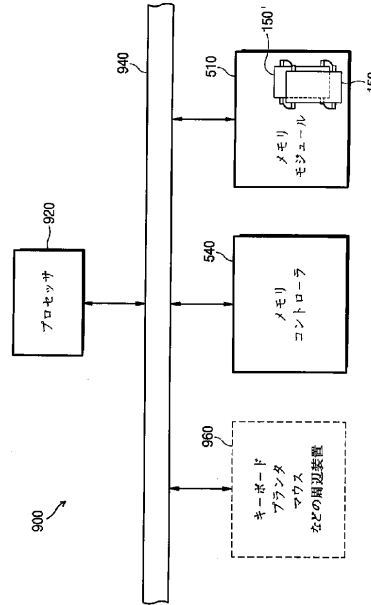
【図 10】



【図 12】



【図 13】



フロントページの続き

(51)Int.Cl. F I

H 0 1 L 25/07 (2006.01)

H 0 1 L 25/18 (2006.01)

(74)代理人 100110364

弁理士 実広 信哉

(72)発明者 張星珍

大韓民国京畿道城南市盆唐区二梅洞 1 2 2 ゲムガンアパート 1 0 4 棟 7 0 4 号

(72)発明者 全永鉉

大韓民国ソウル江南区大峙洞ミドアパート 2 0 5 棟 1 1 0 5 号

(72)発明者 姜昌萬

大韓民国京畿道安陽市東安区冠陽洞 1 5 8 9 ハンガラムアパート 5 0 7 棟 2 0 1 号

審査官 大嶋 洋一

(56)参考文献 特開 2 0 0 2 - 1 9 0 5 2 9 (J P , A)

特開 2 0 0 0 - 3 4 0 7 3 7 (J P , A)

特開 2 0 0 0 - 3 7 5 9 6 1 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)

H01L 21/822

G11C 5/00

H01L 21/82

H01L 25/065

H01L 25/07

H01L 25/18

H01L 27/04