

公告本

申請日期	91.3.20
案 號	91105361
類 別	G11C 5/10

A4
C4

559826

(以上各欄由本局填註)

發明專利說明書

一、發明名稱	中 文	列與行解碼器電路在多個記憶體陣列下排列成棋盤圖樣的記憶體裝置
	英 文	MEMORY DEVICE WITH ROW AND COLUMN DECODER CIRCUITS ARRANGED IN A CHECKERBOARD PATTERN UNDER A PLURALITY OF MEMORY ARRAYS
二、發明人	姓 名	羅伊 E. 蕭爾連 Roy E. Scheuerlein
	國 籍	美 國 U.S.A.
	住、居所	美國加州庫朋提諾·歐察爾德巷22145號 22145 Orchard Ct., Cupertino, CA 95014, U.S.A.
三、申請人	姓 名 (名稱)	美商·矩陣半導體股份有限公司 MATRIX SEMICONDUCTOR, INC.
	國 籍	美 國 U.S.A.
	住、居所 (事務所)	美國加州聖塔克萊拉·史考特大道3230號 2320 Scott Boulevard, Santa Clara, CA 95054, U.S.A.
	代 表 人 姓 名	丹尼爾·史泰瑞 DANIEL STEERE

裝

訂

線

(由本局填寫)

承辦人代碼：
大類：
IPC分類：

A6
B6

本案已向：

美 國 (地區) 申請專利，申請日期： 案號： ， 有 無主張優先權

2001,3,21	60/277,794
2001,3,21	60/277,815
2001,3,21	60/277,738
2001,6,29	09/896,814

有關微生物已寄存於： ， 寄存日期： ， 寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

經濟部智慧財產局員工消費合作社印製

五、發明說明 (1)

相關申請案之相互參照

此申請案主張以下各在2001年3月21日提出申請之美國臨時專利申請案：美國臨時專利申請案第60/277,794號(代理備審案件第10519/13號)；美國臨時專利申請案第60/277,815號(代理備審案件第023-0007-V號)；和美國臨時專利申請案第60/277,738號(代理備審案件第MTRX-037P號)。上述參考之每一申請案，係藉由參照而合併進本說明書內。

本發明之背景

不同於二維記憶體陣列之記憶晶格，彼等垂直堆疊式記憶體陣列之記憶晶格，係建立在一平面基質上方，而非在其內。此等記憶晶格可垂直堆疊在多數薄層中，以形成一三維陣列，如同頒給Johnson et al之美國專利編號第6,034,882號中所描述。彼等垂直堆疊式記憶晶格有關之支撐電路，諸如列與行解碼器電路和字組線和位元線驅動器，係在上述基質之表面上面。雖然該等支撐電路，亦可建立在此基質上面，其與彼等堆疊支援電路相聯結之程序複雜性，目前對經濟上之製造而言係過高。結果，就極稠密之記憶體陣列而言，該等支撐電路係佔有一極大百分比之記憶體晶片面積。舉例而言，彼等支援電路可佔有一平面記憶體晶片之一半面積，和甚至更大百分比堆疊成16層之三維記憶體陣列，即使該等堆疊之記憶晶格，係佔有傳統式平面形記憶體之1/16面積。

已有幾種方案被描述出，以提供一較稠密之支撐電路

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明 (2)

配置，而得到一較小之記憶體晶片面積。在一供垂直堆疊式記憶體陣列使用之方案中，彼等列和/或行解碼器電路，係直接佈置在該等記憶體陣列下方，以協助極小化記憶體晶片面積不專用於記憶晶格之部分。此一方案係描述在上述頒給Johnson et al之美國專利編號第6,034,882號中。在一供傳統式支撐電路緊鄰(而非在其下方)記憶晶格之二維記憶體陣列使用的方案中，彼等列和/或行解碼器電路，係共用於彼等相鄰之記憶體陣列間。亦即，該等支撐電路係聯結有一些記憶體陣列，彼等係在此支撐電路兩側上面，而非在該等支撐電路上面。此一方案係描述於Solid-State Circuits(固態電路)之IEEE期刊第SC-19卷第5號(1984年10月)中的“The Design and Performance of CMOS 256K Bit DRAM Devices”(CMOS 256K位元DRAM裝置之設計和性能)(見第3圖)和“A 288K CMOS Pseudostatic RAM”(288K CMOS似穩態RAM)(見第3圖)。藉由此一方案，四倍數目之記憶體陣列，舉例而言，係造成兩倍(而非四倍)數目之支撐電路。

一記憶體裝置係需要一較稠密之支撐電路配置。

本發明之概要

本發明係藉由下列之申請專利範圍來加以界定，以及此節中並無任何應被視為此申請專利範圍方面之限制。

藉由導言，下文所述之較佳實施例，係提供一具有一些位於多個記憶體陣列下方而排列成棋盤圖樣列與行解碼器電路之記憶體裝置。在一較佳實施例中，一記憶體裝置

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明 (3)

在設置上，係使其列與行解碼器電路，在多個記憶體陣列下方，排列成一棋盤圖樣。由於每一列解碼器和行解碼器電路，係與其位置上方之記憶體陣列和一相鄰之陣列相聯結，所提供係一較彼等先存技藝方案為稠密之支撐電路配置。其他之較佳實施例係被提供，以及本說明書所描述之每一較佳實施例，可單獨被使用，或者彼此結合使用。

茲將參照附加諸圖說明該等較佳實施例。

圖示之簡單說明

第1圖係一較佳實施例之記憶體電路配置的一個例示圖；

第2圖係一較佳記憶體陣列之記憶晶格、字組線、和位元線的一個例示圖；

第3圖係一其中僅有列解碼器電路佈置在記憶體陣列下方之記憶體電路配置的一個例示圖；

第4圖係另一較佳實施例之記憶體電路配置的一個例示圖，其中之位元線驅動器，並非共用於彼等相鄰之記憶體陣列間；

第5圖係另一較佳實施例之記憶體電路配置的一個例示圖，其中之字組線驅動器，並非共用於彼等相鄰之記憶體陣列間；

第6圖係一較佳實施例之記憶體裝置的一個例示圖，其在交替位置中，係具有一些額外之行解碼器電路，以及在彼等記憶體陣列之相同條帶的末端處，係具有一些額外之列解碼器電路；

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明 (4)

第7圖係一較佳實施例之例示圖，其中之多重開關，係供一系列解碼器電路中即定之每一字組線解碼器使用；

第8圖係一較佳實施例之列解碼器電路的字組線解碼器和預解碼器之例示圖；

第9圖係一較佳實施例之開關的一個例示圖；

第10圖係一可例示一較佳實施例之字組線電壓控制的列表；而

第11圖則係一在該等記憶體陣列之末端具有部份容量之記憶體陣列的較佳實施例。

較佳實施例之詳細說明

茲轉向諸圖，第1圖係一較佳實施例之記憶體電路配置的一個例示圖。在此較佳實施例中，有多數之記憶體陣列（記憶體陣列1-9），係被配置成一三乘三之柵格。每一記憶體陣列，係包括多數建立在一平面基質上面之記憶晶格。雖然為簡化此繪圖，第1圖中係顯示僅有一層記憶晶格，彼等記憶晶格可垂直堆疊多數薄層，以形成一三維記憶體陣列。如第2圖中所示，每一記憶晶格最好係一兩終端之晶格，而使每一終端與一對應之導體形成電氣接觸。術語“終端”係做廣意解，以及一終端可僅被具現為其晶格之一終端部分，或為晶格之一單獨薄層。其一終端處之導體，係一些字組線，以及其另一終端處之導體，係一些位元線。因此，每一記憶晶格，係橋接一字組線和一位元線，以及其在陣列中之位置，係相對於一字組線與一位元線之交點處。舉例而言，其記憶晶格1，係橋接其字組線1和位元線1，

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明 (5)

而其記憶晶格4，係橋接其字組線2和位元線2。理應注意的是，此記憶晶格可如第2圖中所顯示，係一實體分立之元件，或可藉由軌堆(rail-stacks)和中間薄層，來加以界定，諸如美國專利申請案序號第09/638,428號中所描述，其係藉參照而合併進此說明書中。此外，該記憶晶格可採用單次寫入式記憶晶格之形式，或一可重複寫入式記憶晶格之形式。

在此實施例中，每一陣列係聯結兩個字組線驅動器、兩個位元線驅動器、和兩組列解碼器電路與行解碼器電路。當其記憶晶格間距很緊密時，將該等驅動器和解碼器電路分成兩半係較佳。關於記憶體陣列1，其字組線(WL)驅動器25，係激勵其偶數之字組線，以及係受到其列解碼器電路20之驅動，而其字組線驅動器15，則係激勵其奇數之字組線，以及係受到另一對列解碼器電路(列解碼器電路10)之驅動。同理，其位元線(BL)驅動器35，係激勵其偶數之位元線，以及係受到其行解碼器電路30之驅動，而其位元線驅動器45，則係激勵其奇數之位元線，以及係受到其行解碼器電路40之驅動。如同在第1圖中之記憶體陣列1所示，此將會造成一些交錯式位元線和字組線。(為簡化此諸圖，僅顯示某些位元線和字組線)。若使用較大之記憶晶格，可能較佳的是不使該等位元線和字組線交錯。此將可提供移除一半接線連接器之優點。

為選擇其記憶晶格陣列1中之一記憶晶格，其係將一列位址提供至其列解碼器電路10、20，以及將一行位址提供

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明 (6)

至其行解碼器電路30、40。此等列解碼器電路10、20，和行解碼器電路30、40，將會決定何者字組線和位元線係對應於此所提供之列與行位址。該等列解碼器電路10、20和行解碼器電路30、40之輸出，可驅動該等字組線驅動器15、25和位元線驅動器35、45，藉以來回於此被選定之記憶晶格而做讀取或寫入。在一較佳實施例中，此等行解碼器電路，係包括一位址解碼電子電路和一感測放大器，藉以自此被選定之位元線讀取資料。該等行解碼器電路，亦可包括一寫入運作有關之寫入驅動器電子電路，和一些I/O匯流排線有關之I/O界面電子電路。

在此一較佳實施例中，其列解碼器電路和行解碼器電路，係在多個記憶體陣列下方，排列成一棋盤圖樣。亦即，其列解碼器電路和行解碼器電路，係排列在多個記憶體晶格陣列下方，而成一如同一棋盤圖樣之交錯位置：彼等記憶體陣列1、3、5、7、和9，係佈置在彼等列解碼器電路上方，以及彼等記憶體陣列2、4、6、和8，係佈置在彼等行解碼器電路上方。每一列解碼器電路和行解碼器電路，係聯結(共用於其間或支撐)其位置上方之記憶體陣列與一相鄰之記憶體陣列(亦即，“其鄰居”)。舉例而言，其列解碼器電路10，可驅動其字組線驅動器15，後者可激勵其記憶體陣列1(此記憶體陣列，係在其列解碼器電路10上方)和記憶體陣列2(此記憶體陣列，係鄰接其記憶體陣列1)中奇數之字組線。同理，其行解碼器電路40，可驅動其位元線驅動器45，後者可激勵其記憶體陣列4(此記憶體陣列，係在

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明 (7)

其列解碼器電路40上方)和記憶體陣列2(此記憶體陣列，係鄰接其記憶體陣列4)中奇數之字組線。由於一單組字組線和位元線驅動器，係佈置在相鄰之記憶體陣列間，此等字組線和位元線兩者，在相鄰之記憶體陣列間係連續的。舉例而言，其字組線驅動器15所激勵之字組線，在彼等記憶體陣列1與2間係連續的，以及其位元線驅動器45所激勵之位元線，在彼等記憶體陣列1與4間係連續的。

使用此行與列解碼器電路之棋盤配置，將可提供一較其先存技藝方案為稠密之支撐電路配置。舉例而言，比較第3圖中所顯示之記憶體電路配置，僅有列解碼器電路，係佈置在該等記憶體陣列下方。在此一記憶體電路配置中，有兩組行解碼器電路，係佈置在相鄰之記憶體陣列間：其行解碼器電路310和320，係佈置在彼等記憶體陣列A與C間，以及其行解碼器電路330和340，係佈置在彼等記憶體陣列C與D間。在一此設計中，彼等多重記憶體陣列間，並無支撐電子電路共用，以及顯著地少於50%之晶片面積，會被其記憶體陣列覆蓋。相形之下，就第1圖中之列與行解碼器電路的棋盤配置而言，其記憶體上面被記憶體陣列覆蓋之面積將會增加，以及可以超過50%。彼等記憶體陣列所佔據之百分比將會增加，因為彼等行解碼器電路之數目，就相同數目之記憶體陣列而言，係第3圖中者之一半。其行解碼器電路和行感測電路所佔據之面積，係在彼等記憶體陣列下方(而非鄰接此等記憶體陣列)，以及此等行解碼器電路，係支撐多重之記憶體陣列。(而非一單一記憶體

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明 (8)

陣列)。因此，彼等記憶體陣列間浪費之空間會被降低，因為該等記憶體陣列係更靠近，僅被連接器區域分開，而非被行解碼器電路。此外，藉由在記憶體陣列間共用位元線驅動器，彼等連接器區域所佔據之面積，亦會被降低。

理應注意的是，彼等列解碼器電路和行解碼器電路，係在多個記憶體陣列下，排列成棋盤圖樣，縱使其棋盤圖樣中有斷開(舉例而言，在其圖樣之中央)。舉例而言，當其晶片有獨立運作部分時，在大量記憶體陣列之記憶體設計中，可發生一部分之棋盤格圖樣。雖然其棋盤圖樣中之斷開會浪費空間，因為某些解碼器電路，並不具有上層之記憶體陣列，此等較佳實施例之許多優點，將仍可被達成。

在第1圖中所顯示之較佳實施例中，其中有一組在該等記憶體陣列之東西側上面的字組線驅動器，和一組在該等記憶體陣列之南北側上面的位元線驅動器。(彼等電路之配置，在描述上可比擬一具有北、東、南、和西等方向之地圖)。由於一單組位元線驅動器，係共用於彼等相鄰之記憶體陣列間，彼等位元線在相鄰之陣列之間係連續的。雖然第1圖中所顯示之記憶體電路配置，可降低彼等位元線驅動器所佔據之面積，在一讀取或寫入運作期間，僅有彼等記憶體陣列“條帶”之一子集可被選定。舉例而言，若彼等條帶I和II兩者被選定，彼等行解碼器電路40內之感測放大器，將會讀取上述記憶體陣列1和記憶體陣列4中被選定位元線的資料。由於一被選定位元線上面之資料，每一陣

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明 (9)

列中係唯一的，兩相鄰條帶中一次最好僅有一個被選定。因此，一單一條帶可被選定(舉例而言，僅條帶1)，或彼等交替之條帶可被選定。在第4圖中所顯示之他型實施例中，有兩組位元線驅動器，係佈置在相鄰之記憶體陣列間，以及彼等位元線在相鄰之陣列間並不連續的。舉例而言，在記憶體陣列1與4之間，係具有兩個位元線驅動器410、420。其記憶體陣列4下方成對之行解碼器電路440中的一個中的解碼器430，可驅動此兩位元線驅動器410、420。其一感測放大器450，可自其位元線驅動器410中之一所激勵的位元線讀取資料，以及另一感測放大器460，可自另一位元線驅動器420所激勵的位元線讀取資料。雖然此他型實施例，相較於第1圖中所顯示之實施例，係使用兩倍數目之位元線驅動器，和兩倍數目之感官放大器，此他型實施例可提供一可容許每一條帶之記憶晶格被選定的優點。

在第4圖中所顯示之他型實施例中，該等位元線在相鄰之記憶體陣列間並非連續，因為在此等記憶體陣列之南北兩側處，有兩組位元線驅動器。然而，該等字組線係連續的，因為在此等記憶體陣列間，有一組字組線驅動器。此係顯示為記憶體陣列2和3中之字組線。(為簡化此繪圖，其他之字組線和位元線，並未顯示在此圖中)。在另一他型實施例中，其係顯示於第5圖中，其中在記憶體陣列間，有一組位元線驅動器(造成一些連續之位元線)，但在記憶體陣列間，有兩組字組線驅動器(在造成記憶體陣列間之字組線並非連續)。此舉例而言，係顯示為記憶體陣列2和3之間之

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明 (10)

兩字組線驅動器510、520。其記憶體陣列3下方成對之行解碼器電路530中的一個，可驅動此兩組字組線驅動器510、520。彼等字組線驅動器510，可激勵其記憶體陣列2中之字組線，而彼等字組線驅動器520，則可激勵其記憶體陣列3中之字組線。此將一連續性字組線分割成兩字組線之他型實施例，在長而連續之字組線會造成過多之漏洩電流的情況中，可能是較佳的。在又一他型實施例中，在相鄰之記憶體陣列間，係具有兩組位元線驅動器，加上兩組字組線驅動器。在此一他型實施例中，在記憶體陣列間，並無位元線和字組線是連續的。

復轉回第1圖，某些記憶體陣列之偶數和奇數位元線(和/或字組線)兩者，係受到一些佈置在此等記憶體陣列下方之行解碼器電路(和/或列解碼器電路)的驅動。舉例而言，其記憶體陣列4之偶數和奇數位元線，係受到其記憶體陣列4下方成對之行解碼器電路的驅動。然而，某些沿著其記憶體柵格之側緣的記憶體陣列，將需要一些並非在記憶體陣列下方之解碼器電路。舉例而言，正當其記憶體陣列1之奇數位元線，係受到其記憶體陣列4下方之行解碼器電路40的驅動之際，其偶數位元線係受到其行解碼器電路30之驅動，其並非佈置在一記憶體陣列之下方。雖然有額外之列與行解碼器電路，並非佈置在第1圖之記憶體陣列的下方，理應注意的是，彼等記憶晶格可被堆疊在此等額外之電路的上方。舉例而言，彼等行解碼器電路30。可被佈置在一相鄰柵格之記憶體陣列的記憶體陣列之下方。

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明 (11)

在第1圖之記憶體裝置中，有些額外之列與行解碼器電路(例如行解碼器電路30)，係設置在其三乘三柵格之記憶體陣列的12個側緣中的一半。在第1圖中所顯示之三乘三柵格的記憶體陣列中，在此柵格之條帶和行中，係具有奇數個記憶體陣列，以及有額外之列與行解碼器電路，係設置在相同之條帶和行的末端處。舉例而言，彼等額外之行解碼器電路30、50兩者，係在該柵格之第一行的末端處，以及彼等額外之列解碼器電路55、60兩者，係在條帶II之末端處。若在此柵格之條帶(或行)中，具有偶數個記憶體陣列，該等行(或條帶)之末端處的額外解碼器，將會交替彼等之位置。舉例而言，在第6圖中所顯示之記憶體裝置中，有八個條帶和九行之記憶體陣列，以及該等額外之行解碼器電路，係交替彼等之位置。而該等額外之列解碼器電路兩者，係在此相同之條帶的末端處。(在第6圖中所顯示之實施例中，在相鄰之記憶體陣列間，係具有兩組位元線驅動器，而在相鄰之記憶體陣列間，則僅有一單一組之字組線驅動器。

該等字組線和位元線驅動器中之列與行連接器，可採用任何合適之形式。舉例而言，該等列連接器可為一連接至一電壓匯流排之反相器/驅動器或開關，而使其控制輸入受到該等列解碼器電路的驅動。同理，其行連接器可為一開關，而使其控制輸入受到該等行解碼器電路的驅動，以及使其之輸入和輸出，連接至一位元線和一感測放大器電路。較佳地，該等字組線和位元線有關未被選定之電壓位

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明 (12)

準，係由第1圖中為簡單計未顯示出之開關來供應。其至記憶體陣列間之字組線和位元線的连接器，最好係多重開關。藉由使用多重開關，其被選定之字組線的電壓位準，和其未被選定之字組線的電壓位準，可使在相同之連接區域中。一在一系列解碼器電路中就每一字組線解碼器使用多重開關之較佳實施例的一個範例，係例示在第7圖中。

在第7圖中，在每一列解碼器電路中類似第1圖中之列解碼器電路20，係使用多數之字組線解碼器。在此一實施例中，其中有N個字組線解碼器，以及一給定之記憶體位址，係選擇一字組線解碼器。每一N個字組線解碼器，係透過四個對應之開關，連接至四個字組線。在此一方式下，每一字組線解碼器輸出，可控制多重字組線。舉例而言，其字組線解碼器710之輸出，可控制其開關720、730、740、和750，彼等復可控制彼等字組線1-4。該等多重開關，係連接至不同之電壓位準線(線路A、B、C、和D)，藉以如下文所述，提供唯一之字組線控制。就一些類似第2圖中所顯示之兩終端晶格等極小晶格而言，甚至多於四個開關(舉例而言，16個開關)係較佳。為簡單計，第7圖中係例示四個開關。

第8圖係一較佳實施例之之列解碼器電子電路的字組線解碼器和預解碼器之一例示圖。在運作中，一記憶體位址係提供至彼等1/8預解碼器810、820、和830，彼等可提供輸入至N個字組線解碼器(此處為512個字組線解碼器)。其一字組線解碼器，係提供一被選定之解碼器輸出，而其

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明 (13)

他之字組線解碼器，係提供一未被選定之解碼器輸出。在此範例中，其字組線解碼器710，係提供一被選定之解碼器輸出，而其他511個字組線解碼器，係提供一未被選定之解碼器輸出。關於第7圖，一來自字組線解碼器710之被選定解碼器輸出，將會激勵彼等開關720、730、740、和750，以及其他字組線解碼器之未被選定解碼器輸出，將會解激其餘之開關。其字組線電壓控制器770，可以此被選定之字組線電壓 V_P 、未被選定之字組線電壓 V_U 、或一浮接電壓，連接至該等四個輸出A、B、C、和D。透過此等開關720、730、740、750之使用，上述被選定之字組線電壓 V_P ，將會施加至四個字組線中的一個，以及上述未被選定之字組線電壓 V_U ，或一浮接電壓，將會施加至其他三條字組線。一類似之配置可供位元線使用，此處，彼等線路A、B、C、和D，係連接至一感測放大器、一未被選定之位元線電壓、或一浮接電壓。每一位元線解碼器輸出，將可控制多重開關，彼等將會連接至唯一之位元線控制有關的唯一感測放大器路徑。

在一較佳實施例中，該等開關係多重裝置，以及每一電壓位準線A、B、C、和D，係由多重線路構成，一線路係連接至每一裝置。此種實施例係顯示在第9圖中，其中之開關900，包括一連接至一上拉電壓之PMOS裝置910，和一連接至一下拉電壓之NMOS裝置920。第10圖係提供一較佳實施例之字組線電壓控制的一個列表，其中有兩個下拉線路具有浮接電壓。誠如上文所提及，被選定和未被選定

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明 (14)

之字組線和位元線的不同電壓，可為被選定之偏壓位準、未被選定之偏壓位準、或聽任其浮接。此一和其他較佳實施例，彼等可被單獨使用或與本說明書所描述之任一較佳實施例相結合，係列舉在美國專利編號第60/277,815號之“Passive Element Memory Array and Related Circuits Useful Therefor,”(無源元件記憶體陣列和其有用之相關電路)，其係藉參照而合併進此說明書中。其他可被單獨使用或與本說明書所描述之任一較佳實施例相結合之較佳實施例，係列舉在美國專利編號第09/814,727號之“Three-Dimensional Memory Array and Method of Fabrication,”(三維記憶體陣列和製造方法)，和美國專利編號第60/277,738號之“Three-Dimensional Memory Array,”(三維記憶體陣列)內，彼等亦藉參照而合併進此說明書中。

第11圖係例示另一較佳實施例。在第11圖中，彼等寬度為典型陣列之一半(以及四分之一的位元數)的半密度陣列，係包括在其記憶體陣列之條帶的末端處。彼等具有行數一半之行解碼器電路，係在此等額外之陣列的下方。舉例而言，彼等半密度陣列1100和1110，係包括在條帶1之末端處。彼等行解碼器電路1120、1130，係在半密度陣列1100之下方，以及彼等行解碼器電路1140、1150，係在半密度陣列1110之下方。此等半密度陣列中，僅有一半之字組線可被選定，因為僅有一列解碼器電路/字組線解碼器，係鄰接此等半密度陣列。

最後，理應注意的是，任何類型可容許列和行解碼器

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明 (15)

電路佈置在記憶體陣列下方的記憶晶格，均可加以使用。較佳地，此等記憶晶格，係由一些半導體材料製成，如同頒給Johnson et al之美國專利編號第6,034,882號、頒給Zhang之美國專利編號第5,835,396號、頒給Knall之美國專利編號第09/560,626號、頒給Johnson之美國專利編號第09/638,428號中所描述，彼等各係藉由參照而合併進本說明書內。特言之，一反熔線記憶晶格係較佳。其他類型可堆疊在支撐電路上方之記憶體陣列，諸如MRAM和有機無源元件陣列，亦可加以使用。MRAM(磁阻隨機存取記憶體)，係基於一些磁性記憶元件，諸如一磁性隧道界面(MTJ)。MRAM技術係說明於Peter K. Naji et al.在the Digest of Technical Papers of the 2001 IEEE International Solid-State Circuits Conference,(2001 IEEE國際固態電路討論會)，ISSCC 2001/Session 7(會期7)/Technology Directions(技術指導)中所發表之“A 256kb 3.0V 1TIMTJ Nonvolatile Magnetoresistive RAM”(A 256kb 3.0V 1TIMTJ非揮發性磁阻RAM)：2001年2月6日之Advanced Technologies(先進技術)/7.6和ISSCC 2001 Visual Supplement(光學增刊第94-95、404-405頁)兩者，係藉參照而合併進此說明書中。Gudensen et al獲頒之美國專利編號第6,055,180號，描述了若干有機無源元件陣列，以及亦藉參照而合併進此說明書中。彼等由類似相位變化材料和無定形固體等材料所構成之記憶晶格，亦可加以使用。見Wolstenholme et al獲頒之美國專利編號第5,751,012號，和

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明 (16)

Ovshinsky et al獲頒之美國專利編號第4,646,266號兩者，係藉參照而合併進本說明書內。

於2001年3月21日，下列之美國專利申請案係提出申請，彼等各係藉參照而合併進此說明書中：美國臨時專利申請案第60/277,794號(代理備審案件第10519/13號)之“Memory Device with Row and Column Decoder Circuits Arranged in a Checkerboard Pattern under a Plurality of Memory Arrays,”(列與行解碼器電路在多個記憶體陣列下排列成棋盤圖樣的記憶體裝置)；美國臨時專利申請案第60/277,815號(代理備審案件第023-0007-V號)之“Passive Element Memory Array and Related Circuits Useful Therefor,”(無源元件記憶體陣列和其有用之相關電路)；美國臨時專利申請案第60/277,738號(代理備審案件第MTRX-037P號)之“Three-Dimensional Memory Array,”(三維記憶體陣列)；和美國臨時專利申請案第09/814,727(代理備審案件第003558.P007X號)之“Three-Dimensional Memory Array and Method of Fabrication,”(三維記憶體陣列和製造方法)。

於2001年6月29日，下列之美國專利申請案係提出申請，彼等各係藉參照而合併進此說明書中：美國專利申請案第09/897,785號(代理備審案件第023-0004 (MD-28)號)之“Method and Apparatus for Writing Memory Arrays Using External Source of High Programming Voltage,”(使用高程式規劃電壓之外部電源寫入記憶體陣列之方法和裝置)；美

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明 (17)

國專利申請案第09/897,705號(代理備審案件第023-0009(MD-37)號)之“Three-Dimensional Memory Array Incorporating Serial Chain Diode Stack,”(合併串列鏈二極體堆疊之三維記憶體陣列);美國專利申請案第09/897,771號(代理備審案件第023-0008(MD-42)號)之“Method and Apparatus for Biasing Selected and Unselected Array Lines when Writing a Memory Array,”(寫入一記憶體陣列時偏壓被選定和未被選定之陣列線路的方法和裝置);美國專利申請案第09/896,814號(代理備審案件第10519/36(MD-43/MA-33)號)之“Memory Device with Row and Column Decoder Circuits Arranged in a Checkerboard Pattern under a Plurality of Memory Arrays,”(列與行解碼器電路在多個記憶體陣列下排列成棋盤圖樣的記憶體裝置);美國專利申請案第09/895,960號(代理備審案件第10519/15(MD-46)號)之“Method and System for Increasing Programming Bandwidth in a Non-Volatile Memory Device,”(用以增加一非揮發性記憶裝置內之程式規劃頻寬的方法和系統)美國專利申請案第09/897,784號(代理備審案件第023-0010(MD-49)號)之“Method and Apparatus for Discharging Memory Array Lines,”(用以放電記憶體陣列線路之方法和裝置);美國專利申請案第09/896,468號(代理備審案件第023-0011(MD-50)號)之“Current Sensing Method and Apparatus Particularly Useful for a Memory-Array of Cells Having Diode-Like Characteristics,”(一具有二極體一

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明 (18)

樣之特性的晶格之記憶體陣列有關特別有用之電流感測方法和裝置);美國專利申請案第09/897,704號(代理備審案件第023-0012 (MD-51)號)之“Memory Array Incorporating Noise Detection Line,”(合併雜訊偵測線路之記憶體陣列);和美國專利申請案第09/896,815號(代理備審案件第10519/20 (MD-53)號)之“Memory Device and Method for Sensing while Programming a Non-Volatile Memory Cell,”(記憶體裝置及於程式規劃一非揮發性記憶晶格時用以感測之方法)。

上文之詳細說明，僅係本發明許多可能之少數具現體。因此之故，此詳細說明係例示計，而非有限制意。唯有以下之申請專利範圍，包括所有之等價體，意在界定本發明之範圍。

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明 (19)

元件標號對照

1-9...記憶體陣列	440...行解碼器電路
10...列解碼器電路	450...感測放大器
15...字組線驅動器	460...感測放大器
20...列解碼器電路	510,520...字組線驅動器
25...字組線(WL)驅動器	530...行解碼器電路
30...行解碼器電路	710...字組線解碼器
35...位元線(BL)驅動器	720,730,740,750...開關
40...行解碼器電路	810,820,830...1/8預解碼器
45...位元線驅動器	900...開關
310,320...行解碼器電路	910...PMOS裝置
330,340...行解碼器電路	920...NMOS裝置
A-D...記憶體陣列	1100,1110...半密度陣列
410,420...位元線驅動器	1120,1130...行解碼器電路
430...解碼器	1140,1150...行解碼器電路

(請先閱讀背面之注意事項再填寫本頁)

訂

四、中文發明摘要(發明之名稱： 列與行解碼器電路在多個記憶體陣列下)
排列成棋盤圖樣的記憶體裝置

本說明書所描述之較佳實施例，係提供一列與行解碼器電路在多個記憶體陣列下排列成棋盤圖樣的記憶體裝置。在一較佳實施例中，一記憶體裝置在設置上，係使其列解碼器電路和行解碼器電路，在多個記憶體陣列下，排列成一棋盤圖樣。由於每一列解碼器和行解碼器電路，係與其位置上方之記憶體陣列和一相鄰之陣列相聯結，所提供係一較彼等先存技藝方案為稠密之支撐電路配置。其他之較佳實施例係被提供，以及本說明書所描述之每一較佳實施例，可單獨被使用，或者彼此結合使用。

英文發明摘要(發明之名稱： MEMORY DEVICE WITH ROW AND COLUMN DECODER)
CIRCUITS ARRANGED IN A CHECKERBOARD PATTERN)
UNDER A PLURALITY OF MEMORY ARRAYS



The preferred embodiments described herein provide a memory device with row and column decoder circuits arranged in a checkerboard pattern under a plurality of memory arrays. In one preferred embodiment, a memory device is provided with its row decoder circuits and column decoder circuits arranged in a checkerboard pattern under a plurality of memory arrays. Because each of the row decoder and column decoder circuits is associated with the memory array above its location and an adjacent array, a denser support circuit arrangement is provided as compared to prior approaches. Other preferred embodiments are provided, and each of the preferred embodiments described herein can be used alone or in combination with one another.

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

六、申請專利範圍

1. 一種記憶體裝置，其係包括：
多數之記憶體陣列；
多數之列解碼器電路；和
多數之行解碼器電路；
其中之列解碼器電路和行解碼器電路，係在多個記憶體陣列下方，排列成一棋盤圖樣。
2. 如申請專利範圍第1項之記憶體裝置，其係進一步包括僅有一組在相鄰列解碼器電路間之字組線驅動器，藉以使彼等字組線，在相鄰之列解碼器電路上方的記憶體陣列間，係連續的。
3. 如申請專利範圍第1項之記憶體裝置，其係進一步包括兩組在相鄰列解碼器電路間之字組線驅動器，藉以使彼等字組線，在相鄰之列解碼器電路上方的記憶體陣列間，係連續的。
4. 如申請專利範圍第1項之記憶體裝置，其係進一步包括僅有一組在相鄰行解碼器電路間之位元線驅動器，藉以使彼等位元線，在相鄰之行解碼器電路上方的記憶體陣列間，係連續的。
5. 如申請專利範圍第1項之記憶體裝置，其係進一步包括兩組在相鄰行解碼器電路間之位元線驅動器，藉以使彼等位元線，在相鄰之行解碼器電路上方的記憶體陣列間，係連續的。
6. 如申請專利範圍第1項之記憶體裝置，其中在一記憶體陣列中之字組線，係由兩組字組線驅動器來做交錯掃

(請先閱讀背面之注意事項再填寫本頁)

訂

六、申請專利範圍

- 描。
7. 如申請專利範圍第1項之記憶體裝置，其中在一記憶體陣列中之位元線，係由兩組位元線驅動器來做交錯掃描。
 8. 如申請專利範圍第1項之記憶體裝置，其係進一步包括至少一不在一記憶晶格下方之額外列解碼器電路。
 9. 如申請專利範圍第1項之記憶體裝置，其係進一步包括至少一不在一記憶晶格下方之額外行解碼器電路。
 10. 如申請專利範圍第1項之記憶體裝置，其中之至少一系列解碼器電路，係包括多數之字組線解碼器，以及其中之多數字組線解碼器，係透過一對應多數之開關，連接至對應多數之字組線。
 11. 如申請專利範圍第1項之記憶體裝置，其中之至少一行解碼器電路，係包括多數之位元線解碼器，以及其中之多數位元線解碼器，係透過一對應多數之開關，連接至對應多數之位元線。
 12. 如申請專利範圍第1項之記憶體裝置，其中之多數記憶體陣列之記憶晶格，係由一半導體材料所構成。
 13. 如申請專利範圍第1項之記憶體裝置，其中之多數記憶體陣列之記憶晶格，係由一有機聚合物所構成。
 14. 如申請專利範圍第1項之記憶體裝置，其中之多數記憶體陣列之記憶晶格，係由一相位變化材料所構成。
 15. 如申請專利範圍第1項之記憶體裝置，其中之多數記憶體陣列之記憶晶格，係由一無定形固體所構成。

(請先閱讀背面之注意事項再填寫本頁)

訂

六、申請專利範圍

16. 如申請專利範圍第1項之記憶體裝置，其中之多數記憶體陣列，係製造在一基質上方。
17. 如申請專利範圍第1項之記憶體裝置，其係進一步包括額外多數垂直堆疊在先前提及之多數記憶體陣列上方的記憶體陣列。
18. 如申請專利範圍第1項之記憶體裝置，其中之多數記憶體陣列，係由一些單次寫入式記憶晶格所構成。
19. 如申請專利範圍第1項之記憶體裝置，其係進一步包括額外多數垂直堆疊在先前提及之多數記憶體陣列上方的記憶體陣列，其中之每一記憶體陣列中的字組線，係由兩組位元線驅動器來做交錯掃描，以及其中之每一記憶體陣列，係由多數反熔線記憶晶格所構成。
20. 一種記憶體裝置，其係包括：
 - 多數之記憶體陣列；
 - 多數之列解碼器電路；和
 - 多數之行解碼器電路；其中之多數列解碼器電路中，至少有一係與一在其位置上方之記憶體陣列和一相鄰之記憶體陣列相聯結，以及其中之多數行解碼器電路中，至少有一係與一在其位置上方之記憶體陣列和一相鄰之記憶體陣列相聯結。
21. 如申請專利範圍第20項之記憶體裝置，其係進一步包括僅有一組在相鄰列解碼器電路間之字組線驅動器，藉以使彼等字組線，在相鄰之列解碼器電路上方的記憶體陣

(請先閱讀背面之注意事項再填寫本頁)

訂

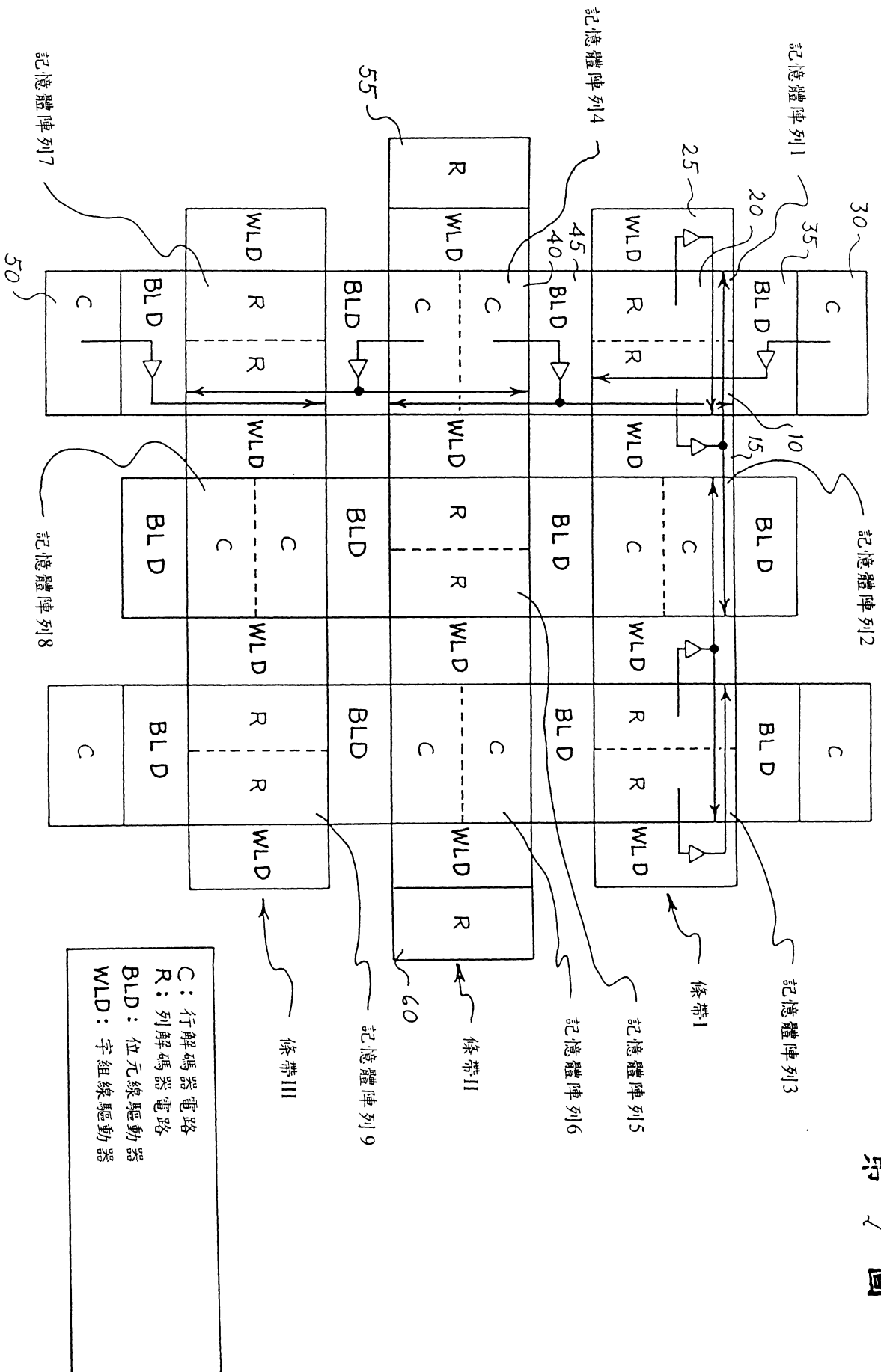
六、申請專利範圍

列間，係連續的。

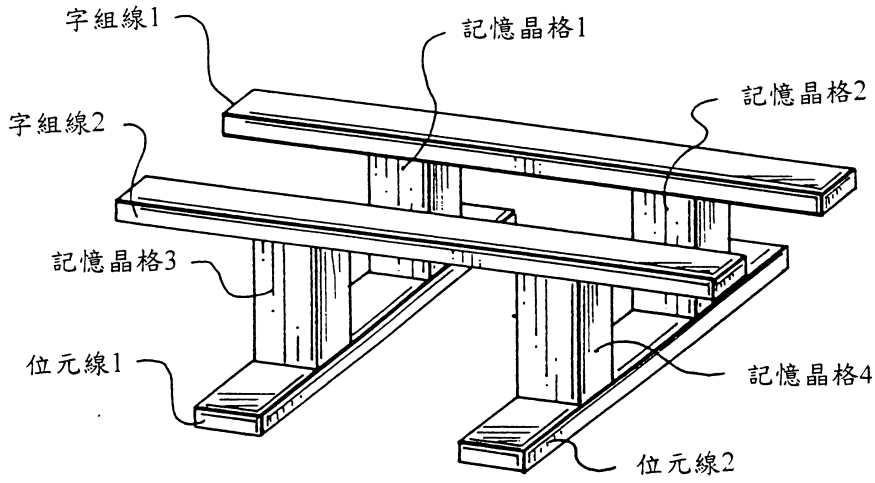
22. 如申請專利範圍第20項之記憶體裝置，其係進一步包括兩組在相鄰列解碼器電路間之字組線驅動器，藉以使彼等字組線，在相鄰之列解碼器電路上方的記憶體陣列間，係連續的。
23. 如申請專利範圍第20項之記憶體裝置，其係進一步包括僅有一組在相鄰行解碼器電路間之位元線驅動器，藉以使彼等位元線，在相鄰之行解碼器電路上方的記憶體陣列間，係連續的。
24. 如申請專利範圍第20項之記憶體裝置，其係進一步包括兩組在相鄰行解碼器電路間之位元線驅動器，藉以使彼等位元線，在相鄰之行解碼器電路上方的記憶體陣列間，係連續的。
25. 如申請專利範圍第20項之記憶體裝置，其中在一記憶體陣列中之字組線，係由兩組字組線驅動器來做交錯掃描。
26. 如申請專利範圍第20項之記憶體裝置，其中在一記憶體陣列中之位元線，係由兩組位元線驅動器來做交錯掃描。
27. 如申請專利範圍第20項之記憶體裝置，其係進一步包括額外多數垂直堆疊在先前提及之多數記憶體陣列上方的記憶體陣列，其中之每一記憶體陣列中的字組線，係由兩組位元線驅動器來做交錯掃描，以及其中之每一記憶體陣列，係由多數反熔線記憶晶格所構成。

(請先閱讀背面之注意事項再填寫本頁)

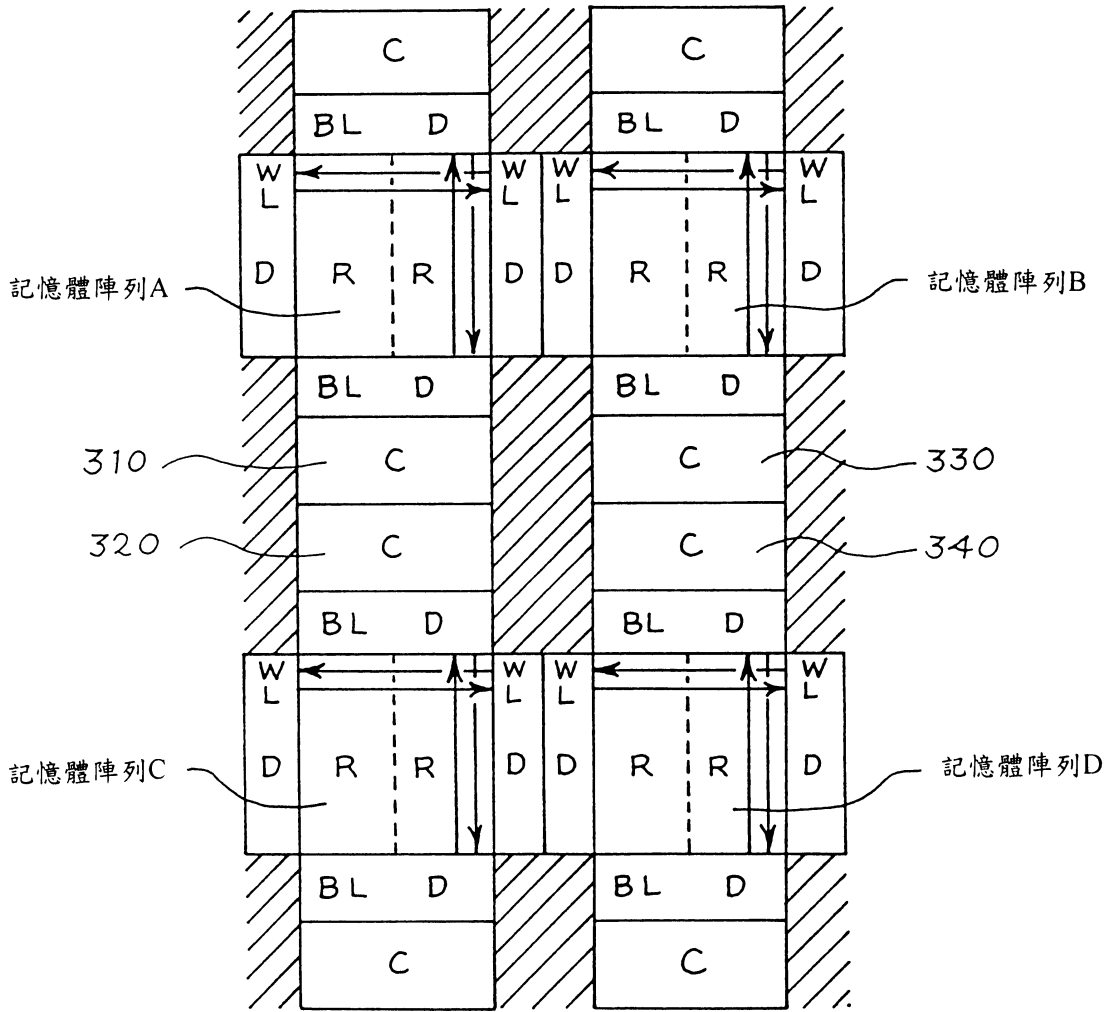
訂

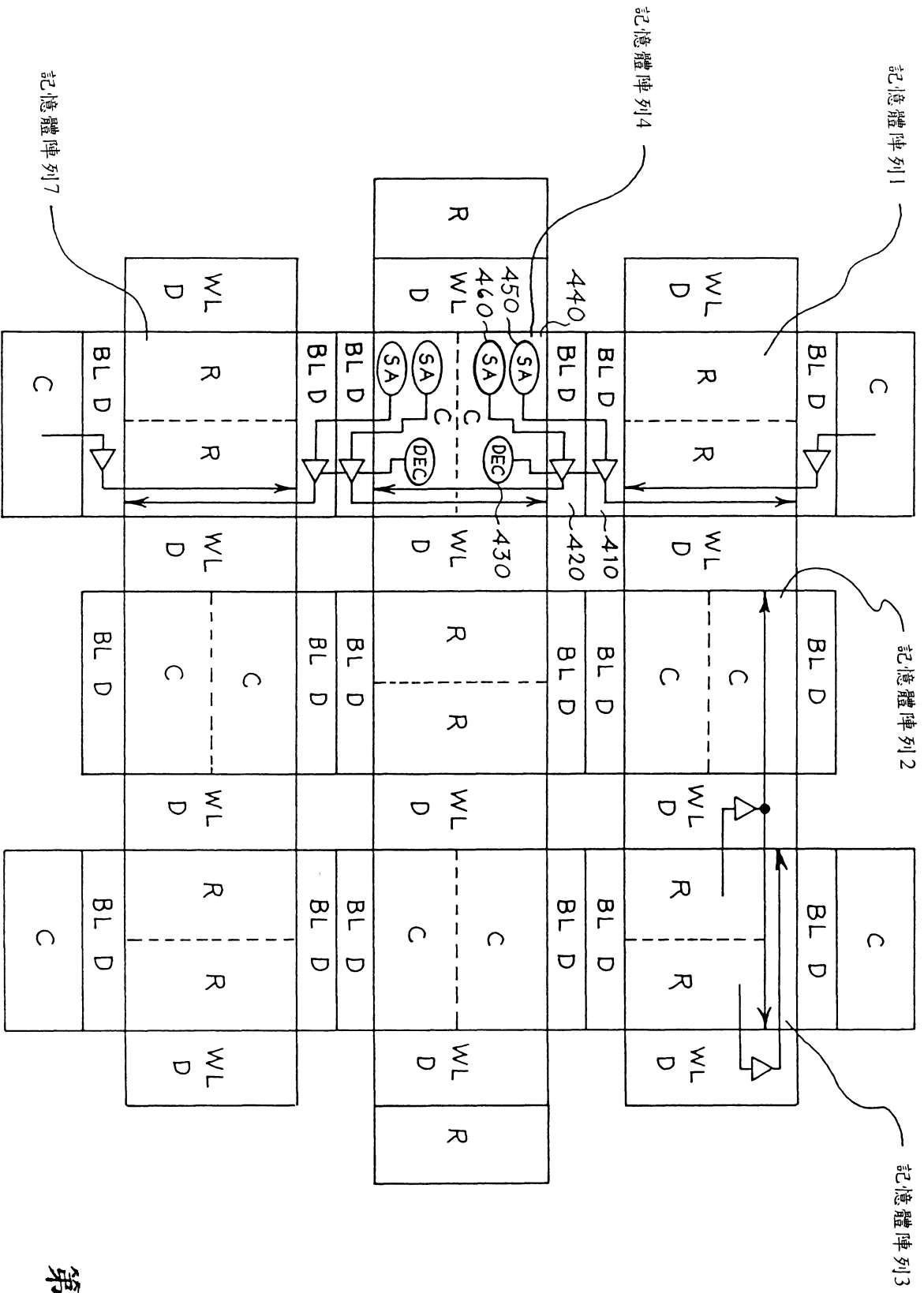


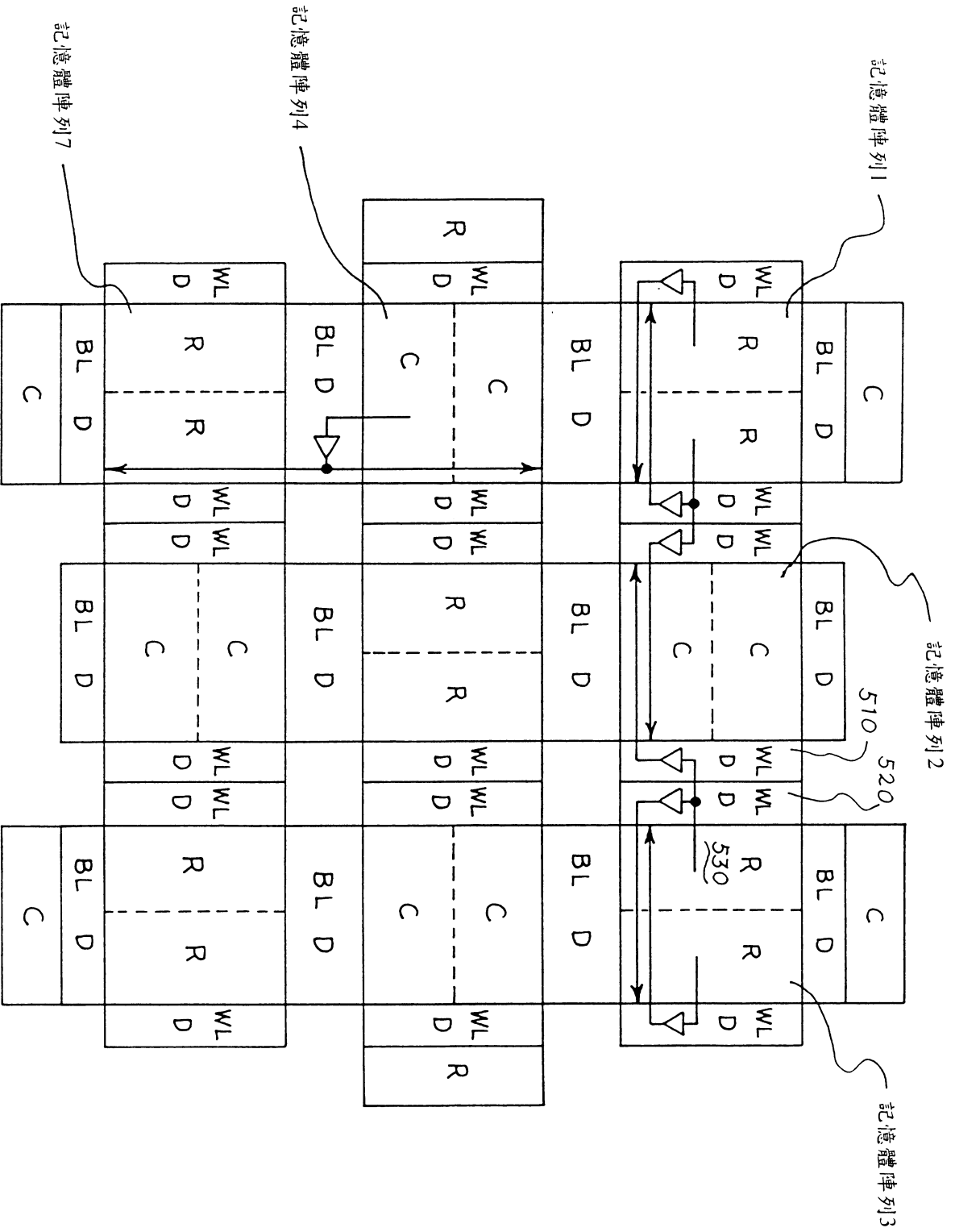
第 1 圖



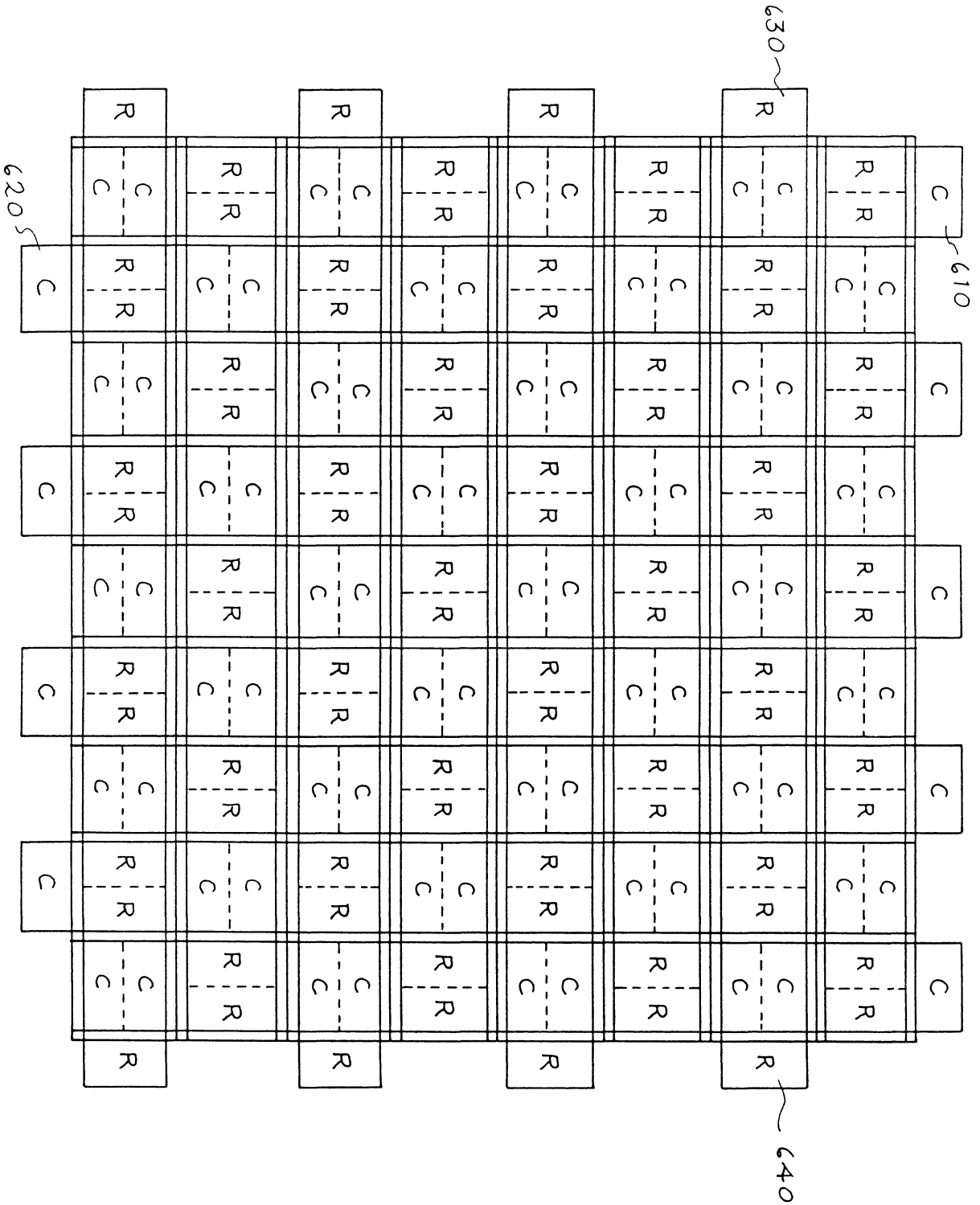
第 3 圖



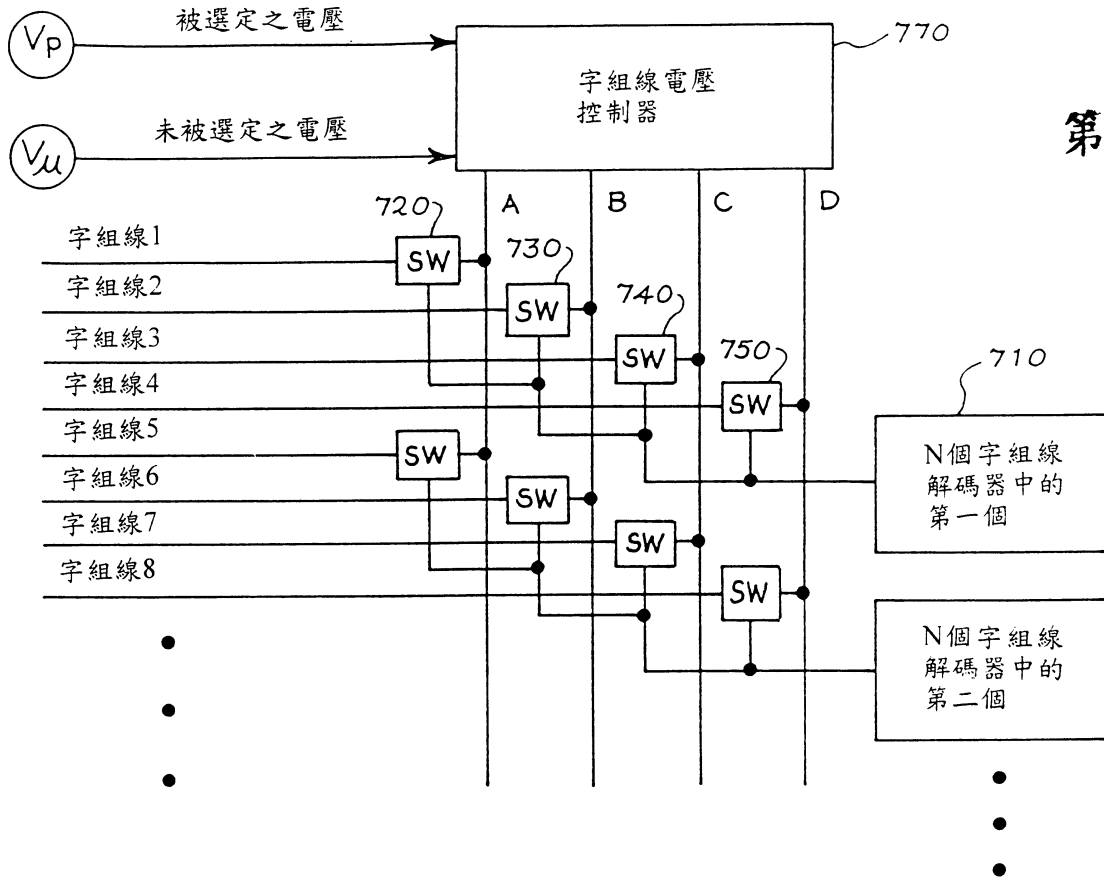




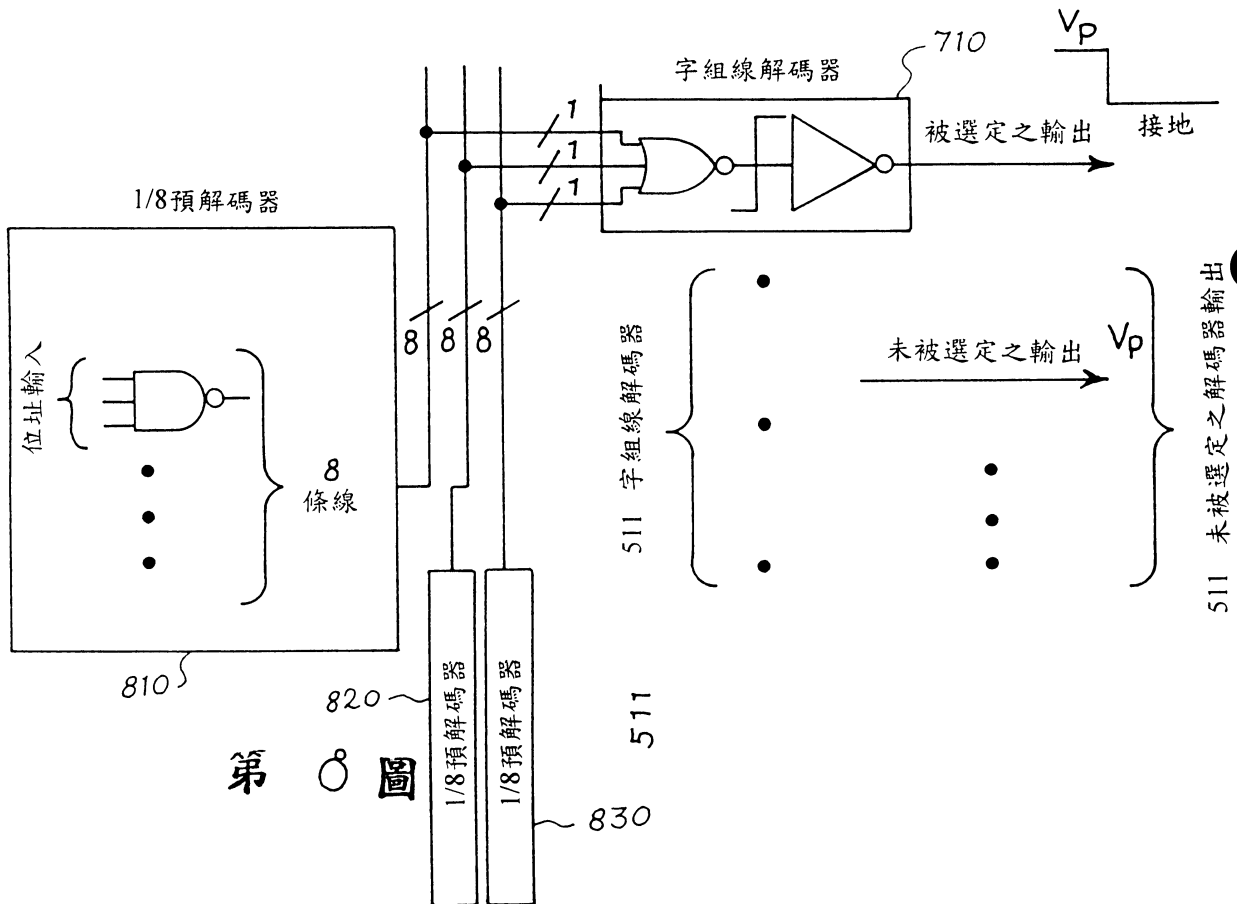
第 5 圖



第 6 圖



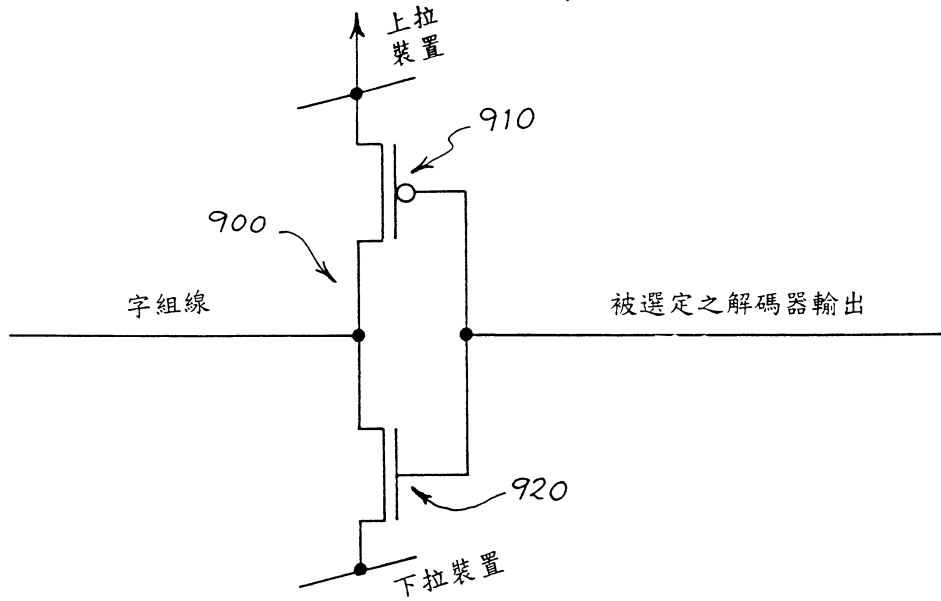
第 7 圖



第 8 圖

511 未被選定之解碼器輸出

7/8



第 9 圖

第 10 圖

字組線電壓控制

		上拉裝置 Ⓐ	下拉裝置 Ⓐ	上拉裝置 Ⓑ	下拉裝置 Ⓑ	上拉裝置 Ⓒ	下拉裝置 Ⓒ	上拉裝置 Ⓓ	下拉裝置 Ⓓ
有關被選定 之解碼器	WL 1	V_p	隨意值	NC	NC	NC	NC	NC	NC
	WL 2	NC	NC	V_u	隨意值	NC	NC	NC	NC
	WL 3	NC	NC	NC	NC	浮接	隨意值	NC	NC
	WL 4	NC	NC	NC	NC	NC	NC	浮接	隨意值
有關為未被選定 之解碼器	WL 5, 6, 7, 8	隨意值	V_u	隨意值	V_u	隨意值	浮接	隨意值	浮接

