

公告本

89年5月2日 修正 補充

申請日期	87.01.06
案 號	87100113
類 別	

中文說明書修正本(89年5月)

A4
C4

473887

(以上各欄由本局填註)

發 明 專 利 說 明 書

一、發明 名稱	中 文	具有積體電路晶片及載體安裝之金屬基板
	英 文	"METAL SUBSTRATE HAVING AN IC CHIP AND CARRIER MOUNTING"
二、發明 人	姓 名	1.史帝芬 W. 麥考利 2.偉恩 羅素 史托 3.詹姆士 渥倫 威爾遜
	國 籍	1.2.3. 均美國
三、申請人	住、居所	1.美國紐約州維斯托市西摩號1405號 2.美國賓州新密爾佛市112D號信箱RR2 3.美國賓州維斯托市大街409號
	姓 名 (名稱)	美商萬國商業機器公司
三、申請人	國 籍	美國
	住、居所 (事務所)	美國紐約州阿蒙市
三、申請人	代 表 人 姓 名	費羅普

煩請委員明示，本案修正後是否變更原實質內容

裝

訂

線

(由本局填寫)

承辦人代碼：
大 類：
I P C 分類：

A6
B6

本案已向：

國（地區）

申請專利，申請日期：

案號：

，☐有 ☐無主張優先權

美

1997年01月15日

08/783,775

☒有 ☐無主張優先權

有關微生物已寄存於：

，寄存日期：

，寄存號碼：

（請先閱讀背面之注意事項再填寫本頁各欄）

裝
訂
線

五、發明說明(1)

發明領域

本發明通常係關於將積體電路(IC)封裝於晶片載體上，以安裝於電路板或之類的物品上，更特別地是關於用以提供所謂的平面式包封外觀之晶片和載體之安裝。

發明背景

一已使用多年的習知之晶片安裝載體是一種金屬化的陶瓷平面式包封結構。雖然陶瓷本身具有好的特性，但它在使用上也有某些缺點。例如，陶瓷不具特別好的熱傳導特性，因此通常需要一些可移去熱的新技術。此外，陶瓷需要小心的處理，特別是在著火之前的處理以防止破裂。再者，陶瓷在形成必要的陶瓷載體時要求一些操作，因而會產生相當高的成本。

目前已有某些業者試著以有機的載體取代陶瓷的載體，例如充填有玻璃的環氧基樹脂，其特性類似於一電路板，亦即為相同的材料。儘管陶瓷載體的某些缺點已可克服，但它還是有一些缺點，例如它有相當不良的導電性，以及在載體表面上形成所需的良好線電路以供晶片予之連接和在電路板上傳入和傳出信號時皆會有某些技術上的問題。

因此，本發明的一主要目的在於提供一用以將一積體電路晶片安裝於一電路板上之封裝，它包括了一晶片載體，此載體具有改良的熱傳輸特性和好的電子特性，包括一浮動的接地面。

發明概要

根據本發明，係提供一用以將一積體電路晶片安裝於一

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明(2)

電路板或之類的物品上之封裝。此封裝包括一晶片載體，此載體具有一包括第一和第二相對表面的金屬基板。最好該金屬基板是由其一面或兩面上鍍有鉻的銅材料形成。一介電覆層設於該表面的至少一面上，且該介電覆層最好是聚乙醯胺，其厚度最好比約20微米為小，且其介電常數最好是由約3.5至約4.0。此介電覆層上設有電子電路，該電路包括晶片安裝墊、連接墊以及使晶片安裝墊和連接墊連接的電路圖線。

一IC晶片被裝設於金屬基板之覆有該介電覆層的表面上。此安裝可以利用焊料以覆晶式固接，以做機械式或電子式的互連，或是以黏接式地使晶片安裝於電路板並使用線固接電子式連接的方式達成。在任一種情況下，IC晶片是以焊料球或線固接連接的方式電性連接於晶片安裝墊上。電子引線由該晶片載體上的連接墊延伸，並連接到一電路板或類似的物品上之對應的墊上，以提供IC晶片的I/O信號。在某些實施例中，也可將其他的散熱片裝設於晶片載體上，此外在某些實施例，晶片也可裝設在晶片載體的兩面上，以增加晶片載體的容量。

圖式之簡述

圖1所示是一積體電路晶片和晶片載體的封裝之一部分的底視圖，其中某些部分被剖面，以利觀察；

圖2所示為圖1之晶片和晶片載體的縱向截面視圖，以顯示安裝在一電路板的封裝。

圖3所示為根據本發明之安裝於一電路板上之封裝的另

五、發明說明(3)

一個實施例的縱向截面視圖；

圖4所示為本發明之使用一額外的散熱片之另一個實施例的縱向截面視圖；

圖5所示為根據本發明之一亦使用一額外的散熱片但結構不同的另一實施例的縱向截面視圖；和

圖6所示為本發明之於載體兩面具有晶片和亦使用一額外的散熱片之實施例的縱向截面視圖。

較佳實施例之描述

現參考圖式，圖1和2係說明根據本發明之一安裝於一電路板上之積體電路(IC)的晶片封裝之實施例圖。

該封裝包括一以符號10表示的晶片載體，其包括有一金屬基板12，最好該金屬基板為一其相對側皆鍍有鉻16和18的銅心14。但是，如此處將說明者，也可使用其他的金屬，如純銅、不變銅(銅和鎳的合金)、銅-不變銅-銅(C-I-C)以及其他這類的金屬，然而以鍍有鉻的銅為最佳的材料，因為它是一相當好的電導體，並具有好的熱導特性，以致於能如同一散熱片的形式操作。基本上，基板12之厚度約為0.025英吋，但其厚度可以在0.010英吋到0.040英吋的範圍之間。一厚度小於0.010英吋的基板，特別會降低基板作為一熱的擴散者的有效性。而大於0.040英吋的基板則會使封裝過大和過重，並不能額外的提供任何散熱。

一介電材料20的厚層被施於基板10上覆有鉻16的表面上，其介電常數最好在約3.5到4.0之間。最好的介電材料是聚乙醯胺。此聚乙醯胺最好是以噴灑的方式施加，如此

五、發明說明(4)

可允許一較均勻的厚覆層。但是，該聚乙醯胺也可以旋塗方式覆蓋。其他的介電材料，如環氧基樹脂、聚四氟乙烯等也可作為介電層的材料；但是聚乙醯胺是最好的，因為它的施加方式很簡單，具有均勻的覆層且能維持於表面上，且厚度低至約6微米(這是最好的厚度)也不會產生缺點。但是，高至約20微米的厚度也可。覆層愈薄其效果愈好，因為該銅心之作用如同一浮動的接地面，且介電層的厚度愈薄，金屬基板12的效果愈佳。實際上，當聚乙醯胺20的厚度約為6微米時，基板12的效率約為其理想效率的95%，而在聚乙醯胺20的厚度為20微米時，基板的效率則降到約理想值的50%而已。因此，大約20微米的厚度是介電材料20的最大所需厚度，而厚度6微米或以下者則是最佳的厚度。

電子電路是形成於介電材料20的表面上，此電子電路包括晶片附接墊22、連接墊24和電路圖線26。該電路最好是由光阻技術形成，其係如已知的方式，利用濺鍍方式沉積金屬和減性蝕刻的方式達成。基本上，金屬被濺射沉積至約6微米的厚度，但是，該金屬的厚度範圍可在約4微米至8微米之間。比4微米薄的金屬會使電路斷接，而大於8微米厚度的金屬則會防礙良好的電路特性之產生。

提供一IC晶片30以經由一導電性的環氧基樹脂32固定於基板12的表面上。該IC晶片30具有多個I/O接點34，它是經由線固接引線36而與晶片附接墊22連接。連接墊24上設有電線38。在形成了墊22和24以及圖線26以後，施加一

五、發明說明(5)

可能是聚乙醯胺的保護覆層42。但是，尚可使用其他的覆層，如環氧基樹脂。該覆層可以以圖型方式或網孔篩製的方式製成，或是在若使用光感性的覆層的情況下，則可使用一光微影的技術佈圖該覆層。保護層42被加於電路圖線26上，留下晶片附接墊22和連接墊24露出，以供連接。

線固接36被連接於它們個別的I/O接點34和晶片附接墊22上，最好是以熱音速(thermosonic)的方式固接。電線38最好以焊料連接的方式(未顯示)固定於它們個別的附接墊24上。也可以本行已知的方式使用其他的連接形式，如導電的環氧樹脂。

在IC晶片30已以環氧樹脂32而被固定於基板12上以及電線38被連接了以後，基板12的整個表面皆被覆以一環氧樹脂封囊劑44。

為能使晶片和晶片載體封裝安裝於一電路板上，電線38係連接於電路板48上的接點46上。

金屬基板12的使用比金屬化的陶瓷基板多了幾項優點。其一是金屬基板12具有相當的彈性，因而可降低因熱衝程或機械處理而產生的破裂(這是和陶瓷載體比較起來，特別在未加工的(green)狀態下)現象。另一個非常特別的優點是金屬具有非常優秀的熱導特性，因而可比陶瓷基板更有效率地允許熱很快的散出。此外，金屬基板可提供一用於接點和電路的浮動接地面，它對於一個6微米程度的薄介電層而言特別地有利。

再者，一必須考慮的因素是因為金屬基板之故，IC晶片

五、發明說明(6)

30和載體10之間的熱膨脹係數有很大的不同。一由矽所形成的IC晶片之熱膨脹係數(CTE)約在3-4ppm/°C的範圍內，而銅的熱膨脹係數在18ppm/°C。為減少因熱不匹配而造成失敗的機會，必須確使晶片非常的薄，因此增加了其彈性。實際上，晶片的厚度不能超過20密爾(mil)，最好小於18密爾。若晶片比這些限制為薄，則可以確定以一本身即以相當有彈性的導電的環氧樹脂安裝晶片的彈性。如此可降低因為熱循環而產生的損害現象。當然，基板12的不同材質之選擇(如銅-不變銅-銅或不變銅)也可減少晶片30和基板12之CTE's的不匹配現象。

圖3所示為本發明的另一實施例，其中可使用覆晶式固接的技術形成載體和晶片的封裝。如圖3所示者，一IC晶片52是經由焊料球54而安裝於晶片附接墊22上。如傳統的覆晶式安裝技術，一增強的環氧基樹脂56被設置於晶片52和圍繞該焊料球54的載體12之間。此增強型的環氧基樹脂有助於防止因為熱不匹配所造成的損害。在本實施例中，在基板12的端處和基板12的相對表面上設有絕緣材料58，使得引線60可與該基板電性絕緣。在此情況下，引線60使連接墊24與電路板48上的接點46連接。

若需要額外的散熱時，可使用如圖4所示的實施例，其中一外加的散熱片62被裝設於基板12上之與裝設有晶片的相反側上。該散熱片62可以導電樹脂以一已知的方式連接。圖4亦顯示如何將一覆晶式晶片52固接於載體上連接有一線固接晶片30的相同側上。

五、發明說明(7)

圖5顯示另一個實施例，其中設有一外加的散熱片62，但是該散熱片是以導電的環氧樹脂63固接於封囊該晶片的環氧基樹脂44頂部。

圖6顯示之實施例中晶片係設置在晶片載體10的兩個表面上。本實施例使用如圖3的覆晶式技術以使晶片設於基板的兩側。當然，也可使用線固接方式使晶片固接於兩側上，或是一側使用線固接技術，另一側使用覆晶式技術。此時，散熱片62可選擇性地設於一側，而若空間允許，則該散熱片也可設於兩側上。

綜上，本發明之較佳實施例已敘述於上。但是，應了解上述說明僅為例示，本發明並不限於本文所描述的特定實施例，不同的配置、修改和取代皆不脫離本發明之真正精神，如本文後附之申請專利範圍所敘述者。

(請先閱讀背面之注意事項再填寫本頁)

訂

四、中文發明摘要(發明之名稱: 具有積體電路晶片及載體安裝之金屬基板)

此處提供一用以將一積體電路晶片安裝於一電路板或之類的基座上之封裝。此封包包括一晶片載體，它具有一包括第一和第二個面之金屬基板。至少該表面之一設有一介電覆層，它的厚度最好小於20微米，且其介電常數最好約在3.5至4.0。電子電路被配置於該介電覆層之上，該電路包括晶片安裝墊、連接墊和使該晶片安裝墊與該連接墊連接的電路圖線。一IC晶片是以覆晶式(flip-chip)或線固接或黏貼連接的方式安裝於該金屬基板之具有介電覆層的表面上。在任何情況下，該IC晶片是以焊料球或線固接的連接方式與該晶片安裝墊電性連接。電引線由晶片載體上的連接墊延伸，並且和電路板上或之類的物品上的對應墊連接。在某些實施例中，可將其他的散熱片(sink)裝設於晶片載體上，同時在某些實施例中，晶片也可裝置於晶片載體的兩側上，以增加晶片載體的容量。

英文發明摘要(發明之名稱: METAL SUBSTRATE HAVING AN IC CHIP AND CARRIER MOUNTING)

A package for mounting an integrated circuit chip to a circuit board or the like is provided. The package includes a chip carrier which has a metal substrate including first and second opposed faces. A dielectric coating is provided on at least one of the faces, which preferably is less than about 20 microns in thickness, and preferably has a dielectric constant from about 3.5 to about 4.0. Electrical circuitry is disposed on the dielectric coating, said circuitry including chip mounting pads, connection pads and circuit traces connecting the chip mounting pads to the connection pads. An IC chip is mounted by flip chip or wire bonding or adhesive connection on the face of the metal substrate which has the dielectric coating thereon. In any case, the IC chip is electrically connected to the chip mounting pads either by the solder ball or wire bond connections. Electrical leads extend from the connection pads on the chip carrier and are connected to corresponding pads on a circuit board or the like to provide I/O signals for the IC chip. In certain embodiments, additional heat sinks can be attached to the chip carrier and, also in certain embodiments, chips can be mounted on both sides of the chip carrier to increase the capacity of the chip carrier.

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

水

六、申請專利範圍

1. 一種用以安裝一積體電路晶片至一電路板或類似的物品上之封裝，包含：
 - 一晶片載體，該晶片載體包含一金屬基板並具有第一和第二相對的表面；
 - 一有機介電層，直接設置於該表面至少之一上；
 - 該介電覆層之厚度小於約20微米；
 - 設置於該介電層上的電子電路，該電子電路具有晶片安裝墊，位於該晶片載體周圍之連接墊和使該晶片安裝墊與該連接墊連接的電路圖線；
 - 一裝設於該基板的一表面上之積體電路晶片；
 - 該積體電路晶片具有I/O接點；
 - 電子連接，使該積體電路上的該I/O接點與該晶片安裝墊連接；和
 - 由該連接墊延伸的電子引線，以提供I/O信號至該積體電路晶或來自該積體電路晶片的I/O信號，該封裝係不含任何陶瓷材料。
2. 如申請專利範圍第1項之封裝，其中該介電材料是聚乙醯胺。
3. 如申請專利範圍第1項之封裝，其中該積體電路晶片是經由線固接的方式與該晶片安裝墊連接。
4. 如申請專利範圍第1項之封裝，其中該積體電路晶片是以覆晶式固接互連的方式與該晶片安裝墊連接。
5. 如申請專利範圍第1項之封裝，其中該金屬基板包括一

(請先閱讀背面之注意事項再填寫本頁)

訂

六、申請專利範圍

- 銅層，和其中該積體電路晶片之厚度不超過20密爾。
6. 如申請專利範圍第1項之封裝，其中該介電之介電係數約在3.5到4.0之間。
7. 如申請專利範圍第1項之封裝，其中該介電層的厚度不大於約6微米。
8. 如申請專利範圍第1項之封裝，其中該金屬基板是一覆有鉻之銅。
9. 如申請專利範圍第1項之封裝，其中該介電是設於該基板的兩個表面上，和電子電路是設於該基板的兩個表面上，一積體電路晶片是裝設於該基板的兩個表面上。
10. 如申請專利範圍第1項之封裝，其中該晶片載體上連接有一散熱片。
11. 如申請專利範圍第10項之封裝，其中該散熱片係裝設於該基板之不裝設有晶片的表面上。
12. 如申請專利範圍第10項之封裝，其中該散熱片係裝設於該基板之裝設有晶片的表面上。
13. 如申請專利範圍第1項之封裝，其特徵另在於將該電線連接於一電路板或類似的物品上。
14. 一種用以安裝一積體電路晶片之方法，包含下列步驟：
- 提供一晶片載體，該晶片載體包含一金屬基板並具有第一和第二相對的表面；
- 施加一介電層於該表面的至少一表面上；
- 該介電覆層之厚度小於約20微米；

六、申請專利範圍

提供電子電路於該介電層上，該電子電路具有晶片安裝墊、連接墊和使該晶片安裝墊與該連接墊連接的電路圖線；

提供一具有I/O接點的積體電路晶片；

將該積體電路晶片安裝於該基板的一表面上，其具有一電性連接，使該積體電路晶片上之I/O接點與該晶片安裝墊連接；

連接由該連接墊延伸的電子引線，以提供I/O信號至該積體電路晶或來自該積體電路晶片的I/O信號。

15.如申請專利範圍第14項之方法，其中該介電材料是聚乙醯胺。

16.如申請專利範圍第14項之方法，其中該積體電路晶片是經由線固接的方式與該晶片安裝墊連接。

17.如申請專利範圍第14項之方法，其中該積體電路晶片是以覆晶式固接互連的方式與該晶片安裝墊連接。

18.如申請專利範圍第14項之方法，其中該介電層的厚度不大於約6微米。

19.如申請專利範圍第14項之方法，其中該介電材料是覆蓋於該基板的兩個表面上，和電子電路是形成於該基板的兩個表面上，一積體電路晶片是裝設於該基板的兩個表面上。

20.如申請專利範圍第14項之方法，其特徵尚在於將一散熱片連接於該晶片載體上。

六、申請專利範圍

- 21.如申請專利範圍第20項之方法，其中該散熱片係裝設於該基板之未裝設有晶片的表面上。
- 22.如申請專利範圍第20項之方法，其中該散熱片係裝設於該基板之裝設有晶片的表面上。
- 23.如申請專利範圍第14項之方法，其特徵尚在於一使該電線連接於一電路板或類似的物品上之墊上。

(請先閱讀背面之注意事項再填寫本頁)

訂

89100113

45

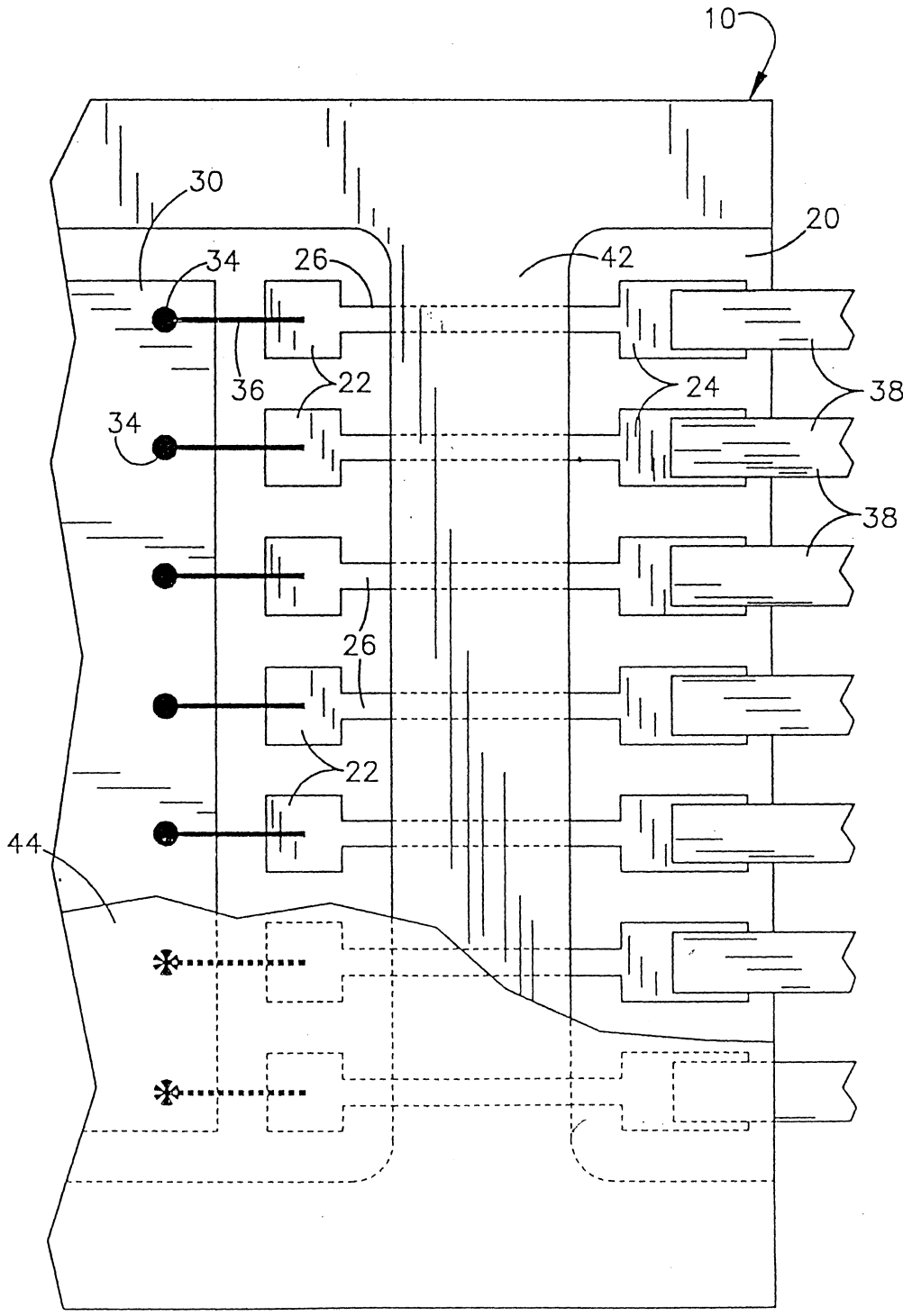


圖 1

圖 2

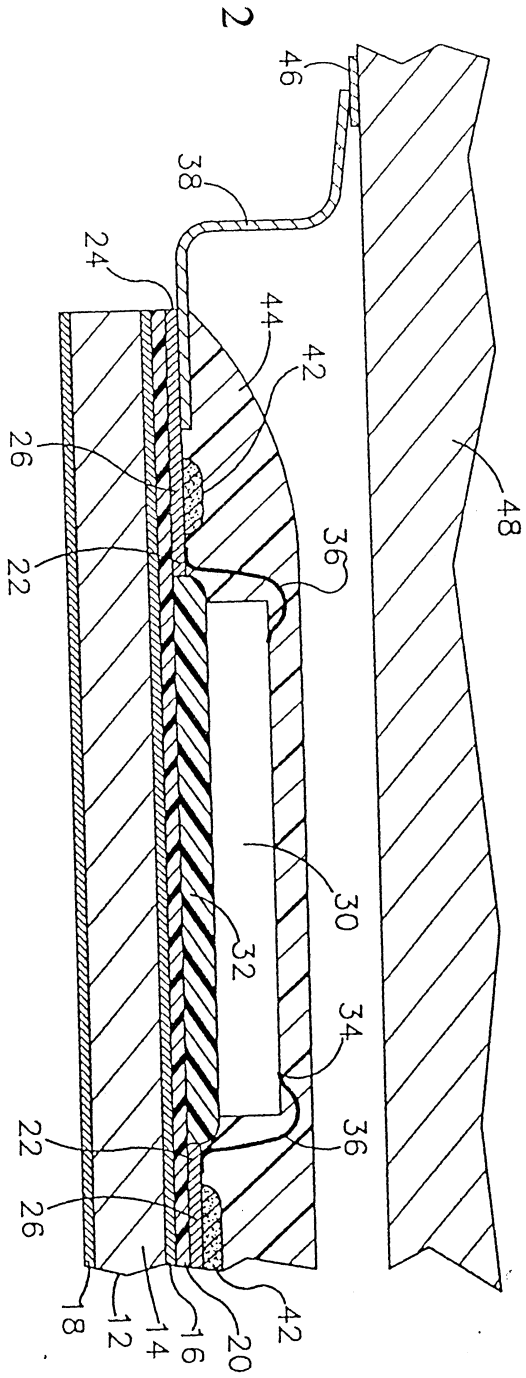


圖 3

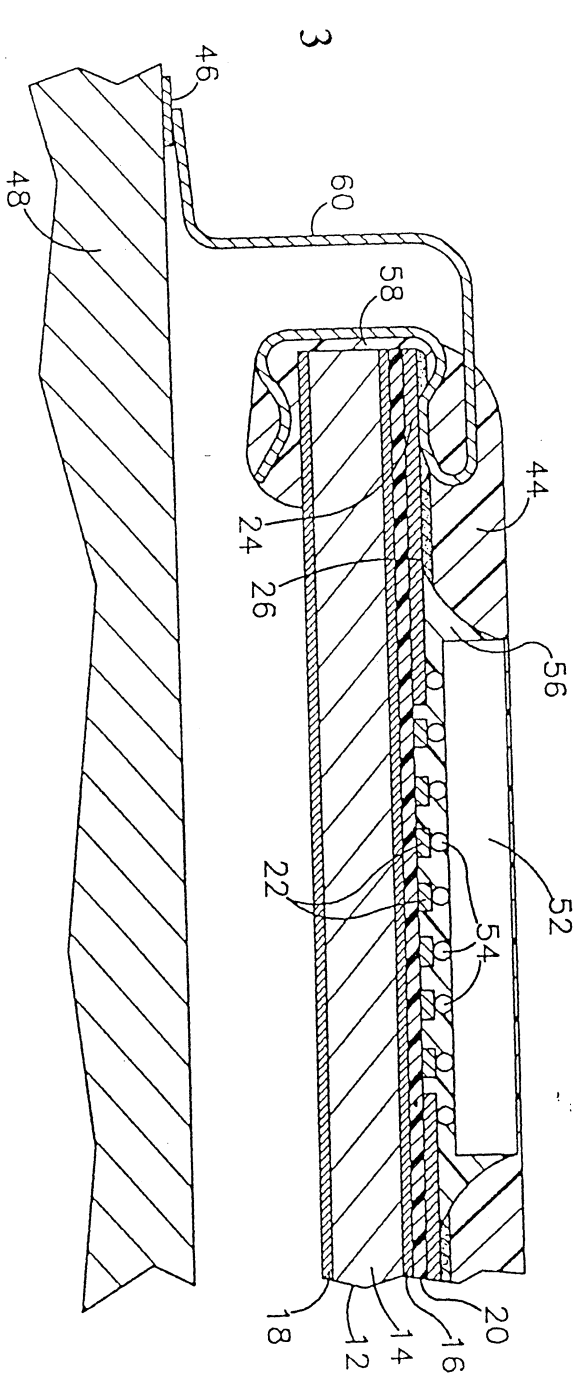


圖 4

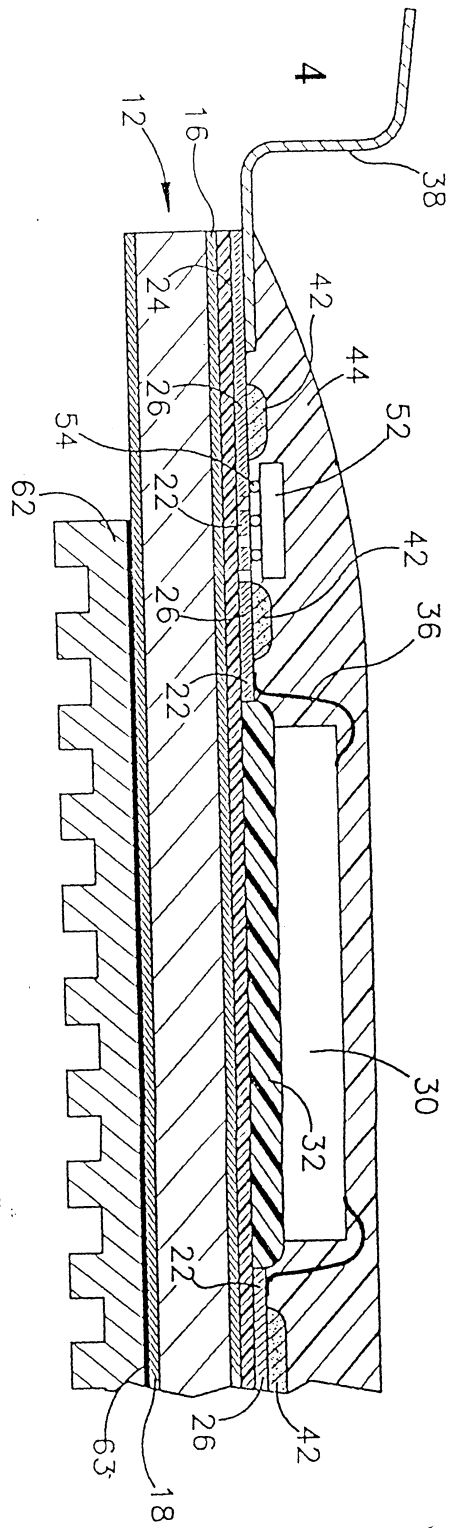
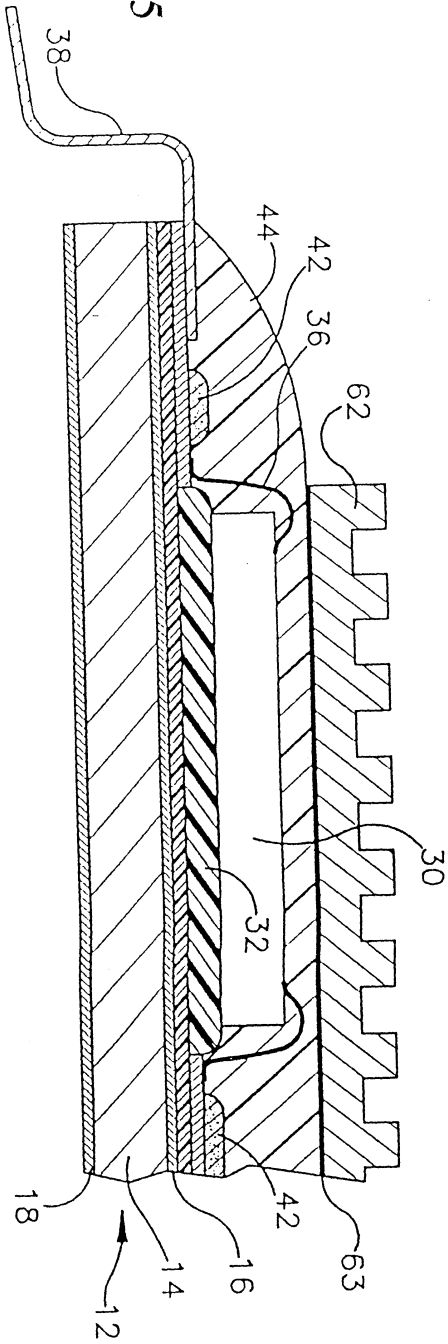
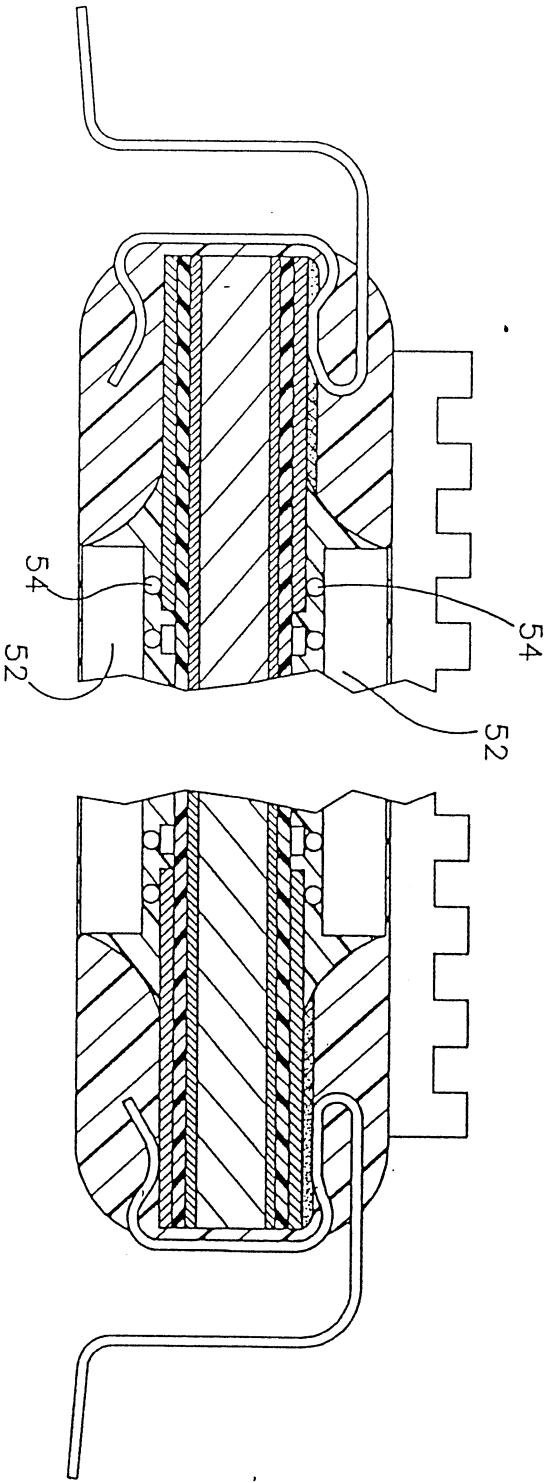


圖 5





圖