

ČESKOSLOVENSKÁ  
SOCIALISTICKÁ  
REPUBLIKA  
(19)



FEDERÁLNÍ ÚŘAD  
PRO VYNÁLEZY

# POPIS VYNÁLEZU K AUTORSKÉMU OSVĚDČENÍ

267 617

(11)

(13) B1

(51) Int. Cl.<sup>4</sup>  
G 06 F 15/62  
G 06 K 15/00

(21) PV 8039-37.Y  
(22) Přihlášeno 09 11 87

(40) Zveřejněno 13 06 89  
(45) Vydáno 07 06 90

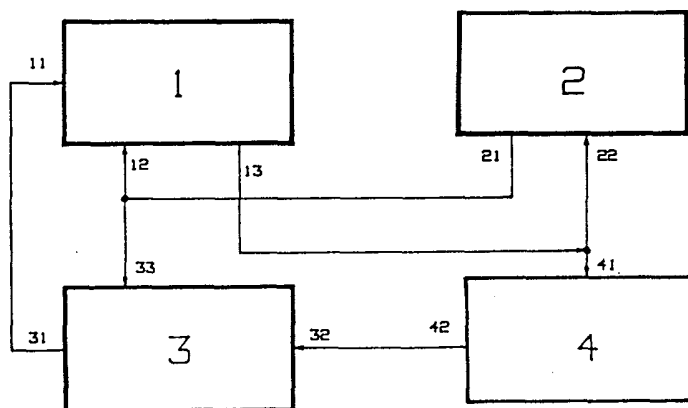
(75)  
Autor vynálezu

BRÁZDIL JAROSLAV ing., PODĚBRADY,  
LHOTA JAN ing.,  
MAŠEK KAREL,  
RŮŽIČKA IVOJ ing. CSc., PRAHA,  
SVOBODA JOSEF, KOLÍN

(54)

Zapojení zobrazovací jednotky

(57) Řešení se týká zapojení zobrazovací jednotky a spadá do oboru periferních zařízení číslicových počítačů. Podstatou je propojení vstupů a výstupů jednotlivých bloků: procesorové jednotky, paměti, řadiče obrazu a adresového dekodéru. Využití je v systémech pro řízení kopírovacích strojů.



Vynález se týká zapojení zobrazovací jednotky a spadá do oboru periferních zařízení číslicových počítačů.

Současné zobrazovací jednotky jsou zařízení, jejichž zapojení jsou do značné míry ustálená a jsou dána typem několika speciálních integrovaných obvodů, které jsou v jednotce použity.

Nevýhodou takového zapojení zobrazovací jednotky je vysoká cena a někdy i špatná dostupnost speciálních integrovaných obvodů a tím i špatná opravitelnost zobrazovací jednotky.

Uvedené nevýhody jsou do značné míry odstraněny zapojením zobrazovací jednotky dle vynálezu, jehož podstata spočívá v tom, že řadič obrazu je svým přerušovacím výstupem spojen s přerušovacím vstupem procesorové jednotky, svým datovým vstupem je spojen s datovým vstupem - výstupem procesorové jednotky a současně s datovým výstupem paměti. Svým zápisovým vstupem je řadič obrazu připojen na zápisový výstup adresového dekodéru, jehož adresový vstup je připojen na adresový vstup paměti a současně na adresový výstup procesorové jednotky.

Výhodou uvedeného zapojení je ušetření speciálního integrovaného obvodu řadiče přímého vstupu do paměti a zrychlení přenosu dat použitím současného čtení a zápisu dat v jednom cyklu, čímž je rozšířena možnost dělení zobrazovacího pole do více částí.

Příklad zapojení podle vynálezu je popsán na připojeném výkresu, znázorňujícím blokové schéma zapojení:

Řadič 3 obrazu je svým přerušovacím výstupem 31 spojen s přerušovacím vstupem 11 procesorové jednotky 1 a svým datovým vstupem 33 připojen na datový vstup - výstup 12 procesorové jednotky 1 a současně na datový výstup 21 paměti 2. Zápisový vstup 32 řadiče 3 obrazu je spojen se zápisovým výstupem 42 adresového dekodéru 4. Adresový vstup 41 adresového dekodéru 4 je spojen s adresovým vstupem 22 paměti 2 a současně s adresovým výstupem 13 procesorové jednotky 1.

Řadič 3 obrazu zobrazuje data, která má ve své vnitřní paměti. Po zobrazení dat a tím i po vyprázdnění své vnitřní paměti pomocí svého přerušovacího výstupu 31 požádá přes přerušovací vstup 11 procesorové jednotky 1 tuto procesorovou jednotku 1 o nové naplnění své vnitřní paměti. V obvyklých zapojeních je v tomto okamžiku aktivován speciální integrovaný obvod přímého vstupu do paměti 2, který naplnění řadiče 3 obrazu z paměti 2 provede. V zapojení podle vynálezu je tento obvod vynechán a místo něj je použit snadno realizovatelný dekodér. Naplnění vnitřní paměti řadiče 3 obrazu z paměti 2 se děje tak, že procesorová jednotka 1 generuje čtecí cyklus z adres paměti 2, na kterých jsou data pro řadič 3 obrazu. Během přenosu dat z paměti 2 do procesorové jednotky 1 generuje adresový dekodér 4 zápisový impuls do řadiče 3 obrazu, čímž se data z paměti 2 do řadiče 3 obrazu zapíší.

Využití přichází v úvahu v systémech pro řízení kopírovacích strojů.

#### PŘEDMĚT VYNÁLEZU

Zapojení zobrazovací jednotky vyznačené tím, že přerušovací výstup (31) řadiče (3) obrazu je spojen s přerušovacím vstupem (11) procesorové jednotky (1), datový vstup (33) řadiče (3) obrazu je připojen na datový vstup - výstup (12) procesorové jednotky (1) a současně na datový výstup (21) paměti (2), zápisový vstup (32) řadiče (3) obrazu je spojen se zápi-

sovým výstupem (42) adresového dekodéru (4), zatímco adresový vstup (41) adresového dekodéru (4) je připojen na adresový vstup (22) paměti (2) a současně na adresový výstup (13) procesorové jednotky (1).

1 výkres

