

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第4274597号
(P4274597)

(45) 発行日 平成21年6月10日 (2009. 6. 10)

(24) 登録日 平成21年3月13日 (2009. 3. 13)

(51) Int. Cl.

F I

G 1 1 C 11/4074 (2006. 01)

G 1 1 C 11/34 3 5 4 F

G 1 1 C 11/413 (2006. 01)

G 1 1 C 11/34 3 3 5 A

請求項の数 4 (全 14 頁)

(21) 出願番号	特願平10-148899	(73) 特許権者	503121103
(22) 出願日	平成10年5月29日 (1998. 5. 29)		株式会社ルネサステクノロジ
(65) 公開番号	特開平11-339472		東京都千代田区大手町二丁目6番2号
(43) 公開日	平成11年12月10日 (1999. 12. 10)	(74) 代理人	100064746
審査請求日	平成17年5月25日 (2005. 5. 25)		弁理士 深見 久郎
		(74) 代理人	100085132
			弁理士 森田 俊雄
		(74) 代理人	100083703
			弁理士 仲村 義平
		(74) 代理人	100096781
			弁理士 堀井 豊
		(74) 代理人	100098316
			弁理士 野田 久登
		(74) 代理人	100109162
			弁理士 酒井 将行

最終頁に続く

(54) 【発明の名称】 半導体集積回路装置

(57) 【特許請求の範囲】

【請求項 1】

半導体集積回路装置であって、
 外部電源電位より低い内部電源電位を受けて動作する内部回路と、
 前記外部電源電位を伝達する外部電源配線と、
 前記内部電源電位を前記内部回路に伝達する第1の内部電源配線と、
 前記外部電源配線から供給される外部電源電位を受けて前記内部電源電位に変換し、前記第1の内部電源配線に供給する第1の電圧変換手段とを備え、
 前記第1の電圧変換手段は、
 前記内部電源電位の基準値である参照電位を生成する参照電位発生手段と、
 前記第1の内部電源配線の電位が前記参照電位より低い場合に、前記外部電源配線から前記第1の内部電源配線に、第1の電流駆動能力で電流を供給する第1の電圧降下手段と、
 前記内部回路の活性化に応じて動作し、前記第1の内部電源配線の電位が前記参照電位より低い場合に、前記外部電源配線から前記第1の内部電源配線に、前記第1の電流駆動能力より高い第2の電流駆動能力で電流を供給する第2の電圧降下手段と、
 前記第2の電流駆動能力を前記半導体集積回路装置の動作周波数に応じて制御する駆動能力制御手段とを含み、
 前記駆動能力制御手段は、
 前記内部回路の活性化時に、前記動作周波数に対応した周期を有する外部クロック信号を

10

20

受けて、第 1 の電圧レベルと第 2 の電圧レベルとを有する周期的な 2 値信号であり、前記動作周波数に応じて、前記第 1 の電圧レベルとなる第 1 の期間と前記第 2 電圧レベルとなる第 2 の期間の比率を調整した制御パルス信号を生成する制御パルス信号生成手段と、

前記制御パルス信号の前記第 1 の期間と前記第 2 の期間との比率に応じた電圧レベルを有する前記制御信号を生成する制御信号生成手段とを含み、

前記第 2 の電圧降下手段は、

前記内部電源電位を供給する第 1 の内部電源配線の電位と前記参照電位との差を増幅して出力する差動増幅手段と、

前記外部電源配線と前記第 1 の内部電源配線との間に接続され、前記差動増幅手段の出力を受けて、前記第 1 の内部電源配線の電位が前記参照電位より低い場合に前記外部電源配線から前記第 1 の内部電源配線に電流を供給する電流供給手段と、

前記制御信号の電圧レベルに応じた電流を前記差動増幅手段に供給することにより、前記第 2 の電流駆動能力を制御する電流制御手段とを含む、半導体集積回路装置。

【請求項 2】

前記制御パルス信号生成手段は、

前記外部クロックを遅延させた遅延信号を出力する遅延回路と、

前記外部クロック信号と前記遅延信号とが入力され、前記制御パルス信号を出力する論理回路とを有し、

前記制御信号生成手段は、

ソースが前記第 1 の内部電源配線と結合する第 1 導電型の第 1 の MOS トランジスタと

、
前記第 1 導電型の MOS トランジスタを介して、前記第 1 の内部電源配線と結合する内部ノードと、

前記第 1 の内部電源配線に対応する接地配線と、

前記内部ノードと前記接地配線との間に結合される第 2 導電型の第 2 の MOS トランジスタと、

前記内部ノードと前記接地配線との間に結合されるキャパシタと、

前記内部ノードの電位を平滑して前記制御信号を出力するローパスフィルタとを含み、

前記第 1 および第 2 の MOS トランジスタは、前記制御パルス信号を各々の制御電極に受けて導通状態が制御され、

前記キャパシタは、前記第 1 および第 2 の MOS トランジスタの導通状態に応じて前記内部ノードの電位を調整する請求項 1 記載の半導体集積回路装置。

【請求項 3】

前記制御パルス信号生成手段は、

前記外部クロック信号を分周する分周手段をさらに有し、

前記分周手段によって得られた信号の周波数に基づいて、前記制御パルス信号を生成する、請求項 1 記載の半導体集積回路装置。

【請求項 4】

前記外部電源配線から前記外部電源電位を受けて前記内部電源電位に変換する第 2 の電圧変換手段と、

前記第 2 の電圧変換手段から前記内部電源電位を伝達する前記第 2 の内部電源配線とをさらに備え、

前記第 1 導電型の第 1 の MOS トランジスタのソースは、前記第 2 の内部電源配線と結合する、請求項 2 に記載の半導体集積回路装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、外部より供給された電源電位をより低い内部電源電位に変換する電圧降下回路 (Voltage Down Converter ; VDC) を備える半導体集積回路装置に関し、動作周波数に応じた電流駆動能力を制御することができる電圧降下回路の構成に関するものである。

10

20

30

40

50

【 0 0 0 2 】

【 従来の技術 】

近年、ＬＳＩメモリの低電圧動作化が進んでいる。その中で、半導体集積回路装置内部のトランジスタは、外部から印加される電源電圧よりも低い電圧によって、動作することが強く要求されるようになってきている。ＬＳＩメモリの消費電力の低減およびトランジスタの微細化に伴う信頼性の確保が低電圧化の主な目的である。

【 0 0 0 3 】

特に、ＤＲＡＭ（Dynamic Random Access Memory）では、メモリセルにおける容量蓄積部となるキャパシタの誘電体膜の信頼性確保の面から、低電圧化は重要な課題である。

【 0 0 0 4 】

これらの理由によって、半導体集積回路装置の内部素子を駆動する電源電圧の上限は、世代を追うにつれて全体システムで用いられる外部電源電圧に対して低下してきている。

【 0 0 0 5 】

この要求に応えるために、外部電源から供給された電圧を受けて、半導体集積回路装置内部において安定した内部電源電圧を発生する回路として電圧降下回路が設けられている。

【 0 0 0 6 】

図 1 1 は、従来の電圧降下回路の一般的な構成を示すための概略ブロック図である。

【 0 0 0 7 】

図 1 1 を参照して、電圧降下回路 1 0 は、外部電源電圧（以下 $E_{ext} \cdot V_{cc}$ という）を外部電源配線 7 0 より受けて、変換された内部電源電圧（以下 $I_{nt} \cdot V_{cc}$ という）を内部電源配線 8 0 に出力する。内部電源配線 8 0 は、 $I_{nt} \cdot V_{cc}$ を周辺回路 2 1 , アレイ制御回路 2 2 等へ供給する。

【 0 0 0 8 】

電圧降下回路 1 0 は、 $I_{nt} \cdot V_{cc}$ のレベルの基準値である参照電位（以下 V_{ref} . という）を生成する基準電位発生部 1 1 と、 V_{ref} . に基づいて、 $E_{ext} \cdot V_{cc}$ を $I_{nt} \cdot V_{cc}$ に変換する電圧降下部 1 2 とを含む。

【 0 0 0 9 】

図 1 2 は、複数の電圧降下部を含む従来の構成の電圧降下回路 2 0 0 0 の回路図である。

【 0 0 1 0 】

図 1 2 を参照して、電圧降下回路 2 0 0 0 は、電圧降下部 1 2 として活性時電圧降下回路 4 0 0 （以下活性時用 V_{DC} という）と待機時電圧降下回路 4 1 0 （以下待機時用 V_{DC} という）とを含む。さらに、電圧降下回路 2 0 0 0 は、 $I_{nt} \cdot V_{cc}$ を分圧し、上記活性時用 V_{DC} 4 0 0 および待機時用 V_{DC} 4 1 0 にフィードバックする分圧回路 4 2 0 とを含む。また、内部電源配線 4 4 0 は、内部回路群に負荷電流を供給する。

【 0 0 1 1 】

まず、上記活性時用 V_{DC} 4 0 0 の動作を説明する。

活性時用 V_{DC} 4 0 0 は、カレントミラータイプの差動増幅器 4 0 5 を構成するトランジスタ 4 0 1 ~ 4 0 4 と、トランジスタ 4 0 1 ~ 4 0 4 の駆動電流を制御する電流制御トランジスタ 4 0 6 と、外部電源配線 4 3 0 と内部電源配線 4 4 0 との間に接続される P 型のドライバトランジスタ 4 0 7 とを備える。

【 0 0 1 2 】

差動増幅器 4 0 5 は、 V_{ref} . と分圧回路 4 2 0 によって分圧された $I_{nt} \cdot V_{cc}$ である電圧 $V_{i'}$ とをトランジスタ 4 0 1 および 4 0 2 のゲートに受けて、両者の差を増幅してドライバトランジスタ 4 0 7 のゲートに出力する。

【 0 0 1 3 】

上記 $V_{i'}$ が V_{ref} . より低い、すなわち $I_{nt} \cdot V_{cc}$ の電位が所望のレベルより低下している場合、差動増幅器 4 0 5 は、両者の電位差が増幅されたマイナスの電位を、ドライバトランジスタ 4 0 7 のゲートに出力する。この時、ドライバトランジスタ 4 0 7 はゲート電位の低下に見合う電流を、外部電源配線 4 3 0 から内部電源配線 4 4 0 に供給する。これにより、 $I_{nt} \cdot V_{cc}$ の電位は回復する。

10

20

30

40

50

【 0 0 1 4 】

一方、上記 $V_{i'}$ が V_{ref} とほぼ等しい場合、すなわち $I_{nt} \cdot V_{cc}$ が所望のレベルである場合には、差動増幅器 405 によって、ドライバトランジスタ 407 は非導通となり、内部電源配線 440 には電流が供給されない。

【 0 0 1 5 】

上記の動作により、 $I_{nt} \cdot V_{cc}$ は所望の一定レベルに保たれる。

しかし、実際には $I_{nt} \cdot V_{cc}$ の変動をフィードバックして差動増幅器 405 で増幅し、ドライバトランジスタ 407 のゲート電位を変化させて内部電源配線 440 に電流を供給する一連の動作は、時間的な遅延を生じさせる。

【 0 0 1 6 】

このため、 $I_{nt} \cdot V_{cc}$ のレベルには、アンダーシュートやオーバーシュートといった過渡的な変動が生じる。

【 0 0 1 7 】

この変動を改善するために、差動増幅器 405 の応答性を向上させて、 V_{DC} の電流駆動能力を大きくする必要がある。具体的には、差動増幅器 405 を構成するトランジスタ 401 ~ 404 の駆動電流を大きくすることが必要である。

【 0 0 1 8 】

しかし、トランジスタの駆動電流を大きくすることは、消費電力の増大につながる。

【 0 0 1 9 】

一般に、半導体集積回路装置は、動作選択がなされた場合（以下活性化時という）と、それ以外の場合（以下待機時という）では、内部回路群で消費される負荷電流が大きく異なる。

【 0 0 2 0 】

よって、負荷電流が大きい活性化時には、 $I_{nt} \cdot V_{cc}$ の安定化を図るために V_{DC} の電流駆動能力を大きくする必要がある一方で、 $I_{nt} \cdot V_{cc}$ の変動が小さい待機時には、 V_{DC} の電流駆動能力は小さいもので十分である。

【 0 0 2 1 】

そこで、 $I_{nt} \cdot V_{cc}$ の変動に対する良好な追従性と、消費電力の低減とを両立するために、待機時用 V_{DC} 410 が必要となる。待機時用 V_{DC} 410 の基本的な構成および動作は活性時用 V_{DC} と同じである。

【 0 0 2 2 】

しかし、待機時用 V_{DC} 410 において、電流制御トランジスタ 416 は、差動増幅器 415 を構成するトランジスタ 411 ~ 414 に、常に一定の微小電流を供給するように線型領域で動作する。

【 0 0 2 3 】

一方、活性時用 V_{DC} 400 において、電流制御トランジスタ 406 は、活性化時に “H” レベル、待機時に “L” レベルをとる活性化信号 ϕ をゲートに受けて、活性化時にのみ導通し、待機時は非導通となるように飽和領域で動作する。これにより、活性時用 V_{DC} は、活性化時にのみ電流駆動能力が大きい状態で作動する。

【 0 0 2 4 】

以上のように、駆動電流の小さい差動増幅器を備えた電流駆動能力が小さく消費電流の少ない待機時用 V_{DC} と、駆動電流の大きい差動増幅器を備えた電流駆動能力の大きい活性時用 V_{DC} とを並列に配置して、必要な場合にのみ活性時用 V_{DC} を動作させることにより、常時消費されるスタンバイ電流を増加させずに、活性化時の $I_{nt} \cdot V_{cc}$ の電圧変動に対する応答特性が良好な電圧降下回路を得ることができる。

【 0 0 2 5 】

このような構成の電圧降下回路については、たとえば超 L S I メモリ（伊藤清男著，培風館）pp. 307 ~ 310 に記載されている。

【 0 0 2 6 】

【発明が解決しようとする課題】

10

20

30

40

50

しかしながら、デバイス動作の高速化に伴い、電圧降下回路の応答特性の問題は、さらに重要視されている。

【 0 0 2 7 】

動作周波数に応じた外部クロック信号が印加されるたびに、データの書込や読出といった動作が行なわれるため、活性化時における半導体集積回路装置の負荷電流は、動作周波数に伴って変化する。

【 0 0 2 8 】

デバイスの高速化に伴って、半導体集積回路装置は、より幅広い動作周波数の下で動作するようになっており、たとえば、汎用品のメモリを考えた場合、従来の技術によって高速動作に対応するように設計された電圧降下回路を搭載した半導体集積回路装置は、組み込まれたシステムの動作周波数が低い時には、無駄な電流を消費してしまう。

【 0 0 2 9 】

この発明は、上記のような問題点を解決するためになされたものであって、その目的は、幅広い動作周波数の下で十分な応答特性と消費電力の抑制とを両立できる構成を有する電圧降下回路を備えた、半導体集積回路装置を提供することである。

【 0 0 3 0 】

【課題を解決するための手段】

請求項 1 記載の半導体集積回路装置は、外部電源電位より低い内部電源電位を受けて動作する内部回路と、外部電源電位を伝達する外部電源配線と、内部電源電位を内部回路に伝達する第 1 の内部電源配線と、外部電源配線から供給される外部電源電位を受けて内部電源電位に変換し、第 1 の内部電源配線に供給する第 1 の電圧変換手段とを備え、第 1 の電圧変換手段は、内部電源電位の基準値である参照電位を生成する参照電位発生手段と、第 1 の内部電源配線の電位が参照電位より低い場合に、外部電源配線から第 1 の内部電源配線に、第 1 の電流駆動能力で電流を供給する第 1 の電圧降下手段と、内部回路の活性化に応じて動作し、第 1 の内部電源配線の電位が参照電位より低い場合に、外部電源配線から第 1 の内部電源配線に、第 1 の電流駆動能力より高い第 2 の電流駆動能力で電流を供給する第 2 の電圧降下手段と、第 2 の電流駆動能力を半導体集積回路装置の動作周波数に応じて制御する駆動能力制御手段とを含み、駆動能力制御手段は、内部回路の活性化時に、動作周波数に対応した周期を有する外部クロック信号を受けて、第 1 の電圧レベルと第 2 の電圧レベルとを有する周期的な 2 値信号であり、動作周波数に応じて、第 1 の電圧レベルとなる第 1 の期間と第 2 電圧レベルとなる第 2 の期間の比率を調整した制御パルス信号を生成する制御パルス信号生成手段と、制御パルス信号の第 1 の期間と第 2 の期間との比率に応じた電圧レベルを有する制御信号を生成する制御信号生成手段とを含み、第 2 の電圧降下手段は、内部電源電位を供給する第 1 の内部電源配線の電位と参照電位との差を増幅して出力する差動増幅手段と、外部電源配線と第 1 の内部電源配線との間に接続され、差動増幅手段の出力を受けて、第 1 の内部電源配線の電位が参照電位より低い場合に外部電源配線から第 1 の内部電源配線に電流を供給する電流供給手段と、制御信号の電圧レベルに応じた電流を差動増幅手段に供給することにより、第 2 の電流駆動能力を制御する電流制御手段とを含む。

【 0 0 3 1 】

請求項 2 記載の半導体集積回路装置は、請求項 1 記載の半導体集積回路装置において、制御パルス信号生成手段は、外部クロックを遅延させた遅延信号を出力する遅延回路と、外部クロック信号と遅延信号とが入力され、制御パルス信号を出力する論理回路とを有し、制御信号生成手段は、ソースが第 1 の内部電源配線と結合する第 1 導電型の第 1 の MOS トランジスタと、第 1 導電型の MOS トランジスタを介して、第 1 の内部電源配線と結合する内部ノードと、第 1 の内部電源配線に対応する接地配線と、内部ノードと接地配線との間に結合される第 2 導電型の第 2 の MOS トランジスタと、内部ノードと接地配線との間に結合されるキャパシタと、内部ノードの電位を平滑して制御信号を出力するローパスフィルタとを含み、第 1 および第 2 の MOS トランジスタは、制御パルス信号を各々の制御電極に受けて導通状態が制御され、キャパシタは、第 1 および第 2 の MOS トランジ

スタの導通状態に応じて内部ノードの電位を調整する。

【 0 0 3 3 】

請求項 3 記載の半導体集積回路装置は、請求項 1 記載の半導体集積回路装置において、制御パルス信号生成手段は、外部クロック信号を分周する分周手段をさらに有し、分周手段によって得られた信号の周波数に基づいて、制御パルス信号を生成する。

【 0 0 3 4 】

請求項 4 記載の半導体集積回路装置は、請求項 2 に記載の半導体集積回路装置であって、外部電源配線から外部電源電位を受けて内部電源電位に変換する第 2 の電圧変換手段と、第 2 の電圧変換手段から内部電源電位を伝達する第 2 の内部電源配線とをさらに備え、第 1 導電型の第 1 の MOS トランジスタのソースは、第 2 の内部電源配線と結合する。

10

【 0 0 3 5 】

【発明の実施の形態】

[実施の形態 1]

図 1 は、この発明の実施の形態の半導体集積回路装置 1 0 0 0 の全体構成を示す概略ブロック図である。

【 0 0 3 6 】

図 1 を参照して、半導体集積回路装置 1 0 0 0 は、外部電源配線 7 0 より受けた外部電源電圧 $E_{xt} \cdot V_{cc}$ を内部電源電圧 $I_{nt} \cdot V_{cc}$ に変換する電圧降下回路 1 0 と、内部電源配線 8 0 より $I_{nt} \cdot V_{cc}$ を受けて動作する周辺回路 2 1 , アレイ制御回路 2 2 , メモリアレイ 2 3 等からなる内部回路群 2 0 と、クロック信号, アドレス信号, データ等を外部と授受し内部回路群 2 0 とこれらの信号を授受する入出力回路 2 5 とを備える。

20

【 0 0 3 7 】

図 2 は、図 1 のうち電圧降下回路 1 0 の構成をより詳細に示すブロック図である。

【 0 0 3 8 】

図 2 を参照して、電圧降下回路 1 0 は、 $I_{nt} \cdot V_{cc}$ の基準値である V_{ref} を生成する基準電位発生回路 3 0 と、待機時に動作する電流駆動能力の小さい電圧降下回路（以下スタンバイ用 VDC という）4 0 と、活性化時に動作する電流駆動能力の大きい電圧降下回路（以下アクティブ用 VDC という）5 0 と、外部クロック信号を受けて動作周波数に応じてアクティブ用 VDC 5 0 の電流駆動能力を調整するための制御信号を生成する駆動能力制御回路 6 0 とを備える。

30

【 0 0 3 9 】

電圧降下回路 1 0 は、外部電源配線 7 0 より $E_{xt} \cdot V_{cc}$ を受けて、 $I_{nt} \cdot V_{cc}$ に変換し、内部電源配線 8 0 に供給する。

【 0 0 4 0 】

図 3 は、図 2 のアクティブ用 VDC 5 0 の構成をより詳細に示すブロック図である。

【 0 0 4 1 】

図 3 を参照して、スタンバイ用 VDC 4 0 は、構成および動作とも図 1 1 で説明した待機時用 VDC 4 1 0 と同様である。

【 0 0 4 2 】

また、アクティブ用 VDC 5 0 の基本的な構成および動作は、図 1 2 における活性時用 VDC 4 0 0 と同一である。

40

【 0 0 4 3 】

すなわち、活性時用 VDC 4 0 0 におけるカレントミラータイプの差動増幅器 4 0 5 は、差動増幅器 5 1 に対応し、電流制御トランジスタ 4 0 6 およびドライバトランジスタ 4 0 7 は、それぞれトランジスタ 5 2 および 5 3 に相当する。

【 0 0 4 4 】

アクティブ用 VDC 5 0 は、活性時用 VDC 4 0 0 に加えて駆動能力制御回路 6 0 および動作選択トランジスタ 5 4 をさらに備える。

【 0 0 4 5 】

動作選択トランジスタ 5 4 は、ゲートに活性化信号 ϕ を受けて飽和領域で動作する。すな

50

わち、動作選択トランジスタ 5 4 は活性化時に導通し、待機時には非導通となる。

【 0 0 4 6 】

駆動能力制御回路 6 0 は、外部クロック信号を受けて制御信号を出力する。この制御信号は、動作周波数に応じたレベルの直流電圧を有する。

【 0 0 4 7 】

これにより、活性化時においては、動作周波数に応じた制御信号が電流駆動トランジスタ 5 2 のゲートに与えられる。ここで制御信号は、電流駆動トランジスタ 5 2 を線形領域で動作させるレベルとなるように設定される。

【 0 0 4 8 】

よって、電流駆動トランジスタ 5 2 が差動増幅器 5 1 に供給する電流は、動作周波数に応じて決定される。供給される電流が大きいほど、差動増幅器 5 1 の応答速度が向上し、アクティブ用 V D C 5 0 の電流駆動能力は大きくなる。

【 0 0 4 9 】

すなわち、動作周波数に応じて電流駆動能力を調整することが可能な、アクティブ用 V D C 5 0 が得られる。

【 0 0 5 0 】

図 4 は、図 3 の駆動能力制御回路 6 0 の構成を詳細に示す概略ブロック図である。

【 0 0 5 1 】

図 4 を参照して、駆動能力制御回路 6 0 は、外部クロック信号を受けて制御パルスを生成する制御パルス生成回路 1 0 0 と、制御パルスを受けて制御信号を生成する制御信号生成回路 2 0 0 とを備える。

【 0 0 5 2 】

駆動能力制御回路 6 0 の動作を説明するために、まず制御パルス信号について説明する。

【 0 0 5 3 】

図 5 は、制御パルス信号について説明するための波形図である。

図 5 を参照して、外部クロック（以下 E x t . C L K という）は、外部より入力されるクロック信号である。

【 0 0 5 4 】

E x t . C L K は、動作周波数に対応した信号であり、その周期は T c k である。E x t . C L K に基づいて、制御パルス（以下 / S I G 信号という）が作られる。

【 0 0 5 5 】

/ S I G 信号は、E x t . C L K の立上がりタイミングで一定期間 Δt の間だけ “ L ” レベルとなり、その他の期間は “ H ” レベルとなる。

【 0 0 5 6 】

図 6 は、E x t . C L K により / S I G 信号を生成する制御パルス生成回路 1 0 0 の構成の具体例である。

【 0 0 5 7 】

E x t . C L K は、インバータ列 1 1 1 によって反転され、かつ一定期間 Δt だけ遅延される。インバータ列 1 1 1 によって反転、遅延された E x t . C L K と、元の E x t . C L K とを N A N D ゲート 1 1 2 に入力することにより、上記の / S I G 信号を得ることができる。

【 0 0 5 8 】

次に、制御信号生成回路 2 0 0 の動作を説明する。

再び図 4 を参照して、制御信号生成回路は、ソースが内部電源配線 8 0 と結合する P 型トランジスタ 2 0 1 と、P 型トランジスタ 2 0 1 のドレインと結合するノード N p と、ノード N p と接地配線 9 0 との間に結合される N 型トランジスタ 2 0 2 とを有する。

【 0 0 5 9 】

さらに制御信号生成回路 2 0 0 は、ノード N p と接地電位配線 9 0 との間に接続されたキャパシタ 2 0 3 と、ノード N p の電位 V p を平滑して制御信号を出力するローパスフィルタ 2 0 4 とを有する。

10

20

30

40

50

【 0 0 6 0 】

すなわち、ノード N p の電位 V p によって制御信号のレベルが決定される。
よって制御信号は、キャパシタ 2 0 3 に蓄えられた電荷量によって決定される。

【 0 0 6 1 】

P 型トランジスタ 2 0 1 および N 型トランジスタ 2 0 2 のゲートには、上記 / S I G 信号が与えられる。P 型トランジスタ 2 0 1 もしくは N 型トランジスタ 2 0 2 は、/ S I G 信号の “ L ” , “ H ” レベルに応じて導通し、これに伴ってキャパシタ 2 0 3 は充放電される。キャパシタ 2 0 3 に蓄えられる電荷量に応じて、ノード N p の電位 V p も変化する。

【 0 0 6 2 】

図 7 は、ノード N p の電位 V p とキャパシタ 2 0 3 へ充電あるいは放電される電荷量との関係を示すための概念図である。

10

【 0 0 6 3 】

図 7 を参照して、Q (v) p は P 型トランジスタ 2 0 1 を通じてキャパシタ 2 0 3 に充電される電荷量であり、Q (v) n は N 型トランジスタ 2 0 2 を通じてキャパシタ 2 0 3 から放電される電荷量である。

【 0 0 6 4 】

一定の / S I G 信号が与えられた下では、充電量 Q (v) p と放電量 Q (v) n は、釣り合った状態で平衡する。

【 0 0 6 5 】

すなわち、ノード N p の電圧 V p は、図 7 の曲線で求められるように下式 (1) が成り立つ電位 v o で平衡する。

20

【 0 0 6 6 】

$$Q (v o) p = Q (v o) n \quad \dots (1)$$

また、/ S I G 信号が “ L ” レベルである Δt 期間に P 型トランジスタ 2 0 1 を通じてノード N p に流れる電流を $i d s (v) p$ とし、/ S I G 信号が “ H ” レベルとなる $T c k - \Delta t$ 期間に N 型トランジスタ 2 0 2 を通じてノード N p に流れる電流を $i d s (v) n$ とし、さらに平衡状態におけるノード N p の電位を v o とすると、式 (1) より下式 (2) が成立する。

【 0 0 6 7 】

$$i d s (v o) p \times \Delta t = i d s (v o) n \times (T c k - \Delta t) \quad \dots (2)$$

30

/ S I G 信号は、“ L ” レベルの期間が Δt 、“ H ” レベルの期間が $T c k - \Delta t$ の比率を持つ信号である。/ S I G 信号は “ L ” レベルとなる期間 Δt は、図 6 のインバート列 1 1 1 によって発生する遅延時間に等しく、 Δt は $E x t . C L K$ の周期によらず一定である。

【 0 0 6 8 】

よって、 $E x t . C L K$ の周期が小さい、すなわち動作周波数が高い場合には、/ S I G 信号の “ L ” レベルとなる期間の比率が大きくなる。

【 0 0 6 9 】

この場合、式 (2) において平衡状態のノード N p の電位 V p が変化する。

このように動作周波数が高くなった場合における、P 型トランジスタ 2 0 1 からの充電量を $Q ' (v) p$ 、N 型トランジスタ 2 0 2 からの放電量を $Q ' (v) n$ とし、ノード N p の電位 V p の変化を考える。

40

【 0 0 7 0 】

再び図 7 を参照して、一点鎖線で示された上記 $Q ' (v) p$ および $Q ' (v) n$ を、先に説明した $Q (v) p$ および $Q (v) n$ と比較する。

【 0 0 7 1 】

動作周波数が高くなったことにより、P 型トランジスタ 2 0 1 の導通する時間の割合が増加するので、 $Q ' (v) p$ は、 $Q (v) p$ より大きい値となる。逆に、 $Q ' (v) n$ は $Q (v) n$ より小さい値となる。よって、ノード N p の電位 V p は、v o より高い電位 v o ' で平衡する。この結果、制御信号のレベルは大きくなる。

50

【 0 0 7 2 】

一方、動作周波数が低くなった場合には、 / S I G 信号における “ L ” レベル期間の割合が小さくなるため、キャパシタ 2 0 3 の充電量は低下し、放電量が増加する。

【 0 0 7 3 】

この結果、ノード N p の電位 V p はより低い電圧で平衡する。よって制御信号のレベルは小さくなる。

【 0 0 7 4 】

以上の様な動作によって、駆動能力制御回路 6 0 は、動作周波数に応じてレベルが変化する直流電圧を有する制御信号を生成することができる。

【 0 0 7 5 】

線型領域で動作する電流駆動トランジスタ 5 2 は、制御信号に対応した電流を、差動増幅手段 5 1 に供給する。これにより、アクティブ用 V D C 5 0 の電流駆動能力が制御される。

10

【 0 0 7 6 】

このように、アクティブ用 V D C 5 0 は、高い応答特性が要求される高速動作時には、電流駆動能力を大きくする一方で、応答特性が必要とされない低速動作時には、電流駆動能力を小さくすることにより消費電流の増大を防ぐ。

【 0 0 7 7 】

すなわち、アクティブ用 V D C 5 0 を備える半導体集積回路装置 1 0 0 0 は、組込まれるシステムに応じて電圧降下回路の設計を変形することなく、幅広い動作周波数の下で適正な応答特性を消費電力を無用に増大させることなく確保することができる。

20

【 0 0 7 8 】

また、動作周波数が変化するシステムに組込まれた場合にも、消費電力を抑制すると同時に、常に必要な応答特性を自動的に得ることができる。

【 0 0 7 9 】

制御信号生成回路 2 0 0 において、P型トランジスタ 2 0 1 を通じてキャパシタ 2 0 3 に電流を供給する電源配線の電位が変動すると、同一の / S I G 信号の下でもキャパシタ 2 0 3 に蓄えられる電荷量すなわちノード N p の電位 V p が変動する。

【 0 0 8 0 】

したがって、動作周波数に応じて安定したレベルを持つ制御信号を得るためには、より電位の変動の少ない電源を用いることが必要である。

30

【 0 0 8 1 】

よって、実施の形態 1 において、制御信号生成回路 2 0 0 は、外部電源配線ではなく、内部電源配線によって駆動されている。

【 0 0 8 2 】

[実施の形態 2]

実施の形態 1 では、制御パルス生成回路 1 0 0 において、E x t . C L K から / S I G 信号を生成した。実施の形態 2 においては、 / S I G 信号の生成にあたって E x t . C L K を分周した信号を用いる。

【 0 0 8 3 】

図 8 は、実施の形態 2 における制御パルス生成回路 1 0 1 の構成を示すブロック図である。

40

【 0 0 8 4 】

図 8 を参照して、制御パルス生成回路 1 0 1 は、実施の形態 1 の制御パルス生成回路 1 0 0 と同一の構成であるワンショットパルス生成回路 1 1 0 に加えて、分周回路 1 2 0 をさらに備える。

【 0 0 8 5 】

図 9 は、図 8 の制御パルス生成回路 1 0 1 の動作を説明するための波形図である。

【 0 0 8 6 】

図 8 および図 9 を参照して、分周回路 1 2 0 は、外部クロック信号である E x t . C L K

50

を受けて、2分周された信号CLKDを出力する。CLKDはワンショットパルス生成回路110に与えられる。ワンショットパルス生成回路110の動作は、図6に示した制御パルス生成回路100と同一であり、CLKD信号のパルス立上がり時に一定期間 Δt だけ“L”レベルを有する/SIG信号が生成される。

【0087】

上述したように、/SIG信号の Δt 期間はインバータ列111によって生成される遅延時間に相当するため、上記 Δt 期間はインバータ列111を構成するトランジスタの特性値に依存して決定される。

【0088】

よって、製造プロセスのばらつきによって、インバータ列111を構成するトランジスタの特性が変動した場合には、/SIG信号の Δt 期間も影響を受けて変動する。

10

【0089】

よって、動作周波数に応じて電流駆動能力の制御を正確に行なうことが困難になる。動作周波数が高くなるほど、/SIG信号のパルス間隔は狭くなるため、トランジスタ特性の変動の影響は大きくなる。

【0090】

ここで、Ext.CLKを分周して得られるCLKDに基づいて/SIG信号を作成することにより、動作周波数が高い場合にも広いパルス間隔を確保することが可能となる。

【0091】

これにより、制御パルス生成回路101は、トランジスタの特性の変動が Δt 期間に及ぼす影響の小さい、/SIG信号を得ることができる。

20

【0092】

すなわち、実施の形態2の構成の電圧降下回路は、動作周波数が高い場合にもインバータ列111を構成するトランジスタの特性のばらつきの影響を軽減して制御パルス信号を得ることができ、広い動作周波数の下で安定した電流駆動能力の制御を行なうことができる。

【0093】

なお分周器を複数用いることによって、4分周や8分周を設定することも可能である。

【0094】

[実施の形態3]

30

実施の形態1では、制御信号生成回路200は、内部電源配線80によって駆動されていたが、実施の形態3では、制御信号生成回路200を駆動するために、専用のVDCを設ける。

【0095】

図10は、実施の形態3における駆動能力制御回路61の構成を示すブロック図である。

【0096】

図10を参照して、駆動能力制御回路61は、実施の形態1の駆動能力制御回路60の構成に加えて、制御信号生成回路専用VDC300をさらに備える。

【0097】

制御信号生成回路61は、内部電源配線80より独立した専用内部電源配線81によって、制御信号生成回路専用VDC300から電源電位を供給される。

40

【0098】

先に述べたように、制御信号生成回路200を駆動する電源電位の安定性は、得られる制御信号の安定性に大きな影響を及ぼす。よって、実施の形態3の構成とすることにより、内部回路群で消費される負荷電流の影響により内部電源配線80の電位Int.Vccが不安定なレベルとなった場合にも、安定した制御信号を生成することができる。

【0099】

すなわち、Int.Vccレベルの変動に対して、よりの確にフィードバックを施すことができ、より安定した電流駆動能力の制御性を有するVDCを得ることができる。

【0100】

50

制御信号生成回路専用VDC300は、図12で示す従来の構成あるいは、図3で示す本発明の構成のいずれによっても実現される。

【0101】

今回開示された実施の形態はすべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は、上記した説明ではなくて特許請求の範囲によって示され、特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれることが意図される。

【0102】

【発明の効果】

請求項1, 2, 3記載の半導体集積回路装置は、動作周波数によって電流駆動能力を制御することができる電圧降下回路を備えている。したがって、幅広い動作周波数の下で、動作周波数に応じた適正な電圧応答特性を、消費電力を無用に増大させることなく確保することができる。

10

【0103】

請求項4記載の半導体集積回路装置は、請求項3記載の半導体集積回路装置が奏する効果を、制御回路を構成するトランジスタの製造ばらつきによる影響を軽減し、広い動作周波数の下で安定して得ることができる。

【0104】

請求項5記載の半導体集積回路装置は、請求項3ないし4に記載の半導体集積回路装置が奏する効果に加えて、内部電源電位の変動をより安定的に制御することができる。

20

【図面の簡単な説明】

【図1】 本発明の実施の形態の半導体集積回路装置1000の全体構成を示す概略ブロック図である。

【図2】 図1の電圧降下回路10の構成をより詳細に示すブロック図である。

【図3】 図2のアクティブ用VDC50の構成をより詳細に示すためのブロック図である。

【図4】 図3の駆動能力制御回路60の構成を詳細に示すための概略ブロック図である。

【図5】 制御パルス信号について説明するための波形図である。

【図6】 制御パルス生成回路100の構成の一例を示す概略図である。

30

【図7】 ノードNpの電位とキャパシタ103への充放電電荷量の関係を示す概念図である。

【図8】 実施の形態2における制御パルス生成回路101の構成を示す概略ブロック図である。

【図9】 制御パルス生成回路101の動作を説明するための波形図である。

【図10】 実施の形態3における駆動能力制御回路61の構成を示す概略ブロック図である。

【図11】 従来の電圧降下回路の一般的な構成を示す概略ブロック図である。

【図12】 複数の電圧降下部を含む従来の技術の電圧降下回路2000の構成を示す回路図である。

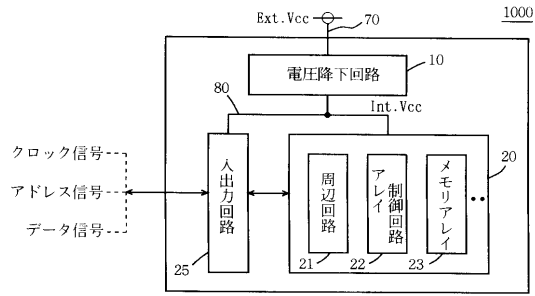
40

【符号の説明】

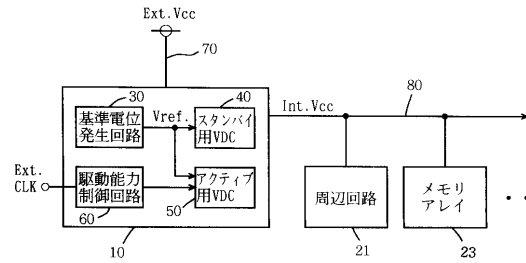
10 電圧降下回路、20 内部回路群、21 周辺回路、22 アレイ制御回路、23 メモリアレイ、25 入出力回路、30 基準電位発生回路、40 スタンバイ用VDC、50 アクティブ用VDC、51 差動増幅器、52 電流制御トランジスタ、53 ドライバトランジスタ、54 動作選択トランジスタ、60, 61 駆動能力制御回路、70 外部電源配線、80, 81 内部電源配線、90 接地配線、100, 101 制御パルス生成回路、110 ワンショットパルス生成回路、111 インバータ列、112 NANDゲート、120 分周回路、200 制御信号生成回路、201, 202 トランジスタ、203 キャパシタ、204 ローパスフィルタ、300 制御信号生成回路専用VDC。

50

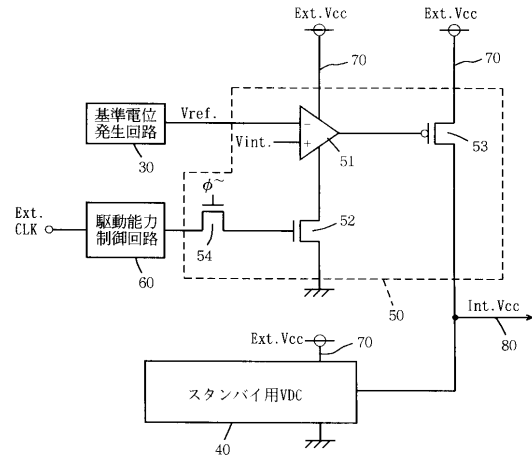
【図 1】



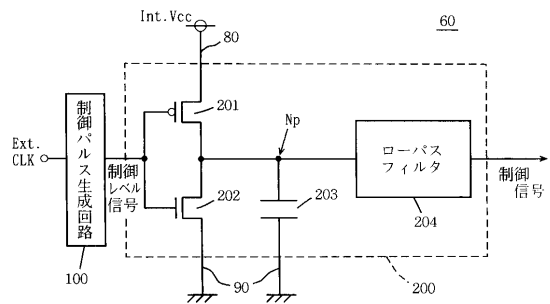
【図 2】



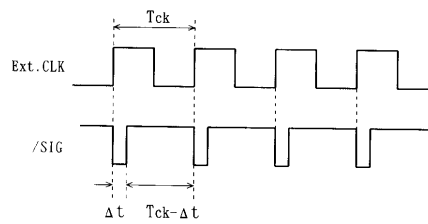
【図 3】



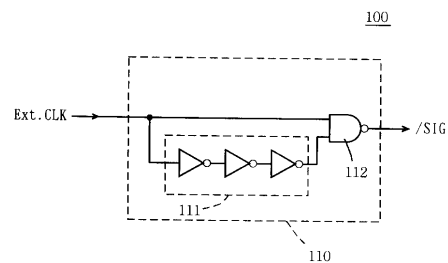
【図 4】



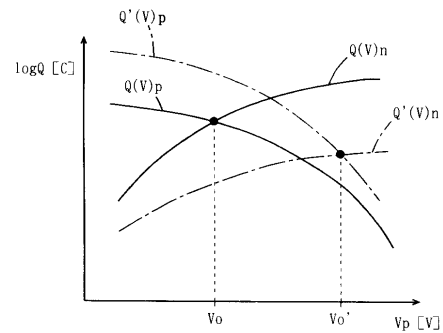
【図 5】



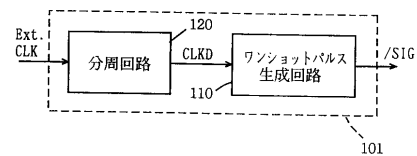
【図 6】



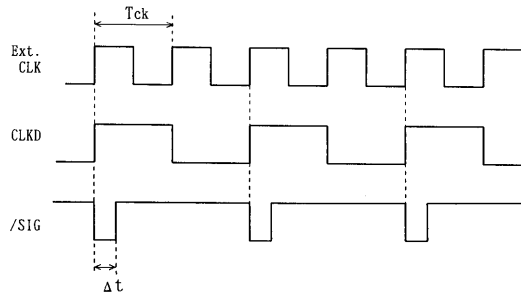
【図 7】



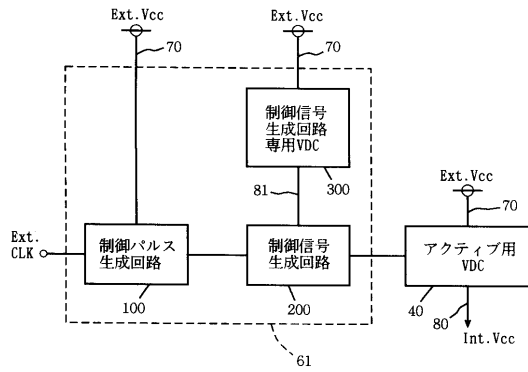
【図 8】



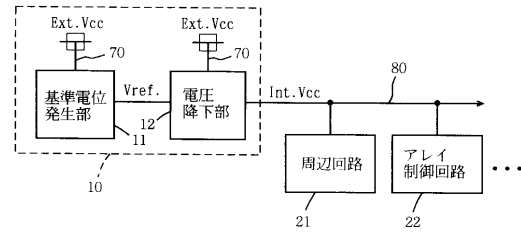
【図 9】



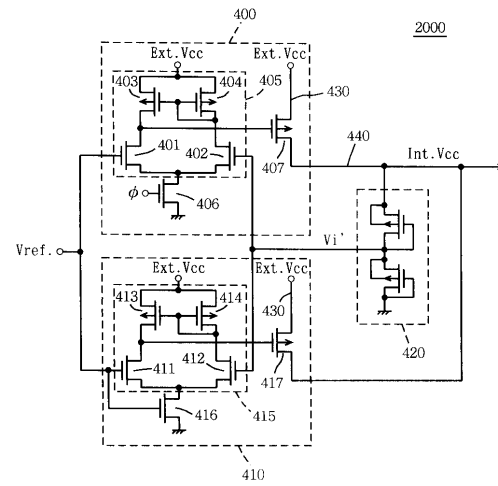
【図 10】



【図 11】



【図 12】



フロントページの続き

(72)発明者 小林 真子

兵庫県伊丹市荻野 1 丁目 1 3 2 番地 大王電機株式会社内

(72)発明者 森下 玄

東京都千代田区丸の内二丁目 2 番 3 号 三菱電機株式会社内

審査官 堀田 和義

(56)参考文献 特開平 8 - 1 9 0 4 3 7 (J P , A)

特開平 9 - 2 9 3 7 8 9 (J P , A)

特開平 1 0 - 2 6 9 7 6 8 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)

G11C 11/4074