



(12) 发明专利

(10) 授权公告号 CN 101494457 B

(45) 授权公告日 2012. 12. 26

(21) 申请号 200810094809. X

(22) 申请日 2008. 04. 28

(30) 优先权数据

12/010, 554 2008. 01. 25 US

(73) 专利权人 奇景光电股份有限公司

地址 中国台湾台南县

(72) 发明人 黄志豪

(74) 专利代理机构 北京市柳沈律师事务所

11105

代理人 蒲迈文 黄小临

(51) Int. Cl.

H03L 7/091 (2006. 01)

H03L 7/099 (2006. 01)

(56) 对比文件

US 7078977 B2, 2006. 07. 18, 说明书第 11 栏第 30 行到第 15 栏第 30 行和附图 10.

WO 2005/022819 A1, 2005. 03. 10, 全文.

US 2005/0024155 A1, 2005. 02. 03, 全文.

US 6307906 B1, 2001. 10. 23, 全文.

CN 1691511 A, 2005. 11. 02, 全文.

审查员 穆飞鹏

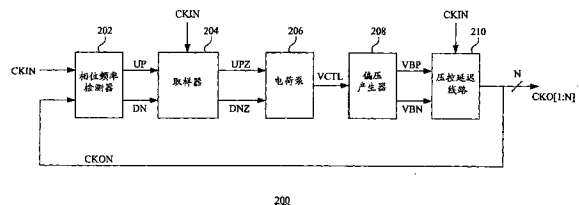
权利要求书 1 页 说明书 5 页 附图 4 页

(54) 发明名称

延迟锁定回路电路及其中消除信号间抖动和偏移的方法

(57) 摘要

一种延迟锁定回路电路, 包含相位频率检测器、取样器、电荷泵、偏压产生器及压控单元。相位频率检测器通过检测输入时钟信号及反馈时钟信号间的相位差而输出相位差信号。取样器根据输入时钟信号延迟相位频率检测器所输出的相位差信号, 以输出取样信号。电荷泵根据取样器所输出的取样信号产生控制电压。偏压产生器根据电荷泵所产生的控制电压产生偏压。压控单元由偏压产生器所产生的偏压控制, 以根据输入时钟信号产生输出时钟信号, 并输出反馈时钟信号至相位频率检测器。一种在延迟锁定回路电路中消除信号间抖动和偏移的方法亦在此公开。



1. 一种延迟锁定回路电路,包含:

相位频率检测器,通过检测输入时钟信号以及反馈时钟信号间的相位差而输出至少一相位差信号;

第一触发器,用以延迟该相位频率检测器所输出的该相位差信号,以输出第一延迟信号;

第二触发器,用以延迟该第一触发器所输出的该第一延迟信号,以输出第二延迟信号;

XNOR 逻辑电路,用以接收该相位差信号、该第一延迟信号以及该第二该延迟信号,以输出逻辑信号,该输出逻辑信号的频率低于该相位差信号的频率;

电荷泵,根据该 XNOR 逻辑电路所输出的该逻辑信号产生控制电压;

偏压产生器,根据该电荷泵所产生之该控制电压产生至少一偏压;以及

压控单元,由该偏压产生器所产生的该偏压控制,以根据该输入时钟信号产生输出时钟信号,并输出该反馈时钟信号至该相位频率检测器。

2. 权利要求 1 所述的延迟锁定回路电路,其中该第一触发器以及该第二触发器系分别为 D 型触发器。

3. 权利要求 1 所述的延迟锁定回路电路,其中该压控单元包含压控延迟线路。

4. 一种在延迟锁定回路电路中消除输入时钟信号及输出时钟信号间抖动和偏移的方法,该方法包含:

判别该输入时钟信号及反馈时钟信号间的相位差;

产生相对应于该相位差的相位差信号;

根据该输入时钟信号对该相位差信号作取样,以输出取样信号,该输出的取样信号的频率低于该相位差信号的频率;

根据该取样信号产生控制电压;

产生相对应于该控制电压的偏压;以及

根据该偏压延迟该输入时钟信号以产生该输出时钟信号以及该反馈时钟信号,其中该输出时钟信号具有大致上与该输入时钟信号相等的相位,

其中根据该输入时钟信号对该相位差信号作取样以输出该取样信号的步骤进一步包含:

根据该输入时钟信号延迟该相位差信号,以输出第一延迟信号;

根据该输入时钟信号延迟该第一延迟信号,以输出第二延迟信号;以及

对该相位差信号、该第一延迟信号以及该第二延迟信号作 XNOR 运算,以输出逻辑信号作为该取样信号。

延迟锁定回路电路及其中消除信号间抖动和偏移的方法

技术领域

[0001] 本发明是有关于一种时钟同步电路,且特别是有关于一种延迟锁定回路(delay locked loop, DLL)电路及其中消除信号间抖动和偏移的方法。

背景技术

[0002] 在一般的电子装置或系统中,通常会使用时钟同步电路来提供稳定良好的时钟信号,由此使电子产品可展现出较佳的整体效能。上述时钟同步电路包括锁相回路(phase locked loop, PLL)电路以及延迟锁定回路(delay locked loop, DLL)电路,且两者在概念上以类似的操作方式来进行操作。对于延迟锁定回路电路而言,其包括模拟型以及数字型延迟锁定回路电路,且两者根据不同需求而呈现出不同的效能。

[0003] 图1为显示一般模拟型延迟锁定回路电路的示意图。此模拟型延迟锁定回路电路100包括:相位频率检测器(phase-frequency detector)102、电荷泵104、低通滤波器106、偏压产生器108以及压控延迟线路(voltage controlled delay line, VCDL)110。相位频率检测器102用来比较输入时钟信号CKIN与反馈时钟信号CKON间的相位差,并具有两输出端UP和DN。相位频率检测器102的输出为脉冲信号,且此脉冲信号的脉冲宽度与信号CKIN领先或延迟信号CKON的大小相同。当信号CKIN领先信号CKON时,脉冲信号会由相位频率检测器102的输出端UP输出。当信号CKIN延迟信号CKON时,脉冲信号则是由相位频率检测器102的输出端DN输出。

[0004] 当输出端UP或DN输出信号之后,其输出的信号会输入至电荷泵104,且电荷泵104会将其转换为模拟电流输出,以供后续处理。接着,电荷泵104所输出的电流输入至低通滤波器106,且低通滤波器106会将其运算处理而产生控制电压VCTL。之后,再将控制电压VCTL传送至偏压产生器108,使得偏压产生器108根据控制电压VCTL产生两输出电压VBP和VBN。然后,压控延迟线路110再根据输出电压VBP和VBN控制输入时钟信号CKIN的频率,由此输出N个彼此间均具不同相位的时钟信号(即CKO[1:N]),其中输出的时钟信号CKON会反馈至相位频率检测器102以供比较。

[0005] 然而,由于上述延迟锁定回路电路100的操作频率通常太高,使得操作时控制电压VCTL会改变太快,以致于延迟锁定回路电路100无法稳定地正常操作。此外,在上述模拟型延迟锁定回路电路100中,低通滤波器106通常会需要占较大的面积来制作,由此减少噪声干扰的问题,并使得延迟锁定回路电路100稳定地操作。如此一来,整体的制作成本及尺寸大小便无法有效地减低。

发明内容

[0006] 本发明的目的是在提供一种延迟锁定回路电路及其中消除信号间抖动和偏移的方法,由此使延迟锁定回路电路能稳定地正常操作。

[0007] 依照本发明一实施例,提出一种延迟锁定回路电路。此延迟锁定回路电路包含相位频率检测器、取样器、电荷泵、偏压产生器以及压控单元。相位频率检测器通过检测输入

时钟信号以及反馈时钟信号间的相位差而输出至少一相位差信号。取样器根据输入时钟信号延迟由相位频率检测器所输出的相位差信号,以输出至少一取样信号。电荷泵根据取样器所输出的取样信号产生控制电压。偏压产生器根据电荷泵所产生的控制电压产生至少一偏压。压控单元由偏压产生器所产生的偏压控制,以根据输入时钟信号产生输出时钟信号,并输出反馈时钟信号至相位频率检测器。

[0008] 依照本发明另一实施例,提出另一种延迟锁定回路电路。此延迟锁定回路电路包含相位频率检测器、触发器、XNOR 逻辑电路、电荷泵、偏压产生器以及压控单元。相位频率检测器通过检测输入时钟信号以及反馈时钟信号间的相位差而输出至少一相位差信号。触发器根据输入时钟信号延迟相位频率检测器所输出的相位差信号,以输出延迟信号。XNOR 逻辑电路用来接收相位差信号及延迟信号,以输出逻辑信号。电荷泵根据 XNOR 逻辑电路所输出的逻辑信号产生控制电压。偏压产生器根据电荷泵所产生的控制电压产生至少一偏压。压控单元由偏压产生器所产生的偏压控制,以根据输入时钟信号产生输出时钟信号,并输出反馈时钟信号至相位频率检测器。

[0009] 依照本发明又一实施例,提出又一种延迟锁定回路电路。此延迟锁定回路电路包含相位频率检测器、第一触发器、第二触发器、XNOR 逻辑电路、电荷泵、偏压产生器以及压控单元。相位频率检测器通过检测输入时钟信号以及反馈时钟信号间的相位差而输出至少一相位差信号。第一触发器用来延迟相位频率检测器所输出的相位差信号,以输出第一延迟信号。第二触发器用来延迟第一触发器所输出的第一延迟信号,以输出第二延迟信号。XNOR 逻辑电路用来接收相位差信号、第一延迟信号以及第二该延迟信号,以输出逻辑信号。电荷泵根据 XNOR 逻辑电路所输出的逻辑信号产生控制电压。偏压产生器根据电荷泵所产生的控制电压产生至少一偏压。压控单元由偏压产生器所产生的偏压控制,以根据输入时钟信号产生输出时钟信号,并输出反馈时钟信号至相位频率检测器。

[0010] 依照本发明再一实施例,提出一种在延迟锁定回路电路中消除输入时钟信号及输出时钟信号间抖动和偏移的方法。此方法包含:判别输入时钟信号及反馈时钟信号间的相位差;产生相对应于相位差的相位差信号;根据输入时钟信号对相位差信号作取样,以输出取样信号;根据取样信号产生控制电压;产生相对应于控制电压的偏压;以及根据偏压延迟输入时钟信号以产生输出时钟信号以及反馈时钟信号,其中输出时钟信号具有大致上与输入时钟信号相等的相位。

[0011] 根据本发明的技术内容,应用前述延迟锁定回路电路及其中消除信号间抖动和偏移的方法,使得延迟锁定回路电路在不需低通滤波器的情况下即可稳定地操作,且亦可减少整体电路的制作成本及尺寸大小。

附图说明

[0012] 图 1 为显示一般模拟型延迟锁定回路电路的示意图。

[0013] 图 2 为显示依照本发明实施例的一种延迟锁定回路电路的示意图。

[0014] 图 3 为显示依照本发明实施例的一种如图 2 所示的取样器的示意图。

[0015] 图 4 为显示依照本发明实施例的一种在延迟锁定回路电路中消除输入时钟信号与输出时钟信号间抖动和偏移的方法的流程图。

[0016] 附图标记说明

- [0017] 100、200 :延迟锁定回路电路
- [0018] 102、202 :相位频率检测器
- [0019] 104、206 :电荷泵
- [0020] 106 :低通滤波器
- [0021] 108、208 :偏压产生器
- [0022] 110、210 :压控延迟线路
- [0023] 204 :取样器
- [0024] 300 :UP 部分
- [0025] 302、312 :XNOR 逻辑电路
- [0026] 304、314 :D 型触发器
- [0027] 310 :DN 部分
- [0028] 400、402、404、406、408、410 :步骤

具体实施方式

[0029] 图 2 为显示依照本发明实施例的一种延迟锁定回路电路的示意图。延迟锁定回路 (delay locked loop, DLL) 电路 200 包括相位频率检测器 (phase-frequency detector) 202、取样器 (sampler) 204、电荷泵 206、偏压产生器 208 以及压控单元,例如:压控延迟线路 (voltage controlled delayline, VCDL) 210。相位频率检测器 202 用来检测比较输入时钟信号 CKI_N 以及反馈时钟信号 CKON 间的相位差,并具有两输出端 UP 和 DN。在检测比较完输入时钟信号 CKIN 及反馈时钟信号 CKON 间的相位差之后,相位频率检测器 202 会于 UP 或 DN 输出端输出至少一相位差信号。其中,相位频率检测器 202 所输出的相位差信号为脉冲信号,且此脉冲信号的脉冲宽度与信号 CKIN 领先或延迟信号 CKON 的大小相同。当信号 CKIN 领先信号 CKON 时,脉冲信号会由相位频率检测器 202 的输出端 UP 输出。当信号 CKIN 延迟信号 CKON 时,脉冲信号则是由相位频率检测器 202 的输出端 DN 输出。

[0030] 取样器 204 具有两输出端 UPZ 和 DNZ,并根据输入时钟信号 CKIN 延迟相位频率检测器 202 所输出的相位差信号,因而在输出端 UPZ 或 DNZ 输出其频率比相位差信号的频率还低的至少一取样信号。所以,延迟锁定回路电路 200 的操作频率便可因此减低。

[0031] 图 3 为显示依照本发明实施例的一种如图 2 所示的取样器的示意图。在本实施例中,取样器 204 包括 UP 部分 300 以及 DN 部分 310,分别用以处理来自相位频率检测器 202 的 UP 输出端和 DN 输出端的信号。UP 部分 300 包括 XNOR 逻辑电路 302 以及 N 个触发器 (flip-flop),其中每一个触发器均可为 D 型触发器 304,但不以此为限,且所有 D 型触发器 304 相互串接。

[0032] 当相位频率检测器 202 的 UP 输出端的相位差信号输入第一个 D 型触发器 304 时,第一个 D 型触发器 304 会根据输入时钟信号 CKIN 延迟相位差信号,以输出第一延迟信号 UP1 至第二个 D 型触发器 304。接着,当第一延迟信号 UP1 输入至第二个 D 型触发器 304 时,第二个 D 型触发器 304 会根据输入时钟信号 CKI_N 延迟第一延迟信号 UP1,以输出第二延迟信号 UP2 至第三个 D 型触发器 304。亦即,当第 (N-1) 个延迟信号 UP(N-1) 输入至第 N 个 D 型触发器 304 时,第 N 个 D 型触发器 304 会根据输入时钟信号 CKIN 延迟第 (N-1) 个延迟信号 UP(N-1),以输出第 N 延迟信号 UPN。

[0033] 然后, 取样器 204 的 UP 部分 300 所接收的相位差信号、第一延迟信号 UP1、第二延迟信号 UP2、... 以及第 N 延迟信号 UPN 再依序输入至 XNOR 逻辑电路 302。在所有信号经过运算处理之后, XNOR 逻辑电路 302 会于取样器 204 的输出端 UPZ 输出逻辑信号以作为取样信号, 且取样器 204 的 UP 部分 300 所接收的相位差信号的频率, 会因此成为输出端 UPZ 所输出的取样信号的频率的 N 倍。因此, 对于整体电路的操作而言, 延迟锁定回路电路 200 的操作频率便可因此减低。

[0034] 同样地, 取样器 204 的 DN 部分 310 亦包括 XNOR 逻辑电路 312 以及 N 个触发器, 其中每一个触发器均可为 D 型触发器 314, 但不以此为限, 且所有 D 型触发器 314 相互串接。当相位频率检测器 202 的 DN 输出端的相位差信号输入第一个 D 型触发器 314 时, 第一个 D 型触发器 314 会根据输入时钟信号 CKIN 延迟相位差信号, 以输出第一延迟信号 DN1 至第二个 D 型触发器 314。接着, 当第一延迟信号 DN1 输入至第二个 D 型触发器 314 时, 第二个 D 型触发器 314 会根据输入时钟信号 CKIN 延迟第一延迟信号 DN1, 以输出第二延迟信号 DN2 至第三个 D 型触发器 314。亦即, 当第 (N-1) 个延迟信号 DN(N-1) 输入至第 N 个 D 型触发器 314 时, 第 N 个 D 型触发器 314 会根据输入时钟信号 CKIN 延迟第 (N-1) 个延迟信号 DN(N-1), 以输出第 N 延迟信号 DNN。

[0035] 然后, 取样器 204 的 DN 部分 310 所接收的相位差信号、第一延迟信号 DN1、第二延迟信号 DN2、... 以及第 N 延迟信号 DNN 再依序输入至 XNOR 逻辑电路 312。在所有信号经过运算处理之后, XNOR 逻辑电路 312 会于取样器 204 的输出端 DNZ 输出逻辑信号以作为取样信号, 且取样器 204 的 DN 部分 310 所接收的相位差信号的频率, 会因此成为输出端 DNZ 所输出的取样信号的频率的 N 倍。因此, 对于整体电路的操作而言, 延迟锁定回路电路 200 的操作频率便可因此减低。

[0036] 如此一来, 延迟锁定回路电路 200 的操作频率便可依据取样器 204 中不同数量的触发器而作改变。在一实施例中, 取样器 204 中可仅包括触发器, 用以对输入端 UP 或 DN 的相位差信号进行运算处理。

[0037] 此外, XNOR 逻辑电路以及触发器 (UP 部分 300 或 DN 部分 310) 并不限制包括在取样器 204 中; 亦即, XNOR 逻辑电路以及触发器可直接与相位频率检测器 202 和电荷泵 206 进行操作, 由此降低延迟锁定回路电路 200 的操作频率。

[0038] 请再参照图 2, 电荷泵 206 耦接于取样器 204, 使得取样器 204 的输出端 UPZ 和 DNZ 的信号输入至电荷泵 206。接着, 电荷泵 206 再根据取样器 204 的输出端 UPZ 和 DNZ 的信号产生控制电压 VCTL。此外, 偏压产生器 208 耦接于电荷泵 206, 使得控制电压 VCTL 输入至偏压产生器 208。之后, 偏压产生器 208 再根据控制电压 VCTL 产生两输出电压 VBP 和 VBN。

[0039] 压控延迟线路 210 由偏压 VBP 和 VBN 控制, 并用以延迟输入时钟信号 CKIN, 由此输出 N 个彼此间均具不同相位的输出时钟信号 (即 CKO[1:N]), 其中最后一个输出的时钟信号 CKON 被反馈至相位频率检测器 202, 以供与输入时钟信号 CKIN 作判别比较。具体地说, 压控延迟线路 210 根据偏压 VBP 和 VBN 来进行操作, 进而加入可变数量的延迟于输入时钟信号 CKIN。换言之, 压控延迟线路 210 根据偏压 VBP 和 VBN 加入或减少一定量的延迟, 由此输出彼此间均具不同相位的时钟信号 (即 CKO[1:N]), 并使得输出时钟信号 CKON 的相位符合输入时钟信号 CKIN 的相位。

[0040] 图 4 为显示依照本发明实施例的一种在延迟锁定回路电路中消除输入时钟信号

与输出时钟信号间抖动和偏移的方法的流程图。请同时参照图 2 和图 4。首先,判别输入时钟信号 CKIN 和反馈时钟信号 CKON 间的相位差(步骤 400)。接着,产生相对应于上述相位差的相位差信号(步骤 402),其中步骤 400 和步骤 402 可由相位频率检测器 202 来执行。之后,再根据输入时钟信号 CKIN 对相位差信号作取样,由此输出其频率比相位差信号的频率还低的取样信号(步骤 404),其中步骤 404 可由取样器 204 来执行。如此一来,延迟锁定回路电路 200 的操作频率便可减低。

[0041] 在一实施例中,根据输入时钟信号 CKIN 对相位差信号作取样的步骤 404 可进一步包含下列步骤:根据输入时钟信号 CKIN 延迟相位差信号,由此输出延迟信号;以及对相位差信号及延迟信号作 XNOR 运算处理,由此输出逻辑信号而作为取样信号。

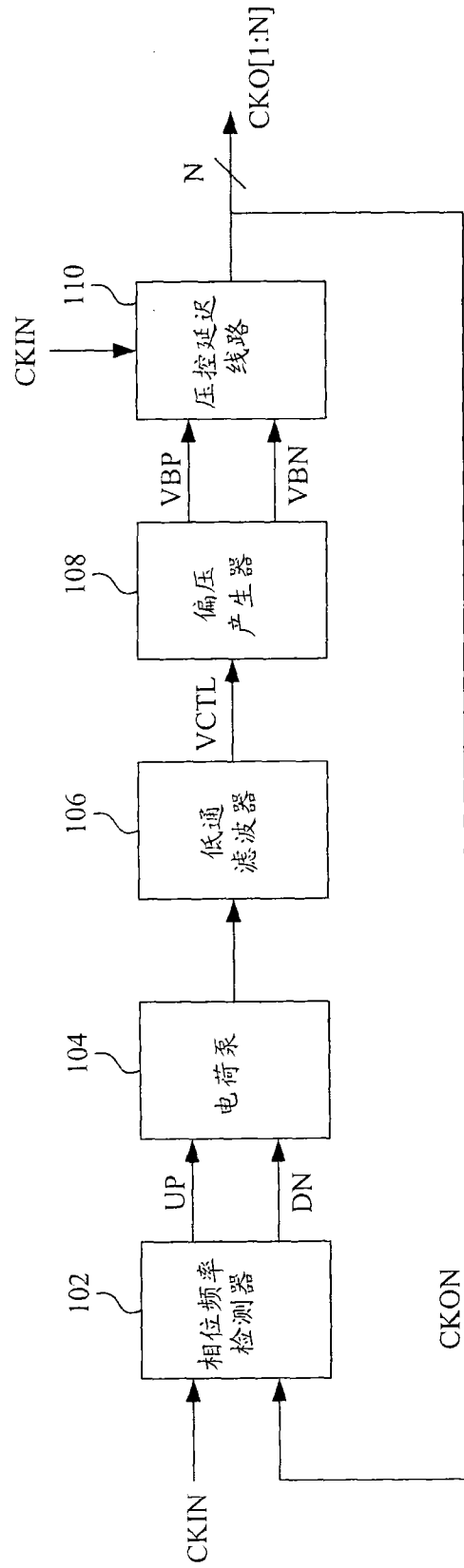
[0042] 在另一实施例中,根据输入时钟信号 CKIN 对相位差信号作取样的步骤 404 则进一步包含下列步骤:根据输入时钟信号 CKIN 延迟相位差信号,由此输出第一延迟信号;根据输入时钟信号 CKIN 延迟所输出的第一延迟信号,由此输出第二延迟信号;亦即,根据输入时钟信号 CKIN 延迟第(N-1)延迟信号,由此输出第 N 延迟信号;然后再对相位差信号、第一延迟信号、第二延迟信号、...以及第 N 延迟信号作 XNOR 运算处理,由此输出逻辑信号而作为取样信号。如此一来,相位差信号的频率会因此成为取样信号的频率的 N 倍。因此,对于整体电路的操作而言,延迟锁定回路电路 200 的操作频率便可因此减低。

[0043] 在取样信号输出的后,再根据取样信号产生控制电压 VCTL(步骤 406),且控制电压 VCTL 可由电荷泵 206 产生。接着,再产生相对应于控制电压 VCTL 的两偏压 VBP 和 VBN(步骤 408),其中步骤 408 可由偏压产生器 208 来执行。之后,再根据偏压 VBP 和 VBN 延迟输入时钟信号 CKIN,由此产生输出时钟信号(即 CKO[1:N])(步骤 410),其中输出时钟信号 CKON 被反馈以供与输入时钟信号 CKIN 作判别比较。同时,当延迟锁定回路电路 200 处于锁定的状况下时,时钟信号 CKON 亦会具有实质上与输入时钟信号 CKIN 相等的相位。此外,上述的步骤 410 可由压控延迟线路 210 来执行。

[0044] 如此一来,延迟锁定回路电路 200 的操作频率便可根据输入时钟信号 CKIN 以及对相位差信号作取样的步骤(步骤 404)来进行改变。换言之,延迟上述相位差信号可降低延迟锁定回路电路 200 的操作频率。

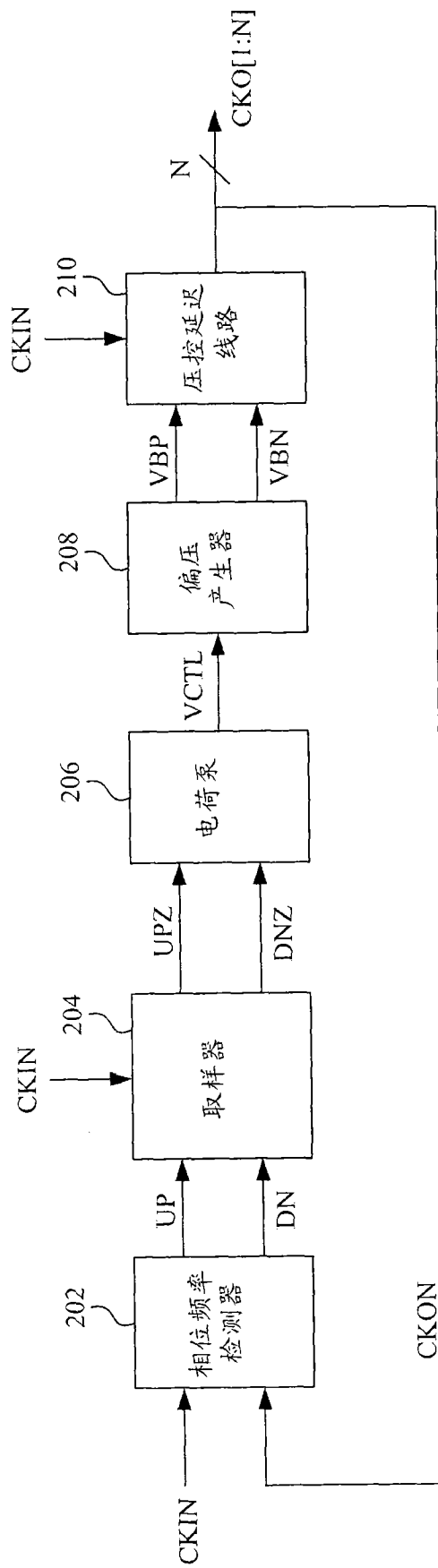
[0045] 由上述本发明的实施例可知,应用前述延迟锁定回路电路及其中消除信号间抖动和偏移的方法,可使得延迟锁定回路电路的操作频率降低,且延迟锁定回路电路在不需低通滤波器的情况下即可稳定地操作,并亦可减少整体电路的制作成本及尺寸大小。

[0046] 虽然本发明已以实施例公开如上,然其并非用以限定本发明,任何本领域技术人员,在不脱离本发明的精神和范围内,当可作各种更动与润饰,因此本发明的保护范围由权利要求书界定。



100

图 1



200

图 2

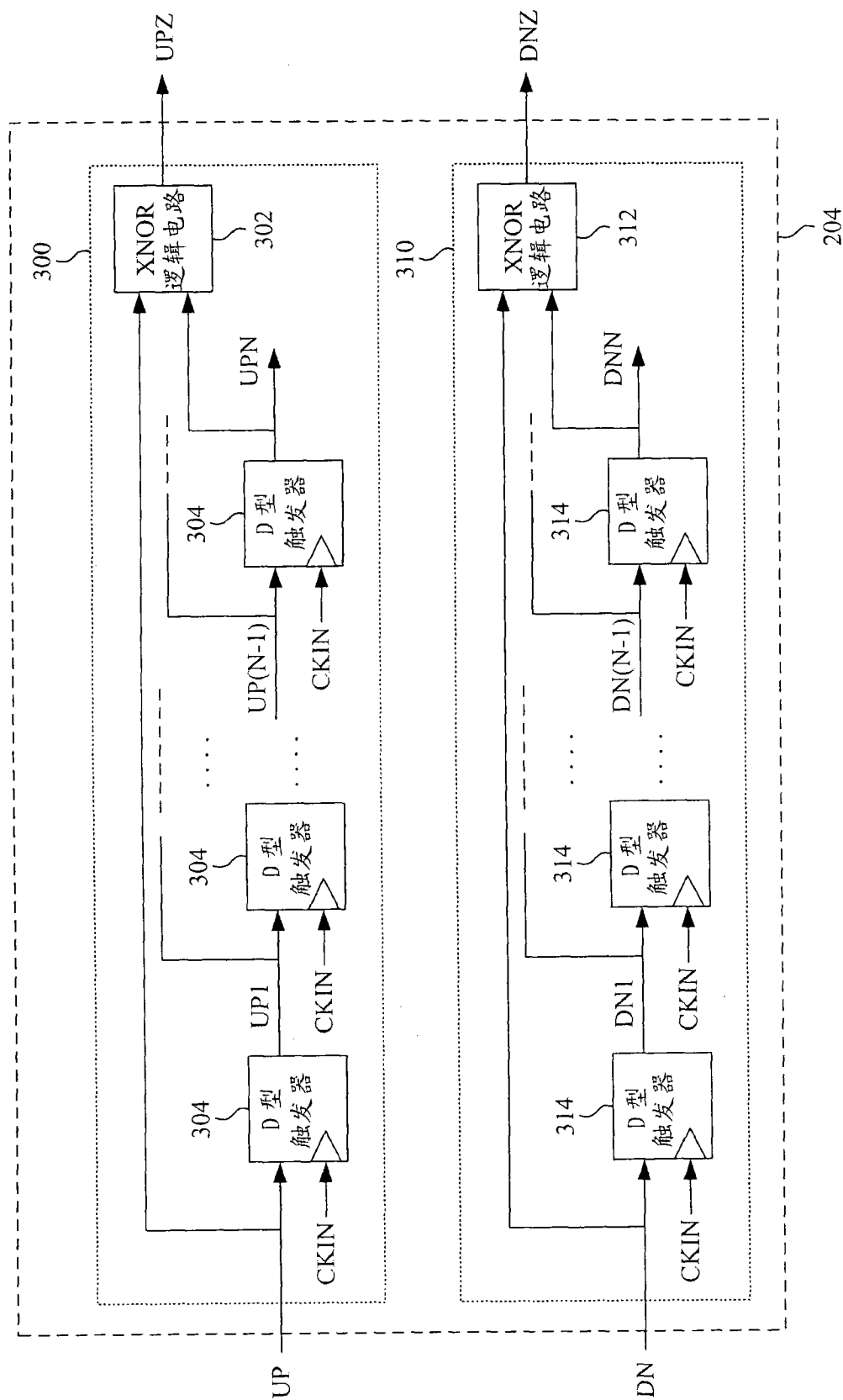


图 3

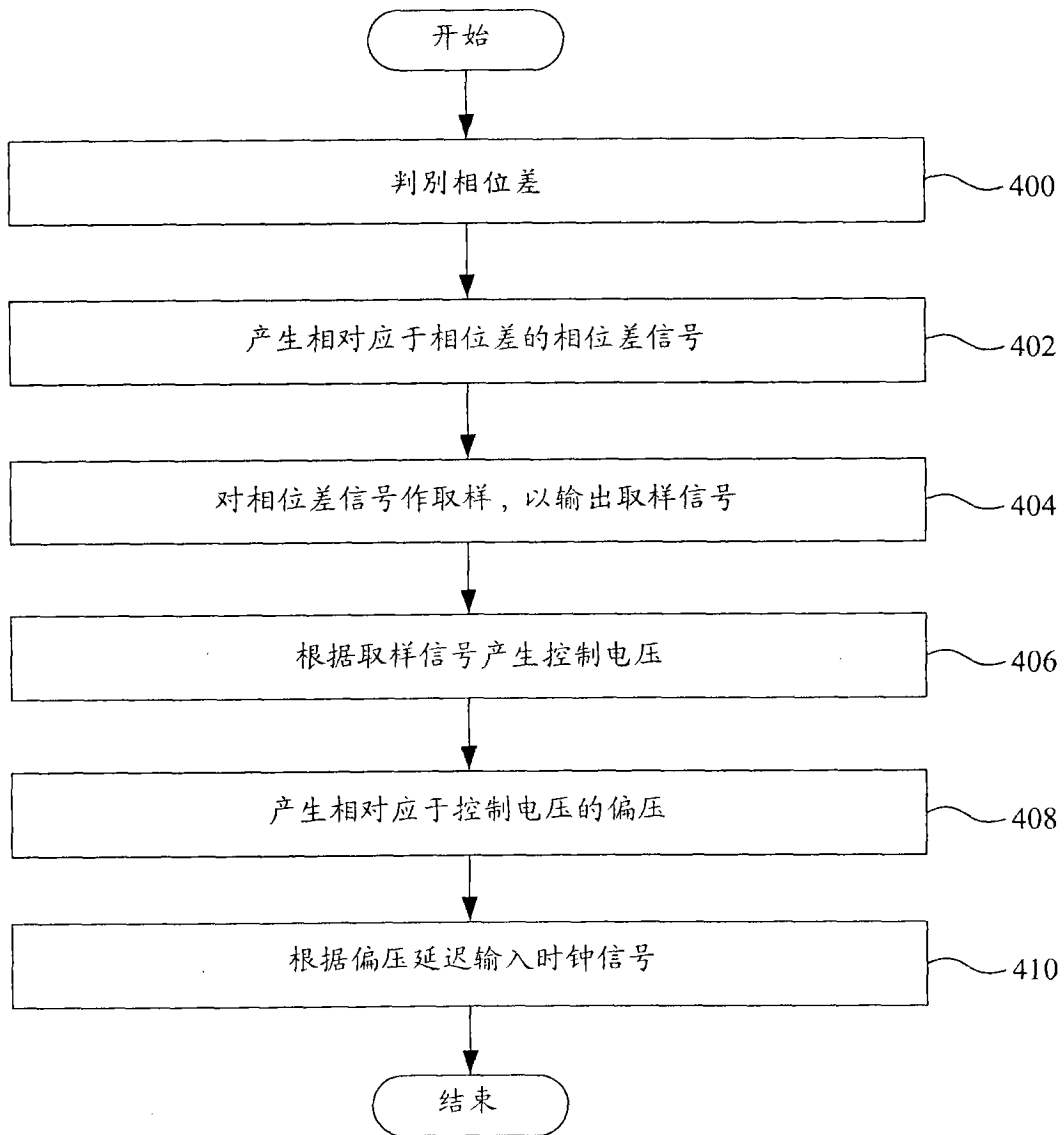


图 4