

發明專利說明書

公告本

(本申請書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：96118218

※申請日期：96年05月22日

※IPC分類：

一、發明名稱：

H01L 21/0247, 21/21, 21/115 (2006.01)

(中) 非揮發性半導體記憶體裝置和其製造方法，半導體裝置和其製造方法，和絕緣膜的製造方法

(英) Nonvolatile semiconductor memory device and manufacturing method thereof, semiconductor device and manufacturing method thereof, and manufacturing method of insulating film

二、申請人：(共 1 人)

1. 姓名：(中) 半導體能源研究所股份有限公司
(英) SEMICONDUCTOR ENERGY LABORATORY CO., LTD.代表人：(中) 1. 山崎舜平
(英) 1. YAMAZAKI, SHUNPEI地址：(中) 日本國神奈川縣厚木市長谷三九八番地
(英) 398, Hase, Atsugi-shi, Kanagawa-ken 243-0036, Japan

國籍：(中英) 日本 JAPAN

三、發明人：(共 3 人)

1. 姓名：(中) 掛端哲彌
(英) KAKEHATA, TETSUYA國籍：(中) 日本
(英) JAPAN2. 姓名：(中) 田中哲弘
(英) TANAKA, TETSUHIRO國籍：(中) 日本
(英) JAPAN3. 姓名：(中) 淺見良信
(英) ASAMI, YOSHINOBU國籍：(中) 日本
(英) JAPAN

四、聲明事項：

◎本案申請前已向下列國家（地區）申請專利 主張國際優先權：

【格式請依：受理國家（地區）；申請日；申請案號數 順序註記】

1. 日本 ; 2006/05/26 ; 2006-147467 有主張優先權

五、中文發明摘要

發明之名稱：非揮發性半導體記憶體裝置和其製造方法，半導體裝置和其製造方法，和絕緣膜的製造方法

本發明之目的在於提供製造具有優異膜特徵的絕緣膜之技術；尤其，本發明之目的在於提供製造具備高耐壓之密質絕緣膜的技術。此外，本發明之目的在於提供製造具備極少電子陷阱之絕緣膜的技術。包含氧之絕緣膜係在包含氧之氛圍中，於其中在該處之電子密度為 1×10^{11} / 立方公分以上及電子溫度為 1.5 電子伏特 (eV) 以下的條件下，接受使用高頻的電漿處理。

六、英文發明摘要

發明之名稱：NONVOLATILE SEMICONDUCTOR MEMORY DEVICE AND MANUFACTURING METHOD THEREOF, SEMICONDUCTOR DEVICE AND MANUFACTURING METHOD THEREOF, AND MANUFACTURING METHOD OF INSULATING FILM

An object is to provide a technique to manufacture an insulating film having excellent film characteristics. In particular, an object is to provide a technique to manufacture a dense insulating film with a high withstand voltage. Moreover, an object is to provide a technique to manufacture an insulating film with few electron traps. An insulating film including oxygen is subjected to plasma treatment using a high frequency under the conditions where the electron density is $1 \times 10^{11} \text{ cm}^{-3}$ or more and the electron temperature is 1.5 eV or less in an atmosphere including oxygen.

七、指定代表圖：

(一) 本案指定代表圖為：第(21C)圖

(二) 本代表圖之元件符號簡單說明：

172：絕緣膜

174：導電膜

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：無

九、發明說明

【發明所屬之技術領域】

本發明有關絕緣膜和其製造方法；此外，本發明有關半導體裝置或非揮發性半導體記憶體裝置和其製造方法。

【先前技術】

近年來，元件之小型化已伴隨著積體電路和各式各樣高性能元件的發展而推進。因而，已考慮到使用做為開關元件之電晶體的閘極絕緣膜之薄化。

然而，當使閘極絕緣膜變薄時，諸如流動於閘極電極與半導體膜或半導體基板之間之漏電流的缺陷會發生，而降低半導體裝置之可靠性。因此，具有高耐壓的絕緣膜已有所需求。

例如，專利文獻 1 揭示一種藉由佈植氧離子於形成氧化物膜時，且接著藉由執行熱處理於該處之上而增加氧化物膜之耐壓的技術。

此外，已知的是，在形成氧化物膜之一般方法中，氧化物膜易於收容氫。由於所收容進入氧化物膜之氫，O-H 鍵將易於產生而成為劣化的原因，因為在氧化物膜中的 O-H 鍵會變成電子陷阱而降低氧化物膜之耐壓、使 MIS（金屬絕緣物半導體）型電場效應電晶體（FET：場效電晶體）的臨限值變化，及其類似情形。因此，需使閘極絕緣膜成使具有極少電子陷阱的膜。

〔專利文獻 1〕日本公開專利申請案 H5-55200

【發明內容】

本發明之目的在於提供製造具有優異膜特徵之絕緣膜的技術。

本發明之另一目的在於提供製造具有高耐壓之密質絕緣膜的技術。

本發明之又一目的在於提供製造具有極少電子陷阱之絕緣膜的技術。

本發明之再一目的在於提供以高產能來製造高度可靠之半導體裝置或非揮發性半導體記憶體裝置的技術。

在本發明中，藉由使用激勵於諸如微波之高頻的電漿來執行電漿處理於包含氧之絕緣膜上。特定地，該電漿處理係由使用電漿而執行，電漿係激勵於高頻且具有 $1 \times 10^{11} \text{cm}^{-3}$ 以上的電子密度和 1.5eV 以下的電子溫度。

包含氧的絕緣膜係由 CVD 法、濺鍍法、熱氧化法、或其類似法所形成，例如做為包含氧之絕緣膜，可使用包含氧化矽、氮氧化矽 (SiO_xN_y , $x > y > 0$)、氧化氮化矽 (SiN_xO_y , $x > y > 0$)、氧化鋁 (Al_xO_y)、氧化鉬 (Ta_xO_y)、氧化鈦 (HfO_x)、或其類似物之膜。

此外，在本發明中，藉由使用激勵於諸如微波之高頻的電漿來執行電漿處理於包含氧和氫之絕緣膜上。特定地，該電漿處理係執行於其中使用高頻於該處、電子密度為 $1 \times 10^{11} \text{cm}^{-3}$ 以上、及電子溫度為 1.5eV 以下的條件之下。

包含氧和氫的絕緣膜可由 CVD 法、濺鍍法、熱氧化

法、或其類似法所形成。當使用該等方法時，膜易於在形成過程之期間收容氫；因此，例如當包含氧化矽、氮氧化矽（ SiO_xN_y ， $x > y > 0$ ）、氧化氮化矽（ SiN_xO_y ， $x > y > 0$ ）、氧化鋁（ Al_xO_y ）、氧化鉭（ Ta_xO_y ）、氧化鈦（ HfO_x ）、或其類似物之膜係由 CVD 法、濺鍍法、熱氧化法、或其類似方法所形成時，可形成該膜包含氫。

電漿處理係由使用激勵於諸如微波之高頻的電漿所執行。特定地，該電漿處理係執行於其中使用高頻於該處、電子密度為 $1 \times 10^{11} \text{cm}^{-3}$ 以上、及電子溫度為 1.5eV 以下的條件之下。更特定地，該電漿處理較佳係由使用激勵於諸如微波（典型地， 2.45GHz ）之高頻的電漿所執行，且該電漿具有 $1 \times 10^{11} \text{cm}^{-3}$ 至 $1 \times 10^{13} \text{cm}^{-3}$ 的電子密度和 0.5eV 至 1.5eV 的電子溫度。

該電漿處理係執行於包含至少氧之氛圍中。此時，除了氧之外，該氛圍較佳地包含稀有氣體（He、Ne、Ar、Kr、及 Xe 之至少其中之一）。注意的是，當執行電漿處理於包含稀有氣體的氛圍之中時，在該電漿處理之後的絕緣膜可包含該稀有氣體。

在此說明書中，在上述條件之下執行於包含氧的氛圍中之電漿處理可在下文中稱為“電漿氧化”。

在本發明中，包含氧和氫之絕緣膜的氫含量（氫濃度）可由執行電漿處理於該絕緣膜之上而降低。例如，當執行電漿處理於上述條件之下時，根據由二次離子質譜測定法（SIMS）之氫濃度的測量，可使該膜之氫濃度在電漿

處理之後成爲 5×10^{19} 原子 / 立方公分以下。

此外，相對於 0.5 重量百分比的氫氟酸，在電漿處理之後之包含氧的絕緣膜或包含氧和氫的絕緣膜之蝕刻速率會比在電漿處理之前的絕緣膜之蝕刻速率更緩慢。例如，當執行電漿處理於上述條件之下時，可使相對於 0.5 重量百分比的氫氟酸之蝕刻速率變成 $0.8 \text{ nm} / \text{min}$ (奈米 / 分鐘) 以下。

根據本發明之特定結構，形成半導體區，形成包含氧和氫之第一絕緣膜於半導體區之上，使第一絕緣膜接受藉由使用由微波所激勵之電漿的電漿處理於包含氧的氛圍中以降低第一絕緣膜之氫含量，形成浮動閘極電極於第一絕緣膜之上，形成第二絕緣膜於浮動閘極電極之上，使第二絕緣膜接受藉由使用由微波所激勵之電漿的電漿處理於包含氧的氛圍中，形成控制閘極電極於第二絕緣膜之上，以及藉由使用控制閘極電極來做爲遮罩以添加雜質元素，而形成雜質區對在半導體區之中。

根據本發明之另一結構，形成包含氧和氫之閘極絕緣膜於半導體區之上，使閘極絕緣膜接受使用由微波所激勵之電漿的電漿處理於包含氧的氛圍中以降低閘極絕緣膜之氫含量，形成閘極電極於閘極絕緣膜之上，以及使用閘極電極來做爲遮罩以添加雜質元素，而形成雜質區對在半導體區之中。

根據本發明之另一結構，形成包含氧和氫之絕緣膜，以及使絕緣膜接受使用由微波所激勵之電漿的電漿處理於

包含氧的氛圍中以降低絕緣膜之氫含量。

在上述結構中，包含氧和氫之絕緣膜可由 CVD 法、濺鍍法、及熱氧化法之其中的任一方法所形成。此外，包含氧和氫的絕緣膜可使用例如包含氧化矽、氮氧化矽、氧化氮化矽、氧化鋁、氧化鋇、或氧化鈣之絕緣膜而形成。

在上述結構中，電漿處理可在包含除了氧之外的稀有氣體之氛圍中執行於第一絕緣膜、第二絕緣膜、閘極絕緣膜、或包含氧和氫的絕緣膜。

進一步地，本發明之另一結構係非揮發性半導體記憶體裝置，包含半導體區，具有通道形成區於彼此分離所形成之雜質區對之間；浮動閘極電極，係以第一絕緣膜插入於其間而配置於半導體區之上；以及控制閘極電極，係以第二絕緣膜插入於其間而配置於浮動閘極電極之上。該第一絕緣膜或第二絕緣膜具有根據藉由二次離子質譜測定法（SIMS）之氫濃度的測量之 5×10^{19} 原子 / 立方公分以下的氫濃度。

具有上述結構之非揮發性半導體記憶體裝置可使用包含稀有氣體（諸如 He、Ne、Ar、Kr、及 Xe 之至少其中之一）之膜來做為第一絕緣膜或第二絕緣膜。

具有上述結構之非揮發性半導體記憶體裝置可使用具有相對於 0.5 重量百分比之氫氟酸之 8 奈米 / 分鐘以下的蝕刻速率。

本發明之另一結構係半導體裝置，包含半導體區，具有通道形成區於彼此分離所形成之雜質區對之間；以及閘

極電極，係以閘極絕緣膜插入於其間而配置於半導體區之上。該閘極絕緣膜具有根據藉由二次離子質譜測定法（SIMS）之氫濃度的測量之 5×10^{19} 原子／立方公分以下的氫濃度。

具有上述結構之半導體裝置可使用包含稀有氣體（諸如 He、Ne、Ar、Kr、及 Xe 之至少其中之一）之膜來做為閘極絕緣膜。

具有上述結構之半導體裝置可使用具有相對於 0.5 重量百分比之氫氟酸之 8 奈米／分鐘以下的蝕刻速率。

注意的是，在此說明書中之用語“半導體區”表示形成於半導體基板之中的區域，或形成於基板之上的半導體膜。

藉由使用本發明，可提供具有高耐壓之密質絕緣膜。

藉由使用本發明，可提供具有低的氫含量之絕緣膜。

而且，藉由使用本發明，可提供具有高耐壓之密質閘極絕緣膜。因此，可降低流動於閘極電極與形成於半導體基板中的半導體區或形成於基板上的半導體區（半導體膜）之間的漏電流。

進一步地，藉由使用本發明，可提供具有低的氫含量和極少的電子陷阱之閘極絕緣膜。因此，可使閘極絕緣膜與形成於半導體基板中的半導體區或形成於基板上的半導體區（半導體膜）之間的介面特徵變得有利。

此外，藉由使用本發明，可提供具有具備高耐壓之密質膜的半導體裝置或非揮發性半導體記憶體裝置；而且，

可提供具有極少電子陷阱之半導體裝置或非揮發性半導體記憶體裝置。因此，可改善半導體裝置或非揮發性半導體記憶體裝置之產能和可靠度。

【實施方式】

在下文中將參照圖式來解說本發明之實施例模式和實施例；然而，本發明並未受限於下文說明，且由熟習於本項技藝之該等人士所易於瞭解的是，可各式各樣地改變模式和細節而不會背離本發明之範疇和精神。因此，本發明不應被解讀為受限於下文中所示之本發明實施例模式和實施例的說明。須注意的是，表示相同部件之參考符號將共同地使用於下文中所解說之本發明結構中之所有不同的圖式。

（實施例模式 1）

在本發明中，電漿處理（電漿氧化）係在包含氧之氛圍中執行於絕緣膜之上。此處，將參照第 1A 至 1C 圖來解說執行電漿氧化於基板上所形成的絕緣膜之上的實例。

第一絕緣膜 12 係形成於基板 10 之上（請參閱第 1A 圖），該基板 10 可為玻璃基板，石英基板，藍寶石基板，陶質物基板，金屬基板，或其類似物。而且，該等基板可配置有一般半導體裝置之組件，例如絕緣膜，半導體膜，或閘極電極。此外，可使用諸如 Si 基板之半導體基板，或配置有一般半導體裝置之組件的半導體基板。進一步

地，可使用由聚乙烯對苯二甲酯（PET），聚乙烯萘二甲酸酯（PEN），聚醚砜（PES），丙烯酸，或其類似物所製成之塑膠基板，或配置有一般半導體裝置之組件的塑膠基板。

第一絕緣膜 12 係在其已被形成之後才接受電漿氧化的膜。做為第一絕緣膜 12，可形成至少包含氧的膜。特定地，可形成包含氧化矽，氮氧化矽（ SiO_xN_y ， $x > y > 0$ ），氧化氮化矽（ SiN_xO_y ， $x > y > 0$ ），氧化鋁（ Al_xO_y ），氧化鉭（ Ta_xO_y ），氧化鈦（ HfO_x ），或其類似物之膜。此外，第一絕緣膜 12 可由 CVD 法（諸如電漿 CVD 法或 LPCVD 法），濺鍍法，熱氧化法，或其類似法所形成。

將解說用以由電漿 CVD 法來形成第一絕緣膜 12 之方法以做為實例。第 3 圖顯示用以由電漿 CVD 法來形成膜（此處對應於第一絕緣膜 12）之設備的結構實例。第 3 圖中所示之電漿 CVD 設備具有處理室，係配置有支撐底座 351，用以設定即將被處理之基板 331（此處對應於基板 10）於該處之上；電極板 360，具有小的開口，氣體可透過該等開口而引入；高頻電功率引入部分 361；氣體引入部分 362；以及抽真空埠 353。當支撐底座 351 配置有溫度控制部分 357 時，則可控制即將被處理之基板 331 的溫度。

所欲的膜可由引入根據欲形成於即將被處理之基板 331 上的膜之材料氣體至處理室之內而形成。例如當形成

氮氧化矽膜以做為第一絕緣膜 12 時，可引入甲矽烷 (SiH_4) 氣體及一氧化二氮 (N_2O) 氣體至處理室之內。

接著，執行電漿氧化於第一絕緣膜 12 之上（參閱第 1B 圖），藉以形成第二絕緣膜 14（參閱第 1C 圖）。該電漿氧化係由使用激勵於諸如微波（典型地，2.45GHz）之高頻且具有 $1 \times 10^{11} \text{cm}^{-3}$ 以上的電子密度和 1.5eV 以下的電子溫度之電漿所執行。更特定地，係較佳地使用具有 $1 \times 10^{11} \text{cm}^{-3}$ 至 $1 \times 10^{11} \text{cm}^{-3}$ 的電子密度和 0.5eV 至 1.5eV 的電子溫度之電漿。此外，其中執行電漿氧化之氛圍至少包含氧，且除了氧之外，可包含稀有氣體（He、Ne、Ar、Kr、及 Xe 之至少其中之一）。例如，可使用 Ar 來做為稀有氣體；此外，可使用 Ar 及 Kr 之混合氣體來做為稀有氣體。

當在包含稀有氣體的氛圍中執行電漿氧化於第一絕緣膜 12 之上時，第一絕緣膜 12 可包含使用於電漿處理之稀有氣體（He、Ne、Ar、Kr、及 Xe 之至少其中之一）。例如，當使用 Ar 來做為稀有氣體時，由電漿處理所形成的第二絕緣膜 14 可包含 Ar。

第 2 圖顯示用以執行電漿氧化之設備的結構實例。第 2 圖中所示之電漿處理設備具有支撐底座 88，用以設定基板 10 於該處之上，該基板 10 配置有將執行電漿氧化於上的膜（對應於顯示於第 1A 圖中之配置有第一絕緣膜 12 之基板 10）；氣體供應埠 84，用以引入氣體；抽真空埠 86，係連接至用以抽真空氣體之真空幫浦；天線 80；電

介質板 82；及微波供應部分 92，用以供應微波以產生電漿。此外，當支撐底座 88 配置有溫度控制部分 90 時，可控制基板 10 的溫度。

在下文中將解說藉由使用第 2 圖中所示之電漿處理設備來執行電漿氧化於第一絕緣膜 12 上的特定實例。首先，第 2 圖中所示之電漿處理設備的處理室被抽至真空；然後，透過氣體供應部分 84 將包含至少氧之用於電漿處理的氣體引入，基板 10 係由溫度控制部分 90 而保持於室溫或加熱於 100°C 至 550°C ，在基板 10 與電介質板 82 之間的距離（下文中稱為電極間距）係在大約自 20 毫米至 80 毫米（較佳地，自 20 毫米至 60 毫米）之範圍。接著，自微波供應部分 92 來供應微波（ 2.45GHz 之頻率）至天線 80；然後，微波係透過電介質板 82 而自天線 80 引入至處理室之內，藉以產生電漿。當電漿係由微波之引入所激勵時，可產生具有低的電子溫度（ 3eV 以下，較佳地 1.5eV 以下）及高的電子密度（ $1 \times 10^{11}\text{cm}^{-3}$ 以上）之電漿。注意的是，在此說明書中，由微波之引入所產生之具有低的電子溫度及高的電子密度之電漿可稱為高密度電漿。第一絕緣膜 12 係由此高密度電漿所產生之氧游離基（在下文中可表示為 (O^*) ）所氧化。此時，當諸如氫之稀有氣體與用於電漿處理之氣體結合時，則氧游離基可由於稀有氣體之受激勵的物種而有效率地產生。在此方法中，藉由有效率地使用由電漿所激勵之活性游離基，則經由 500°C 以下之低溫的固相反應之氧化係可行的。

例如，將說明藉由使用第 2 圖中所示之電漿處理設備來執行電漿處理於包含氧氣體 (O_2) 及氬氣體 (Ar) 之氛圍中的情況。經由引入氧氣體 (O_2) 及氬氣體 (Ar) 至電漿處理設備之內，其中混合氧氣體和氬氣體的高密度電漿係由微波所產生。在其中混合氧氣體和氬氣體之高密度電漿中，氬氣體係由所引入之微波所激勵而產生氬游離基 (下文中將稱為 (Ar^*))，以及氧游離基 (O^*) 係由氬游離基 (Ar^*) 與氧分子之間的碰撞所產生。然後，所產生的氧游離基 (O^*) 與形成於基板 10 上的第一絕緣膜 12 相互反應，而形成第二絕緣膜 14。

第二絕緣膜 14 係具有高的耐壓之密質膜，其係藉由在包含氧之氛圍中執行電漿處理於第一絕緣膜 12 之上所獲得。此外，該第二絕緣膜 14 可由比習知之熱氧化法中之溫度更低的溫度過程所製造。藉由使用本發明，即使是在由靈敏於溫度之玻璃或其類似物所製成之基板上，亦可形成具備有利之膜特徵的膜。

例如，藉由在包含氧的氛圍中執行電漿處理於第一絕緣膜 12 上所獲得的第二絕緣膜 14 可具有相對於 0.5 重量百分比 (wt%) 之氫氟酸之 8 奈米 / 分鐘 (nm / min) 以下的蝕刻速率。

當第一絕緣膜 12 係由 CVD 法、濺鍍法、或諸如溼式氧化之熱氧化法所形成時，該膜將包含氫。然而，當執行電漿氧化時，可降低該膜的氫含量。藉由使用本發明，可減少造成電子陷阱產生於絕緣膜中的氫。

例如，藉由在包含氧的氛圍中執行電漿處理於第一絕緣膜 12 上所獲得的第二絕緣膜 14 可具有根據由二次離子質譜測定法 (SIMS) 之氫濃度測量之 5×10^{19} 原子 / 立方公分以下的氫濃度。

此處，將說明電漿氧化處理之前和之後的絕緣膜之所估計的結構。

如上述，當包含氧的膜係由 CVD 法、濺鍍法、或諸如溼式氧化之熱氧化法所形成時，該膜易於收容氫。此時，所收容進入包含氧之該膜內的一些氫被視為與氧形成 O-H 鍵於該膜中。

當執行電漿氧化於包含諸如 O-H 鍵之氫的膜之中時，由於氧游離基的氫退吸或氫與氧間之取代反應會發生，以致使該膜之氫含量可視為被降低。

在此方式中，該膜中的氫係由氧游離基所退吸，或氫與氧間之取代反應會發生，因此，在該膜中之 O-H 鍵將減少。因而，可降低由於絕緣膜中之 O-H 鍵所造成的電子陷阱。

此外，可認為的是，具有高的耐壓之密質膜可由造成膜中之氫減少之由於氧游離基而退吸膜中的氫或由膜中氫與氧之間的取代反應所形成。

如上述地，藉由使用本發明，可形成具有高的耐壓之密質絕緣膜。此外，具有極少電子陷阱之絕緣膜可由降低膜之氫含量所形成。因此，可提供具有優異之膜特徵的絕緣膜。

〔實施例 1〕

在此實施例中，將解說使用本發明之半導體製造方法的實例。此處，將敘述藉由使用本發明來製造薄膜電晶體（在下文中亦稱爲 TFT）之閘極絕緣膜的情況。在下文中所解說之本發明的結構中，表示相同元件之參考符號係共同地使用於不同的圖式中，且可省略此一元件之說明。

首先，形成基底絕緣膜 402 於基板 400 之上（請參閱第 4A 圖），該基板 400 可爲玻璃基板、石英基板、藍寶石基板、陶質物基板、金屬基板、或其類似物。此外，亦可使用由聚乙烯對苯二甲酯、聚乙烯萘二甲酸酯、聚醚砜、丙烯酸、或其類似物所製成之塑膠基板。此外，可使用至少可忍受在製造中所產生之熱量的基板。在此實施例中，係使用玻璃基板來做爲基板 400。

基底絕緣膜 402 係由諸如氧化矽、氮化矽、氮氧化矽（ SiO_xN_y ， $x > y > 0$ ）、或氧化氮化矽（ SiN_xO_y ， $x > y > 0$ ）之絕緣材料所形成。該基底絕緣膜 402 可具有單層或多層結構。形成基底絕緣膜 402 之方法並未特別地受到限制，且可使用 CVD 法、濺鍍法、或其類似法。藉由提供該基底絕緣膜 402，可防止雜質擴散自基板。若基板 400 之不平坦以及雜質擴散並不會造成任何問題時，則無需一定要設置該基底絕緣膜 402。在此實施例中，該基底絕緣膜 402 係使用氧化氮化矽膜來做爲第一層及氮氧化矽膜來做爲第二層，而由電漿 CVD 法所形成。

接著，形成島狀半導體膜 404 於基底絕緣膜 402 之上（請參閱第 4A 圖），此島狀半導體膜 404 可以以此一方式所形成，亦即，由包含矽（Si）做為主要成分之材料（諸如 Si 或 $\text{Si}_x\text{Ge}_{1-x}$ ）而形成非晶半導體膜，使該非晶半導體膜結晶化，且然後，選擇性地蝕刻所結晶之半導體膜。該非晶半導體膜可由 CVD 法、濺鍍法、或其類似法所形成。該非晶半導體膜無需一定要被結晶化，當不使該非晶半導體膜結晶時，可選擇性地蝕刻該非晶半導體膜而形成包含該非晶半導體膜之島狀半導體膜 404。

當使該非晶半導體膜結晶時，可使用雷射結晶法，利用 RTA 或退火爐之熱結晶法，利用促進結晶之金屬元素的熱結晶法，其中結合該等方法之任一與另一方法之方法，或其類似方法。

當半導體膜係由雷射照射所結晶或重新結晶時，可使用半導體雷射（LD）抽運式連續波（CW）雷射（ YVO_4 ，二次諧波（波長 532nm））來做為雷射光的光源，無需一定要特別地限制為二次諧波；然而，就能量效率而言，二次諧波係優於其他更高的諧波。當以 CW 雷射來照射半導體膜時，該半導體膜可連續地接收能量；因此，一旦半導體膜熔化時，所熔化的狀態可持續著。此外，半導體膜的固態-液態介面可由掃描 CW 雷射所移動，且可形成沿著此移動方向而在一方向之中變長的晶粒。此外，因為相較於氣體雷射及類似物時，固態雷射之高度穩定的輸出及穩定的處理係可預期的，所以使用固態雷射。應注意的是，

不僅可使用 CW 雷射，而且可使用具有 10MHz 以上之重複率的脈波式雷射。藉由具有高的重複率之脈波式雷射，當所熔化之半導體膜固化週期比雷射之脈波間距更短時，則該半導體膜可恆定地保持熔化，使得該半導體膜能具有由於固態-液態介面之移動而在一方向中變長之晶粒。可使用其他 CW 雷射和具有 10MHz 以上之重複率的脈波式雷射。例如，可使用 Ar 雷射，Kr 雷射，CO₂ 雷射，或其類似物來做為氣體雷射；此外，可給定諸如氬-鎘之金屬氣相雷射來做為氣體雷射。可使用 YAG 雷射，YLF 雷射，YALO₃ 雷射，GdVO₄ 雷射，KGW 雷射，KYW 雷射，紫翠玉雷射，Ti：藍寶石雷射，Y₂O₃ 雷射，YVO₄ 雷射，或類似物來做為固態雷射。此外，在該等固態雷射之中，亦可使用 YAG 雷射，Y₂O₃ 雷射，GdVO₄ 雷射，YVO₄ 雷射，或其類似物來做為陶質物雷射。較佳的是，自雷射振盪器來發出具有 TEM₀₀（單一橫向模式）的雷射光，因為欲照射於表面上之線性光束光點可具有更均勻的能量。除了上述該等雷射之外，可使用脈波式準分子雷射。

接著，形成第一絕緣膜 406 於半導體膜 404 之上（請參閱第 4B 圖），包含至少氧的膜被形成做為第一絕緣膜 406，例如，該第一絕緣膜 406 可由氧化矽，氮氧化矽（SiO_xN_y，x > y > 0），氧化氮化矽（SiN_xO_y，x > y > 0），氧化鋁（Al_xO_y），氧化鉭（Ta_xO_y），或其類似物所形成。此外，可使用諸如氧化鈦（HfO_x）之具有高電介質常數的材料，該第一絕緣膜 406 係由 CVD 法、濺鍍法、或其

類似方法所形成。例如，當使用氧化矽或氮氧化矽時，膜厚度之範圍較佳地係自 1nm 至 100nm，更佳地自 1nm 至 40nm。

當形成氮氧化矽膜來做為第一絕緣膜 406 時，第一絕緣膜 406 可藉由使用甲矽烷 (SiH_4) 氣體和一氧化二氮 (N_2O) 氣體做為材料氣體之電漿 CVD 法所形成。下文將顯示此時形成該氮氧化矽膜之條件的實例。

該材料氣體之氣體質量流速率係設定為 $\text{SiH}_4 : \text{N}_2\text{O} = 1 : 800$ (sccm)，在此說明書中之氣體質量流速率表示供應至膜形成室之 SiH_4 氣體與 N_2O 氣體間之氣體質量流的速率 (sccm)。高頻電功率係設定為 60MHz 頻率時之 150W (瓦)，膜形成溫度 (基板溫度) 設定為 400°C ，在處理室中之壓力設定為 40Pa，以及電極間距設定為 28mm。

使第一絕緣膜 406 接受電漿氧化 (請參閱第 4C 圖)，藉以形成第二絕緣膜 408 (請參閱第 4D 圖)。該電漿氧化係由使用激勵於諸如微波 (典型地，2.45GHz) 之高頻且具有 $1 \times 10^{11} \text{cm}^{-3}$ 以上的電子密度和 1.5eV 以下的電子溫度之電漿所執行。特定地，係較佳地使用具有 $1 \times 10^{11} \text{cm}^{-3}$ 至 $1 \times 10^{11} \text{cm}^{-3}$ 的電子密度和 0.5eV 至 1.5eV 的電子溫度之電漿。此外，執行於第一絕緣膜 406 上之電漿氧化時間較佳地為 60 秒或更長。

電漿氧化係執行於包含至少氧的氛圍中，例如該氛圍較佳地包含氧氣 (O_2)；氧氣 (O_2) 和稀有氣體 (He、

Ne、Ar、Kr、及 Xe 之至少其中之一)；或氧氣 (O₂)、稀有氣體 (He、Ne、Ar、Kr、及 Xe 之至少其中之一)、和氫氣 (H₂)。當氛圍包含氫氣 (H₂) 時，氫的數量較佳地比氧及稀有氣體的數量更少。

在此實施例中，電漿氧化係執行於包含氧氣 (O₂) 和氬氣 (Ar) 的氛圍中。特定地，氧氣和氬氣的混合氣體被引入至如第 2 圖中所示之電漿處理設備的處理室內以做為電漿處理用之氣體。例如，氧氣可以以 0.1 至 100sccm 而引入，以及氬氣可以以 100 至 5000sccm 而引入；此處，氧氣係以 5sccm 來引入，以及氬氣係以 90sccm 來引入。基板溫度係設定為 400°C，以及處理室中之壓力係設定為 106.67Pa。此外，使用具有 2.45GHz 之頻率的微波以供電漿激勵用。

在本發明中的電漿氧化係執行於其中在欲處理之物件，亦即，第一絕緣膜 406 之附近處的電漿電子密度高 ($1 \times 10^{11} \text{cm}^{-3}$ 以上) 及電子溫度低的條件；因此，可防止第二絕緣膜 408 由於電漿而損壞。此外，因為電電子密度高 ($1 \times 10^{11} \text{cm}^{-3}$ 以上)，所以相較於由 CVD 法、濺鍍法、或類似方法所形成的膜，可使得藉由執行電漿氧化於欲處理之物件上所形成的膜 (此處為第一絕緣膜 406) 成為具有高度耐壓之密質膜。而且，因為電漿電子溫度低 (1.5eV 以下)，所以可以以比習知之電漿處理或熱氧化法更低的溫度來執行氧化處理於欲處理的物件之上。例如，可使用低於玻璃基板之變形點的 100°C 以上之電漿氧化而充分地

執行氧化處理。

藉由在上述條件之下的電漿處理，可獲得具有高度耐壓的密質膜。此外，具有降低之氫含量的膜可由執行電漿處理於由 CVD 法或濺鍍法所形成之包含氫的絕緣膜之上而獲得。

在此實施例中，電漿氧化係執行於半導體膜 404 上所形成之第一絕緣膜 406 之上。此時，與第一絕緣膜 406 接觸之半導體膜 404 的表面亦依據該第一絕緣膜 406 的膜厚度而氧化。例如，當第一絕緣膜 406 具有 40nm 以下的厚度時，則亦可使得與第一絕緣膜 406 接觸之半導體膜 404 的表面氧化。因此，該半導體膜 404 之膜厚度可在執行電漿處理於第一絕緣膜 406 之後減少（第 4D 圖）。

此係因為當第一絕緣膜 406 係薄的時候，氧游離基會充分地透過第一絕緣膜 406 傳送，而透過第一絕緣膜 406 所傳送的氧游離基可氧化半導體膜 404。半導體膜之所氧化的表面可用作第二絕緣層 408 的一部分；因而，半導體膜 404 的膜厚度會減少，使得第二絕緣膜 408 變得比第一絕緣膜 406 更厚。第 4D 圖顯示其中半導體膜 404 在電漿處理之後變得更薄，以及半導體膜之外緣在電漿處理之前係以點線顯示的實例。

此處，測量電漿氧化處理之前和之後的半導體膜和形成於半導體膜上之絕緣膜的膜厚度之結果係顯示於第 1 表之中。該測量係使用其中結晶矽膜和氧化矽膜堆疊於玻璃基板上之取樣而由光譜橢圓測量術所執行，可使用由

HORIBA, Ltd 所製造的“光譜橢圓計 UVISEL”來做為測量設備。氧化矽膜係由 CVD 法而形成氧化矽膜且接著執行電漿氧化於該氧化矽膜之上所獲得。該電漿氧化係執行於下列條件之下：O₂ 之流率為 5sccm，Ar 之流率為 900sccm，H₂ 之流率為 5sccm，處理室中之壓力為 106.67Pa，高頻電功率為 3800W（2.45GHz），以及基板溫度為 400℃。

[第1表]

	在電漿氧化之前	在電漿氧化之後	膜厚度改變
SiO ₂ 之膜厚度 (nm)	10.68	15.95	5.27
Si 之膜厚度 (nm)	60.23	57.78	-2.45

如第 1 表中所示地，在電漿氧化之後，氧化矽（SiO₂）膜之膜厚度增加 5.27nm，以及結晶矽（Si）膜之膜厚度減少 2.45nm。因此，可瞭解的是，由於電漿氧化，結晶矽膜會變得更薄以及氧化矽膜會變得更厚。此外，可認為的是，結晶矽膜變得更薄係因為由高密度電漿所產生之氧游離基會透過氧化矽膜傳送而使結晶矽膜之表面氧化所致。

當在包含稀有氣的氛圍中執行電漿氧化於第一絕緣膜 406 之上時，該第一絕緣膜 406 可包含使用於該電漿處理中之稀有氣體（He，Ne，Ar，Kr，及 Xe 之至少其中之一）。例如，當使用 Ar 來做為稀有氣體時，由電漿處理所形成的第二絕緣膜 408 可包含 Ar。

由上述步驟所形成的第二絕緣膜 408 作用為電晶體之

閘極絕緣膜；因此，可形成該閘極絕緣膜為密質且具有高的耐壓。此外，如相較於由 CVD 法、濺鍍法、或類似方法所形成之膜，該閘極絕緣膜可具有降低的氫含量和極少的電子陷阱。

之後，形成導電膜於第二絕緣膜 408 之上（請參閱第 5A 圖）。此處，所顯示的是堆疊導電膜 410 與導電膜 412 之實例。無庸置疑地，導電膜亦可形成為單一層，或三或多層的堆疊。

該等導電膜 410 及 412 可由選擇自鈿（Ta）、鎢（W）、鈦（Ti）、鉬（Mo）、鋁（Al）、銅（Cu）、鉻（Cr）、鈮（Nb），及其類似物之元素，或包含該等元素之任一元素來做為其主要成分的合金或化合物材料所形成。此外，該等導電膜 410 及 412 可使用藉由氮化該等元素之任一元素所獲得的金屬氮化物膜而形成。而且，可使用摻雜有諸如磷之雜質元素的多晶矽所代表的半導體材料。該等導電膜 410 及 412 可使用該等材料而由 CVD 法、濺鍍法、或其類似法所形成。

此處，導電膜 410 係由氮化鈿所形成，以及導電膜 412 係由鎢而形成於導電膜 410 之上。此外，導電膜 410 可使用選擇自氮化鎢、氮化鉬、及氧化鈦之材料而形成為單一層或堆疊層；以及導電膜 412 可使用選擇自鈿、鉬、及鈦的材料而形成為單一層或堆疊層。

接著，選擇性地蝕刻導電膜 410 和導電膜 412，使得導電膜 410 和導電膜 412 留在一部分的半導體層 404 之上

；因而，形成可形成閘極電極 418 之導電膜 414 和導電膜 416（請參閱第 5B 圖）。雖然閘極電極 418 之導電膜 414 和導電膜 416 的末端部分在此實施例中彼此大約匹配，但本發明並未受限於此，例如形成於下方之導電膜 414 的寬度（在約略平行於其中載子流動於通道形成區中之方向的方向（連接源極區與汲極區之方向）中之寬度）可以比導電膜 416 的寬度更大。

然後，藉由使用閘極電極 418 來做為遮罩而添加雜質元素，藉以形成雜質區 422 對以及在該雜質區 422 對之間的通道形成品 420（請參閱第 5C 圖），此處所形成之該等雜質區 422 各自地作用為電晶體之源極或汲極區。做為雜質元素，係使用給與 n 型導電性的雜質元素或給與 p 型導電性的雜質元素。做為給與 n 型導電性之雜質元素，可使用磷（P）、砷（As），或其類似物；以及做為給與 p 型導電性之雜質元素，可使用硼（B）、鋁（Al）、鎵（Ga），或其類似物。此處，係添加磷（P）來做為雜質元素。

之後，形成絕緣膜以便覆蓋第二絕緣膜 408 和閘極電極 418（導電膜 416 和 414）（請參閱第 5D 圖）。此處，所顯示的是其中第三絕緣膜 424 和第四絕緣膜 426 被堆疊成為絕緣膜之實例，本發明並未特別地受到限制，且該絕緣膜亦可形成為單一層，或三或多層之堆疊。

第三絕緣膜 424 和第四絕緣膜 426 可使用諸如氧化矽、氮化矽、氮氧化矽（ SiO_xN_y ， $x > y > 0$ ）、或氧化氮化

矽 (SiN_xO_y , $x > y > 0$) 之包含氧或氮的絕緣膜；包含諸如 DLC (以鑽石之碳) 之碳的膜；包含諸如矽氧烷樹脂之矽氧烷材料或諸如環氧、聚亞醯胺、聚醯胺、聚乙烯酚、苯環丁烯、或丙烯酸之有機材料的膜而形成。該矽氧烷材料對應於包含 Si-O-Si 鍵之材料，矽氧烷具有包含矽 (Si) 和氧 (O) 之鍵的骨架結構，可使用包含至少氫之有機族 (諸如烷基族或芳香烴) 於取代物，亦可使用氟族於取代物；此外，可使用包含至少氫及氟碳之有機族於取代物。該第三絕緣膜 424 和第四絕緣膜 426 可藉由 CVD 法、濺鍍法、塗佈法、或類似方法而由該等材料所形成。當絕緣膜係由有機材料或矽氧烷材料所形成時，可使由於半導體膜、閘極電極、及其類似物之階段變平。然而，由有機材料或矽氧烷材料所形成的膜易於吸收及傳送溼氣；因此，若半導體膜、閘極絕緣膜、閘極電極、及其類似物係形成與由有機材料或矽氧烷材料所形成的膜接觸時，將不利地影響所形成之電晶體的電氣特性。因此，較佳地形成由具有高阻隔效應以抵抗溼氣之無機材料所形成的膜與該半導體膜、閘極絕緣膜、閘極電極、及其類似物接觸。尤其，包含氮化矽、氧化氮化矽、或其類似物之膜係較佳的，因為具有抵抗溼氣之高阻隔效應。此處，第三絕緣膜 424 係使用包含無機材料之膜所形成，以及第四絕緣膜 426 係使用包含有機材料或矽氧烷材料而形成於第三絕緣膜 424 之上。

之後，設置形成於半導體膜 404 中之到達雜質區 422

的開口於第三絕緣膜 424 和第四絕緣膜 426 之中；然後，形成電性連接至半導體膜 404 中所形成之雜質區 422 的導電膜 428（請參閱第 5D 圖）。雖然此處所顯示的是形成導電膜 428 為單一層之實例，但可形成該導電膜 428 為堆疊之二或多層。該導電膜 428 作用為電晶體之源極或汲極導線。

該導電膜 428 可藉由選擇自鋁（Al）、鎢（W）、鈦（Ti）、鉭（Ta）、鉬（Mo）、鎳（Ni）、鉑（Pt）、銅（Cu）、金（Au）、銀（Ag）、錳（Mn）、釹（Nd）、碳（C）、及矽（Si）之元素，或包含該等元素之任一元素來做為其主要成分之合金或化合物材料，而由 CVD 法、濺鍍法、或其類似方法所形成。例如，做為包含鋁以做為其主要成分之合金材料，可使用以下之材料：包含鋁以做為其主要成分且亦包含鎳之材料；或包含鋁以做為其主要成分且亦包含鎳及碳和矽之其中之一或二者之材料。做為導電膜 428，例如較佳地使用阻障膜、鋁-矽（Al-Si）膜、及另一阻障膜的堆疊結構，或阻障膜、鋁-矽（Al-Si）膜、氮化鈦（TiN）膜、及另一阻障膜的堆疊結構。注意的是，該阻障膜對應於鈦、氮化鈦、鉬、或氮化鉬之薄膜。因為鋁和鋁矽具有低的電阻且並不昂貴，所以它們適用以形成導電膜 428。當形成阻障層為上方層及下方層時，可防止鋁和鋁矽中之小丘的產生。此外，當阻障膜係由具有高還原性質之元素的鈦所形成時，即使薄的自然氧化物膜形成於結晶半導體膜之上，亦可藉由還原此自然氧化

物膜而達成與結晶半導體膜的有利接觸。

根據該等步驟，可製造本發明之半導體裝置。在此實施例中所示之電晶體的結構僅係實例，且可使用各式各樣已知的結構，例如可形成 LDD 區於半導體膜之中，以及可設置閘極電極的側表面有側壁。此外，可應用多重閘極結構（具有半導體膜而該半導體膜包含至少兩個彼此串聯連接之通道形成區及至少兩個用以分別施加電場至該等通道形成區之閘極電極的結構），或雙重閘極結構（其中半導體膜係插入於上方閘極電極與下方閘極電極之間的結構）。

藉由使用本發明，可獲得相當薄且具有高壓壓之密質閘極絕緣膜。此外，可獲得具有有利之膜特徵的閘極絕緣膜，而無需執行高溫的熱處理。此外，當藉由執行電漿氧化於由 CVD 法或濺鍍法所形成的絕緣膜上而形行閘極絕緣膜時，可充分地覆蓋半導體膜。因此，可防止由於閘極絕緣膜之耐壓中的缺陷（亦稱為耐壓中的減少）或閘極絕緣膜之覆蓋中的缺陷所產生之諸如，在閘極電極與半導體膜之通道形成區之間的漏電流或短路的缺陷；因此，可製造出高度可靠的半導體裝置。

此外，可減少其係密質且具有高耐壓和有利覆蓋之閘極絕緣膜的膜厚度；因此，可獲得半導體裝置之進一步的小型化和更高的精確性。此外，因為可減少由於此一膜之不良形狀的缺陷，所以可在其製程中以高產能來製造半導體裝置，且可改善即將完成之半導體裝置的可靠性。

當閘極絕緣膜係由本發明所形成時，相較於由 CVD 法或濺鍍法所形成之絕緣膜，可減少氫的含量；因而，閘極絕緣膜可具有極少的電子陷阱。因此，可防止諸如電晶體之臨限電壓中之變化或副臨限係數中之減少的缺陷，進而可製造高可靠性的半導體裝置。

此實施例可以適當地與此說明書中所示的實施例模式或其他實施例之任一實施例結合。

[實施例 2]

在此實施例中，將參照第 8A 至 8E 圖來說明其中設置絕緣膜（下文中亦稱為側壁）於實施例 1 中所示之結構中的側表面之情況。注意的是，相同的參考符號係使用來表示與實施例 1 中之相同的部件。且將省略此一部件之說明。

執行直至第 5B 圖中所示步驟及實施例 1 中所述之該等步驟（請參閱第 8A 圖）。

接著，藉由使用閘極電極 418 來做為遮罩而添加雜質元素至半導體膜 404，藉以形成第一雜質區 822 對。此處所形成之雜質區 822 作用為即將於稍後完成之電晶體的低濃度雜質區（亦稱為 LDD 區）。做為雜質元素，係使用給與 n 型導電性之雜質元素或給與 p 型導電性之雜質元素。做為給與 n 型導電性之雜質元素，可使用磷（P）、砷（As）、或其類似物；做為給與 p 型導電性之雜質元素，可使用硼（B）、鋁（Al）、鎵（Ga）、或其類似物（請

參閱第 8B 圖)。

之後，形成與閘極電極 418 之側表面接觸之第三絕緣膜 824 (請參閱第 8C 圖)。與閘極電極 418 之側表面接觸之第三絕緣膜 824 亦稱為側壁。

第三絕緣膜 824 可由形成絕緣膜以便覆蓋第二絕緣膜 408 和閘極電極 418，且接著藉由主要在垂直方向中之各向異性蝕刻法來選擇性地蝕刻該絕緣膜而形成。該絕緣膜 (稍後所形成之第三絕緣膜 824) 可由 CVD 法或濺鍍法而利用氧化矽、氮氧化矽、或其類似物來形成單一層或堆疊層。

此外，較佳地使第三絕緣膜 824 接受電漿氧化，該電漿氧化可相似於所執行於第一絕緣膜 406 之上的處理而執行於當形成第二絕緣膜 408 時。亦即，可使用激勵於諸如微波 (典型地，2.45 GHz) 之高頻且具有 $1 \times 10^{11} \text{ cm}^{-3}$ 以上的電子密度和 1.5 eV 以下的電漿電子溫度的電漿。更特定地，係較佳地使用具有 $1 \times 10^{11} \text{ cm}^{-3}$ 至 $1 \times 10^{11} \text{ cm}^{-3}$ 之電子密度和 0.5 eV 至 1.5 eV 之電漿電子溫度的電漿。該電漿氧化時間較佳地為 60 秒或更長。藉由執行電漿氧化於作用為側壁的絕緣膜，可製造具有高耐壓的密質膜。

當作用為側壁之絕緣膜係由 CVD 法、濺鍍法、或類似方法所形成時，該絕緣膜將易於吸收溼氣。然而，如本發明中所示地，該絕緣膜之氫含量可由執行電漿氧化於作用為側壁之絕緣膜上而減少。

電漿氧化係執行於包含至少氫的氛圍中。例如，該氛

圍較佳地包含氧氣 (O_2) ; 氧氣 (O_2) 和稀有氣體 (He、Ne、Ar、Kr、及 Xe 之至少其中之一) ; 或氧氣 (O_2)、稀有氣體 (He、Ne、Ar、Kr、及 Xe 之至少其中之一) 和氫氣 (H_2)。當該氛圍包含氫氣時，氫氣的數量較佳地比氧氣和稀有氣體的數量更少。

之後，藉由使用閘極電極 418 和第三絕緣膜 824 來做為遮罩而添加雜質元素至半導體膜 404，藉以形成通道形成區 825、第二雜質區 826 對、和第三雜質區 827 對 (請參閱第 8D 圖)。此處，該雜質元素係以比當形成第一雜質區 822 時 (請參閱第 8B 圖) 所添加之雜質元素濃度更高的濃度來予以添加。因此，第三雜質區 827 係其中雜質元素以比在第二雜質區 826 中更高的濃度而添加於該處的地區。此外，第三雜質區 827 各自地作用為源極或汲極區，以及第二雜質區 826 作用為低濃度摻質區 (LDD 區)。做為雜質元素，係使用給與 n 型導電性之雜質元素或給與 p 型導電性之雜質元素。做為給與 n 型導電性之雜質元素，可使用磷 (P)、砷 (As)、或其類似物；做為給與 p 型導電性之雜質元素，可使用硼 (B)、鋁 (Al)、鎵 (Ga)、或其類似物。

接著，形成絕緣膜以覆蓋第二絕緣膜 408、第三絕緣膜 824、和閘極電極 418。此處，該絕緣膜係形成為第四絕緣膜 828 和第五絕緣膜 830 之堆疊。無庸置疑地，本發明並未受限於此，且該絕緣膜亦可形成為單一層、或三或多層之堆疊。然後，形成導電膜 832 以便電性連接至形成

於半導體膜 404 中的第三雜質區 827 (請參閱第 8E 圖)

。第四絕緣膜 828 和第五絕緣膜 830 可使用諸如氧化矽、氮化矽、氮氧化矽 (SiO_xN_y , $x > y > 0$)、或氧化氮化矽 (SiN_xO_y , $x > y > 0$) 之包含氧或氮的絕緣膜；包含諸如 DLC (似鑽石之碳) 之碳的膜；包含諸如矽氧烷樹脂之矽氧烷材料或諸如環氧、聚亞醯胺、聚醯胺、聚乙烯酚、苯環丁烯、或丙烯酸之有機材料的膜而形成。該矽氧烷材料對應於包含 Si-O-Si 鍵之材料，矽氧烷具有包含矽 (Si) 和氧 (O) 之鍵的骨架結構，可使用包含至少氫之有機族 (諸如烷基族或芳香烴) 於取代物，亦可使用氟族於取代物；此外，可使用包含至少氫之有機族及氟碳於取代物。該第四絕緣膜 828 和第五絕緣膜 830 可藉由 CVD 法、濺鍍法、塗佈法、或類似方法而由該等材料所形成。當絕緣膜係由有機材料或矽氧烷材料所形成時，可使由於半導體膜、閘極電極、及其類似物之階段變平。然而，由有機材料或矽氧烷材料所形成的膜易於吸收及傳送溼氣；因此，若半導體膜、閘極絕緣膜、閘極電極、及其類似於係形成與由有機材料或矽氧烷材料所形成膜接觸時，將不利地影響所形成之電晶體的電氣特性。因此，較佳地形成由具有高阻隔效應以抵抗溼氣之無機材料所形成的膜與該半導體膜、閘極絕緣膜、閘極電極、及其類似物接觸。尤其，包含氮化矽、氧化氮化矽、或其類似物之膜係較佳的，因為具有抵抗溼氣之高阻隔效應。此處，第四絕緣膜 828 係

使用包含無機材料之膜所形成，以及第五絕緣膜 830 係使用包含有機材料或矽氧烷材料而形成於第四絕緣膜 828 之上。

導電膜 832 可由選擇自鋁 (Al)、鎢 (W)、鈦 (Ti)、鉬 (Ta)、鉑 (Mo)、鎳 (Ni)、鉑 (Pt)、銅 (Cu)、金 (Au)、銀 (Ag)、錳 (Mn)、鈮 (Nd)、碳 (C)、及矽 (Si) 之元素；或包含該等元素之任一元素來做為其主要成分之合金或化合物材料，而由 CVD 法、濺鍍法、或其類似方法所形成。例如，做為包含鋁以做為其主要成分之合金材料，可使用以下之材料：包含鋁以做為其主要成分且亦包含鎳之材料；或包含鋁以做為其主要成分且亦包含鎳及碳和矽之其中之一或二者之材料。做為導電膜 832，例如較佳地使用阻障膜、鋁-矽 (Al-Si) 膜、及另一阻障膜的堆疊結構、或阻障膜、鋁-矽 (Al-Si) 膜、氮化鈦 (TiN) 膜、及另一阻障膜的堆疊結構。注意的是，該阻障膜對應於鈦、氮化鈦、鉬、或氮化鉬之薄膜。因為鋁和鋁矽具有低的電阻且不昂貴，所以它們適用以形成導電膜 832。當形成阻障層為上方層及下方層時，可防止鋁和鋁矽中之小丘的產生。此外，當阻障膜係由具有高還原性質之元素的鈦所形成時，即使薄的自然氧化物膜形成於結晶半導體膜之上，亦可藉由還原此自然氧化物膜而達成與結晶半導體膜的有利接觸。

根據該等步驟，可製造本發明之半導體裝置。在此實施例中所示之電晶體的結構僅係實例，且可使用各式各樣

已知的結構，例如可應用多重閘極結構（具有半導體膜而該半導體膜包含至少兩個彼此串聯連接之通道形成區及至少兩個用以分別施加電場至該等通道形成區之閘極電極的結構），或雙重閘極結構（其中半導體膜係插入於上方閘極電極與下方閘極電極之間的結構）。

藉由應用本發明，可形成具有高的耐壓之密質絕緣膜（側壁）於閘極電極的側表面處。因此，可防止諸如自閘極電極之側表面流過側壁之局部漏電流的缺陷；因此，可製造出具有高度可靠性的半導體裝置。

雖然在此實施例中所解說的是，具有島狀半導體膜於基板上之薄膜電晶體，但本發明並未受限於此。例如，本發明亦可應用於具有通道形成區於半導體基板中之電晶體的側壁。

此實施例可以適當地與此說明書中所示的實施例模式或其他實施例之任一實施例結合。

〔實施例 3〕

在此實施例中，將參照第 9A 至 9C 圖及第 10A 至 10C 圖來解說其係非揮發性半導體記憶體裝置之非揮發性記憶體裝置的製造方法實例。此處，將敘述使用形成於基板上之半導體膜的非揮發性記憶體元件。

由非揮發性記憶體或其類似物所代表之非揮發性半導體記憶體裝置，具有相似於 MOSFET（金氧半場效電晶體）之結構，而具有其中能長週期時間地累積電荷之區域係

設置於通道形成區之上的特徵。此電荷累積區係形成於絕緣膜上且絕緣於其週邊；因此，亦稱為浮動閘極電極。控制閘極電極係以另一絕緣膜插入於其間而形成於浮動閘極電極之上。此一結構係所謂浮動閘極型非揮發性半導體記憶體裝置。

具有上述結構之非揮發性半導體記憶體裝置依據施加於控制閘極電極的電壓來累積電荷於浮動閘極電極中及釋出電荷。也就是說，該非揮發性半導體記憶體裝置具有藉由收容電荷於浮動閘極電極內及自該浮動閘極電極取出電荷而儲存資料的機構。特定地，注入及提取電荷至及自該浮動閘極電極係由施加電壓於控制閘極電極與配置有通道形成區之半導體膜之間所執行。也就是說，Fowler-Nordheim 型（F-N 型）穿隧電流（NAND 型）或熱電子（NOR 型）將在此時流過通道形成區上的絕緣膜。因此，形成於通道形成區上的絕緣膜亦稱作隧道絕緣膜。此實施例將解說此一浮動閘極型非揮發性記憶體元件之製造方法的實例。

首先，以基底絕緣膜 902 插入其中間而形成島狀半導體膜 904 於基板 900 之上；然後，形成第一絕緣膜 906 於半導體膜 904 之上（請參閱第 9A 圖）。

該基板 900 可為玻璃基板、石英基板、藍寶石基板、陶質物基板、金屬基板、或其類似物。此外，亦可使用由聚乙烯對苯二甲酯、聚乙烯萘二甲酸酯、聚醚砜、丙烯酸、或其類似物所製成之塑膠基板。此外，可使用至少可忍

受在製程中所產生之熱量的基板。在此實施例中，該基板 900 為玻璃基板。

基底絕緣膜 902 係由諸如氧化矽、氮化矽、氮氧化矽 (SiO_xN_y , $x > y > 0$)、或氧化氮化矽 (SiN_xO_y , $x > y > 0$) 之絕緣材料所形成。此外，該基底絕緣膜 902 可具有單層或多層結構。形成基底絕緣膜 902 之方法並未特別地受到限制，且可使用 CVD 法、濺鍍法、或其類似法。藉由提供該基底絕緣膜 902，可防止雜質擴散自基板。當基板 900 之不平坦以及雜質擴散並不會造成任何問題時，則無需一定要設置基底絕緣膜 902。在此實施例中，氧化氮化矽膜係由電漿 CVD 法而形成為基底絕緣膜 902。

島狀半導體膜 904 可以以此一方式所形成，亦即，由包含矽 (Si) 做為主要成分之材料 (諸如 Si 或 $\text{Si}_x\text{Ge}_{1-x}$) 而形成非晶半導體膜，使該非晶半導體膜結晶化，且然後，選擇性地蝕刻所結晶之半導體膜。該非晶半導體膜可由 CVD 法、濺鍍法、或其類似法所形成。該非晶半導體膜無需一定要被結晶化，當不使該非晶半導體膜結晶時，可選擇性地蝕刻該非晶半導體膜而形成包含該非晶半導體膜之島狀半導體膜 904。

該非晶半導體膜可由雷射結晶法，利用 RTA 或退火爐之熱結晶法，利用促進結晶之金屬元素的熱結晶法，其中結合該等方法之任一與另一方法之方法，或其類似方法所結晶。

當半導體膜係由雷射照射所結晶或重新結晶時，可使

用半導體雷射 (LD) 抽運式連續波 (CW) 雷射 (YVO_4 , 二次諧波 (波長 532nm)) 來做為雷射光的光源。無需一定要特別地限制為二次諧波；然而，就能量效率而言，二次諧波係優於其他更高的諧波。當以 CW 雷射來照射半導體膜時，該半導體膜可連續地接收能量；因此，一旦半導體膜熔化時，所熔化的狀態可持續著。此外，半導體膜的固態-液態介面可由掃描 CW 雷射所移動，且可形成沿著此移動方向而在一方向之中變長的晶粒。此外，因為相較於氣體雷射及類似物時，固態雷射之高度穩定的輸出及穩定的處理係可預期的，所以使用固態雷射。應注意的是，不僅可使用 CW 雷射，而且可使用具有 10MHz 以上之重複率的脈波式雷射。藉由具有高的重複率之脈波式雷射，當所熔化之半導體膜固化週期比雷射之脈波間距更短時，則該半導體膜可恆定地保持熔化，使得該半導體膜能具有由於固態-液態介面之移動而在一方向中變長之晶料。可使用其他 CW 雷射和具有 10MHz 以上之重複率的脈波式雷射。例如，可使用 Ar 雷射，Kr 雷射， CO_2 雷射，或其類似物來做為氣體雷射；此外，可給定諸如氮-鎘之金屬氣相雷射來做為氣體雷射。可使用 YAG 雷射，YLF 雷射、 YAlO_3 雷射， GdVO_4 雷射，KGW 雷射，KYW 雷射，紫翠玉雷射，Ti: 藍寶石雷射， Y_2O_3 雷射， YVO_4 雷射，或類似物來做為固態雷射。此外，在該等固態雷射之中，亦可使用 YAG 雷射， Y_2O_3 雷射， GdVO_4 雷射， YVO_4 雷射，或其類似物來做為陶質物雷射。較佳的是，自雷射振盪

器來發出具有 TEM_{00} (單一橫向模式) 的雷射光，因為欲照射於表面上之線性光束光點可具有更均勻的能量。除了上述該等雷射之外，可使用脈波式準分子雷射。

第一絕緣膜 906 可由諸如氧化矽，氮氧化矽 (SiO_xN_y ， $x > y > 0$)，氧化氮化矽 (SiN_xO_y ， $x > y > 0$) 之絕緣材料而由 CVD 法、濺鍍法、或類似法所形成。此外，可使用氧化鋁 (Al_xO_y)，氧化鉬 (Ta_xO_y)，氧化鈦 (HfO_x)，或類似物。該第一絕緣膜 906 較佳地具有 1nm 至 20nm 的膜厚度，更佳地，自 1nm 至 10nm。

接著，執行電漿氧化於第一絕緣膜 906 上，藉以形成第二絕緣膜 907。然後，形成電荷累積膜 908 於第二絕緣膜 907 之上 (請參閱第 9B 圖)。此處，第二絕緣膜 907 作用為隧道絕緣膜，以及電荷累積膜 908 作用為非揮發性半導體記憶體裝置 (即將於稍後完成) 之浮動閘極電極。

執行於第一絕緣膜 906 上之電漿氧化使用激勵於諸如微波 (典型地，2.45GHz) 之高頻且具有 $1 \times 10^{11} \text{cm}^{-3}$ 以上的電子密度和 1.5eV 以下的電子溫度之電漿所執行。更特定地，電子密度較佳地在 $1 \times 10^{11} \text{cm}^{-3}$ 至 $1 \times 10^{13} \text{cm}^{-3}$ 的範圍，以及電漿電子溫度較佳地在 0.5eV 至 1.5eV 的範圍。該等第一絕緣膜 906 之電漿氧化時間較佳為 60 秒或更長。

電漿氧化係執行於包含至少氧的氛圍中 (例如氧氛圍；包含氧氣 (O_2) 或一氧化二氮 (N_2O) 及稀有氣體 (He、Ne、Ar、Kr、及 Xe 之至少其中之一) 的氛圍；或包含

氧氣 (O_2) 或一氧化二氮 (N_2O) 、氫氣 (H_2) 、及稀有氣體的氛圍) 。當氛圍包含氫氣時，氫的數量較佳地比氧或一氧化二氮及稀有氣體的數量更少。

做為稀有氣體，例如可使用 Ar，且可使用包含 Ar 和 Kr 之混合物的氣體。當執行電漿氧化於稀有氣體氛圍之中時，由電漿氧化所形成的第二絕緣膜 907 可包含電漿處理中所使用之稀有氣體 (He、Ne、Ar、Kr、及 Xe 之至少其中之一) 。例如當使用 Ar 來做為電漿氧化中之稀有氣體時，該第二絕緣膜 907 可包含 Ar。

在本發明中的電漿氧化係執行於其中在欲處理之物件，亦即，第一絕緣膜 906 之附近處的電漿電子密度高 ($1 \times 10^{11} \text{cm}^{-3}$ 以上) 及電子溫度低的條件下；因此，可防止第二絕緣膜 907 由於電漿而損壞。此外，因為電漿電子密度高 ($1 \times 10^{11} \text{cm}^{-3}$ 以上) ，所以相較於由 CVD 法、濺鍍法、或類似方法所形成的膜，可使得藉由執行電漿氧化於欲處理之物件 (此處為第一絕緣膜 906) 上所形成的膜 (此處為第二絕緣膜 907) 成為具有高度耐壓之密質膜。而且，因為電漿電子溫度低 (1.5 eV 以下) ，所以可以以比習知之電漿處理或熱氧化法更低的溫度來執行氧化處理於欲處理的物件之上。例如，可使用低於玻璃基板之變形點的 100°C 以上之電漿氧化而充分地執行氧化處理。

當使得由 CVD 法、濺鍍法、或類似法所形成之包含氫的絕緣膜接受電漿氧化時，則該膜可具有降低的氫含量。

在此實施例中，氧氣（ O_2 ）和氬氣（Ar）的混合氣體被引入欲處理之物件的電漿氧化。此處所使用之混合氣體包含 0.1sccm 至 100sccm 之氧以及 100sccm 至 5000sccm 之氬。例如，氧氣可以以 5sccm 來引入，以及氬氣可以以 900sccm 來引入。

在此實施例中，由執行電漿氧化於第一絕緣膜 906 所形成的第二絕緣層 907 作用為即將於稍後完成之非揮發性半導體記憶體裝置中之隧道絕緣膜。因此，第二絕緣膜 907 愈薄，則易於流過更多的穿隧電流，而使記憶體能高速地操作。此外，當第二絕緣膜 907 更薄時，則即將於稍後所形成之浮動閘極電極可低電壓地累積電荷。因此，可降低半導體裝置的功率消耗。所以，較佳的是，形成第二絕緣膜 907 為薄。

作為用以形成薄的絕緣膜於半導體膜之上的通用方法，係給定熱氧化法。當使用諸如玻璃基板之其熔點並非充分的基板來做為基板 900 時，將難以藉由熱氧化法來形成絕緣膜於半導體膜之上。此外，由 CVD 法或濺鍍法所形成的絕緣膜並不具有充分的膜品質，因為膜內會包含缺陷。而且，由 CVD 法或濺鍍法所形成之薄的絕緣膜具有其中耐壓低及諸如針孔之缺陷易於發生的問題。此外，由 CVD 法或濺鍍法所形成的絕緣膜無法充分地覆蓋半導體膜的末端部分，而可造成尤其是短路於半導體膜與導電膜以及建構稍後形成浮動閘極電極之類似物之間。因此，當使用由 CVD 法或濺鍍法所形成的第一絕緣膜 906 來做為

隧道絕緣膜而無任何改變時，則極易於產生缺陷。

因此，當如此實施例中所示地由執行電漿氧化而形成第二絕緣膜 907 於第一絕緣膜 906 之上時，則該第二絕緣膜 907 可比由 CVD 法，濺鍍法，或類似法所形成的絕緣膜更為密質且具有更高的耐壓。此外，即使當半導體膜 904 的末端部分無法在形成第一絕緣膜 906 時予以充分地覆蓋，亦可由執行電漿氧化而以第二絕緣膜 907 來加以充分地覆蓋。因而，記憶體可高速地操作，且記憶體之電荷保持特徵可予以改善。

此外，即將於稍後完成之非揮發性半導體記憶體裝置可藉由透過隧道絕緣膜來注入電子而儲存資訊。此時，當造成電子陷阱之氫存在於隧道絕緣膜之中時，電壓會在反覆寫入及拭除的過程中變動而使記憶體劣化。因此，較佳地，會造成電子陷阱之隧道絕緣膜的氫含量必須低。當第二絕緣膜 907 係如此實施例中所示地由執行電漿氧化於第一絕緣膜 906 之上而形成時，則可比由 CVD 法、濺鍍法、或類似法所形成之絕緣膜減低更多的膜之氫含量。因此，可改善記憶體之性能。

電荷累積膜 908 可形成為單一層或二或多層之堆疊，特定地，該電荷累積膜 908 可由選擇自矽 (Si)，鍺 (Ge)，鎢 (W)，鈦 (Ti)，鉭 (Ta)，鉬 (Mo)，或其類似物之元素；包含該等元素之任一元素做為其主要成分之合金材料；或包含該等元素之任一元素做為其主要成分之化合物材料（例如該元素之氮化物或氧化物）所形成。例

如，做爲元素之化合物，可使用氮化矽，氧化氮化矽，碳化矽，含小於 10 原子百分比之銻的矽銻，氮化鉭，氧化鉭，氮化鎢，氮化鈦，氧化鈦，氧化錫，或其類似物。此外，可使用元素之矽化物（例如矽化鎢，矽化鈦，或矽化鎳）。當使用矽膜時，可添加諸如磷或硼之雜質。此處，電荷累積膜 908 係使用包含銻爲其主要成分之膜而由電漿 CVD 法在包含銻元素之氛圍中（例如 GeH_4 ）形成有 1nm 至 20nm 的厚度，較佳地，自 5nm 至 10nm 的厚度。

接著，形成第二絕緣膜 910 於電荷累積膜 908 之上（請參閱第 9C 圖）。該第三絕緣膜 910 可由諸如氧化矽，氮氧化矽（ SiO_xN_y ， $x > y > 0$ ），或氧化氮化矽（ SiN_xO_y ， $x > y > 0$ ）之絕緣材料而藉由 CVD 法、濺鍍法、或其類似法所形成。此外，可使用氧化鋁（ Al_xO_y ），氧化鉭（ Ta_xO_y ），氧化鈦（ HfO_x ），或其類似物。較佳地，該第三絕緣膜 910 係由 CVD 法，濺鍍法，或其類似法而形成有 1nm 至 100nm 的厚度，較佳地，自 20nm 至 60nm 的厚度。

之後，第四絕緣膜 911 係由執行電漿氧化於第三絕緣膜 910 上所形成，且然後，形成導電膜於第四絕緣膜 911 之上（請參閱第 10A 圖）。此處，所顯示的係其中導電膜 912 與導電膜 914 係順序地堆疊成爲導電膜之實例。選擇性地導電膜可爲單一層或多層之堆疊。

導電膜 912 及 014 可由選擇自鉭（Ta），鎢（W），鈦（Ti），鉬（Mo），鋁（Al），銅（Cu），鉻（Cr）

，鈮（Nb）或其類似物之元素，或包含該等元素來做為其主要成分之合金或化合物材料所形成。此外，導電膜 912 及 914 可使用藉由氮化該等元素之任一元素所獲得的氮化金屬膜所形成。而且，可使用由摻雜有諸如磷之雜質元素的多晶矽所代表的半導體材料。

接著，選擇性地蝕刻導電膜 912 及 914，使得導電膜 912 及 914 留在半導體膜 904 之一部分之上。因此，形成建構閘極電極 924 之導電膜 920 及 922（請參閱第 10B 圖）。此外，在此實施例中，係暴露並未與閘極電極 924 重疊的第二絕緣膜 907 之表面。

特定地，選擇性地去除在閘極電極 924 之下並未與閘極電極 924 重疊之部分的第四絕緣膜 911 和電荷累積膜 908，使得閘極電極 924，第四絕緣膜 918，和電荷累積膜 916 的末端部分約略地彼此匹配。

在此情況中，並未與閘極電極 924（導電膜 920 及 922）重疊之部分絕緣膜及類似物可在閘極電極 924 形成之同時予以去除，或可使用在閘極電極 924 形成之後所保留的阻體，或由使用閘極電極 924 來做為遮罩而予以去除。注意的是，電荷累積膜 916 作用為浮動閘極電極，第四絕緣膜 918 作用為控制絕緣膜，以及閘極電極 924 作用為控制閘極電極。在此說明書中，用語“控制絕緣膜”表示設置在作用為浮動閘極電極之電極與作用為控制閘極電極之電極間的絕緣膜。

之後，使用閘極電極 924 做為遮罩來添加雜質元素，

藉以形成雜質區 928 對及在該雜質區對 928 之間的通道形成區 926 (請參閱第 10C 圖)。做為該雜質元素，係使用給與 n 型導電性之雜質元素或給與 p 型導電性之雜質元素。做為給與 n 型導電性之雜質元素，可使用磷 (P)，砷 (As)，或類似物；做為給與 p 型導電性之雜質元素，可使用硼 (B)，鋁 (Al)，鍺 (Ge)，或其類似物。

根據上述步驟，可製造本發明非揮發性半導體記憶體裝置之非揮發性記憶體元件。在此實施例中所顯示之非揮發性記憶體元件僅係實例，且無庸置疑地，可應用各式各樣已知的結構。

藉由使用本發明，可獲得具有高度耐壓之密質及相當薄的隧道絕緣膜。此外，可獲得具有有利之膜特徵的隧道絕緣膜而無需高溫處理。而且，當隧道絕緣膜係由執行電漿氧化於由 CVD 法或濺鍍法所形成之絕緣膜之上時，可充分地覆蓋半導體膜。因此，可防止由於隧道絕緣膜之耐壓中的缺陷或隧道絕緣膜之覆蓋中的缺陷所造成之諸如在浮動閘極電極與半導體膜間之漏電流及短路的缺陷。因此，記憶體可高速地操作，且記憶體之電壓保持特性可予以改善。因而，可製造高度可靠的半導體記憶體裝置。

此外，藉由使用本發明，可獲得具有極少電子陷阱的隧道絕緣膜。因為本發明之非揮發性半導體記憶體裝置由穿過隧道絕緣膜來注入電子而儲存資訊，所以可由提供具有極少電子陷阱之隧道絕緣膜來製造高度可靠的非揮發性半導體記憶體裝置。

再者，藉由使用本發明，亦可獲得具有高度耐壓之密質控制絕緣膜。因此，可改善記憶體之電荷保持特性，且可製造高度可靠之半導體記憶體裝置。

此實施例可適當地與此說明書中所示之實施例模式或該等實施例之任一實施例結合。

[實施例 4]

在此實施例中，將參照第 6A 至 6D 及 7A 至 7C 圖來說明與實施例 3 不同之非揮發性記憶體元件的製造方法之實例。此處，將敘述使用半導體基板來製造非揮發性記憶體元件之方法。

首先，其中分離元件的區域 601（下文中亦稱為元件分離區 601）係形成於半導體基板 600 中，且第一絕緣膜 603 係形成於該區 601 的表面上（請參閱第 6A 圖）。配置於半導體基板 600 中之該區 601 係由絕緣膜 602（亦稱為場氧化物膜）所分離。

可無需特別限制地使用半導體基板 600，只要其係半導體基板即可。例如，可使用具有 n 型或 p 型導電性之單晶矽基板；化合物半導體基板（諸如 GaAs 基板，InP 基板，GaN 基板，SiC 基板，藍寶石基板，或 ZnSe 基板）；由接合法或 SIMOX（由所佈植之氧所分離）方法所製造之 SOI（矽在絕緣物上）基板，或其類似物。

元件分離區 601 可由適當地使用選擇性氧化方法（諸如 LOCOS（矽之局部氧化）法）、溝渠分離法、或其類

似方法所分離。

在此實施例中，使用具有 n 型導電性之單晶 Si 基板來做為半導體基板 600，當使用具有 n 型導電性的半導體基板時，p 阱可由引入給與 p 型導電性之雜質元素而形成於元件分離區 601 中。做為給與 p 型導電性的雜質元素，可使用硼 (B)，鎵 (Ga)，或其類似物。另一方面，當使用具有 p 型導電性的半導體基板 600 時，n 阱可由引入給與 n 型導電性之雜質元素而形成於元件分離區 601 中。做為給與 n 型導電性之雜質元素，可使用磷 (P) 或砷 (As)。

第一絕緣膜 603 可由熱氧化法來氧化設置於半導體基板 600 中之區域 601 的表面，而使用氧化矽膜所形成。此處，第一絕緣膜 603 係形成有 1nm 至 20nm 的厚度，較佳地，自 1nm 至 10nm 之厚度。

第一絕緣膜 603 較佳地可以以此一方式所形成，亦即，進一步執行電漿氧化於藉由熱氧化法而氧化設置於半導體基板 600 之區域 601 表面所形成之氧化矽膜之上。此係因為由諸如溼式氧化之熱氧化法所形成的絕緣膜將包含氫，而電漿氧化則可降低膜的氫含量。

電漿氧化使用激勵於諸如微波 (典型地，2.45GHz) 之高頻且具有 $1 \times 10^{11} \text{cm}^{-3}$ 以上的電子密度和 1.5eV 以下的電漿電子溫度之電漿所執行。更特定地，較佳地使用 $1 \times 10^{11} \text{cm}^{-3}$ 至 $1 \times 10^{13} \text{cm}^{-3}$ 之電子密度以及 0.5eV 至 1.5eV 的電漿電子溫度之電漿。此外，執行於該絕緣膜上之電漿氧

化時間較佳地為 60 秒或更長。

電漿氧化係執行於包含至少氧的氛圍中（例如氧氛圍；包含氧氣（ O_2 ）或一氧化二氮（ N_2O ）及稀有氣體（He、Ne、Ar、Kr、及 Xe 之至少其中之一）的氛圍；或包含氧氣（ O_2 ）或一氧化二氮（ N_2O ）、氫氣（ H_2 ）、及稀有氣體的氛圍）。當氛圍包含氫氣時，氫的數量較佳地比氧或一氧化二氮及稀有氣體的數量更少。

做為稀有氣體，例如可使用 Ar，而且可使用包含 Ar 和 Kr 之混合氣體。當執行電漿氧化於稀有氣體氛圍之中時，由電漿氧化所形成的第一絕緣膜 603 可包含電漿處理中所使用之稀有氣體（He、Ne、Ar、Kr、及 Xe 之至少其中之一）。例如當使用 Ar 來做為電漿氧化中之稀有氣體時，該第一絕緣膜 603 可包含 Ar。

在本發明中的電漿氧化係執行於其中在欲處理之物件，亦即，絕緣膜之附近處的電漿電子密度高（ $1 \times 10^{11} \text{cm}^{-3}$ ）及電子溫度低的條件下；因此，可防止第一絕緣膜 603 由於電漿而損壞。

形成於區域 601 上之第一絕緣膜 603 作用為即將於稍後完成之非揮發性記憶體元件的隧道絕緣膜。因此，當第一絕緣膜 603 愈薄時，則即將於稍後所形成之浮動閘極電極可低電壓地累積電荷。因此，可降低非揮發性半導體記憶體裝置的功率消耗。所以，較佳的是，使第一絕緣膜 603 形成為薄。

之後，形成電荷累積膜 604 於第一絕緣膜 603 之上（

第 6B 圖)。然後，選擇性地蝕刻電荷累積膜 604 而形成閘極電極 606 (第 6C 圖)。該閘極電極作用為即將於稍後完成之非揮發性半導體記憶體裝置之浮動閘極電極。

電荷累積膜 604 可形成為單一層，或二或多層之堆疊。特定地，該電荷累積膜 604 可由選擇自矽 (Si)，鍺 (Ge)，鎢 (W)，鈦 (Ti)，鉭 (Ta)，鉬 (Mo)，或其類似物之元素；包含該等元素之任一元素做為其主要成分之合金材料；或包含該等元素之任一元素做為其主要成分之化合物材料 (例如該元素之氧化物或氮化物)。例如做為元素之化合物，可使用氮化矽，氧化氮化矽，碳化矽，含小於 10 原子百分比之鍺的矽鍺，氮化鉭，氧化鉭，氮化鎢，氮化鈦，氧化鈦，氧化錫，或其類似物。此外，可使用元素之矽化物 (例如矽化鎢，矽化鈦，或矽化鎳)。當使用矽膜時，可添加諸如磷或硼之雜質。此處，電荷累積膜 604 係使用包含鍺為其主要成分之膜而由電漿 CVD 法在包含鍺元素的氛圍中 (例如 GeH_4) 形成有 1nm 至 20nm 的厚度，較佳地，自 5nm 至 10nm 的厚度。

接著，形成第二絕緣膜 608 於閘極電極 606 之上 (第 6D 圖)。

第二絕緣膜 608 係由執行電漿氧化於由 CVD 法、濺鍍法、熱氧化法、或類似法所形成的絕緣膜上。較佳地，該絕緣膜係形成有 1nm 至 100nm 的厚度，更佳地，自 20nm 至 60nm 之厚度。該電漿氧化可由所示的方法所執行以形成第一絕緣膜 603。當執行電漿氧化於稀有氣體氛

圍之中時，由該電漿氧化所形成之第二絕緣膜 608 可包含使用於電漿氧化中之稀有氣體（He、Ne、Ar、Kr、及 Xe 之至少其中之一）。

由電漿氧化所形成之第二絕緣膜 608 可以比由 CVD 法、濺鍍法、或類似法所形成之膜更密質，且具有更高的耐壓。

此外，由電漿氧化所形成之第二絕緣膜 608 可具有降低的氫含量，例如與由 CVD 法、濺鍍法、熱氧化法、或類似法所形成之膜相比較時。

此處所形成之第二絕緣膜 608 作用為即將於稍後所形成之非揮發性記憶體元件的控制絕緣膜。

接著，形成導電膜於第二絕緣膜 608 之上。該導電膜可形成為單一層，或二或多層之堆疊。此處，導電膜 612 及 614 係堆疊而形成導電膜（第 7A 圖）。

導電膜 612 及 614 可由選擇自鉭（Ta）、鎢（W）、鈦（Ti）、鉬（Mo）、鋁（Al）、銅（Cu）、鉻（Cr）、鎳（Nb）或其類似物之元素，或包含該等元素來做為其主要成分之合金或化合物材料所形成。此外，可使用藉由氮化該等元素之任一元素所獲得的氮化金屬膜；而且，可使用由摻雜有諸如磷之雜質元素的多晶矽所代表的半導體材料。

此處，導電膜 612 係由氮化鉭所形成以及導電膜 614 係由鎢而形成於導電膜 612 之上。此外，導電膜 612 可由選擇自氮化鎢、氮化鉬、及氮化鈦之材料而形成為單一層

或堆疊層，以及導電膜 614 可由選擇自鉬、鉬，及鈦之材料而形成爲單一層或堆疊層。

接著，選擇性地蝕刻導電膜 612 及 614，使其留在一部分之區域 601 上，藉以形成閘極電極 620（第 7B 圖）。此處，閘極電極 620 係使用殘留部分之導電膜 616 及 618 所形成。此外，在此實施例中，閘極電極 620 係以此一方式形成，亦即，形成於下方的導電膜 616 的寬度（在約略平行於其中載子流動於通道形成區中之方向（連接源極區與汲極區之方向）中之寬度）可以比導電膜 618 的寬度更大。該閘極電極 620 作用爲即將於稍後形成之非揮發性記憶體元件的控制閘極電極。

本發明並未特別地受限，且導電膜 616 和 618 的末端部分可形成彼此大致匹配。此外，導電膜 616 和 618 的末端部分可以大略地與閘極電極 606 的末端部分匹配。而且，絕緣膜（側壁）可形成與閘極電極 620 的側表面接觸。

之後，藉由使用閘極電極 620 爲遮罩來添加雜質元素，藉以形成通道形成區 622，第一雜質區 624 對和第二雜質區 626 對（第 7C 圖）。此處，因爲導電膜 618 和作用爲浮動閘極電極之閘極電極 606 存在於第一雜質區 624 之上，所以第一雜質區 624 具有比第二雜質區 626 更低的雜質濃度。該第一雜質區 624 作用爲低濃度雜質區（LDD 區），而第二雜質區 626 則作用爲源極區或汲極區。

做爲雜質元素，係使用給與 n 型導電性之雜質元素或給與 p 型導電性之雜質元素。做爲給與 n 型導電性之雜質

元素，可使用磷（P），砷（As），或類似物；做為給與 p 型導電性之雜質元素，可使用硼（B），鋁（Al），銻（Ge），或類似物。

根據上述步驟，可製造本發明之非揮發性記憶體元件。應注意的是，此實例中所示之非揮發性記憶體元件僅係實例，且可使用各式各樣已知的結構。

藉由使用本發明，可獲得具有高度耐壓之密質及相當薄的隧道絕緣膜。因此，可防止例如由於隧道絕緣膜之耐壓中的缺陷所造成之諸如在浮動閘極電極與半導體膜之通道形成區間之漏電流的缺陷。因此，記憶體可高速地操作，且記憶體之電壓保持性可予以改善。因而，可製造高度可靠的非揮發性半導體記憶體裝置。

此外，藉由使用本發明，可獲得具有極少電子陷阱的隧道絕緣膜。因為本發明之非揮發性半導體記憶體裝置由穿過隧道絕緣膜來注入電子而儲存資訊，所以可提供具有極少電子陷阱之隧道絕緣膜來製造高度可靠的非揮發性半導體記憶體裝置。

再者，藉由使用本發明，亦可獲得具有高度耐壓之密質控制絕緣膜。因此，可改善記憶體之電荷保持特性，且可製造高度可靠之非揮發性半導體記憶體裝置。

此實施例可適當地與此說明書中所示之實施例模式或該等實施例之任一實施例結合。

[實施例 5]

各式各樣模式之非揮發性半導體記憶體裝置可藉由使用實施例 3 或 4 中所述之非揮發性半導體記憶體元件而獲得。

上述所謂浮動閘極電極型之非揮發性記憶體元件藉由施加電壓於控制閘極電極而累積電荷於浮動閘極電極中及釋出電荷。也就是說，資料係藉由收容電荷於浮動閘極電極內及自該浮動閘極電極取出電荷而予以儲存。特定地，注入及提取電荷至及自浮動閘極電極係由施加電壓於控制閘極電極與半導體膜的通道形成區或控制閘極電極與半導體基板之通道形成區之間而執行。此時，也就是說，Fowler-Nordheim (F-N) 型穿隧電流 (NAND 型) 或熱電子 (NOR 型) 將流過通道形成區上的絕緣膜。該等電子係藉由使用熱電子之方法或使用 F-N 型穿隧電流之方法而注入浮動閘極電極。在使用熱電子的情況中，正電壓施加於控制閘極電極以及高壓施加於汲極而產生熱電子，因此，熱電子可注入浮動閘極電極；在使用 F-N 型穿隧電流的情況中，正電壓施加於控制閘極電極，而由 F-N 穿隧電流自半導體膜之通道形成區或半導體基板之通道形成區注入電子至浮動閘極電極。

第 11 圖顯示非揮發性記憶體胞格之等效電路的實例。儲存一位元資料之記憶體胞格 MC (MC01, MC02, ...) 係由選擇電晶體 S (S01, S02, ...) 及非揮發性記憶體元件 M (M01, M02, ...) 所形成。例如指定位元線 BL0 之記憶體胞格 MC01 和字元線 WL1 及 WL2 建構選擇電晶

體 S01 和非揮發性記憶體元件 M01。該選擇電晶體 S 係串聯插入於位元線 BL0 與非揮發性記憶體元件 M01 之間，且其閘極連接至字元線 WL1。非揮發性記憶體元件 M01 之閘極係連接至字元線 WL11。非揮發性記憶體元件 M01 的源極和汲極之一係連接至選擇電晶體之源極和汲極，以及非揮發性記憶體元件 M01 之源極和汲極之一係連接至源極線 SL0。在寫入資料於非揮發性記憶體元件 M01 中的情況中，當以字元線 WL1 和位元線 BL0 設定於 H 位準及位元線 BL1 設定於 L 位準而施加高壓於字元線 WL11 時，電荷係累積於浮動閘極電極之中。在拭除資料的情況中，負極性的高壓可以以字元線 WL1 和位元線 BL0 設定於 H 位準而施加於字元線 WL11。

在其中例如在記憶體胞格 MC01 中之選擇電晶體和非揮發性記憶體元件各具有半導體膜形成於絕緣表面上，及通道形成區形成於第 11 圖中之半導體膜之中的結構之情況中，當選擇電晶體 S01 及非揮發性記憶體元件 M01 係使用分離所形成之半導體膜形成而具有島狀之形狀於絕緣表面上時，可防止與另一選擇電晶體或另一非揮發性記憶體元件干擾而無需特別提供元件分離區。此外，因為在記憶體胞格 MC01 中之選擇電晶體 S01 和非揮發性記憶體元件 M01 均係 n 通道型，故用以連接該兩元件的導線可由使用一島形半導體膜來形成以供該兩元件用，而省略該導線。

第 12 圖顯示 NOR 型等效電路，其中非揮發性記憶體

元件係直接連接至位元線。在此記憶體胞格陣列中，字元線 WL (WL1, WL2, WL3, ...) 與位元線 BL (BL0, BL1, B2, ...) 相互交叉，且該非揮發性記憶體元件係設置於各個交叉處。在 NOR 型中，各個非揮發性記憶體元件的汲極係連接至位元線 BL。源極線 SL (SL0, SL1, SL2, ...) 係共同連接至非揮發性記憶體元件之源極。

在其中例如在記憶體胞格 MC01 中之非揮發性記憶體元件具有半導體膜形成於絕緣表面上，及通道形成區形成於第 12 圖中之半導體膜之中的結構的情況中，當非揮發性記憶體元件 M01 係使用分離所形成之半導體膜形成而具有島狀之形狀於絕緣表面上時，可防止與另一非揮發性記憶體元件干擾而無需特別提供元件分離區。此外，當端視複數個非揮發性記憶體元件（例如第 12 圖中所示之 M01 至 M23）為一區塊，且該等非揮發性記憶體元件係由一島形半導體膜所形成時，則可以以區塊為單元來執行拭除操作。

例如 NOR 型之操作係如下述。資料寫入係以此一方式執行，亦即，0V 之電壓係施加至源極線 SL，高壓係施加至選擇用於資料寫之字元線 WL，以及根據資料“0”或“1”之電位係給定於位元線 BL。例如，分別對應於“0”及“1”之 H 位準及 L 位準的電位係施加至位元線 BL。在施加 H 位準的非揮發性記憶體元件中，熱電子係注入於浮動閘極電極且產生於汲極附近。此電子注入並未發生於資料“1”的情況中。

在給予資料“0”的記憶體胞格中，由於在汲極和源極間的強烈側向電場，熱電子會產生在接近汲極處，並注入至一浮動閘極電極。電子注入浮動閘極電極的狀態和臨限電壓增加為“0”。在資料為“1”的例中，並未產生熱電子且電子並未注入至浮動閘極電極，因此臨限電壓為低的狀態、即拭除狀態受到保持。

爲了要拭除資料，將大約 10V 的正電壓施加至源極線 SL，且使位元線 BL 在浮動狀態中。然後，將負極性的高壓施加至字元線（藉由施加負極性的高壓至控制閘極）而自浮動閘極電極來提取電子，此產生拭除資料“1”的狀態。

爲了要讀出資料，將 0V 電壓施加至源極線 SL，且將大約 0.8V 的電壓施加至位元線 BL。然後，將設定於資料“0”與“1”之臨限值之間的讀取電壓施加至所選擇之字元線。然後，由連接至位元線 BL 之感測放大器來判斷電流是否被引入於非揮發性記憶體元件中。

第 13 圖顯示 NAND 型記憶體胞格陣列的等效電路。該位元線 BL 具有 NAND 胞格 NC1 連接至該處，該 NAND 胞格 NC1 具有複數個非揮發性記憶體元件，彼此串聯連接。複數個 NAND 胞格聚集而形成區塊 BLK。第 13 圖中所示的區塊 BLK1 具有 32 個字元線（字元線 WL0 至 WL31），定位於該區塊 BLK1 的相同列中之非揮發性半導體元件係共同連接至對應於該列的字元線。

在第 13 圖中之其中選擇電晶體和非揮發性半導體元

件具有半導體膜形成於絕緣表面上，及通道形成區形成於半導體膜中之結構的情況中，因為選擇電晶體 S1 及 S2 和非揮發性記憶體元件 M0 至 M31 係彼此串聯連接，所以它們可視為係由一半導體膜所形成的群組。因此，可省略彼此連接之非揮發性半導體元件的導線，而取得高的積體性。此外，可易於執行鄰接之 NAND 胞格之間的分離，而且，可由 NAND 胞格的半導體膜來分別形成選擇電晶體 S1 和 S2 之半導體膜。在藉由自非揮發性記憶體元件 M0 至 M31 之浮動閘極提取電荷的拭除操作中，該拭除操作可以以每個 NAND 胞格為單元來執行。共同地連接至一字元線之該等非揮發性記憶體元件可由一半導體膜所形成。

寫入操作係執行於 NAND 胞格 NC1 在拭除狀態中之後，亦即在其中該 NAND 胞格 NC1 的各個非揮發性記憶體元件之臨限值為負電壓之後。該寫入依序地執行自源極線 SL 側上之記憶體元件 M0。下文中將簡略說明對記憶體元件 M0 之寫入的實例。

在第 14A 圖中，例如，於寫入“0”的情況中，施加 V_{cc} 的電壓（電源電壓）至選擇閘極線 SG2 以開啓選擇電晶體 S2，以及施加 0V 的電壓（接地電壓）至位元線 BL0。0V 的電壓施加至選擇閘極線 SG1 且選擇電晶體 S1 關閉。然後，施加 V_{pgm} 之高壓（約 20V）至記憶體胞格 M0 的字元線 WL0，及施加 V_{pass} 的中間電壓至其他字元線（約 10V）。因為施加 0V 的電壓至位元線 BL，所以所選擇記憶體胞格 M0 的通道形成區將變成 0V。因為在字

元線 WL0 與通道形成區之間的電位差大，所以電子係由 F-N 穿隧電流來注入至記憶體胞格 M0 的浮動閘極電極。因此，記憶體胞格 M0 的臨限電壓變成正的狀態（其中寫入“0”的狀態）。

相對地，例如，於寫入“1”的情況中，施加 V_{cc} 的電壓（電源電壓）到位元線 BL，如第 14B 圖中所示。因為選擇閘極線 SG2 具有 V_{cc} 的電壓，所以選擇電晶體 S2 係在阻斷狀態（截止）中；也就是說，記憶體胞格 M0 的通道形成區變成浮動狀態。接著，當施加 V_{pgm} 的高壓（20V）至字元線 WL0 且施加 V_{pass} 的中間電壓（10V）至其他字元線時，則由於各個字元線與通道形成區之間的電容耦合，通道形成區的電壓會自 $V_{cc}-V_{th}$ 上升至例如 8V。因為通道形成區的電壓被提升成為高壓，所以不似寫入“0”之情況，在字元線 WL0 與通道形成區之間的電位差會變小。因此，由於 F-N 穿隧電流之電子注入並不會發生於記憶體胞格 M0 的浮動閘極電極之中。所以，記憶體胞格 M0 的臨限值可保持於負的狀態中（其中寫入“1”的狀態）。

在拭除操作的情況中，如第 15A 圖中所示地，施加負極性的高壓（ V_{ers} ）至所選擇區塊中之所有字元線，使位元線 BL 及源極線 SL 在浮動狀態中。所以，在區塊之所有記憶體胞格的浮動閘極電極中的電子將由穿隧電流而釋放至半導體膜或半導體基板。因而，將該等記憶體胞格的各個記憶體胞格的臨限電壓移至負的方向。

在第 15B 圖中所示的讀取操作中，施加 V_r 的電壓（例如 0V）至選擇讀取之記憶體胞格 M0 的字元線 WL0，而施加稍微比電源電壓更高之用於讀取之 V_{read} 的中間電壓至字元線 WL1 至 WL31，且至並不選擇之記憶體胞格的選擇閘極線 SG1 和 SG2。也就是說，如第 16 圖中所示，除了所選擇之記憶體元件之外的記憶體元件各作用為轉移電晶體。因此，所偵測的是，電流是否流動於選擇讀取之記憶體胞格 M0 中。換言之，當儲存於記憶體胞格 M0 中的資料為“0”時，記憶體胞格 M0 關閉且位元線 BL 並不放電。相反地，當儲存於記憶體胞格 M0 中之資料為“1”時，則記憶體胞格開啓且位元線 BL 放電。

第 17 圖顯示非揮發性半導體記憶體裝置的電路方塊圖實例。在該非揮發性半導體記憶體裝置中，記憶體胞格陣列 52 及週邊電路 54 係形成於一基板上，該記憶體胞格陣列 52 具有如第 11 至 13 圖之任一圖中所示的結構，週邊電路 54 則具有以下的結構。

用以選擇字元線之列解碼器 62 及用以選擇位元線之行解碼器 64 係配置於記憶體胞格陣列 52 的週邊之中。位址係透過位址緩衝器 56 而傳送至控制電路 58，以及內部列位址信號和內部行位址信號係分別轉移至列解碼器 62 和行解碼器 64。

使電源電位增加以使用於資料寫入和資料拭除。因此，設置依據操作模式而由控制電路 58 所控制之升壓電路 60。該升壓電路 60 的輸出係透過列解碼器 62 或行解碼器

64 而供應至字元線 WL 或位元線 BL，自行解碼器 64 所輸出之資料係輸入至感測放大器 66，由感測放大器 66 所讀取之資料係保持於資料緩衝器 68 之中，而資料則由控制電路 58 之控制來予以隨機地存取，且透過資料輸入／輸出緩衝器 70 來予以輸出。即將寫入之資料係透過資料輸入／輸出緩衝器 70 而保持於資料緩衝器 68 中，且由控制電路 58 之控制而轉移至行解碼器 64。

在此一非揮發性半導體記憶體裝置中，資料寫入及拭除係透過隧道絕緣膜而執行。因此，在非揮發性半導體記憶體裝置中，隧道絕緣膜的膜特徵極為重要。

因此，藉由使用本發明，可獲得具有高度耐壓之密質隧道絕緣膜；此外，可充分地以該隧道絕緣膜來覆蓋半導體膜。因此，由於可防止隧道絕緣膜之耐壓中的缺陷，隧道絕緣膜之覆蓋中的缺陷，所以可提供高度可靠之非揮發性半導體記憶體裝置。

而且，可由使用本發明來獲得具有極少電子陷阱的隧道絕緣膜；因此，可提供高度可靠之非揮發性半導體記憶體裝置。

[實施例 6]

此實施例將解說非揮發性半導體記憶體裝置之實例。在該非揮發性半導體記憶體裝置中，包含於記憶體部分中之非揮發性記憶體元件，及包含於邏輯部分中而設置在相同於該記憶體部分的基板上之諸如電晶體的元件，係同時

地形成。

第 11 圖係該非揮發性半導體記憶體裝置中之記憶體部分的示意圖。

在此實施例中所示的記憶體部分包含複數個記憶體胞格，各個胞格具有選擇電晶體 S 和非揮發性記憶體元件 M。在第 11 圖中，選擇電晶體 S01 和非揮發性記憶體元件 M01 形成一記憶體胞格 MC01。相似地，選擇電晶體 S02 和非揮發性記憶體元件 M02 之對，選擇電晶體 S03 和非揮發性記憶體元件 M03 之對，選擇電晶體 S11 和非揮發性 M11 之對，選擇電晶體 S12 和非揮發性半導體記憶體裝置 M12 之對，以及選擇電晶體 S13 和非揮發性記憶體元件 M13 之對，各自地形成記憶體胞格。

選擇電晶體 S01 之閘極電極係連接至字元線 WL1，其源極和汲極之一係連接至位元線 BL0，而另一則連接至非揮發性記憶體元件 M01 之源極或汲極。進一步地，該非揮發性記憶體元件 M01 的閘極電極連接至字元線 WL11，其源極和汲極之一連接至選擇電晶體 S01 之源極或汲極，而另一則連接至源極線 SL。

設置於記憶體部分中之選擇電晶體相較於設在邏輯部分中之電晶體具有高的驅動電壓。因此，設置在記憶體部分中之電晶體及設置在邏輯部分中之電晶體的閘極絕緣膜及類似物較佳地以不同的厚度來形成。例如，當所欲的是低的驅動電壓以及在臨限電壓中之低的變化時，則電晶體較佳地具有薄的閘極絕緣膜；然而，當需要高的驅動電壓

及高耐壓之絕緣膜時，則電晶體較佳地具有厚的閘極絕緣膜。

因此，參照圖式，下文中之此實施例將解說其中薄的絕緣膜係形成於邏輯部分之電晶體中而所欲的是低驅動電壓和低臨限電壓中之變化，以及厚的絕緣膜係形成於邏輯部分之電晶體中而需要高驅動電壓及高耐壓之閘極絕緣膜的情況。在第 18A 至 21C 圖中，設置於邏輯部分中之電晶體係顯示於 A-B 之間及 C-D 之間，設置於記憶體部分中之非揮發性記憶體元件係顯示於 E-F 之間，以及設置在記憶體部分中之電晶體係顯示於 G-H 之間。此外，此實施例將說明其中設置在 A-B 間之電晶體為 p 通道型，設置在 C-D 之間及在 G-H 之間的電晶體各為 n 通道型；以及電子係使用於 E-F 間所設置之非揮發性記憶體元件中的載子變遷。然而，本發明之非揮發性半導體記憶體裝置並未受限於此。

首先，島形半導體膜 104、106、108、和 110 係以基底絕緣膜 102 插入於其間而形成於基板 100 之上，第一絕緣膜 112、114、116、118 係形成以便分別地覆蓋該等島形半導體膜 104、106、108、和 110。然後，形成電荷累積膜 120 以便覆蓋第一絕緣膜 112、114、116、及 118 上（第 18A 圖）。該等島形半導體膜 104、106、108、和 110 可如下地設置：非晶半導體膜係由包含矽來做為其主要成分（諸如 $\text{Si}_x\text{Ge}_{1-x}$ ）或類似物而使用濺鍍法、LPCVD 法、電漿 CVD 法、或類似法來形成於事先形成於基板

100 上之基底絕緣膜 102 之上；且使該非晶半導體膜結晶以及將其選擇性地蝕刻。選擇性地，該非晶半導體膜可無需被結晶地予以選擇性地蝕刻，以致使島形半導體膜 104、106、108、和 110 可使用非晶半導體膜而形成。

該非晶半導體膜可由雷射結晶法，使用 RTA 或退火爐之熱結晶法，使用促進結晶之金屬元素的熱結晶法，其中結合該等方法之任一與另一方法之方法，或其類似方法所結晶。

當半導體膜係由雷射照射所結晶或重新結晶時，可使用半導體雷射 (LD) 抽運式連續波 (CW) 雷射 (YVO₄，二次諧波 (波長 532nm) 來做為雷射光的光源，無需一定要特別地受限於二次諧波；然而，就能量效率而言，二次諧波優於其他更高諧波。當以 CW 雷射來照射半導體膜時，半導體膜可連續地接收能量；因此，一旦半導體膜熔化時，所熔化的狀態可持續著。此外，半導體膜的固態-液態介面可由掃描 CW 雷射所移動，且可形成沿著此移動方法而在一方向之中變長的晶粒。此外，因為相較於氣體雷射及其類似物時，固態雷射之高度穩定的輸出及穩定的處理可預期，所以使用固態雷射。應注意的是，不僅可使用 CW 雷射，而且可使用具有 10MHz 以上重複率的脈波式雷射。藉由具有高重複率之脈波式雷射，當所熔化之半導體膜固化週期比雷射之脈波間距更短時，則該半導體膜可恆定地保持熔化，使得半導體膜能具有由於固態-液態介面之移動而在一方向中變長的晶粒。可使用其他 CW 雷射和

具有 10MHz 以上之重複率的脈波式雷射。例如，可使用 Ar 雷射，Kr 雷射，CO₂ 雷射，或其類似物來做為氣體雷射；此外，可給定諸如氦-鎘之金屬氣相雷射來做為氣體雷射。可使用 YAG 雷射，YLF 雷射，YALO₃ 雷射，GdVO₄ 雷射，KGW 雷射，KYW 雷射，紫翠玉雷射，Ti：藍寶石雷射，Y₂O₃ 雷射，YVO₄ 雷射，或其類似物來做為固態雷射。此外，在該等固態雷射之中，亦可使用 YAG 雷射，Y₂O₃ 雷射，GdVO₄ 雷射，YVO₄ 雷射，或其類似物來做為陶質物雷射。較佳的是，自雷射振盪器來發出具有 TEM₀₀（單一橫向模式）的雷射光，因為欲照射於表面上之線性光束光點可具有更均勻的能量，除了上述該等雷射之外，可使用脈波式準分子雷射。

做為基板 100，可使用玻璃基板、石英基板、藍寶石基板、陶質物基板、金屬基板（諸如不鏽鋼基板）、或其類似物。此外，亦可使用由聚乙烯對苯二甲酯（PET）、聚乙烯萘二甲酸酯（PEN）、聚醚砜（PES）、丙烯酸、或其類似物所形成之基板來做為塑膠基板。

基底絕緣膜 102 係由使用諸如氧化矽、氮化矽、氮氧化矽（SiO_xN_y， $x > y > 0$ ）、或氧化氮化矽（SiN_xO_y， $x > y > 0$ ）之絕緣材料的 CVD 法、濺鍍法、或類似法所形成。例如，在具有雙層結構之基底絕緣膜 102 的情況中，可形成氧化氮化膜來做為第一絕緣膜，以及可形成氮氧化矽膜來做為第二絕緣膜。選擇性地，可形成氮化矽膜為第一絕緣膜，以及可形成氧化矽膜來做為第二絕緣膜。藉由形

成基底絕緣膜 102 來做為阻隔層，可防止基板上所形成之元素不利地遭受來自基板之諸如 Na 的鹼金屬或鹼土金屬所影響。當基板 100 為石英基板時，可省略基底絕緣膜 102。

較佳地，第一絕緣膜 112，114，116，及 118 係由執行電漿氧化於由 CVD 法、濺鍍法、或類似法所形成的絕緣膜之上。例如，第一絕緣膜 112，114，116，及 118 係由 CVD 法或濺鍍法形成包含氧化矽，氮氧化矽，氧化鋁 (Al_xO_y)，氧化鉭 (Ta_xO_y)，氧化鈣 (HfO_x)，或類似物之絕緣膜，以及執行電漿氧化於該絕緣膜之上所形成。該絕緣膜較佳地以 1nm 至 20nm 之厚度來形成，更佳地，以 1nm 至 10nm 之厚度。

電漿氧化使用激勵於諸如微波（典型地，2.45GHz）之高頻且具有 $1 \times 10^{11} \text{cm}^{-3}$ 以上的電子密度和 1.5eV 以下的電子溫度之電漿所執行。更特定地，電子密度較佳地在 $1 \times 10^{11} \text{cm}^{-3}$ 至 $1 \times 10^{13} \text{cm}^{-3}$ 的範圍，以及電漿電子溫度較佳地在 0.5eV 至 1.5eV 的範圍。而且，執行於該絕緣膜上的電漿氧化時間較佳地為 60 秒或更長。

電漿氧化係執行於包含至少氧的氛圍中（例如氧氛圍；包含氧氣 (O_2) 或一氧化二氮 (N_2O) 及稀有氣體 (He、Ne、Ar、Kr、及 Xe 之至少其中之一) 的氛圍；或包含氧氣 (O_2) 或一氧化二氮 (N_2O)、氫氣 (H_2)、及稀有氣體的氛圍)。當氛圍包含氫氣時，氫的數量較佳地比氧或一氧化二氮及稀有氣體的數量更少。

做為稀有氣體，例如可使用 Ar，且可使用包含 Ar 和 Kr 之混合氣體。若執行電漿氧化於稀有氣體氛圍之中時，由電漿氧化所形成的第一絕緣膜 112，114，116，和 118 可包含使用於電漿處理中之稀有氣體（He、Ne、Ar、Kr、及 Xe 之至少其中之一）。例如，當使用 Ar 來做為電漿氧化中之稀有氣體時，該第一絕緣膜 112、114、116、和 118 可包含 Ar。

在本發明中的電漿氧化係執行於其中在欲處理之物件，亦即，絕緣膜之附近處的電漿電子密度高（ $1 \times 10^{11} \text{cm}^{-3}$ 以上）以及電漿電子溫度低的條件下；因此，可防止第一絕緣膜 112、114、116、和 118 由於電漿而損壞。此外，因為電漿電子密度高（ $1 \times 10^{11} \text{cm}^{-3}$ 以上），所以相較於由 CVD 法、濺鍍法、或類似方法所形成的膜，可使得藉由執行電漿氧化於欲處理物件上所形成的膜（此處為第一絕緣膜 112、114、116、和 118）成為更密質且具有更高的耐壓。此外，因為電漿電子溫度低（1.5 eV 以下），所以可以以比習知之電漿氧化處理或熱氧化法更低的溫度來執行氧化處理於欲處理的物件上。例如，可使用低於玻璃基板之變形點的 100°C 以上的電漿氧化而充分地執行氧化處理。

當使得由 CVD 法、濺鍍法、或類似法所形成之包含氫的絕緣膜接受電漿氧化時，則該膜可具有降低的氫含量。

在此實施例中，氧氣（O₂）和氬氣（Ar）的混合氣體

被引入於欲處理之物件的電漿氧化。此處所使用的混合氣體包含 0.1sccm 至 100sccm 的氧以及 100sccm 至 5000sccm 的氫。例如，氧、氫、及氫可分別以 5sccm，5sccm，及 900sccm 來引入。

在此實施例中，形成於記憶體部分中之半導體膜 108 上的第一絕緣膜 116 作用為稍後即將被完成之非揮發性記憶體元件中之隧道絕緣膜。因此，第一絕緣膜 116 愈薄，則易於流過更多的穿隧電流，而使電晶體能高速地操作。此外，當第一絕緣膜 116 更薄時，則即將於稍後所形成的浮動閘極電極可低電壓地累積電荷。因此，可降低非揮發性半導體記憶體裝置的功率消耗。所以，較佳地，第一絕緣膜 112，114，116，和 118 形成為薄。

做為用以形成薄的絕緣膜於半導體膜之上的通用方法，係給定熱氧化法。當使用諸如玻璃基板之其熔點並非充分高的基板來做為基板 100 時，將難以藉由熱氧化法來形成第一絕緣膜 112，114，116，和 118。此外，由 CVD 法或濺鍍法所形成的絕緣膜並不具有充分的膜品質，因為膜內會包含缺陷。而且，由 CVD 法或濺鍍法所形成之薄的絕緣膜具有諸如針孔之缺陷。此外，由 CVD 法或濺鍍法所形成的絕緣膜無法充分地覆蓋半導體膜的末端部分，而造成尤其是短路於半導體膜與稍後形成於第一絕緣膜 116 上之電荷累積膜及類似物之間。因此，如此實施例中所示地，當由電漿氧化來形成第一絕緣膜 112、114、116、和 118 時，則該等絕緣膜可具有比由 CVD 法、濺鍍法、或

類似法所形成的絕緣膜更爲密質且具有更高的耐壓。此外，半導體膜 104、106、108、和 110 的末端部分可充分地覆蓋有第一絕緣膜 112、114、116、和 118。因而，記憶體可高速地操作，且記憶體之電荷保持特徵可予以改善。

即將於稍後完成之非揮發性半導體記憶體裝置可藉由透過形成於記憶體部分中之半導體膜 108 上且作用爲隧道絕緣膜的第一絕緣膜 116 來注入電子而儲存資訊。此時，當造成電子陷阱之氫存在於隧道絕緣膜之中時，電壓會在反覆寫入及拭除的過程中變動而使記憶體劣化。因此，較佳地，在隧道絕緣膜中的氫含量必須低。如此實施例中所示地，當第一絕緣膜 116 係由電漿氧化所形成時，則可比由 CVD 法、濺鍍法、或類似法所形成之絕緣膜減低更多的膜之氫含量。因此，可改善記憶體之性能。

電荷累積膜 120 可形成爲單一層，或二或多層之堆疊。特定地，該電荷累積膜 120 可由選擇自矽 (Si)，鍺 (Ge)，鎢 (W)，鈦 (Ti)，鉭 (Ta)，鉬 (Mo)，或其類似物之元素；包含該等元素之任一元素做爲其主要成分之合金材料；或包含該等元素之任一元素做爲其主要成分之化合物材料（例如該元素之氮化物或氧化物）所形成。做爲元素之化合物，可使用氮化矽，氧化氮化矽，碳化矽，含小於 10 原子百分比之鍺的矽鍺，氮化鉭，氧化鉭，氮化鎢，氮化鈦，氧化鈦，氧化錫，或其類似物。此外，可使用元素之矽化物（例如矽化鎢，矽代鈦，或矽化鎳）。在使用矽的情況中，可添加諸如磷或硼之雜質。此處

，電荷累積膜 120 可使用包含銻為其主要成分之膜而由電漿 CVD 法在包含銻元素的氛圍中（例如 GeH_4 ）形成有 1nm 至 20nm 的厚度，較佳地，5nm 至 10nm 之厚度。形成於記憶體部分中之半導體膜 108 上的電荷累積膜 120 作用為即將於稍後形成之非揮發性半導體記憶體裝置中的浮動閘極電極。例如，當半導體膜係由包含 Si 為主要成分之材料所形成，且包含有比作用為浮動閘極電極之 Si 更小能隙之銻的導電膜係以作用為隧道絕緣膜之第一絕緣膜插入其間而設置於半導體膜之上時，則使用該絕緣膜來抵抗浮動閘極電極充電所形成之第二障壁在能量上會比使用該絕緣膜來降低半導體膜充電所形成之第一障壁更高。因此，電荷易於自半導體膜注入至浮動閘極電極，藉以防止電荷消失於浮動閘極電極。也就是說，在操作記憶體的情況中，在低電壓之高效率的寫入係可行的，且電荷保持特徵亦可予以改善。

接著，選擇性地去除半導體膜 104、106、及 110 上所形成之第一絕緣膜 112、114、及 118 以及電荷累積膜 120，使得保留半導體膜 108 上所形成之第一絕緣膜 116 以及電荷累積膜 120。此處，選擇性地以阻體來覆蓋記憶體部分中之半導體膜 108、第一絕緣膜 116、及電荷累積膜 120，以及選擇性地蝕刻形成於半導體膜 104、106、及 110 上之第一絕緣膜 112、114、及 118 以及電荷累積膜 120（第 18B 圖）。

然後，形成阻體 122 以便覆蓋半導體膜 104、106、

及 110 以及形成在半導體膜 108 上之一部分電荷累積膜 120，以及蝕刻掉並未覆蓋有阻體 122 之另一部分電荷累積膜 120。因此，電荷累積膜 120 係部分地留在形成電荷累積膜 121 之後（第 18C 圖）。

接著，形成雜質區於半導體膜 110 之特定區中；此處，在去除阻體 122 之後，形成阻體 124 以便覆蓋半導體膜 104、106、及 108 以及一部分半導體膜 110，且引入雜質元素至並未覆蓋有阻體 124 之另一部分半導體膜 110 中，藉以形成雜質區 126（第 19A 圖）。做為雜質元素，可使用與 n 型導電性之雜質元素，或給與 p 型導電性之雜質元素。做為給與 n 型導電性之雜質元素，可使用磷（P），砷（As），或類似物；做為給與 p 型導電性之雜質元素，可使用硼（B），鋁（Al），鎵（Ga），或其類似物。此處，引入磷（P）於半導體膜 110 中以做為雜質元素。

之後，形成第二絕緣膜 128 以便覆蓋半導體膜 104，106，及 110，以及形成於半導體膜 108 上之第一絕緣膜 116 和電荷累積膜 121（第 19B 圖）。

較佳地，第二絕緣膜 128 係由執行電漿氧化於由 CVD 法、濺鍍法、或類似法所形成的絕緣膜上。例如，絕緣膜係由 CVD 法或濺鍍法而使用氧化矽，氮氧化矽，氧化氮化矽，氧化鋁（ Al_xO_y ），氧化鉭（ Ta_xO_y ），氧化鈦（ HfO_x ），或類似物所形成，且執行電漿氧化於該絕緣膜上，藉以形成第二絕緣膜 128。較佳地，該第二絕緣膜 128 形成有 1nm 至 100nm 的厚度，更佳地，自 20nm 至

60nm 的厚度。

電漿氧化使用激勵於諸如微波（典型地，2.45GHz）之高頻且具有 $1 \times 10^{11} \text{cm}^{-3}$ 以上的電子密度和 1.5eV 以下的電子溫度之電漿所執行。更特定地，電子密度較佳地在 $1 \times 10^{11} \text{cm}^{-3}$ 至 $1 \times 10^{13} \text{cm}^{-3}$ 的範圍，以及電漿電子溫度較佳地在 0.5eV 至 1.5eV 的範圍。此外，執行於該絕緣膜上的電漿氧化時間較佳地為 60 秒或更長。

電漿氧化係執行於包含至少氧的氛圍中（例如氧氛圍；包含氧氣（ O_2 ）或一氧化二氮（ N_2O ）及稀有氣體（He、Ne、Ar、Kr、及 Xe 之至少其中之一）的氛圍；或包含氧氣（ O_2 ）或一氧化二氮（ N_2O ）、氫氣（ H_2 ）、及稀有氣體的氛圍）。當氛圍包含氫氣時，氫的數量較佳地比氧或一氧化二氮及稀有氣體的數量更少。

做為稀有氣體，例如可使用 Ar，且可使用包含 Ar 和 Kr 之混合氣體。若執行電漿氧化於稀有氣體氛圍之中時，由電漿氧化所形成之第二絕緣膜 128 可包含使用於電漿處理中之稀有氣體（He、Ne、Ar、Kr、及 Xe 之至少其中之一）。例如，當使用 Ar 來做為電漿氧化中之稀有氣體時，該第二絕緣膜 128 可包含 Ar。

在本發明中的電漿氧化係執行於其中在欲處理之物件，亦即，絕緣膜之附近處的電漿電子密度高（ $1 \times 10^{11} \text{cm}^{-3}$ 以上）以及電漿電子溫度低的條件下；因此，可防止第二絕緣膜 128 由於電漿而損壞。此外，因為電漿電子密度高（ $1 \times 10^{11} \text{cm}^{-3}$ 以上），所以相較於由 CVD 法、濺鍍法、

或類似方法所形成的膜，可使得藉由電漿氧化於欲處理之物件上所形成的膜（此處為第二絕緣膜 128）成為更密質且具有更高的耐壓。此外，因為電漿電子溫度低（ 1.5eV 以下），所以可以以比習知之電漿氧化處理或熱氧化法更低的溫度來執行氧化處理於欲處理的物件上。例如，可使用低於玻璃基板之變形點的 100°C 以上的電漿氧化而充分地執行氧化處理。

當使得由 CVD 法、濺鍍法、或類似法所形成之包含氫的絕緣膜接受電漿氧化時，則該膜可具有降低的氫含量。

在此實施例中，氧氣（ O_2 ）和氬氣（Ar）的混合氣體被引入於欲處理之物件的電漿氧化。此處所使用的混合氣體包含 0.1sccm 至 100sccm 的氧以及 100sccm 至 5000sccm 的氬。例如，氧、氬、及氬可分別以 5sccm ， 5sccm ，及 900sccm 來引入。

在此實施例中，形成於記憶體部分中之半導體膜 108 上的第二絕緣膜 128 作用為稍後即將被完成之非揮發性記憶體元件中之控制絕緣膜。形成於半導體膜 110 上的第二絕緣膜 128 將作用為稍後即將被完成之電晶體的閘極絕緣膜。因此，當第二絕緣膜 128 係密質且具有高的耐壓時，稍後即將被完成之非揮發性半導體元件可改善電荷保持特徵。此外，可防止稍後即將形成之電晶體之諸如漏電流的缺陷。

第二絕緣膜 128 可由諸如氧化矽、氮化矽、氮氧化矽

(SiO_xN_y , $x > y > 0$)、或氧化氮化矽 (SiN_xO_y , $x > y > 0$) 之絕緣材料而形成爲單一層或堆疊層。例如，當形成第二絕緣膜 128 爲單一層時，氮氧化矽膜或氧化氮化矽膜係由 CVD 法而形成有 5nm 至 50nm；當形成第二絕緣膜 128 爲三層堆疊時，則形成氮氧化矽膜爲第一絕緣膜，形成氮化矽膜爲第二絕緣膜，以及形成氮氧化矽膜爲第三絕緣膜。此外，可使用諸如氧化鋇或氮化鋇之材料於第二絕緣膜 128。

接著，選擇性地形成阻體 130 以便覆蓋形成於半導體膜 108 和 110 上之第二絕緣膜 128；然後，選擇性地去除形成於半導體膜 104 及 106 上之第二絕緣膜 128 (第 19C 圖)。

接著，形成第三絕緣膜 132 及 134 以覆蓋半導體膜 104 及 106 (第 20A 圖)。

第三絕緣膜 132 及 134 係由形成第一絕緣膜 112、114、116、和 118 所示之任一方法所形成。例如，絕緣膜係由 CVD 法或濺鍍法而使用氧化矽、氮氧化矽、氧化氮化矽、氧化鋁 (Al_xO_y)、氧化鉭 (Ta_xO_y)、氧化鈺 (HfO_x)、或其類似物所形成，且然後，使該絕緣膜接受電漿氧化；因而，分別形成第三絕緣膜 132 及 134 於半導體膜 104 及 106 上。該等絕緣膜較佳地形成有 1nm 至 20nm 的厚度，更佳地，自 1nm 至 10nm 之厚度。形成於半導體膜 104 及 106 上之第三絕緣膜 132 及 134 作用爲即將於稍後被完成之電晶體中的閘極絕緣膜。

接著，形成導電膜以使覆蓋形成於半導體膜 104 和 106 上之第三絕緣膜 132 及 134，以及形成於半導體膜 108 和 110 上之第二絕緣膜 128（第 20B 圖）。此處，所顯示的是依序堆疊導電膜 136 及 138 以成爲導電膜的實例。無庸置疑地，該導電膜可形成爲單一層，或三或多層之堆疊。

導電膜 136 及 138 可由選擇自鉬（Ta）、鎢（W）、鈦（Ti）、鉬（Mo）、鋁（Al）、銅（Cu）、鉻（Cr）、鎳（Nb）、及其類似物之元素，或包含該等元素之任一元素來做爲其主要成分的合金或化合物材料所形成；而且，可使用由氮化該元素所形成之氮化金屬膜。此外，亦可使用由摻雜有諸如磷之雜質元素的多晶矽所代表的半導體材料。

此處，導電膜 136 係由氮化鉬所形成，以及導電膜 138 係由鎢而形成於導電膜 136 之上。選擇性地，導電膜 136 可由氮化鎢、氮化鉬、或氮化鈦而形成爲單一層或堆疊層，以及導電膜 138 可由鉬、鉬、或鈦而形成爲單一層或堆疊層。

接著，選擇性地蝕刻導電膜 136 及 138 之堆疊，使得該等導電膜 136 及 138 保留在部分之半導體膜 104、106、108、和 110 之上，藉以形成閘極電極 140、142、144、和 146（第 20C 圖）。形成在記憶體部分中之半導體膜 108 上的閘極電極 144 作用爲即將於稍後完成之非揮發性記憶體元件中之控制閘極電極，閘極電極 140、142、及

146 作用為即將於稍後完成之電晶體的閘極電極。

雖然蝕刻係執行使得當形成閘極電極 140、142、144、和 146 於此實施例之中時，殘留之導電膜 136 和 138 之末端部分將大略地彼此匹配，但本發明並未特別地受限。例如，在形成閘極電極以具有雙層結構的情況中，下方導電膜的寬度（在與第二絕緣膜 128 及第三絕緣膜 132 和 134 接觸之側）可比上方導電膜的寬度（大略平行於其中載子流動於通道形成區中之方向（連接源極區及汲極區之方向）的方向中之寬度）更大。此外，側壁形可在形成閘極電極之後形成於閘極電極的側表面上。

接著，選擇性地形成阻體 148 來覆蓋半導體膜 104，且藉由使用阻體 148 和閘極電極 142、144、及 146 做為遮罩而引入雜質元素於半導體膜 106、108、和 110 之中，藉以形成雜質區（第 21A 圖）。做為雜質元素，可使用給與 n 型導電性之雜質元素或給與 p 型導電性之雜質元素。做為給與 n 型導電性之雜質元素，可使用磷（P）、砷（As）、或其類似物；做為給與 p 型導電性之雜質元素，可使用硼（B）、鋁（Al）、鎵（Ga）、或其類似物。此處，使用磷（P）來做為雜質元素。

在第 21A 圖中，各自形成源極或汲極區之高濃度雜質區 152，和通道形成區 150 係由引入雜質元素而形成於半導體膜 106 之中。此外，在半導體膜 108 之中，形成各自形成源極或汲極區之高濃度雜質區 156、形成 LDD 區之低濃度雜質區 158、及通道形成區 154。進一步地，在

半導體膜 110 中，係形成各自形成源極或汲極區之高濃度雜質區 162、形成 LDD 區之低濃度雜質區 164、及通道形成區 160。

在半導體膜 108 中之低濃度雜質區 158 係以此一方式來形成，亦即，在第 21A 圖中所引入的雜質元素穿過作用為浮動閘極電極之電荷累積膜 121。因此，通道形成區 154 係形成於半導體膜 108 的區域中而與閘極電極 144 和電荷累積膜 121 二者重疊，以及低濃度雜質區 158 係形成於與電荷累積膜 121 重疊但不與閘極電極 144 重疊的區域中，此外，高濃度雜質區 156 係形成於不與電荷累積膜 121 重疊也不與閘極電極 144 重疊的區域中。

接著，選擇性地形成阻體 166 以便覆蓋半導體膜 106、108、和 110，雜質元素係由使用阻體 166 和閘極電極 140 來做為遮罩而引入於半導體膜 104 中，藉以形成雜質區（第 21B 圖）。做為雜質元素，可使用給與 n 型導電性之雜質元素或給與 p 型導電性之雜質元素。做為給與 n 型導電性之雜質元素，可使用磷（P）、砷（As）、或其類似物；做為給與 p 型導電性之雜質元素，可使用硼（B）、鋁（Al）、鎵（Ga）、或其類似物。此處，係引入具有與第 21A 圖中所引入於半導體膜 106、108、和 110 中之雜質元素不同導電型的雜質元素（例如硼（B））。因而，形成各自形成源極或汲極區之高濃度雜質區 170 及通道形成區 168 於半導體膜 104 之中。

之後，形成絕緣膜 172 以便覆蓋第二絕緣膜 128、第

三絕緣膜 132 和 134，及閘極電極 140、142、144、和 146。然後，形成分別電性連接至形成於半導體膜 104、106、108、和 110 中之雜質區 152、156、162、及 170 於絕緣膜 172 之上（第 21C 圖）。

絕緣膜 172 可藉由使用諸如氧化矽、氮化矽、氮氧化矽（ SiO_xN_y ， $x > y > 0$ ）、或氧化氮化矽（ SiN_xO_y ， $x > y > 0$ ）之包含氧或氮的絕緣膜；包含諸如 DLC（似鑽石之碳）之碳的膜；包含諸如矽氧烷樹脂之矽氧烷材料或諸如環氧、聚亞醯胺、聚醯胺、聚乙烯酚、苯環丁烯、或丙烯酸之 CVD 法、濺鍍法、或其類似方法，而形成爲單一層或堆疊層。該矽氧烷材料對應於包含 Si-O-Si 鍵之材料，矽氧烷具有包含矽（Si）和氧（O）之鍵的骨架結構，可使用包含至少氫之有機族（諸如烷基族或芳香烴）於取代物，亦可使用氟族於取代物；此外，可使用包含至少氫之有機族及氟族於取代物。

導電膜 174 係由選擇自鋁（Al）、鎢（W）、鈦（Ti）、鉭（Ta）、鉬（Mo）、鎳（Ni）、鉑（Pt）、銅（Cu）、金（Au）、銀（Ag）、錳（Mn）、釹（Nd）、碳（C）、及矽（Si）之元素，或包含該等元素之任一元素來做爲其主要成分之合金或化合物材料，而由 CVD 法、濺鍍法、或其類似方法所形成。例如，做爲包含鋁以做爲其主要成分之合金材料，可使用以下的材料：包含鋁以做爲其主要成分且亦包含鎳之材料；或包含鋁以做爲其主要成分且亦包含鎳及碳和矽之其中之一或二者的材料。做爲

導電膜 174，例如較佳地使用阻障膜、鋁-矽 (Al-Si) 膜、及另一阻障膜的堆疊結構，或阻障膜、鋁-矽 (Al-Si) 膜、氮化鈦 (TiN) 膜、及另一阻障膜的堆疊結構。注意的是，該阻障膜對應於鈦、氮化鈦、鉬、或氮化鉬之薄膜。因為鋁和鋁矽具有低的電阻且不昂貴，所以它們適用以形成導電膜 174。當形成阻障層為上方層及下方層時，可防止鋁和鋁矽中之小丘的產生。此外，當阻障膜係由具有高還原性質之元素的鈦所形成時，即使薄的自然氧化物膜形成於結晶半導體膜之上，亦可藉由還原此自然氧化物膜而達成與結晶半導體膜之有利接觸。

此實施例可與本說明書中所示的任一其他實施例模式及實施例結合。

[實施例 7]

此實施例將參照圖式來說明與實施例 6 不同之非揮發性半導體記憶體裝置的實例。注意的是，在第 22A 至 25B 圖中，設置於邏輯部分中之電晶體係顯示於 A-B 之間及 C-D 之間，設置於記憶體部分中之非揮發性記憶體元件係顯示於 E-F 之間，以及設置在記憶體部分中之電晶體係顯示於 G-H 之間。此外，雖然此實施例將說明其中設置在 A-B 間之電晶體為 p 通道型，設置在 C-D 之間及在 G-H 之間的電晶體各為 n 通道型，以及電子係使用於 E-F 間所設置之非揮發性記憶體元件中的載子變遷，但本發明之非揮發性半導體記憶體裝置並未受限於此。

首先，形成各分離元件於其中之區域 204、206、208、210 於基板 200 中，且分別形成第一絕緣膜 212、214、216，和 218 於該等區域 204、206、208、和 210 的表面上。然後，形成作用為即將於稍後完成之非揮發性記憶體元件中的浮動閘極電極之電荷累積膜，以便覆蓋該等第一絕緣膜 212、214、216、和 218（第 22A 圖）。此處，作用為浮動閘極電極之電荷累積膜係形成為電荷累積膜 220 和電荷累積膜 223 的堆疊。設置於基板 200 中之該等區域 204、208、和 210 係由絕緣膜 202（亦稱為場氧化物膜）所分離。此外，在此處係使用具有 n 型導電性之單晶矽基板來做為基板 200，且在此實例中，p 阱 207 係設置於基板 200 中之區域 206、208、和 210 之中。

基板 200 可為任何基板而無特殊的限制，只要該基板為半導體基板即可。例如可使用：具有 n 型導電性或 p 型導電性之單晶 Si 基板；化合物半導體基板（諸如 GaAs 基板，InP 基板，GaN 基板，SiC 基板，藍寶石基板，或 ZnSe 基板）；由接合法或 SIMOX（由所佈植之氧所分離）法所製造的 SOI（矽在絕緣物上）基板；或類似物。

其中分離元件於該處之區域 204、206、208、和 210 可由選擇性氧化法（諸如 LOCOS（矽之局部氧化）法）、溝渠分離法、或其類似方法所形成。

形成於基板 200 中之該等區域 206、208 和 210 中的 p 阱可由選擇性地引入給與 p 型導電性之雜質元素於基板 200 中而形成。做為給與 p 型導電性之雜質元素，可使用

硼 (B) 、 鋁 (Al) 、 鎵 (Ga) 、 或其類似物 。

因爲基板 200 係具有 n 型導電性之半導體基板，所以在此實施例中並不引入雜質元素於區域 204 中；然而，n 阱可由引入給與 n 型導電性之雜質元素而形成於區域 204 中。做爲給與 n 型導電性之雜質元素，可使用磷 (P) 、 砷 (As) 、 或其類似物。另一方面，在使用具有 p 型導電性之半導體基板的情況中，該結構可爲其中 n 阱係由引入給與 n 型導電性之雜質元素於區域 204 中所形成，且雜質元素並不引入於區域 206、208、及 210 中。

第一絕緣膜 212、214、216、和 218 可由使用藉由熱氧化法而氧化設置於基板 200 中之區域 204、206、208、和 210 的表面所獲得的氧化矽膜所形成。較佳地，該第一絕緣膜 212、214、216、和 218 各形成有 1nm 至 20nm 之厚度，更佳地，自 1nm 至 10nm 的厚度。

此外，第一絕緣膜 212、214、216、和 218 係以此一方式所形成，亦即，進一步使藉由熱氧化法而氧化基板 200 中之區域 204、206、208、和 210 表面所形成之氧化矽膜接受電漿氧化。此係因爲由諸如溼式氧化之熱氧化法所形成的絕緣膜將包含氫，而電漿氧化則可降低膜的氫含量。

該電漿氧化使用激勵於諸如微波（典型地，2.45GHz）之高頻且具有 $1 \times 10^{11} \text{cm}^{-3}$ 以上的電子密度和 1.5eV 以下的電漿電子溫度之電漿所執行。更特定地，較佳地使用 $1 \times 10^{11} \text{cm}^{-3}$ 至 $1 \times 10^{13} \text{cm}^{-3}$ 之電子密度以及 0.5eV 至 1.5eV

的電漿電子溫度之電漿。此外，執行於該絕緣膜上之電漿氧化時間較佳地為 60 秒或更長。

電漿氧化係執行於包含至少氧的氛圍中（例如氧氛圍；包含氧氣（ O_2 ）或一氧化二氮（ N_2O ）及稀有氣體（He、Ne、Ar、Kr、及 Xe 之至少其中之一）的氛圍；或包含氧氣（ O_2 ）或一氧化二氮（ N_2O ）、氫氣（ H_2 ）、及稀有氣體的氛圍），當氛圍包含氫氣時，氫的數量較佳地比氧或一氧化二氮及稀有氣體的數量更少。

做為稀有氣體，例如可使用 Ar，而且可使用包含 Ar 和 Kr 之混合氣體。當執行電漿氧化於稀有氣體氛圍之中時，由電漿氧化所形成的第一絕緣膜 212，214，216，和 218 可包含使用於電漿中之稀有氣體（He、Ne、Ar、Kr、及 Xe 之至少其中之一）。例如當使用 Ar 來做為電漿氧化中之稀有氣體時，第一絕緣膜 212、214、216、和 218 可包含 Ar。

在本發明中的電漿氧化係執行於其中在欲處理之物件，亦即，絕緣膜之附近處的電漿電子密度高（ $1 \times 10^{11} \text{cm}^{-3}$ ）及電漿電子溫度低的條件下；因此，可防止第一絕緣膜 212、214、216、和 218 由於電漿而損壞。

此處，在藉由溼式氧化而形成氧化矽膜於區域 204、206、208、和 210 的表面上之後，第一絕緣膜 212、214、216、及 218 係由執行電漿氧化於該氧化矽膜之上所形成。此處，電漿氧化法係由 5sccm 來引入氧氣（ O_2 ）及以 900sccm 來引入氫氣所形成。

在此實施例中，形成於基板 200 之記憶體部分中所設置之區域 208 上的第一絕緣膜 216 作用為即將於稍後完成之非揮發性記憶體元件的隧道絕緣膜。因此，當第一絕緣膜 216 愈薄時，則易於流過更多的穿隧電流，而使記憶體能高速地操作。此外，當第一絕緣膜 216 更薄時，則即將於稍後所形成的浮動閘極電極可低電壓地累積電荷。因此，可降低非揮發性半導體記憶體裝置的功率消耗。所以，較佳地，形成第一絕緣膜 212、214、216、和 218 為薄。

即將於稍後完成之非揮發性半導體記憶體裝置可藉由透過形成於記憶體部分中所設置之區域 208 上且作用為隧道絕緣膜的第一絕緣膜 216 來注入電子而儲存資訊。此時，當造成電子陷阱之氫存在於隧道絕緣膜之中時，電壓會在反覆寫入及拭除的過程中變動而使記憶體劣化。因此，較佳地，在隧道絕緣膜中的氫含量必須低。如此實施例中所示地，當第一絕緣膜 216 係由電漿氧化所形成時，則可比由 CVD 法、濺鍍法、或類似法所形成之絕緣膜減低更多的膜之氫含量。因此，可改善記憶體之性能。

形成於第一絕緣膜上之電荷累積膜可形成為單一層，或二或多層之堆疊。特定地，該電荷累積膜可由選擇自矽 (Si)、鍺 (Ge)、鎢 (W)、鈦 (Ti)、鉭 (Ta)、鉬 (Mo)、及其類似物之元素；包含該等元素之任一元素做為其主要成分之合金材料；或包含該等元素之任一元素做為其主要成分之化合物材料（例如該元素之氮化物或氧化物）所形成。做為元素之化合物，可使用氮化矽、氧化

氮化矽、碳化矽、含小於 10 原子百分比之銻的矽銻、氮化鉬、氧化鉬、氮化鎢、氮化鈦、氧化鈦、氧化錫、或其類似物。此外，可使用元素之矽化物（例如矽化鎢、矽化鈦、或矽化鎳）。而且，在使用矽的情況中，可添加諸如磷或硼之雜質。在此實施例中，電荷累積膜 220 和 223 係形成為包含銻（Ge）之諸如銻膜或矽銻合金膜的膜及包含矽（Si）的膜之堆疊。此處，電荷累積膜 220 係使用包含銻為其主要成分之膜而由電漿 CVD 法在包含銻元素的氛圍中（例如 GeH_4 ）形成有 1nm 至 20nm 的厚度，較佳地，1nm 至 10nm 的厚度。之後，電荷累積膜 223 係使用包含矽為其主要成分之膜而由電漿 CVD 法在包含矽元素的氛圍中（例如 SiH_4 ）形成有 1nm 至 50nm 的厚度，較佳地，1nm 至 20nm 的厚度。例如，當使用單晶矽（Si）基板為基板 200 且包含有比 Si 更小能隙之銻的導電膜以作用為隧道絕緣膜之第一絕緣膜插入其間而設置於矽（Si）基板之某一區上時，則由絕緣膜所形成之抵抗浮動閘極電極充電的第二障壁在能量上會比由絕緣膜所形成之抵抗 Si 基板之某一區充電的第一障壁更高。因而，電荷易於自 Si 基板之某一區注入至浮動閘極電極，而可防止電荷消失於浮動閘極電極。也就是說，在操作記憶體的情況中，在低電壓之高效率的寫入係可行的，且電荷保持特徵亦可予以改善。應注意的是，包含形成於基板 200 之記憶體部分中之區域 208 上的電荷累積膜 220 和電荷累積膜 223 之堆疊結構作用為即將於稍後完成之非揮發性記憶體元件中

之浮動閘極電極。選擇性地，可依序地堆疊包含銻之膜及包含矽-銻合金之膜。

接著，選擇性地去除基板 200 中之區域 204、206、和 210 上所形成之第一絕緣膜 212、214、和 218 以及電荷累積膜 220 和 223，使得保留區域 208 上所形成之第一絕緣膜 216 以及電荷累積膜 220 和 223 之堆疊。此處，選擇性地以阻體來覆蓋基板 200 之記憶體部分中之包含區域 208、第一絕緣膜 216、及電荷累積膜 220 和 223 的堆疊結構，以及選擇性地蝕刻區域 204、206、和 210 上之包含第一絕緣膜 212、214、和 218 以及電荷累積膜 220 和 223 的堆疊結構（第 22B 圖）。

接著，形成第二絕緣膜 228 以便覆蓋包含基板 200 中之區域 204、206、和 210，以及區域 208 上所形成之第一絕緣膜 216 及電荷累積膜 220 和 223 的堆疊結構（第 22C 圖）。

較佳地，第二絕緣膜 228 係由執行電漿氧化於由 CVD 法、濺鍍法、或類似法所形成的絕緣膜上。例如，絕緣膜係由 CVD 法或濺鍍法而使用氧化矽、氮氧化矽、氧化氮化矽、氧化鋁（ Al_xO_y ）、氧化鉭（ Ta_xO_y ）、氧化鈦（ HfO_x ）、或類似物所形成，且執行電漿氧化於該絕緣膜上，藉以形成第二絕緣膜 228。較佳地，該絕緣膜形成有 1nm 至 100nm 之厚度，更佳地，自 20nm 至 60nm 之厚度。該電漿氧化可由形成第一絕緣膜所示之方法來執行。

形成於區域 208 上之第二絕緣膜 228 作用為稍後即將

被完成之非揮發性記憶體元件中之控制絕緣膜，形成於區域 210 上之第二絕緣膜 228 作用為稍後即將被形成之電晶體的閘極絕緣膜。

接著，選擇性地形成阻體 230 以便覆蓋形成於區域 208 和 210 上之第二絕緣膜 228，以及去除形成於區域 204 和 206 上之第二絕緣膜 228（第 23A 圖）。

之後，形成第三絕緣膜 232 及 234 以便覆蓋區域 204 及 206（第 23B 圖）。

第三絕緣膜 232 及 234 係由形成第一絕緣膜 212 和 214 以及第二絕緣膜 228 所示之任一方法所形成。亦即，可使用熱氧化法、CVD 法、或濺鍍法。此外，由該等方法之任一方法所形成之絕緣膜可接受電漿氧化。形成於基板 200 中之區域 204 和 206 上的第三絕緣膜 232 和 234 作用為即將於稍後完成之電晶體的閘極絕緣膜。

之後，形成導電膜以便覆蓋形成於區域 204 和 206 上之第三絕緣膜 232 及 234 以及形成於區域 208 和 210 上的第二絕緣膜 228（第 23C 圖）。此處，所顯示的是依序堆疊導電膜 236 和 238 以成為導電膜的實例，該導電膜可形成為單一層，或三或多層之堆疊。

導電膜 236 和 238 可由選擇自鉭（Ta）、鎢（W）、鈦（Ti）、鉬（Mo）、鋁（Al）、銅（Cu）、鉻（Cr）、鈮（Nb）、及其類似物之元素，或包含該等元素之任一元素來做為其主要成分的合金或化合物材料所形成；而且，可使用由氮化該元素所形成之氮化金屬膜。此外，亦

可使用由摻雜有諸如磷之雜質元素的多晶矽所代表的半導體材料。

此處，導電膜 236 係由氮化鉬所形成，以及導電膜 238 係由鎢而形成於導電膜 236 之上。此外，導電膜 236 可由氮化鎢、氮化鉬、或氮化鈦而形成為單一層或堆疊層，以及導電膜 238 可由鉬、鉬、或鈦而形成為單一層或堆疊層。

接著，選擇性地蝕刻導電膜 236 和 238，使得導電膜 236 和 238 保留在部分之區域 204、206、208、和 210 之上，藉以分別形成閘極電極 240、242、244、及 246（第 24A 圖）。在此實施例中，暴露並未與閘極電極 240、242、244、和 246 重疊之部分區域 204、206、208、和 210 的表面。

特定地，選擇性地蝕刻形成於閘極電極 240 下方而未與區域 204 上之閘極電極 240 重疊的一部分第三絕緣膜 232，使得閘極電極 240 的末端部分與第三絕緣膜 232 約略地彼此匹配。在區域 206 之上，選擇性地蝕刻形成於閘極電極 242 下方而未與閘極電極 242 重疊之一部分第三絕緣膜 234，使得閘極電極 242 的末端部分與第三絕緣膜 234 約略地彼此匹配。進一步地，在區域 208 之上，去除形成於閘極電極 244 下方而未與閘極電極 244 重疊之部分第二絕緣膜 228、電荷累積膜 220 和 223 之堆疊、及第一絕緣膜 216，使得閘極電極 244 的末端部分、第二絕緣膜 228、電荷累積膜 221 和 225 之堆疊、及第一絕緣膜 216

約略地彼此匹配。此外，在區域 210 之上，選擇性地蝕刻形成於閘極電極 246 下方而未與閘極電極 246 重疊的一部分第二絕緣膜 228，使得閘極電極 246 的末端部分與第二絕緣膜 228 彼此匹配。

在此情況中，在閘極電極 240、242、244、和 246 之形成的同時，可去除並未與它們重疊之部分絕緣膜及類似物；選擇性地，在形成該等閘極電極 240、242、244、和 246 之後，可由使用殘留的阻體或該等閘極電極 240、242、244、和 246 做為遮罩來去除並未與它們重疊之部分絕緣膜及類似物。形成於基板 200 之記憶體部分中之區域 208 上的閘極電極 244 作用為即將於稍後形成之非揮發性記憶體元件中的控制閘極電極；閘極電極 240、242、和 246 作用為即將於稍後形成之電晶體的閘極電極。

接著，選擇性地引入雜質元素於基板 200 中的區域 204、206、和 208 之中（第 24B 圖）。此處，藉由使用閘極電極 242、244、和 246 來做為遮罩而選擇性地以低濃度來引入給與 n 型導電性之雜質元素於區域 206、208、和 210 之中；以及藉由使用閘極電極 240 來做為遮罩而選擇性地以低濃度來引入給與 p 型導電性之雜質元素於區域 204 之中。做為給與 n 型導電性之雜質元素，可使用磷（P）、砷（As）、或類似物；做為給與 p 型導電性之雜質元素，可使用硼（B）、鋁（Al）、鎵（Ga）、或類似物。

接著，形成絕緣膜 280（亦稱側壁）以與閘極電極

240、242、244、及 246 的各個側表面接觸（第 25A 圖）。特定地，包含諸如矽、氧化矽、和氮化矽之無機材料的膜，或包含諸如有機樹脂之有機材料的膜係由電漿 CVD 法、濺鍍法、或類似法而形成為單一層或堆疊層。然後，藉由主要在垂直方向中之各向異性蝕刻法來選擇性地蝕刻該絕緣膜，使得該絕緣膜形成與閘極電極 240、242、244、及 246 的各個側表面接觸。此外，絕緣膜 280 可如形成第二絕緣膜之上述方法所示地由執行電漿氧化於所形成的絕緣膜上所形成。當形成 LDD（微摻雜汲極）區時，絕緣膜 280 被使用作為用於摻雜之遮罩。此處，絕緣膜 280 亦形成與形成在閘極電極 240、242、244、及 246 下方之絕緣膜和電荷累積膜的各個側表面接觸。

接著，藉由使用絕緣膜 280 及閘極電極 240、242、244、和 246 來做為遮罩而引入雜質元素於基板 200 中之區域 204、206、208、和 210 之中，藉以形成各自作用為源極或汲極區之雜質區（第 25A 圖）。此處，藉由使用絕緣膜 280 及閘極電極 242、244、和 246 來做為遮罩，而高濃度地引入給與 n 型導電性之雜質元素於基板 200 的區域 206、208、和 210 之中；且使用絕緣膜 280 及閘極電極 240 來做為遮罩，而高濃度地引入給與 p 型導電性之雜質元素於區域 204 之中。

因而，各形成源極或汲極區之雜質區 269、形成 LDD 區之低濃度雜質區 267、以及通道形成區 266 形成於基板 200 中的區域 204 中。在基板 200 中的區域 206 中，形成

各形成源極或汲極區之雜質區 253、形成 LDD 區之低濃度雜質區 251、以及通道形成區 250。此外，在基板 200 中的區域 208 中，形成各形成源極或汲極區之雜質區 257、形成 LDD 區之低濃度雜質區 255、以及通道形成區 254。進一步地，在基板 200 中的區域 210 中，形成各形成源極和汲極區之雜質區 263、形成 LDD 區之低濃度雜質區 261、以及通道形成區 260。

應注意的是，在此實施例中，雜質元素係在暴露未與閘極電極 240、242、244、和 246 重疊之基板 200 中的部分區域 204、206、208、和 210 中之狀態中被引入。因此，分別形成於基板 200 中之區域 204、206、208、和 210 中的通道形成區 266、250、254、和 260 可以以與閘極電極 240、242、244、和 246 自行對齊的方式形成。

之後，形成絕緣膜 272 以覆蓋設置在基板 200 中之區域 204、206、208、和 210 上的絕緣膜、電荷累積膜、和類似物；以及形成與分別形成在區域 204、206、208、和 210 中之雜質區 269、253、257、和 263 電性連接之導電膜 274 於絕緣膜 272 之上（第 25B 圖）。

絕緣膜 272 可藉由使用諸如氧化矽、氮化矽、氮氧化矽（ SiO_xN_y ， $x > y > 0$ ）、或氧化氮化矽（ SiN_xO_y ， $x > y > 0$ ）之包含氧或氮的絕緣膜；包含諸如 DLC（似鑽石之碳）之碳的膜；包含諸如矽氧烷樹脂之矽氧烷材料或諸如環氧、聚亞醯胺、聚醯胺、聚乙烯酚、苯環丁烷、或丙烯配之 CVD 法、濺鍍法、或其類似方法，而形成為單一層

或堆疊層。該矽氧烷材料對應於包含 Si-O-Si 鍵之材料，矽氧烷具有包含矽 (Si) 和氧 (O) 之鍵的骨架結構，可使用包含至少氫之有機族 (諸如烷基族或芳香烴) 於取代物，亦可使用氟族於取代物；此外，可使用包含至少氫之有機族及氟族於取代物。

導電膜 274 係由選擇自鋁 (Al)、鎢 (W)、鈦 (Ti)、鉭 (Ta)、鉬 (Mo)、鎳 (Ni)、鉑 (Pt)、銅 (Cu)、金 (Au)、銀 (Ag)、錳 (Mn)、釹 (Nd)、碳 (C)、及矽 (Si) 之元素，或包含該等元素之任一元素來做為其主要成分之合金或化合物材料，而由 CVD 法、濺鍍法、或其類似方法所形成。例如，做為包含鋁以做為其主要成分之合金材料，可使用以下的材料：包含鋁以做為其主要成分且亦包含鎳之材料；或包含鋁以做為其主要成分且亦包含鎳及碳和矽之其中之一或二者的材料。做為導電膜 274，例如較佳地使用阻障膜、鋁-矽 (Al-Si) 膜、及另一阻障膜的堆疊結構，或阻障膜、鋁-矽 (Al-Si) 膜、氮化鈦 (TiN) 膜、及另一阻障膜的堆疊結構。注意的是，該阻障膜對應於鈦、氮化鈦、鉬、或氮化鉬的薄膜。因為鋁和鋁矽具有低的電阻且不昂貴，所以它們適用以形成導電膜 274。當形成阻障層為上方層及下方層時，可防止鋁和鋁矽中之小丘的產生。此外，當阻障膜係由具有高還原性質之元素的鈦所形成時，即使薄的自然氧化物膜形成於結晶半導體膜之上，亦可藉由還原此自然氧化物膜而達成與結晶半導體膜之有利接觸。

此實施例可與本說明書中所示的任一其他實施例模式及實施例適當地結合。

[實施例 8]

此實施例將解說藉由使用本發明所形成之絕緣膜的特徵。首先，將說明使用於測量之取樣 A、取樣 B、取樣 C、及取樣 D，以及其製造方法。

取樣 A、取樣 B、及取樣 C 各自具有其中設置氮氧化矽膜 (SiO_xN_y , $x > y > 0$) 於 Si 基板上，及順序地堆疊由鋁-鈦膜所製成之電極於氮氧化矽膜上的結構。該氮氧化矽膜係由執行電漿氧化於藉由電漿 CVD 法所形成的氮氧化矽膜之上。下文中，將特定地說明取樣 A、取樣 B、及取樣 C。

關於取樣 A，製備具有 12.7cm 之長度於一側的 Si 基板，氮氧化矽膜係由電漿 CVD 法在下列條件下以 9nm 之厚度而形成於 Si 基板上： SiH_4 流率為 1sccm， N_2O 流率為 800sccm，在室中之壓力為 40Pa，高頻電功率為 150W (60MHz)，電極間距為 28mm，以及膜形成溫度 (基板溫度) 為 400°C。

接著，使氮氧化矽膜接受電漿氧化 180 秒。在該電漿氧化之後，該氮氧化矽膜具有 10nm 的厚度，該電漿氧化係執行於以下條件： O_2 流率為 5sccm，Ar 流率為 900sccm，在室中之壓力為 106.67Pa，高頻電功率為 3800W (2.45GHz)，以及基板溫度為 400°C。

之後，藉由濺鍍法來形成具有 400nm 厚度之鋁-鈦 (Al-Ti) 膜於該氮氧化矽膜之上，該鋁-鈦膜係鋁和鈦的合金。該鋁-鈦膜係選擇性地由光微影法及蝕刻法所蝕刻，藉以形成具有 $1.96 \times 10^{-3} \text{cm}^{-2}$ 之面積的電極。依據上述步驟，可獲得取樣 A。

關於取樣 B，首先，由電漿 CVD 法形成具有 9.5nm 厚度之氮氧化矽膜於具有 12.7cm 長度於一側的 Si 基板上。因為該氮氧化矽膜係在相似於取樣 A 之條件下形成，所以省略其說明。

接著，使氮氧化矽膜接受電漿氧化 120 秒。在該電漿氧化之後，該氮氧化矽膜具有 10nm 的厚度。因為該電漿氧化係在相似於取樣 A 的條件下執行，所以省略其說明。

接著，藉由濺鍍法來形成具有 400nm 厚度之鋁-鈦 (Al-Ti) 膜於氮氧化矽膜上，該鋁-鈦膜係鋁和鈦的合金。該鋁-鈦膜係選擇性地由光微影法及蝕刻法所蝕刻，藉以形成具有 $1.96 \times 10^{-3} \text{cm}^2$ 之面積的電極。依據上述步驟，可獲得取樣 B。

關於取樣 C，首先，由電漿 CVD 法形成具有 10nm 厚度之氮氧化矽膜於具有 12.7cm 長度於一側的 Si 基板上。因為該氮氧化矽膜係在相似於取樣 A 之條件下形成，所以省略其說明。

接著，使氮氧化矽膜接受電漿氧化 60 秒。在該電漿氧化之後，該氮氧化矽膜具有 10nm 的厚度。因為該電漿

氧化係在相似於取樣 A 的條件下執行，所以省略其說明。

接著，藉由濺鍍法來形成具有 400nm 厚度之鋁-鈦 (Al-Ti) 膜於氮氧化矽膜上，該鋁-鈦膜係鋁和鈦的合金。該鋁-鈦膜係選擇性地蝕刻，藉以形成具有 $1.96 \times 10^{-3} \text{cm}^2$ 之面積的電極。依據上述步驟，可獲得取樣 C。

取樣 D 具有其中設置氮氧化矽膜 (SiO_xN_y , $x > y > 0$) 於 Si 基板上，且順序地堆疊由鋁-鈦膜所製成之電極於該氮氧化矽膜之上的結構。該氮氧化矽膜係由電漿 CVD 法所形成。

特定地，首先，製備具有 12.7cm 之長度於一側的 Si 基板。然後，藉由電漿 CVD 法在下列條件下以 10nm 之厚度來形成氮氧化矽膜於該 Si 基板上： SiH_4 流率為 1sccm， N_2O 流率為 800sccm，在室中之壓力為 40Pa，高頻電功率為 150W (60MHz)，電極間距為 28mm，以及膜形成溫度 (基板溫度) 為 400°C 。

接著，藉由濺鍍法來形成具有 400nm 厚度之鋁-鈦 (Al-Ti) 膜於氮氧化矽膜上，該鋁-鈦膜係鋁和鈦的合金。該鋁-鈦膜被選擇性地蝕刻而形成具有 $1.96 \times 10^{-3} \text{cm}^2$ 之面積的電極。依據上述步驟，可獲得取樣 D。

第 26A 圖顯示測量取樣 A 之電流密度-電場強度 (J-E) 特性的結果，第 26B 圖顯示測量取樣 D 之 J-E 特性的結果。在第 26A 及 26B 圖之各個圖中，垂直軸顯示電流密度 (A/cm^2)，而水平軸顯示電場強度 (MV/cm)。

應注意的是，測量係執行於基板表面上之 112 點處，以及點線顯示第 26A 及 26B 圖中之 1 A/cm^2 之電流密度的刻度。

第 27A 圖以直方圖之形式來顯示第 26A 圖之 1 A/cm^2 電流密度處的電場強度，第 27B 圖以直方圖之形式來顯示第 26B 圖之 1 A/cm^2 電流密度處的電場強度。在第 27A 及 27B 圖之各個圖中，垂直軸顯示耐壓中之缺陷的百分比（%），而水平軸則顯示崩潰電場 E_{BD} （MV/cm）。沿著垂直軸所示之耐壓中的缺陷百分比係依據在總計 112 個測量點中之電流密度以 1 A/cm^2 或大於 1 A/cm^2 來跳越之點所計算。

第 28 圖係線形圖，顯示第 26A 及 26B 圖之 1 A/cm^2 之電流密度處的電場強度與耐壓中之缺陷的累積百分比之間的關係。在第 28 圖中，垂直軸顯示缺陷的累積百分比 F （%），而水平軸則顯示崩潰電場 E_{BD} （MV/cm）。從第 28 圖可瞭解的是，在取樣 D 中之缺陷百分比可得知於大約 5 MV/cm 的崩潰電場；相對地，取樣 A 則直至大約 8 MV/cm 的崩潰電場方可得知。因此，已執行電漿氧化之取樣 A 具有比取樣 D 更高的耐壓。

應注意的是，第 27A 至 28 圖中所示的圖形係用作評估絕緣膜之耐壓的措施，且亦稱為 TZDB（時間零電介質崩潰）直方圖。在該 TZDB 直方圖中，範圍自 0 MV/cm 至 2 MV/cm 之崩潰電場稱為 A 模式，範圍自 2 MV/cm 至 8 MV/cm 之崩潰電場稱為 B 模式，以及 8 MV/cm 以上的

崩潰電場稱為 C 模式。大致上可說的是，當使用絕緣膜來建構諸如電晶體之部分裝置時，若存在有缺陷於 A 模式及 B 模式時，則產能及可靠性將降低。相反地，可證實的是，已執行電漿氧化之取樣 A 幾乎在 A 及 B 模式中並無任何缺陷，且具有高耐壓的膜。

從上述測量結果可瞭解的是，藉由執行電漿氧化於由電漿 CVD 法所形成之膜上而形成的膜（此係對應於取樣 A）比僅由電漿 CVD 法所形成的膜（對應於取樣 D）具有更高的耐壓。

接著，第 29A 及 29B 圖以及第 30A 及 30B 圖分別顯示測量取樣 A 至 D 之電流-電壓（I-V）特性的結果。在第 29A 至 30B 圖之各個圖之中，垂直軸顯示電流（A），而水平軸則顯示電壓（V）。此處，所顯示的是測量基板表面上之 112 個點之 I-V 特性的結果。應注意的是，在第 29A 至 30B 圖之各個圖之中，點線顯示 10V 之電壓之刻度。

第 31 圖顯示計算取樣 A 至 D 之各個取樣的耐壓中之缺陷百分比（%）的結果。依據第 29A 至 30B 圖中所示之 I-V 特性，在耐壓中之缺陷百分比係以此一方式來獲得，亦即，小於 10V 所跳越之 I-V 曲線將視為耐壓中之缺陷，以及計算總測量點中之耐壓中的缺陷係數之百分比。從第 31 圖可瞭解的是，已執行電漿氧化之取樣 A 至 C 在耐壓中具有非常低的缺陷百分比，而且在耐壓中之缺陷百分比係以取樣 C、取樣 B、及取樣 A 之順序變得更低。

第 32A 至 33B 圖各自地顯示當某一電流量 ($12\mu\text{A}$) 流到取樣 A 至 D 時之電壓-時間關係。在第 32A 至 33B 圖之各個圖之中，垂直軸顯示電壓 (V)，而水平軸顯示時間 (秒)。

第 2 表顯示依據第 32A 至 33B 圖而計算及平均 Q_{bd} (C/cm^2) 的結果。

[第2表]

	取樣 A	取樣 B	取樣 C	取樣 D
平均 Q_{bd} (C/cm^2)	0.469	0.289	0.158	0.056

應注意的是， Q_{bd} 係由相乘流過取樣 A 至 D 之電流的值與直到崩潰為止的時間（直至電壓掉落到大約零的時間）所獲得的值。也就是說， Q_{bd} 愈高，則膜具有更高的耐壓。因此，從第 2 表之結果可瞭解的是，已執行電漿氧化之取樣 A 至 C 以一位數以上之 Q_{bd} 而具有比取樣 D 更高的耐壓， Q_{bd} 值係以取樣 A、B、和 C 之順序而變小，以及電漿氧化執行愈長，該膜將具有愈高的耐壓。

第 34 及 35 圖分別顯示由二次離子質譜定法 (SIMS) 來測量取樣 A 及 D 的結果。在第 34 及 35 圖之各個圖之中，垂直軸顯示濃度 ($\text{原子}/\text{cm}^3$)，而水平軸則顯示蝕刻取樣的深度 (nm)。應注意的是，氮氧化矽膜具有大約 10nm 的深度。

在第 34 及 35 圖之各個圖之中，當注意氮氧化矽膜之氮濃度時，取樣 A 具有大約 1×10^{19} 原子 $/\text{cm}^3$ 以下的氮濃

度（該 SIMS 之測量範圍以下），而取樣 D 則具有大約 1×10^{20} 以原子 / cm^3 ，彼此相差一位數以上，因此，可瞭解的是，氮氧化矽膜的氫濃度可由電漿氧化而減少一位數以上。

第 36A 及 36B 圖顯示由 X 射線光電子光譜測定法（XPS）來測量取樣 A 和 D 之氮氧化矽膜中之 Si 鍵狀態的結果。在第 36A 及 36B 圖中，Si-Si 鍵具有峰值於大約 99.4eV 的能帶（結合能量），以及 SiO_2 或類似物具有峰值於大約 104eV 的能帶。在取樣 A 及 D 之各取樣中，例如分離及偵測峰值之結果係大約 104eV，但並未證實由於 Si-H 鍵而出現在大約 102eV 及 103eV 之能帶的峰值。從第 34 及 35 圖中所示之 SIMS 分析結果可瞭解的是，氮氧化矽膜的氫濃度會由於執行電漿氧化而減少，且伴隨 XPS 分析結果可認為，來自氮氧化矽膜中之 O-H 鍵之氫解吸反應或氫與氧間之取代反應可由於執行電漿氧化而發生。

第 37A 及 37B 圖顯示施加電流應力至取樣 A 及 D 之前後的 CV 測量結果。第 37A 及 37B 圖分別顯示取樣 A 及 D 的測量結果。此處，於某一週期時間（10 秒或 100 秒）流過某一電流量（ $1\mu\text{A}$ ）來做為電流應力。該 CV 測量係執行三次：在初始狀態，在供給某一電流量之 10 秒後，以及在供給某一電流量之 100 秒後。

例如從第 37A 及 37B 圖可瞭解的是，在施加電流應力於取樣 D 中之 10 秒後，CV 曲線會大大地偏移至 + 側，且崩潰會發生在施加電流應力之大約 34 秒之後。相對地

，在施加電流應力於取樣 A 中之 10 秒後，CV 曲會偏移至 + 側，但偏移量極小於取樣 D 之偏移量；此外，即使在施加電流應力之 100 秒之後，崩潰並不會發生，且 CV 曲線之偏移量比施加電流應力於取樣 D 之 10 秒後的 CV 曲線偏移量更小。

在 CV 測量中，由於施加電流應力之 CV 曲線正移所致之 CV 曲線變鈍的上升表示電子陷阱產生於氧化物膜之中且介面狀態密度正增加。例如從第 37A 及 37B 圖可瞭解的是，在取樣 A 中之 CV 曲線正移量及 CV 曲線上升變鈍程度會比取樣 D 更小。因此，可明白的是，該電漿氧化可減少會變成電子陷阱之 O-H 鍵，且可抑制由於電性應力所致之電子陷阱的產生。

接著，藉由使用 0.5 重量百分比之氫氟酸來蝕刻取樣 A 及 D。此時，取樣 D 的蝕刻速率約為 $8.43 \text{ nm} / \text{min}$ ；相對地，取樣 A 的蝕刻速率約為 $4.33 \text{ nm} / \text{min}$ 而約為取樣 D 的一半。因此，可瞭解的是，更密質的膜可由執行電漿氧化而獲得。

從上述結果可瞭解的是，具有高耐壓之更密質的膜可如本發明中地由執行電漿氧化於藉由電漿 CVD 法所形成的絕緣膜上而獲得。此外，可瞭解的是，膜的氫濃度可由執行電漿氧化於藉由電漿 CVD 法所形成的絕緣膜上而減少。

從上述結果所認為的是，具有高耐壓之密質膜可由電漿氧化所獲得，因為膜中之 O-H 鍵的氫可由氧游離基所

解吸，或膜中的氫與氧間的取代反應會發生，因此，膜中的氫將減少。

〔實施例 9〕

此實施例將在下文中參照圖式來敘述設置有上述本發明非揮發性半導體記憶體裝置之能無接點地輸入及輸出資料之半導體裝置的應用實例。能無接點地輸入及輸出資料之半導體裝置亦可根據其用途而稱為 RFID 標籤、ID 標籤、IC 晶片、RF 標籤、無線電標籤、電子標籤、或無線電晶片。

半導體裝置 8000 具有無接點地交換資料之功能，其包含高頻電路 8010、電源電路 8020、重設電路 8030、時脈產生電路 8040、資料解調變電路 8050、資料調變電路 8060、用以控制另一電路之控制電路 8070、記憶體電路 8080、及天線 8090（第 38A 圖）。高頻電路 8010 係以天線 8090 來接收信號及自天線 8090 輸出從資料調變電路 8060 所接收之信號的電路，電源電路 8020 係用以根據所接收之信號來產生電源電位的電路，重設電路 8030 係用以產生重設信號的電路，時脈產生電路 8040 係用以根據透過天線 8090 所輸入之所接收的信號來產生各式各樣的時脈信號的電路，資料解調變電路 8050 係用以解調變所接收之信號及輸出所解調的信號至控制電路 8070 的電路，資料調變電路 8060 係用以調變接收自控制電路 8070 之信號的電路。此外，例如可提供碼提取電路 9010、碼判

斷電路 9020、CRC 判斷電路 9030、及輸出單元電路 9040 來做為控制電路 8070。應注意的是，碼提取電路 9010 係用以提取傳送至控制電路 8070 之指令中所含之複數個碼之各個碼的電路，碼判斷電路 9020 係用以根據所提取之碼與對應於參考值之碼之間的比較來判斷指令之內容的電路，CRC 判斷電路 9030 係用以根據所判斷之碼而偵測是否存在有傳輸錯誤或類似者的電路。

接著，將說明上述半導體裝置之操作的實例。首先，無線電信號係以天線 8090 來接收，然後，透過高頻電路 8010 來傳送該無線電信號至電源電路 8020，且產生高的電源電位（下文中稱為 VDD）。該 VDD 供應至半導體裝置 8000 的各個電路；此外，將透過高頻電路 8010 而傳送至資料解調變電路 8050 之信號解調變（下文中將稱呼已解調變之信號為解調變信號）。再者，將透過高頻電路 8010 而通過重設電路 8030 和時脈產生電路 8040 之信號和解調變信號傳送至控制電路 8070，傳送至控制電路 8070 的信號係由碼提取電路 9010、碼判斷電路 9020、CRC 判斷電路 9030、及其類似電路所分析；然後，根據所分析之信號來輸出儲存於記憶體電路 8080 中之半導體裝置的資訊，該半導體裝置之所輸出的資訊係透過輸出單元電路 9040 所編碼。進一步地，該半導體裝置 8000 之所編碼的資訊係透過資料調變電路 8060 而由天線 8090 來傳送成為無線電信號。在該半導體裝置 8000 之複數個電路中，低電源電位（下文中稱為 VSS）係共用的，且該 VSS

可為 GND。此外，本發明之非揮發性半導體記憶體裝置可應用於記憶體電路 8080。

在此方式中，半導體裝置之資料可由自通訊裝置（諸如讀取器／寫入器或具有讀取器或寫入器之功能的裝置）傳送信號至半導體裝置 8000，及以該通訊裝置接收自半導體裝置 8000 所傳送之信號而讀取。

該半導體裝置 8000 可由電磁波來供應電源電壓至各個電路而無需安裝電源（電池），或可由電磁波與由安裝電源（電池）之電源（電池）來供應電源電壓至各個電路。

接著，將說明其中可無接點地輸入／輸出資料之半導體裝置的使用實例。包含顯示部分 3210 之行動終端機的側表面設置有讀取器／寫入器 3200，產品 3220 的側表面設置有半導體裝置 3230（第 38B 圖）。當保持讀取器／寫入器 3200 於產品 3220 中所含之半導體裝置 3230 之上時，該顯示部分 3210 顯示產品上之資訊，例如材料、生產區、各個生產步驟的檢查結果、流通過程的歷史、及產品的說明。此外，當產品 3260 由輸送帶所轉移時，該產品 3260 可由使用設置於產品 3260 之半導體裝置 3250 及讀取器 3240 來加以檢查（第 38C 圖）。在此方式中，藉由使用系統中之半導體裝置，可易於獲得資訊，及達成更高的性能和更高的加值。

此外，本發明之非揮發性半導體記憶體裝置可使用於設置有記憶體之每個領域的電子器具。例如可應用本發明

非揮發性半導體記憶體裝置之電子器具包含諸如攝影機或數位相機之照相機、眼鏡型顯示器（頭戴式顯示器）、導航系統、聲音再生裝置（諸如汽車音響或聲頻組件裝置、電腦、遊戲機、行動資訊終端機（諸如行動電腦、行動電話、行動遊戲機、或電子書）、配置有記錄媒體之影像再生裝置（特定地，可再生諸如 DVD（數位多功能碟片）之記錄媒體且具有用以顯示影像之顯示器的裝置）、及其類似物。第 39A 至 39E 圖顯示該等電子器具之特定實例。

第 39A 及 39B 圖顯示數位相機，第 39B 圖顯示第 39A 圖之數位相機的背面。此數位相機包含殼體 2111、顯示部分 2112、透鏡 2113、操作鍵 2114、快門按鈕 2115、及其類，且設置有可取出式非揮發性記憶體體 2116。該記憶體 2116 可儲存以數位相機所取得之相片的資料，而藉由使用本發明所形成之非揮發性半導體記憶體裝置可應用於該記憶體 2116，且藉由使用本發明所形成之半導體裝置可應用為驅動該顯示部分 2112 的切換元件。

第 39C 圖顯示行動電話來做為行動終端機的典型實例。此行動電話包含殼體 2121、顯示部分 2122、操作鍵 2123、及其類似物。該行動電話設置有可取代式非揮發性半導體記憶體 2125 且可儲存及再生行動電話之資料，例如記憶體 2125 中之電話號碼、影像、和音樂。由使用本發明所形成之非揮發性半導體記憶體裝置可應用於記憶體 2125，且使用本發明所製造之半導體裝置可應用為驅動該

顯示部分 2122 的切換元件。

第 39D 圖顯示數位播放器來做為聲頻裝置之典型實例。第 39D 圖中所示之數位播放器包含主體 2130、顯示部分 2131、記憶體部分 2132、操作部分 2133、耳機 2134、及類似物。應注意的是，耳機 2134 可由頭戴式耳機或無線電耳機所置換。針對記憶體部分 2132，可使用藉由使用本發明所形成之非揮發性半導體記憶體裝置。此外，使用本發明所製造的半導體裝置可應用為驅動顯示部分 2131 之切換元件。例如，影像及語音（音樂）可由操作該操作部分 2133 而使用具有 20 至 200G 位元組（GB）之記憶容量的 NAND 型非揮發性記憶體來加以記錄及再生。應注意的是，顯示部分 2131 之功率消耗可由顯示白色字母於黑色背景上所抑制，尤其此係有效於行動頻頻裝置中。設置於記憶體部分 2132 中之非揮發性半導體記憶體裝置可為可取出式。

第 39E 圖顯示電子書（亦稱為電子紙），其包含主體 2141、顯示部分 2142、操作鍵 2143、和記憶體部分 2144。該主體 2141 可結合調變／解調器，使得可無線電地發射及接收資訊。記憶體部分 2144 可使用藉由使用本發明所形成之非揮發性半導體記憶體裝置，且使用本發明所製造的半導體裝置可應用為驅動顯示部分 2142 之切換元件。例如，影像及語音（音樂）可由操作該操作部分 2143 而使用具有 20 至 200G 位元線（GB）之記憶容量的 NAND 型非揮發性記憶體來加以記錄及再生。設置於記憶

體部分 2144 中之非揮發性半導體記憶體裝置可為可取出式。

如上述，本發明之非揮發性半導體記憶體裝置及半導體裝置可應用於相當寬廣的範圍中，且可使用於具有記憶體之每個領域的電子器具。

[實施例 10]

此實施例將解說藉由使用本發明所製造之非揮發性記憶體元件的特徵。首先，將說明使用於測量之非揮發性記憶體元件 A 及非揮發性記憶體元件 B 的製造方法。

第 40A 圖顯示記憶體元件 A 之結構，以及第 40B 圖顯示記憶體元件 B 之結構。

記憶體元件 A 具有其中半導體膜 4004 係以基底絕緣膜 4002 插入其間而形成於玻璃基板 4000 之上，且隧道絕緣膜 4012、電荷累積膜 4014、控制絕緣膜 4016、及控制閘極電極 4022 係順序地堆疊於半導體膜 4004 之上的結構。基底絕緣膜 4002 係由電漿 CVD 法而順序地堆疊氧化氮化矽膜（具有 50nm 之厚度）及氮氧化矽膜（具有 150nm 之厚度）所形成。該半導體膜 4004 係使用多晶矽膜所形成，且通道形成區 4006、LDD 區 4008、和源極或汲極區 4010 係設置於半導體膜 4004 之中。隧道絕緣膜 4012 係由執行 180 秒之電漿氧化於藉由電漿 CVD 法所形成之 9nm 厚的氧化矽膜之上而形成於半導體膜 4004 上，電荷累積膜 4014 係由添加磷至藉由電漿 CVD 法所形成之

50nm 厚的矽膜所形成，控制絕緣膜 4016 係由執行 180 秒之電漿氧化於藉由電漿 CVD 法所連續形成之 15nm 厚的氮氧化矽膜、10nm 厚的氮化矽膜、和 15nm 厚的氮氧化矽膜所形成，控制閘極電極 4022 係由順序堆疊氮化鉬膜 4018（具有 30nm 的厚度）及鎢膜 4020（具有 370nm 的厚度所形成。源極或汲極區 4010 以及 LDD 區 4008 具有 n 型導電性，且該源極或汲極區 4010 具有比 LDD 區 4008 更高的雜質濃度。通道形成區 4006 具有 p 型導電性。該隧道絕緣膜 4012 及控制絕緣膜 4016 係在藉由電漿 CVD 法形成絕緣膜之後，連續地接受電漿氧化。

記憶體元件 B 具有相同於記憶體元件 A 之結構，除了隧道絕緣膜 4212 和控制絕緣膜 4216 係僅由電漿 CVD 法而不由電漿氧化所形成之外。

第 3 表顯示使用非揮發性記憶體元件 A 和 B 在重複寫入及讀取 1000 次的情況中之臨限電壓 (V_{th}) 的改變 (ΔV_{th}) 結果。第 3 表顯示寫入／讀取前之初始狀態中的臨限值 (初始 V_{th})，及在重複寫入／讀取 1000 次之後的臨限值 (在 10^3 次之後的 V_{th})。此外，該臨限值的改變 (ΔV_{th}) 係由自初始狀態中之臨限值 (初始 V_{th}) 減去重複寫入／讀取 1000 次後之臨限值 (在 10^3 次之後的 V_{th}) 所獲得。

〔第3表〕

記憶體元件	初始 Vth	在 10 ³ 次之後的 Vth	臨限值的改變
A	4.0V	3.1V	-0.9V
B	3.9V	2.3V	-1.6V

如第 3 表中所示地，在以非揮發性記憶體元件 A 來重複寫入／讀取 1000 次的情況中之臨限值的改變約為 -0.9V；相對地，在以非揮發性記憶體元件 B 來重複寫入／讀取 1000 次的情況中之臨限值的改變均為 -1.6V。因此，可瞭解的是，藉由依據本發明之執行電漿氧化於絕緣膜之上，可減少由於重複寫入／讀取之臨限值的改變，且可改善可靠性。

此申請案係根據 2006 年 5 月 26 日在日本專利局中所申請之日本專利申請案序號 2006-147467，該申請案之全部內容係結合於本文中以供參考。

【圖式簡單說明】

在附圖中：

第 1A 至 1C 圖顯示本發明絕緣膜之製造方法的實例

；

第 2 圖顯示本發明絕緣膜之製造方法的實例；

第 3 圖顯示用以製造本發明絕緣膜之設備的實例；

第 4A 至 4D 圖顯示本發明半導體裝置之製造方法的實例；

第 5A 至 5D 圖顯示本發明半導體裝置之製造方法的

實例；

第 6A 至 6D 圖顯示本發明非揮發性半導體記憶體裝置之製造方法的實例；

第 7A 至 7C 圖顯示本發明非揮發性半導體記憶體裝置之製造方法的實例；

第 8A 至 8E 圖顯示本發明半導體裝置之製造方法的實例；

第 9A 至 9C 圖顯示本發明非揮發性半導體記憶體裝置之製造方法的實例；

第 10A 至 10C 圖顯示本發明非揮發性半導體記憶體裝置之製造方法的實例；

第 11 圖顯示非揮發性記憶體胞格陣列的等效電路；

第 12 圖顯示 NOR 型非揮發性記憶體胞格陣列的等效電路；

第 13 圖顯示 NAND 型非揮發性記憶體胞格陣列的等效電路；

第 14A 及 14B 圖係使用來解說 NAND 型非揮發性記憶體的寫入操作；

第 15A 及 15B 圖係使用來解說 NAND 型非揮發性記憶體的拭除和讀取操作；

第 16 圖顯示在其中累積電荷之“0”的情況中及其中拭除電荷之“1”的情況中之非揮發性記憶體之臨限電壓中的改變；

第 17 圖顯示非揮發性半導體記憶體裝置之電路方塊

圖的實例；

第 18A 至 18C 圖顯示本發明非揮發性半導體記憶體裝置之製造方法的實例；

第 19A 至 19C 圖顯示本發明非揮發性半導體記憶體裝置之製造方法的實例；

第 20A 至 20C 圖顯示本發明非揮發性半導體記憶體裝置之製造方法的實例；

第 21A 至 21C 圖顯示本發明非揮發性半導體記憶體裝置之製造方法的實例；

第 22A 至 22C 圖顯示本發明非揮發性半導體記憶體裝置之製造方法的實例；

第 23A 至 23C 圖顯示本發明非揮發性半導體記憶體裝置之製造方法的實例；

第 24A 及 24B 圖顯示本發明非揮發性半導體記憶體裝置之製造方法的實例；

第 25A 及 25B 圖顯示本發明非揮發性半導體記憶體裝置之製造方法的實例；

第 26A 及 26B 圖顯示本發明絕緣膜之特徵；

第 27A 及 27B 圖顯示本發明絕緣膜之特徵；

第 28 圖顯示本發明絕緣膜之特徵；

第 29A 及 29B 圖顯示本發明絕緣膜之特徵；

第 30A 及 30B 圖顯示本發明絕緣膜之特徵；

第 31 圖顯示本發明絕緣膜之特徵；

第 32A 及 32B 圖顯示本發明絕緣膜之特徵；

第 33A 及 33B 圖顯示本發明絕緣膜之特徵；

第 34 圖顯示本發明絕緣膜之特徵；

第 35 圖顯示本發明絕緣膜之特徵；

第 36A 及 36B 圖顯示本發明絕緣膜之特徵；

第 37A 及 37B 圖顯示本發明絕緣膜之特徵；

第 38A 至 38C 圖各自地顯示使用本發明半導體裝置之實例；

第 39A 至 39E 圖各自地顯示使用本發明半導體裝置之實例；以及

第 40A 至 40B 圖顯示本發明非揮發性半導體記憶體裝置之特徵。

【主要元件符號說明】

10, 100, 200, 400, 600, 900 : 基板

12, 112, 116, 603, 906, 212, 216, 406 : 第一絕緣膜

14, 128, 228, 408, 608, 907 : 第二絕緣膜

52 : 記憶體胞格陣列

54 : 週邊電路

56 : 位址緩衝器

58 : 控制電路

60 : 升壓電路

62 : 列解碼器

64 : 行解碼器

- 66：感測放大器
- 68：資料緩衝器
- 70：資料輸入／輸出緩衝器
- 80，8090：天線
- 82：電介質板
- 84：氣體供應埠
- 86，353：抽真空埠
- 88，351：支撐底座
- 90，357：溫度控制部分
- 92：微波供應部分
- 94：電漿
- 102，172，272，280，426，602，828，830，911，
918：絕緣膜
- 104，106，108，110，404，904，4004：半導體膜
- 120，121，220，221，223，225，604，908，4014：
電荷累積膜
- 122，124，130，148，166，230：阻體
- 126，152，253，257，263，269，422，624，626，
822，826，827，928：雜質區
- 132，234，424，824，910：第三絕緣膜
- 136，138，174，236，238，274，410，412，414，
416，428，612，614，616，618，832，912，914，
920：導電膜
- 140，142，144，146，242，244，246，418，606，

- 620, 924 : 閘極電極
- 150, 154, 160, 168, 250, 254, 260, 266, 420,
- 622, 825, 926, 4006 : 通道形成區
- 156, 162, 170 : 高濃度雜質區
- 158, 164, 251, 255, 261, 267 : 低濃度雜質區
- 204, 206, 208, 210, 601 : 區域
- 207 : p 阱
- 331 : 即將被處理之基板
- 360 : 電極板
- 361 : 高頻電功率引入部分
- 362 : 氣體引入部分
- 402, 902, 4002 : 基底絕緣膜
- 2111, 2121 : 殼體
- 2112, 2122, 2131, 2142, 3210 : 顯示部分
- 2113 : 透鏡
- 2114, 2123, 2143 : 操作鍵
- 2115 : 快門按鈕
- 2116, 2125 : 記憶體
- 2130, 2141 : 主體
- 2132, 2144 : 記憶體部分
- 2133 : 操作部分
- 2134 : 耳機
- 3200, 3240 : 讀取器 / 寫入器
- 3220, 3260 : 產品

- 3230 , 3250 , 8000 : 半 導 體 裝 置
- 4000 : 玻 璃 基 板
- 4008 : LDD 區
- 4010 : 汲 極 區
- 4012 , 4212 : 隧 道 絕 緣 膜
- 4016 , 4216 : 控 制 絕 緣 膜
- 4018 : 氮 化 鉭 膜
- 4020 : 鎢 膜
- 8010 : 高 頻 電 路
- 8020 : 電 源 電 路
- 8030 : 重 設 電 路
- 8040 : 時 脈 產 生 電 路
- 8050 : 資 料 解 調 變 電 路
- 8060 : 資 料 調 變 電 路
- 8070 : 控 制 電 路
- 8080 : 記 憶 體 電 路
- 9010 : 碼 提 取 電 路
- 9020 : 碼 判 斷 電 路
- 9030 : CRC 判 斷 電 路
- 9040 : 輸 出 單 元 電 路

99年5月18日修正本

十、申請專利範圍

第 96118218 號專利申請案

中文申請專利範圍修正本

民國 99 年 5 月 18 日修正 P.1-4

1. 一種非揮發性半導體記憶體裝置之製造方法，包含：
 - 形成一半導體區；
 - 形成包含氫之第一絕緣膜於該半導體區之上；
 - 藉由在包含氧之氛圍中執行電漿處理於該第一絕緣膜之上，以降低該第一絕緣膜的氫含量；
 - 在降低該第一絕緣膜的氫含量後，形成一浮動閘極電極於該第一絕緣膜之上；
 - 形成一第二絕緣膜於該浮動閘極電極之上；
 - 形成一控制閘極電極於該第二絕緣膜之上；以及
 - 添加一雜質元素至該半導體區。
2. 如申請專利範圍第 1 項之非揮發性半導體記憶體裝置之製造方法，進一步包含：
 - 在包含氧之氛圍中執行電漿處理於該第二絕緣膜之上。
3. 如申請專利範圍第 1 項之非揮發性半導體記憶體裝置之製造方法，其中該電漿係由微波所激勵。
4. 如申請專利範圍第 2 項之非揮發性半導體記憶體裝置之製造方法，其中該第一絕緣膜具有在降低氫含量後藉

由二次離子質譜測定法之 5×10^{19} 原子 / 立方公分或更小的氫濃度及該第二絕緣膜具有在執行電漿處理後藉由二次離子質譜測定法之 5×10^{19} 原子 / 立方公分或更小的氫濃度。

5. 如申請專利範圍第 1 項之非揮發性半導體記憶體裝置之製造方法，其中該第一絕緣膜及該第二絕緣膜係各由選擇自 CVD 法，濺鍍法，及熱氧化法所組成之群組的方法所形成。

6. 如申請專利範圍第 1 項之非揮發性半導體記憶體裝置之製造方法，其中該第一絕緣膜及該第二絕緣膜各包含選自氧化矽，氮氧化矽，氧化氮化矽，氧化鋁，氧化鉬，及氧化鈾所組成之群組的材料。

7. 如申請專利範圍第 1 項之非揮發性半導體記憶體裝置之製造方法，其中該包含氧之氛圍另包含稀有氣體。

8. 一種半導體裝置之製造方法，包含：

形成一半導體區；

形成包含氫之一閘極絕緣膜於該半導體區之上；

藉由在包含氧之氛圍中執行電漿處理於該閘極絕緣膜之上，以降低該閘極絕緣膜的氫含量；

在降低該閘極絕緣膜的氫含量後，形成一閘極電極於該閘極絕緣膜之上；以及

添加一雜質元素至該半導體區。

9. 如申請專利範圍第 8 項之半導體裝置之製造方法，其中該電漿係由微波所激勵。

10. 如申請專利範圍第 8 項之半導體裝置之製造方法，

其中該閘極絕緣膜具有在降低氫含量後藉由二次離子質譜測定法之 5×10^{19} 原子 / 立方公分或更小的氫濃度。

11. 如申請專利範圍第 8 項之半導體裝置之製造方法，其中該閘極絕緣膜係由選擇自 CVD 法，濺鍍法，及熱氧化法所組成之群組的方法所形成。

12. 如申請專利範圍第 8 項之半導體裝置之製造方法，其中該閘極絕緣膜包含選擇自氧化矽，氮氧化矽，氧化氮化矽，氧化鋁，氧化鉬，及氧化鉛所組成之群組的材料。

13. 如申請專利範圍第 8 項之半導體裝置之製造方法，其中該包含氧之氛圍另包含稀有氣體。

14. 一種非揮發性半導體記憶體裝置，包含：

一半導體區，具有一通道形成區於一對雜質區之間；
一浮動閘極電極，配置於該半導體區之上，而一第一絕緣膜插入於其間；以及

一控制閘極電極，配置於該浮動閘極電極之上，而一第二絕緣膜插入於其間，

其中該第一絕緣膜及該第二絕緣膜各具有藉由二次離子質譜測定法之 5×10^{19} 原子 / 立方公分或更小的氫濃度。

15. 如申請專利範圍第 14 項之非揮發性半導體記憶體裝置，其中該第一絕緣膜及該第二絕緣膜各具有相對於 0.5 wt% (重量百分比) 之氫氟酸的 8 奈米 / 分鐘或更小之蝕刻速率。

16. 一種半導體裝置，包含：

一半導體區，具有一通道形成區於一對雜質區之間；

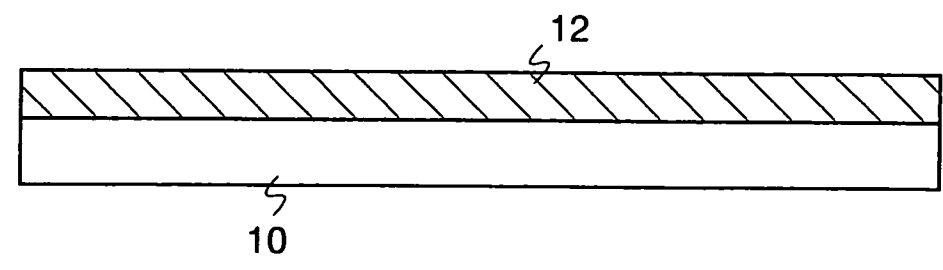
以及

一閘極電極，配置於該半導體區之上，而具有一閘極絕緣膜插入於其間，

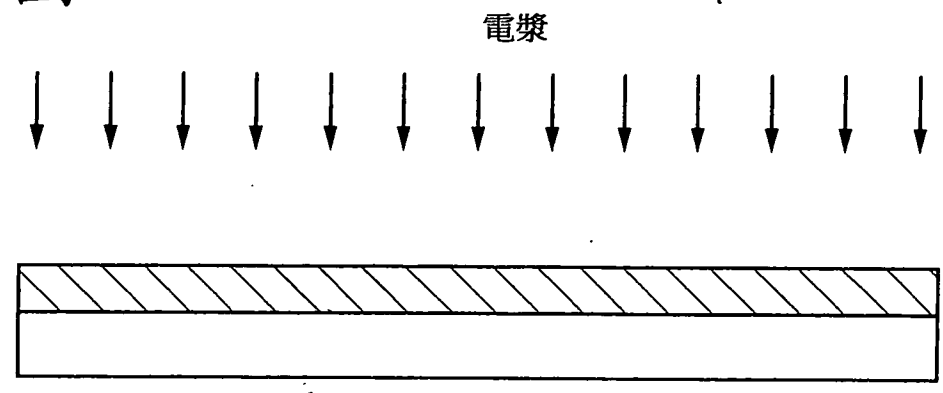
其中該閘極絕緣膜具有藉由二次離子質譜測定法之 5×10^{19} 原子 / 立方公分或更小的氫濃度。

17. 如申請專利範圍第 16 項之半導體裝置，其中該閘極絕緣膜具有相對於 0.5wt% (重量百分比) 之氫氟酸的 8 奈米 / 分鐘以下之蝕刻速率。

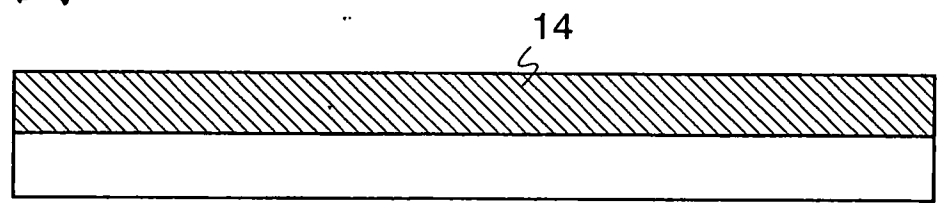
第1A圖



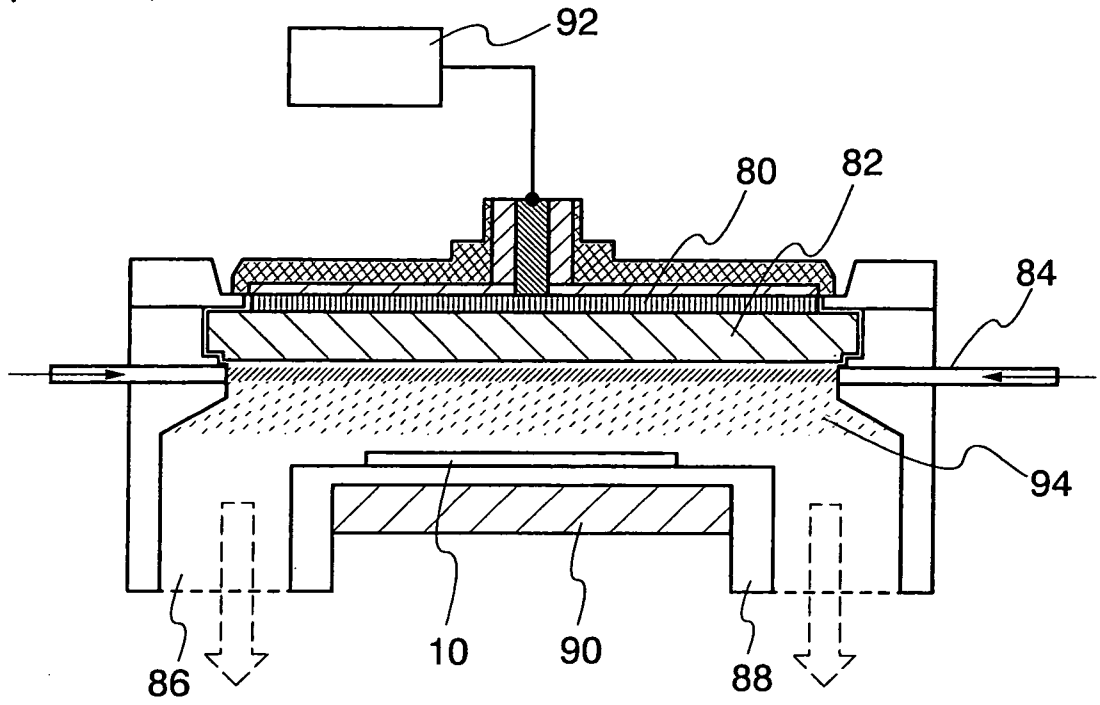
第1B圖



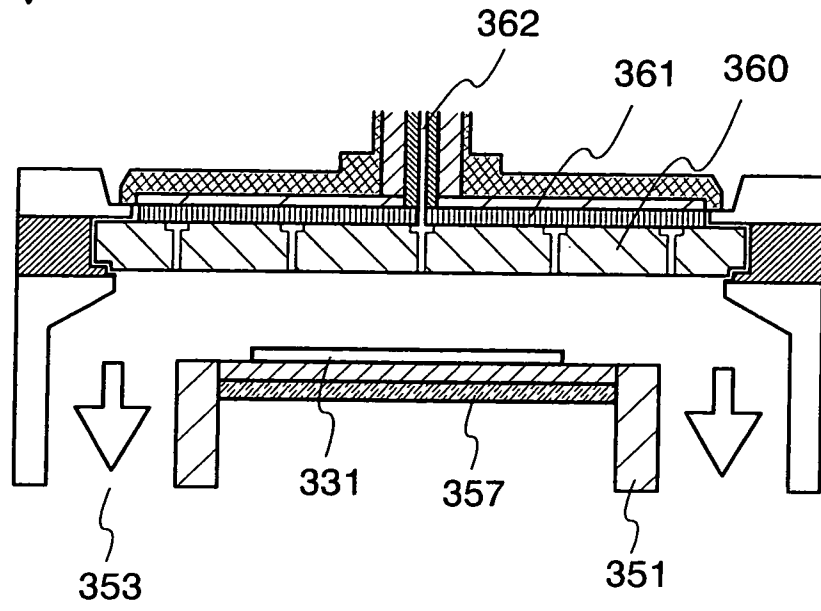
第1C圖



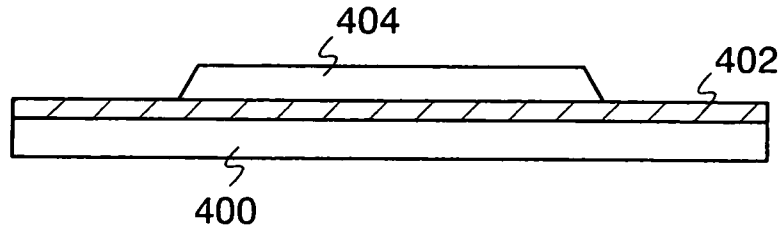
第2圖



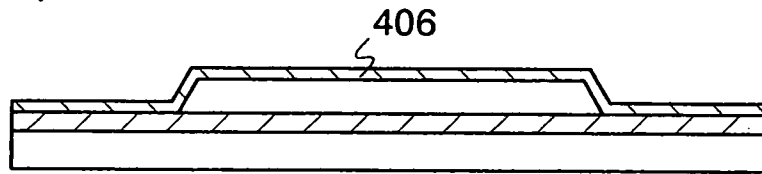
第3圖



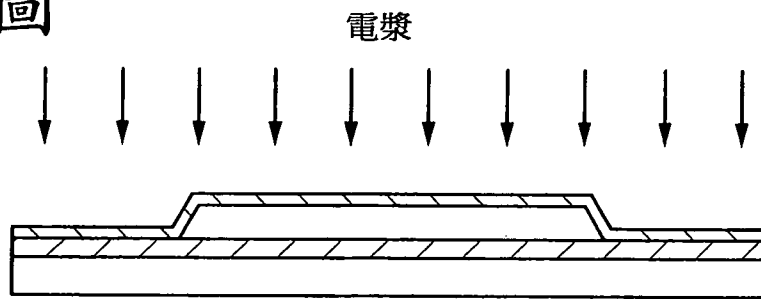
第4A圖



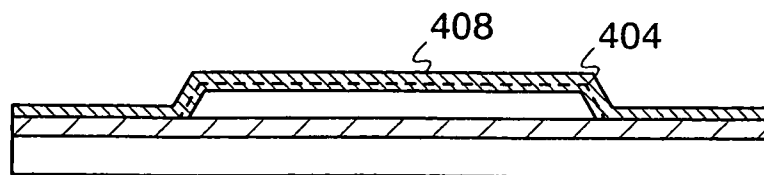
第4B圖



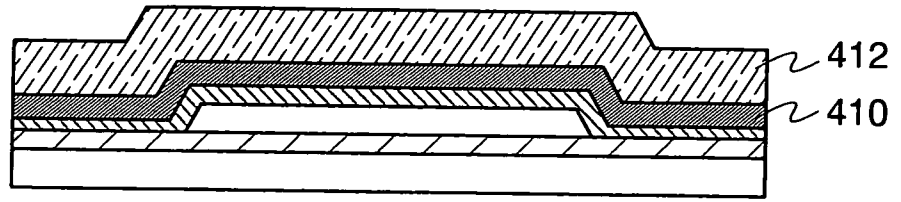
第4C圖



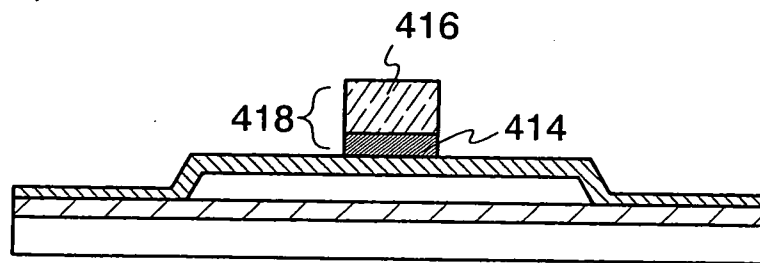
第4D圖



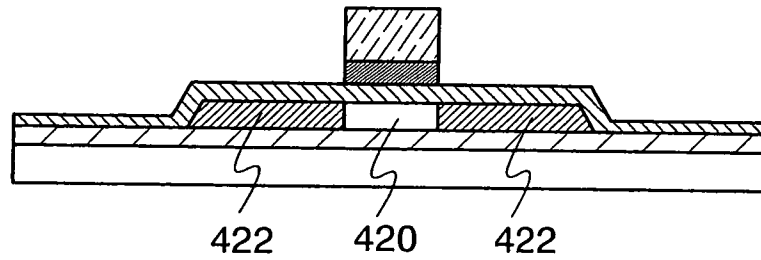
第5A圖



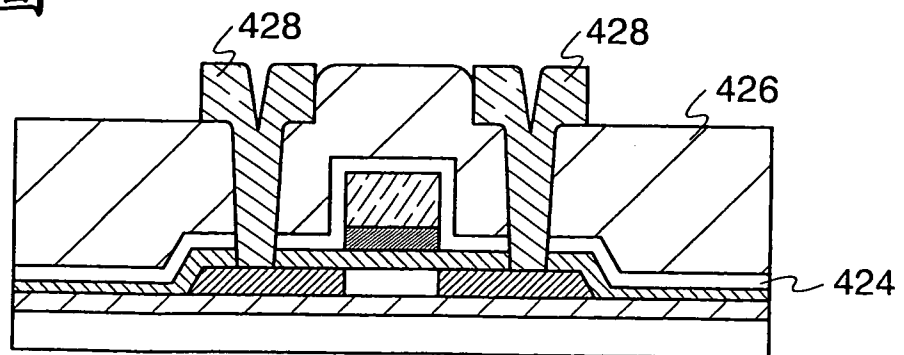
第5B圖



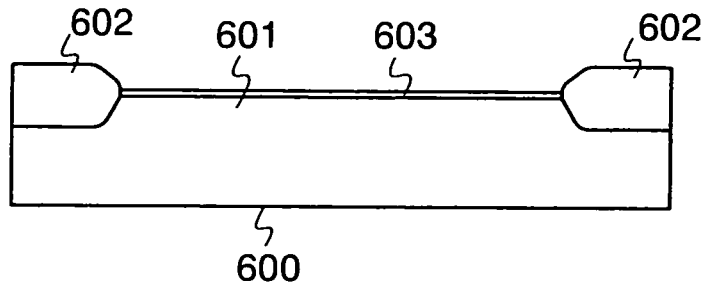
第5C圖



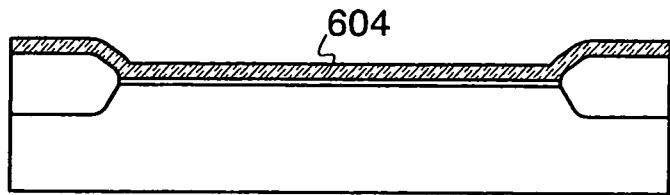
第5D圖



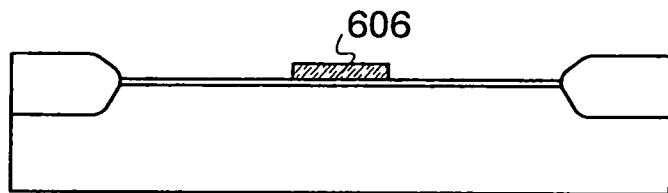
第6A圖



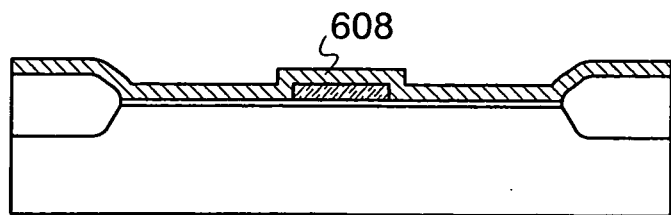
第6B圖



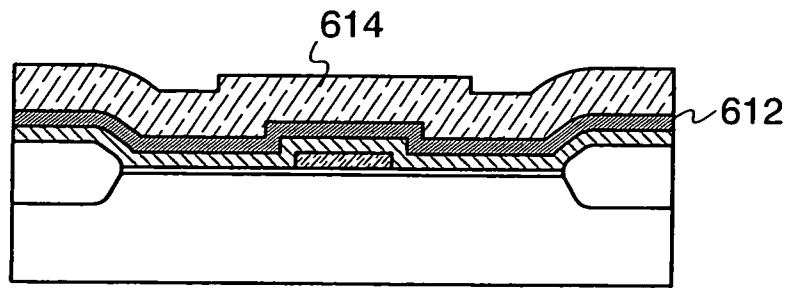
第6C圖



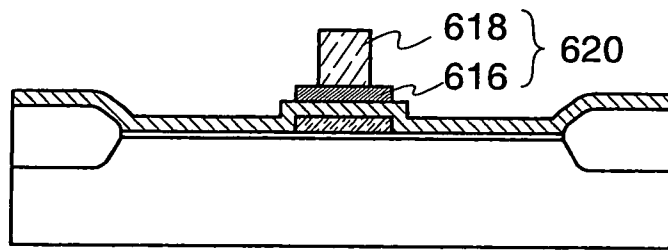
第6D圖



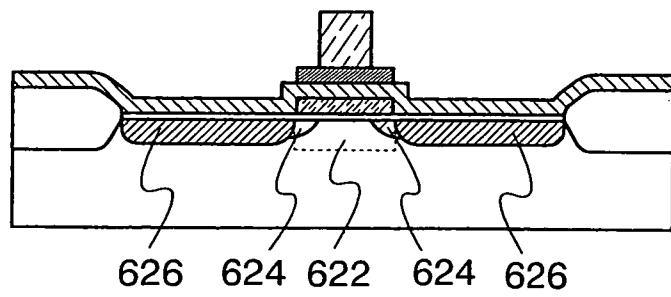
第7A圖



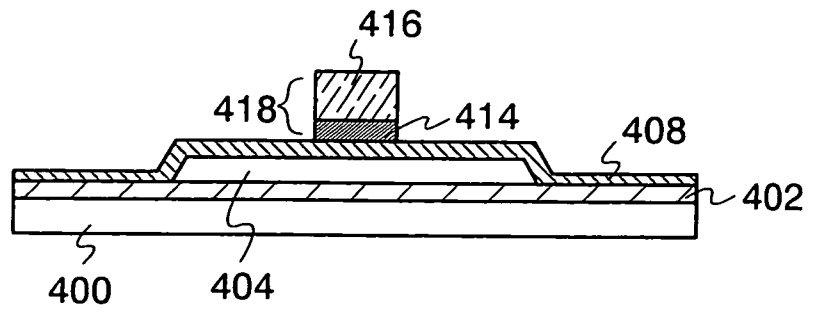
第7B圖



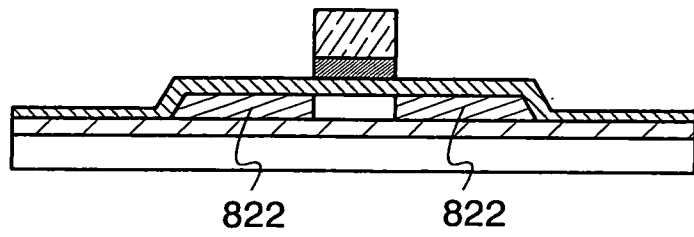
第7C圖



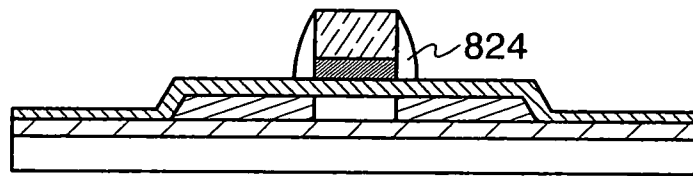
第8A圖



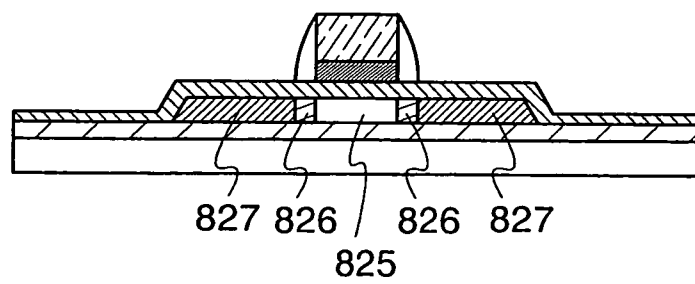
第8B圖



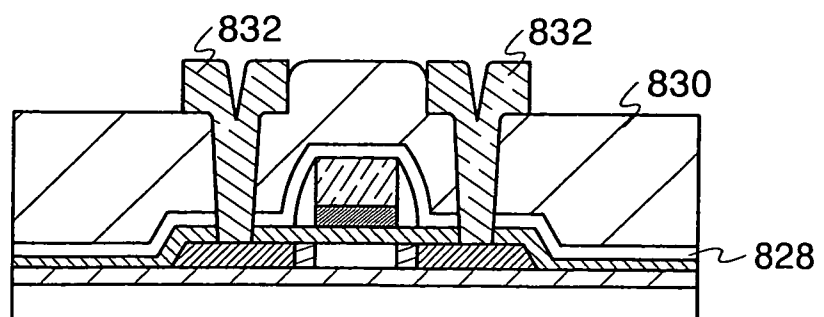
第8C圖



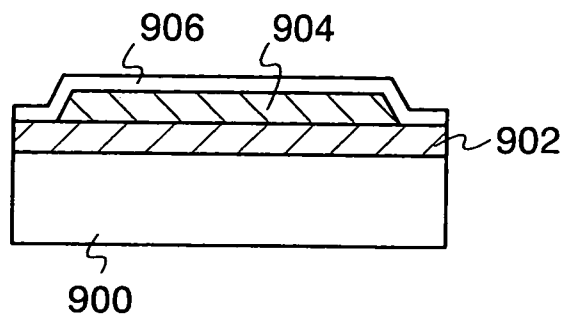
第8D圖



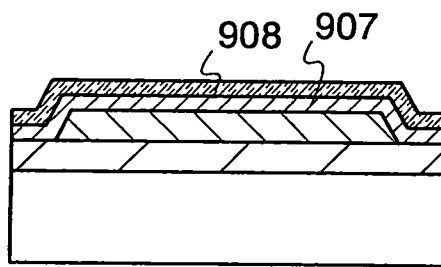
第8E圖



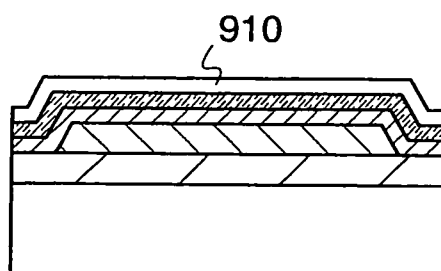
第9A圖



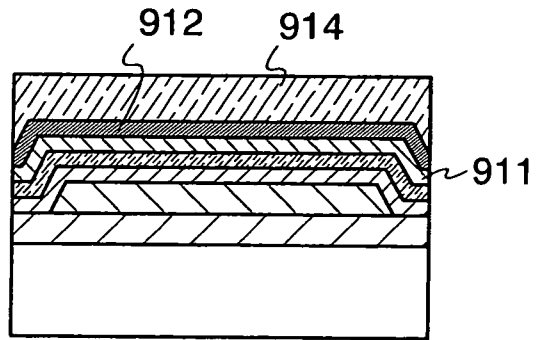
第9B圖



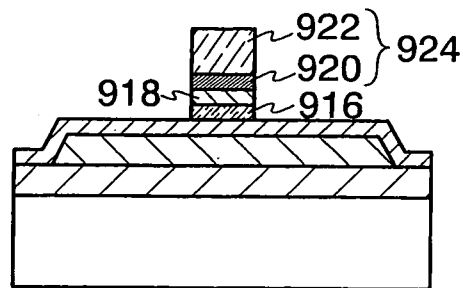
第9C圖



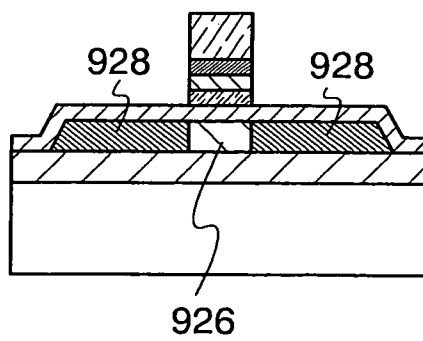
第10A圖



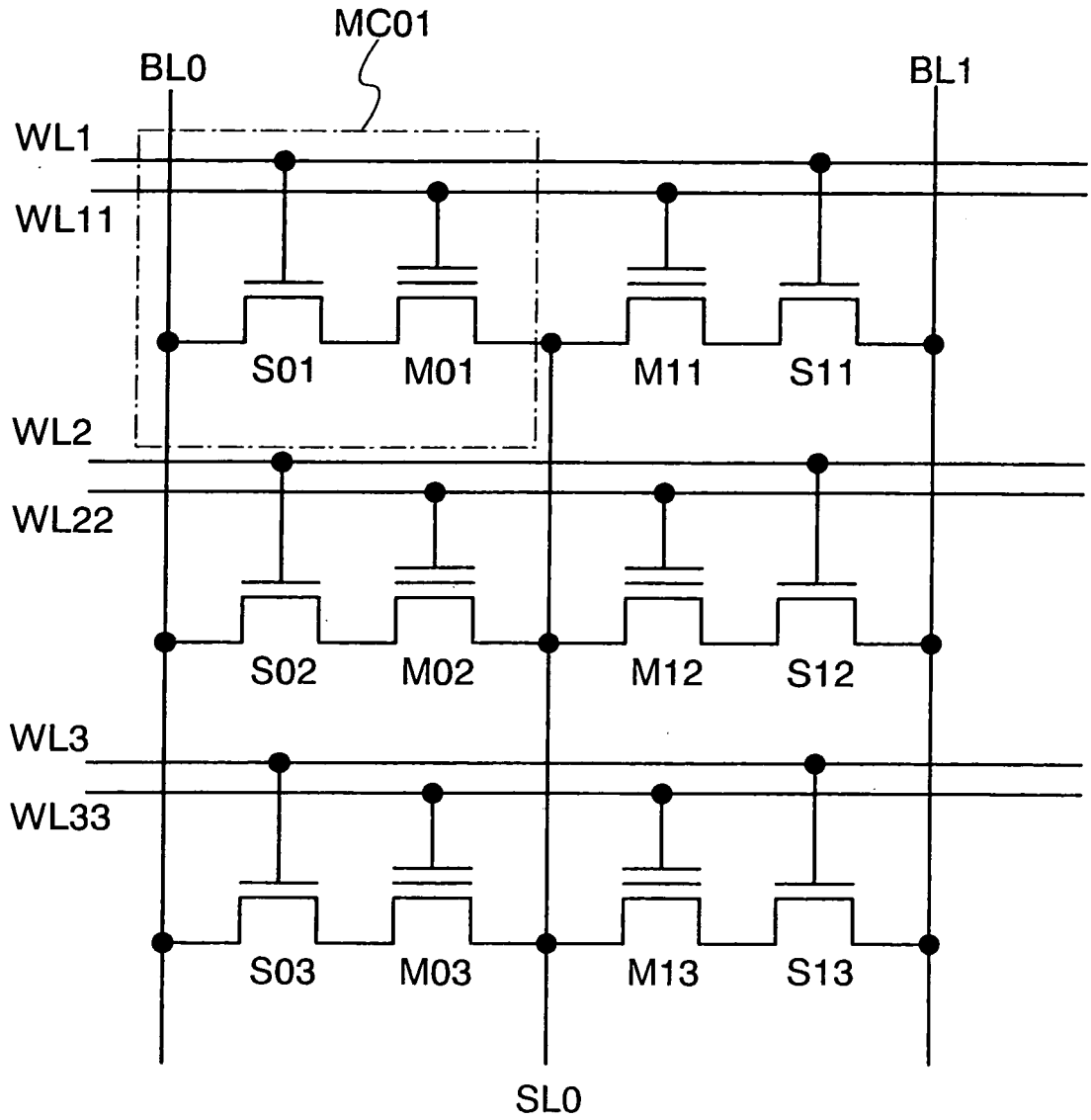
第10B圖



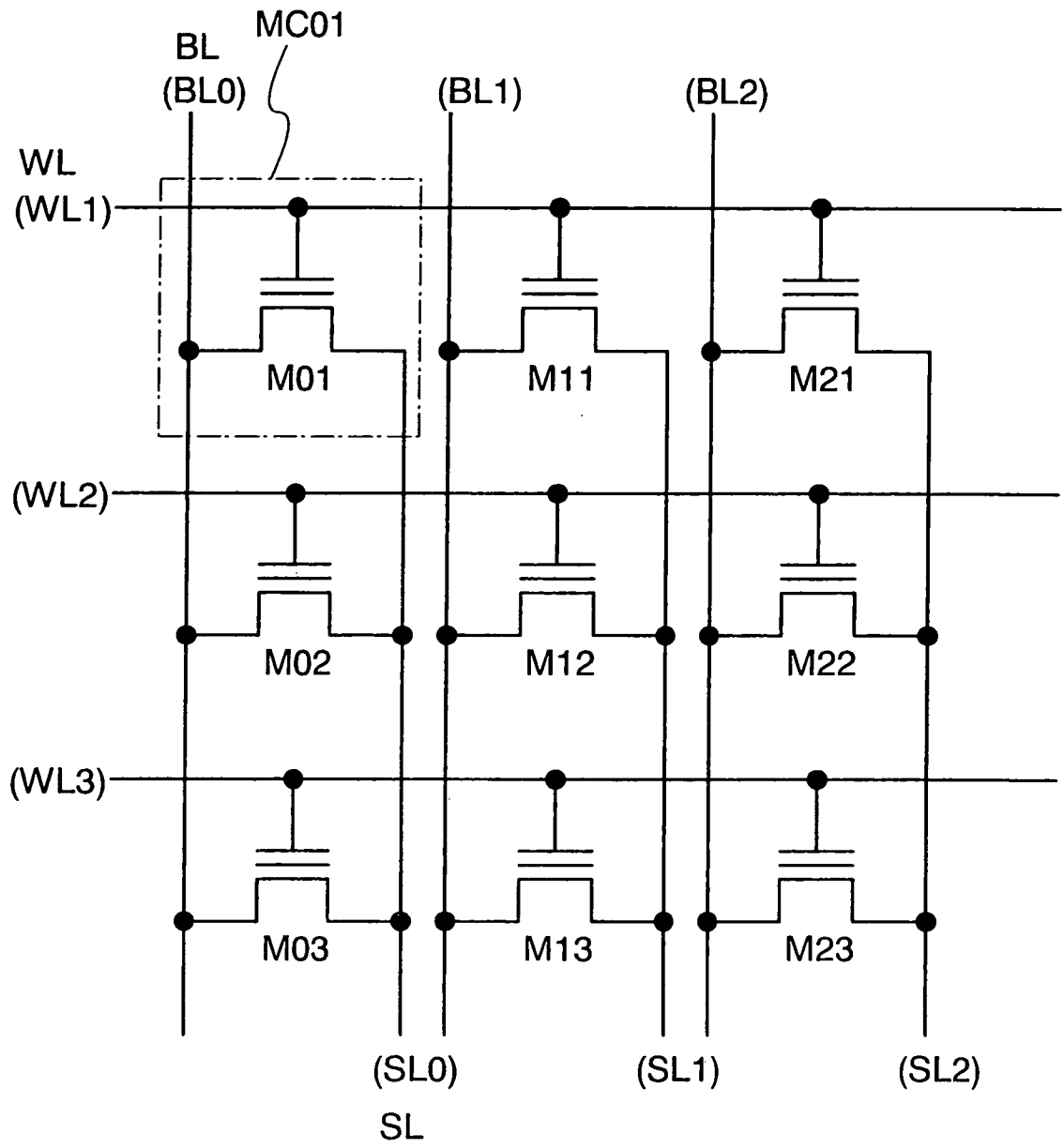
第10C圖



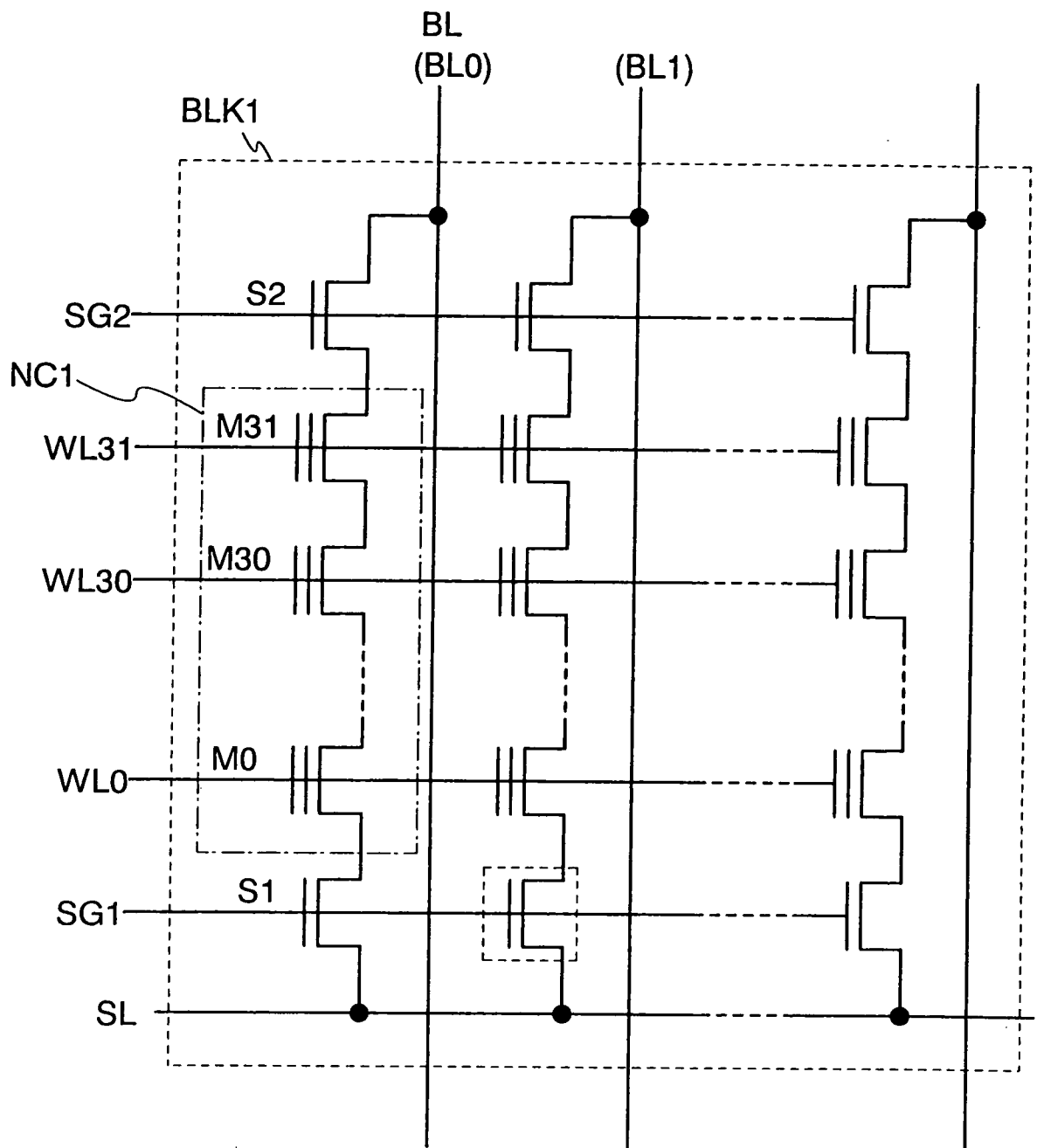
第11圖



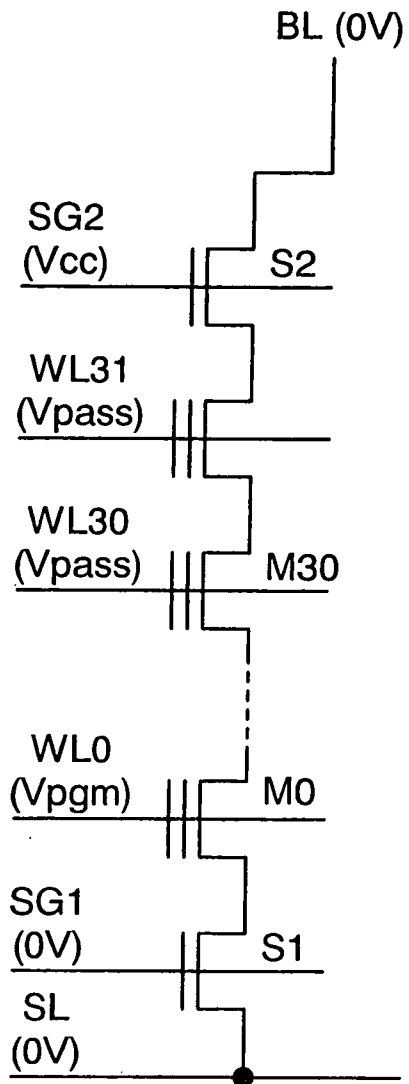
第12圖



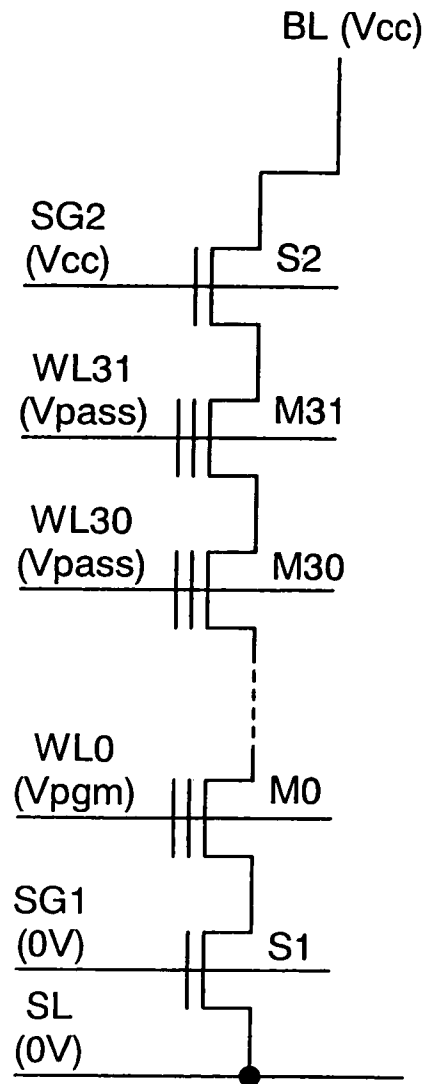
第13圖



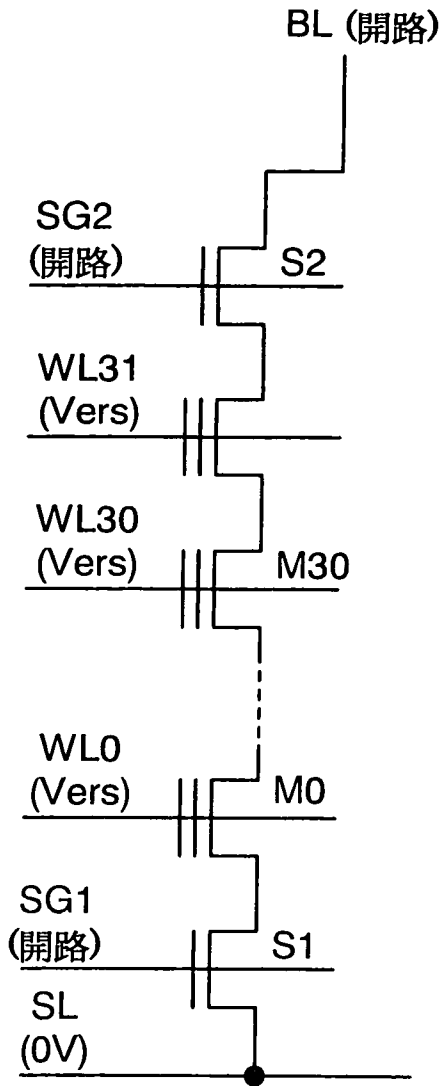
第14A圖



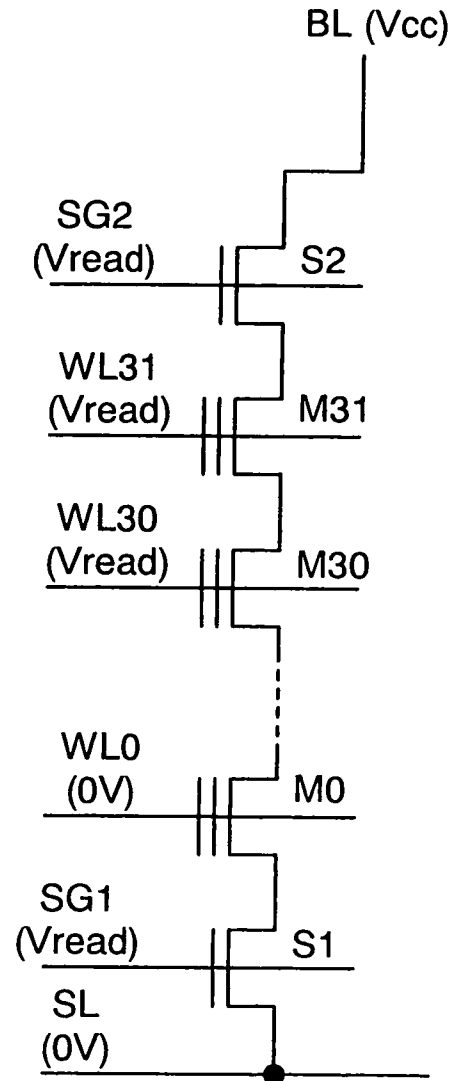
第14B圖



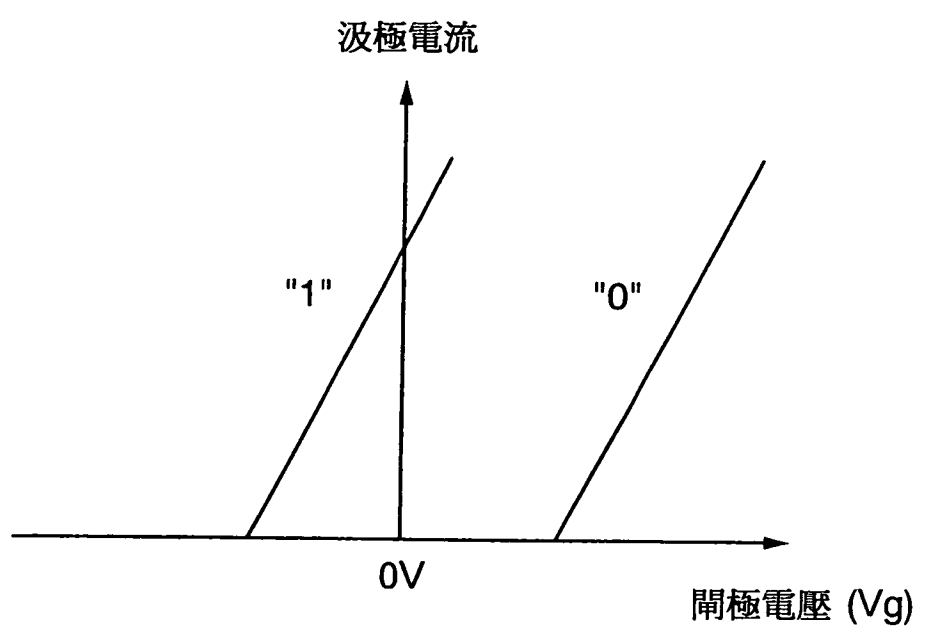
第15A圖



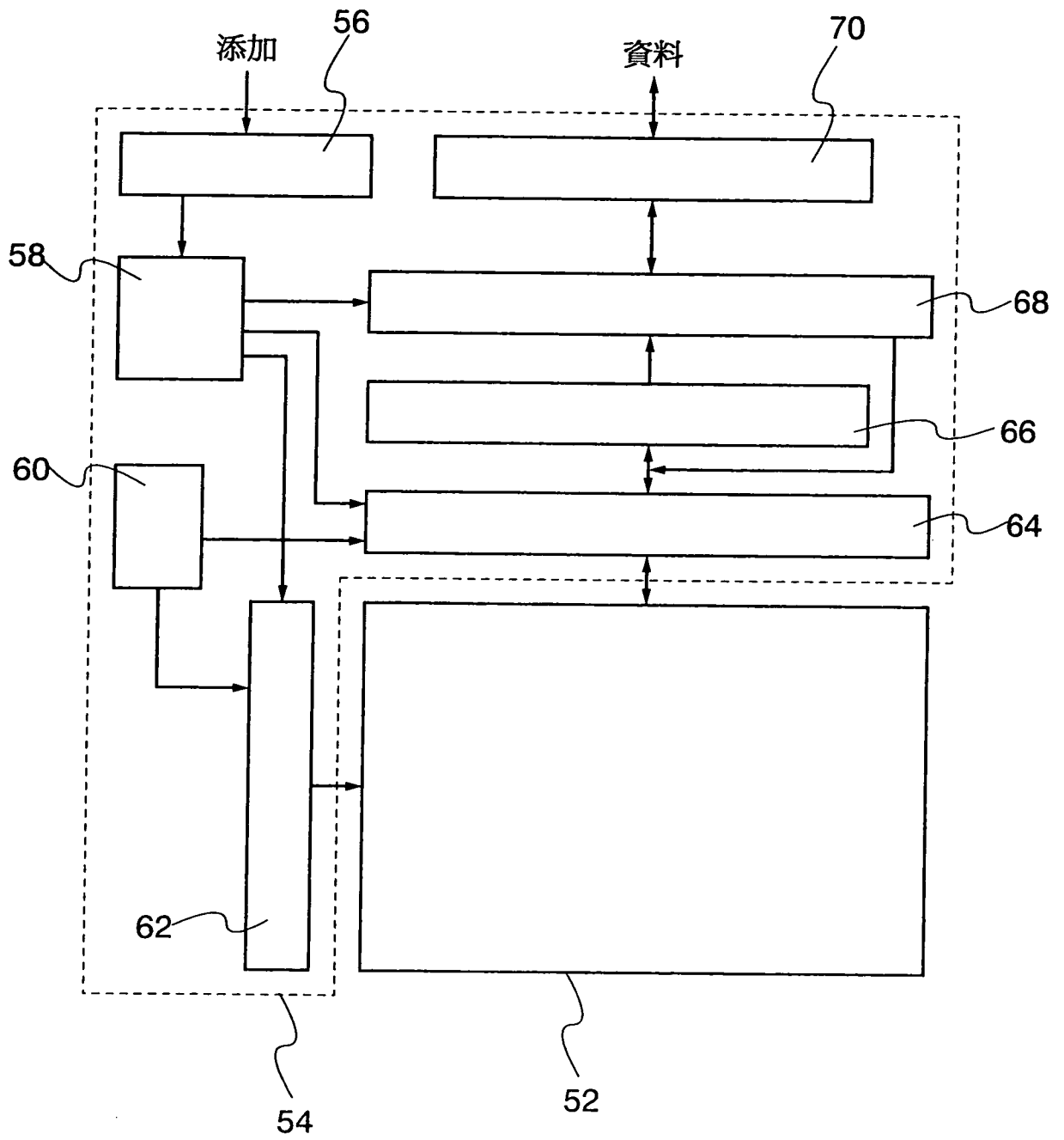
第15B圖



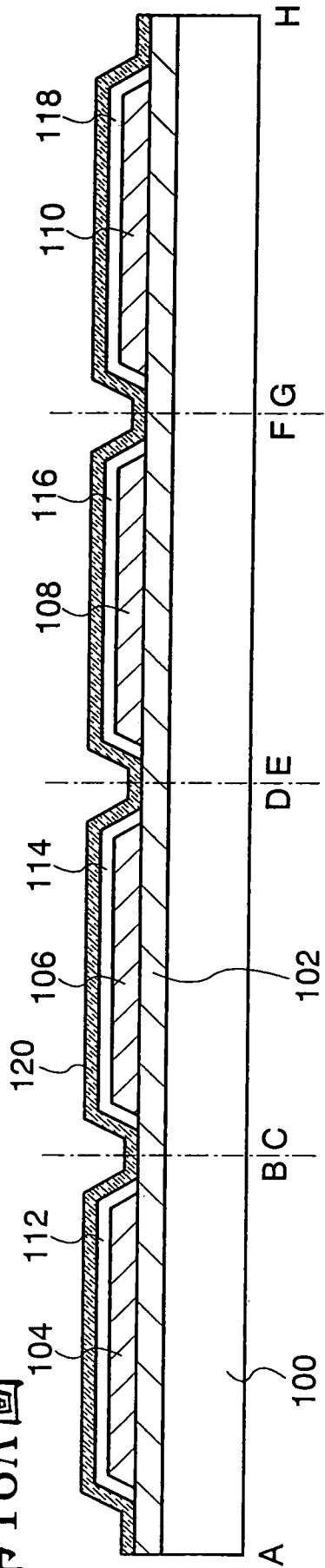
第16圖



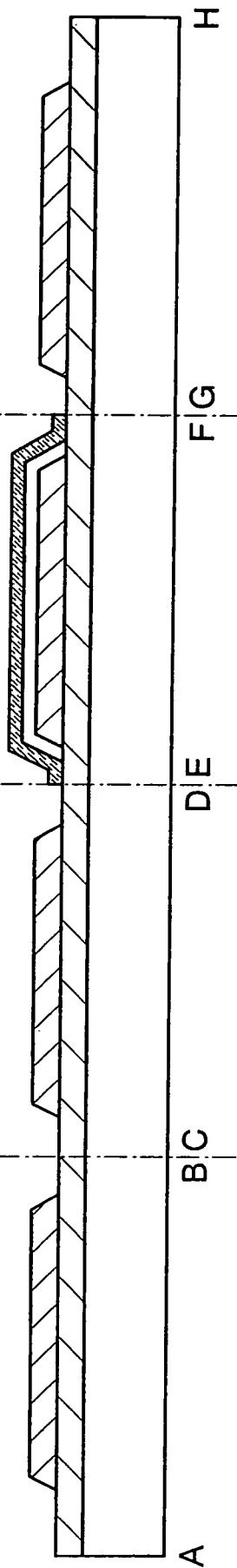
第17圖



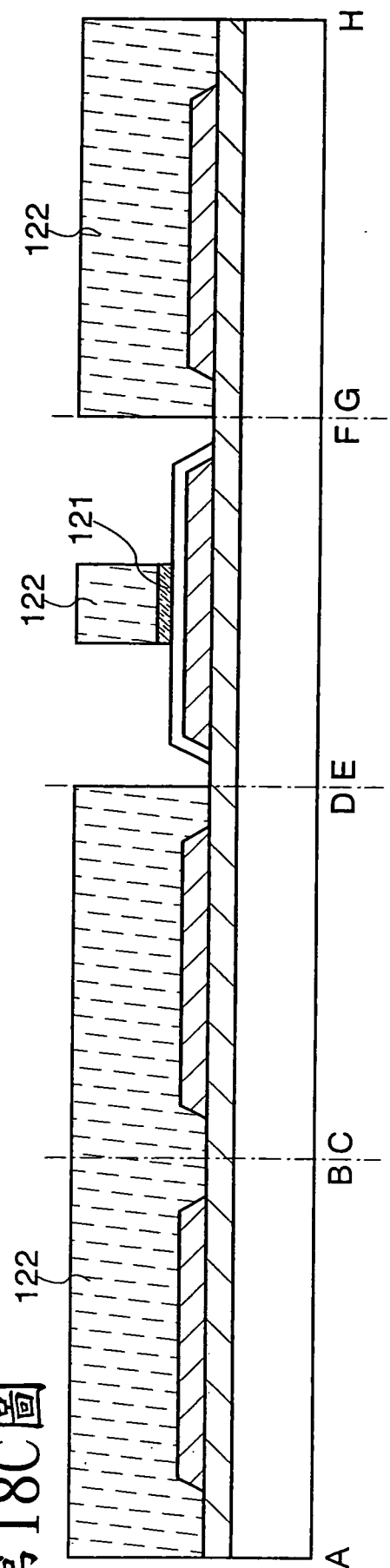
第18A圖



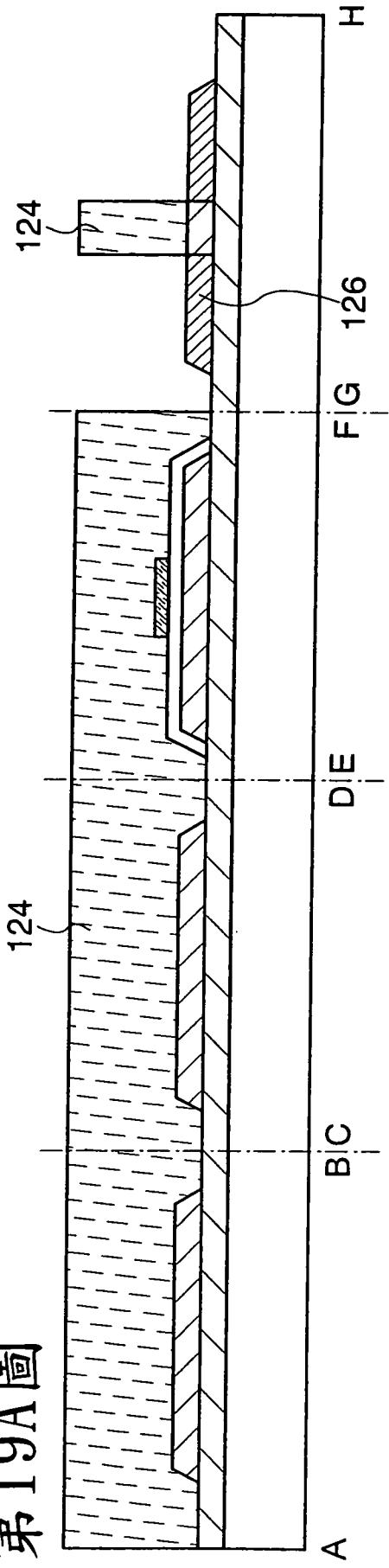
第18B圖



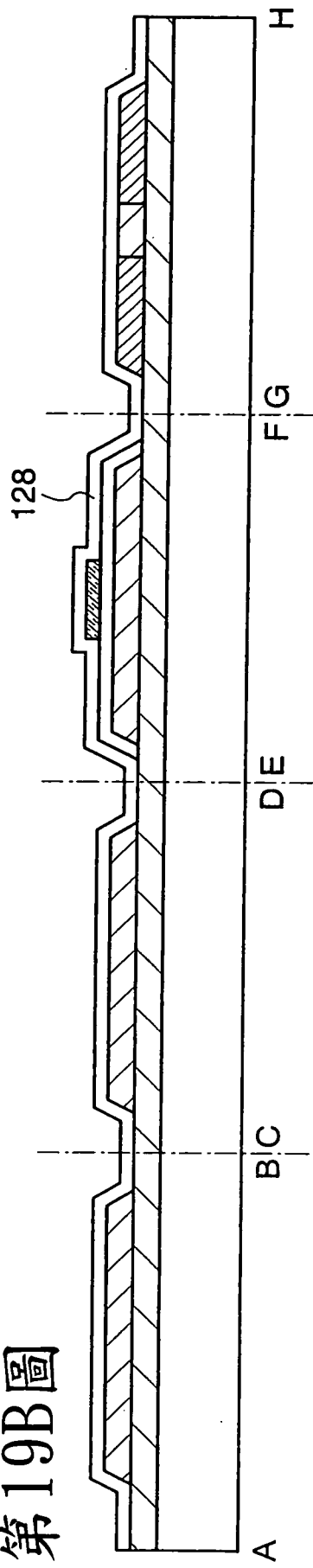
第18C圖



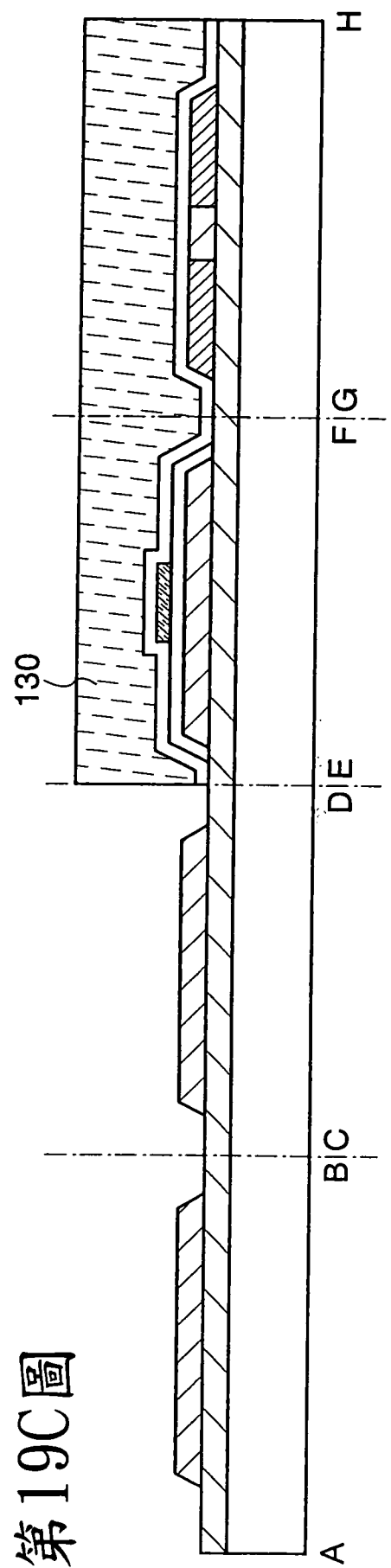
第19A圖



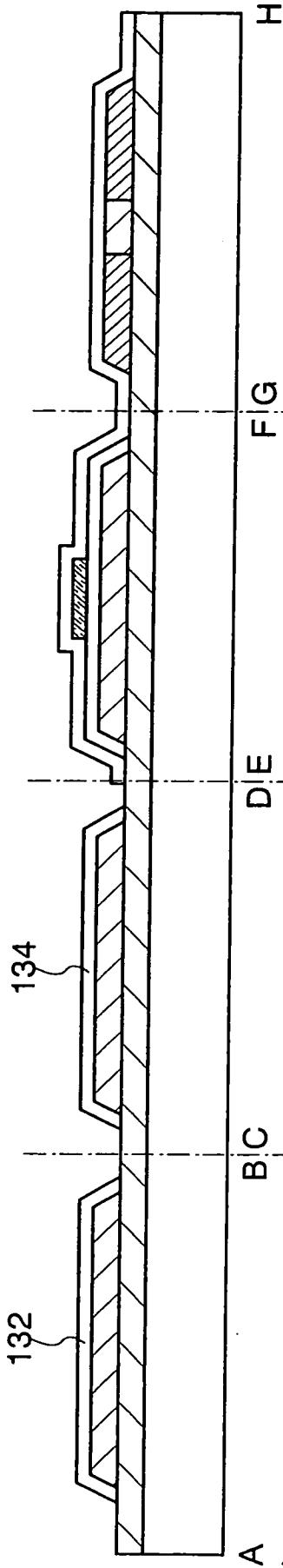
第19B圖



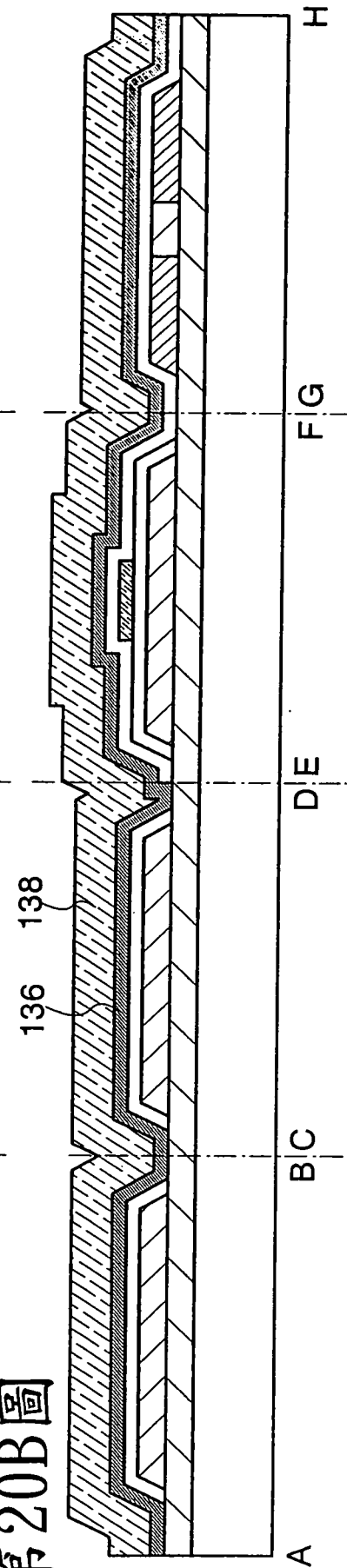
第19C圖



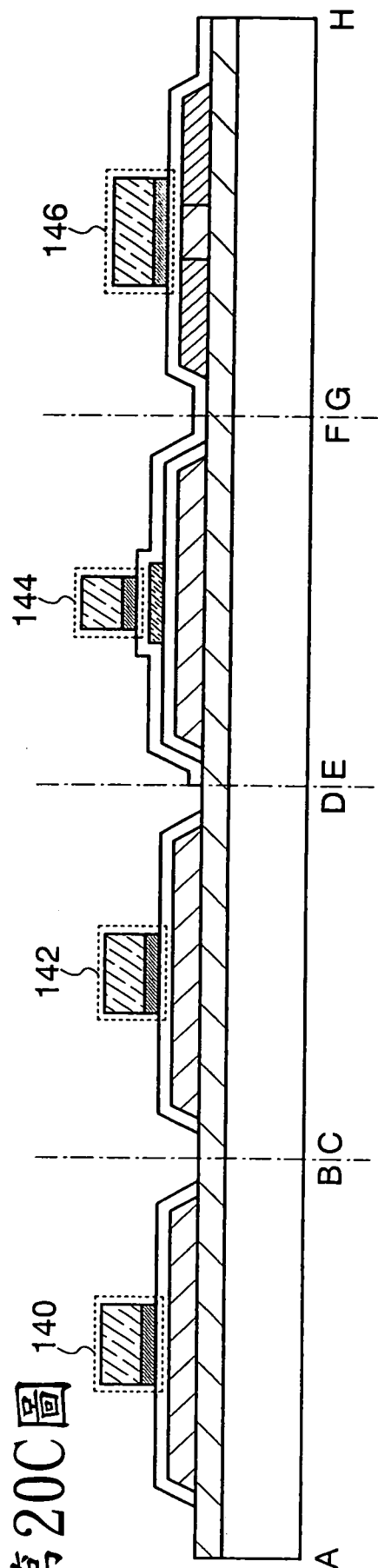
第20A圖



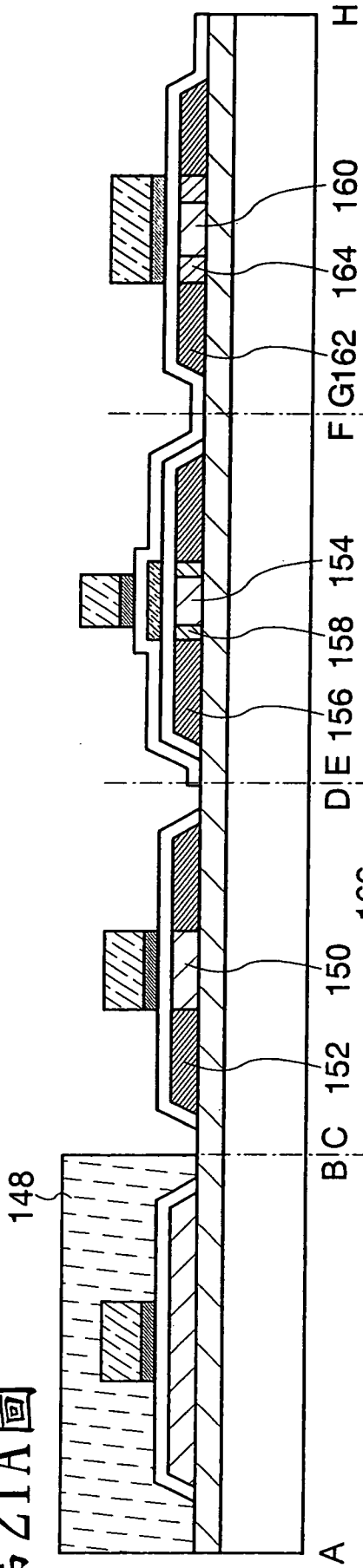
第20B圖



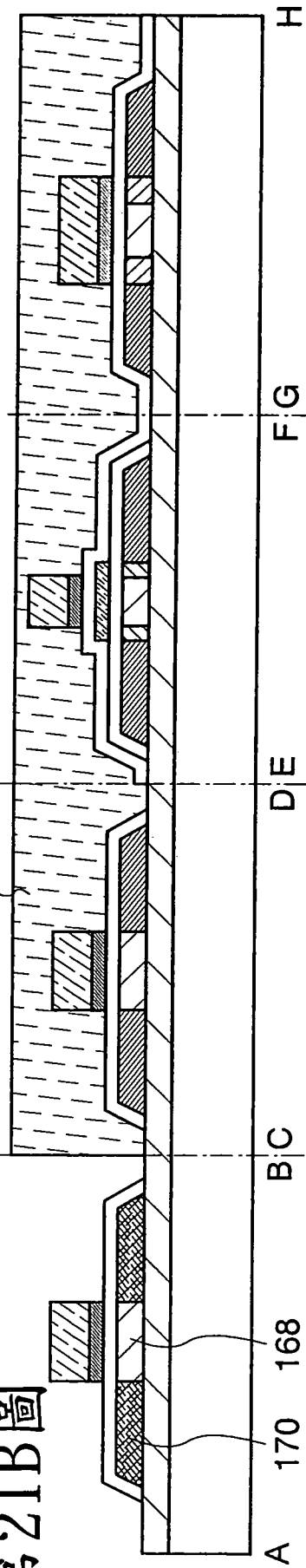
第20C圖



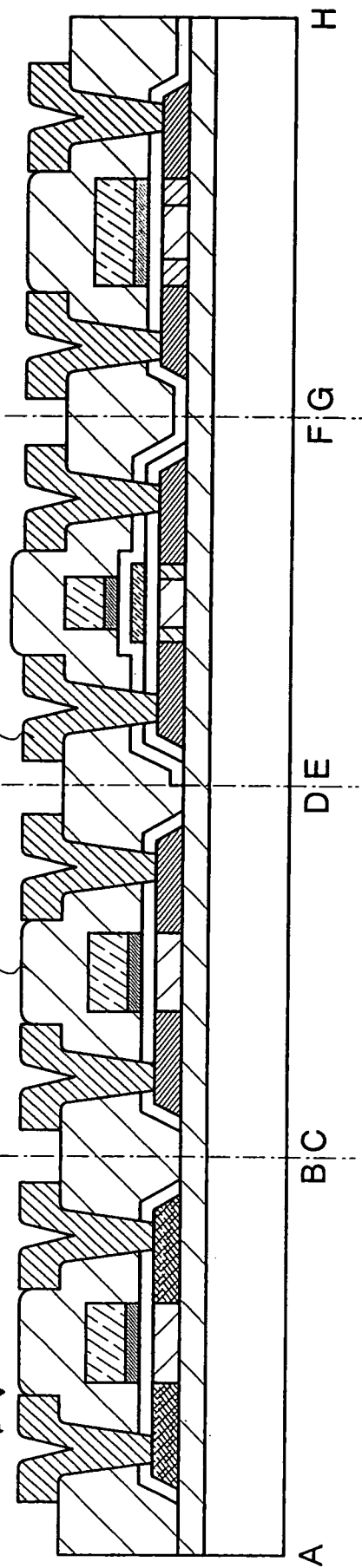
第21A圖



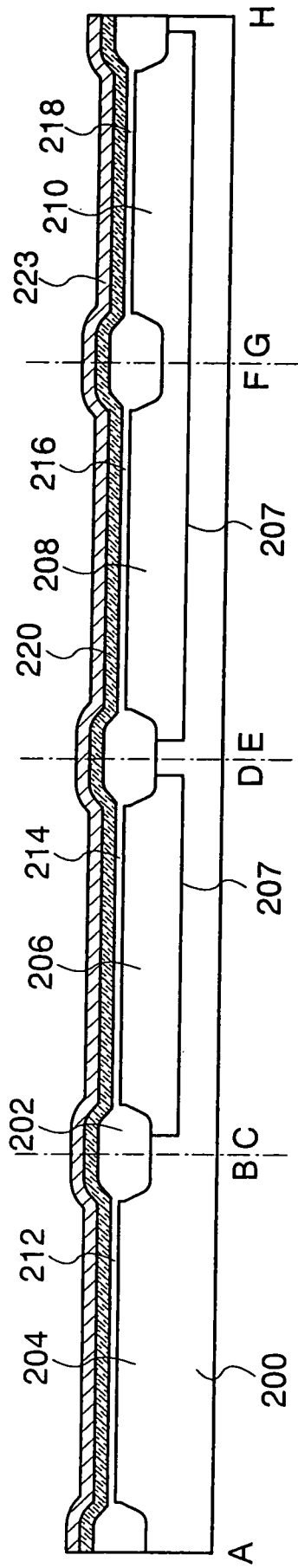
第21B圖



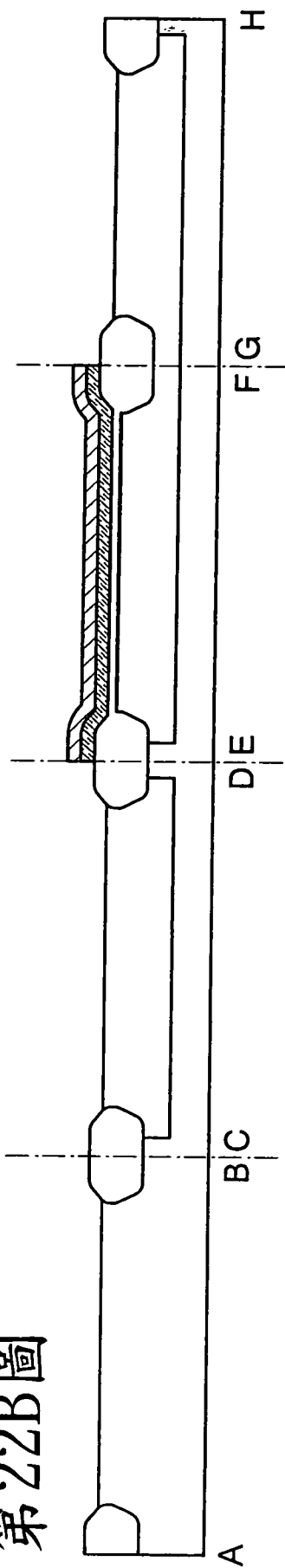
第21C圖



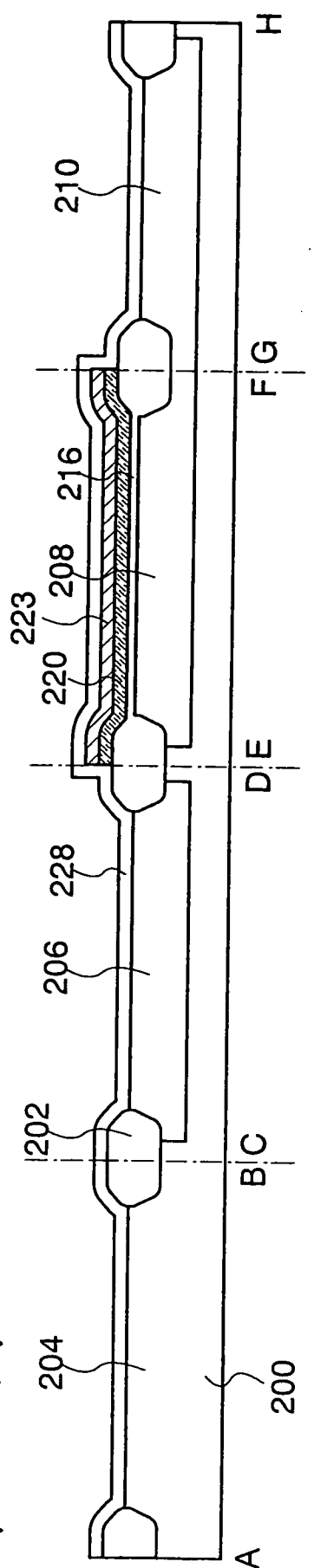
第22A圖



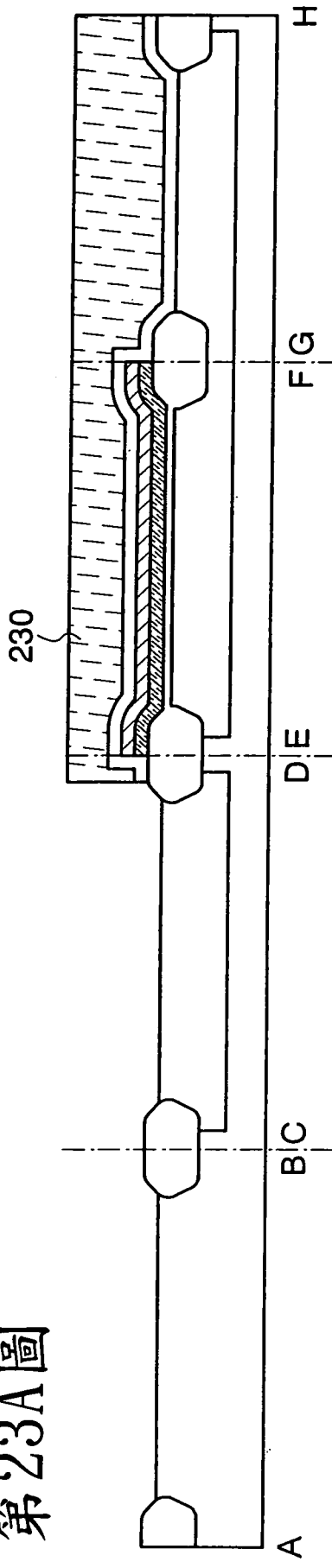
第22B圖



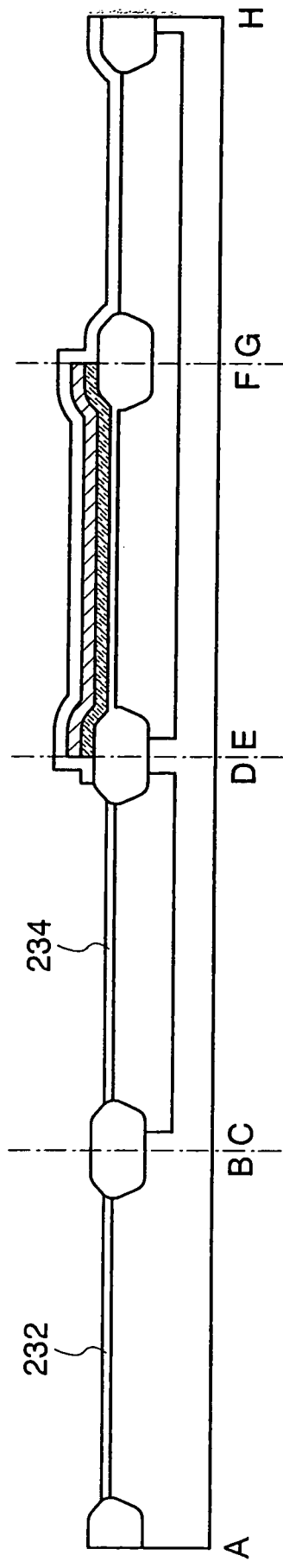
第22C圖



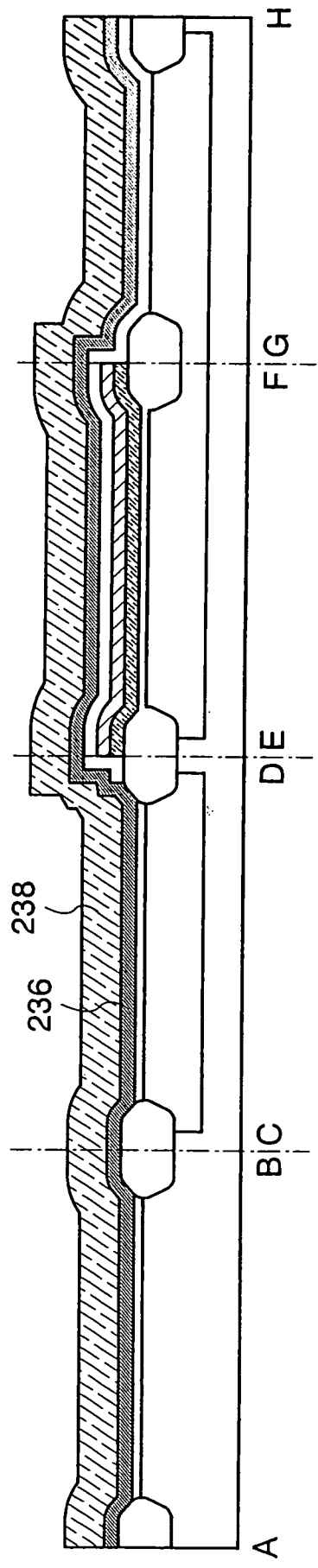
第23A圖



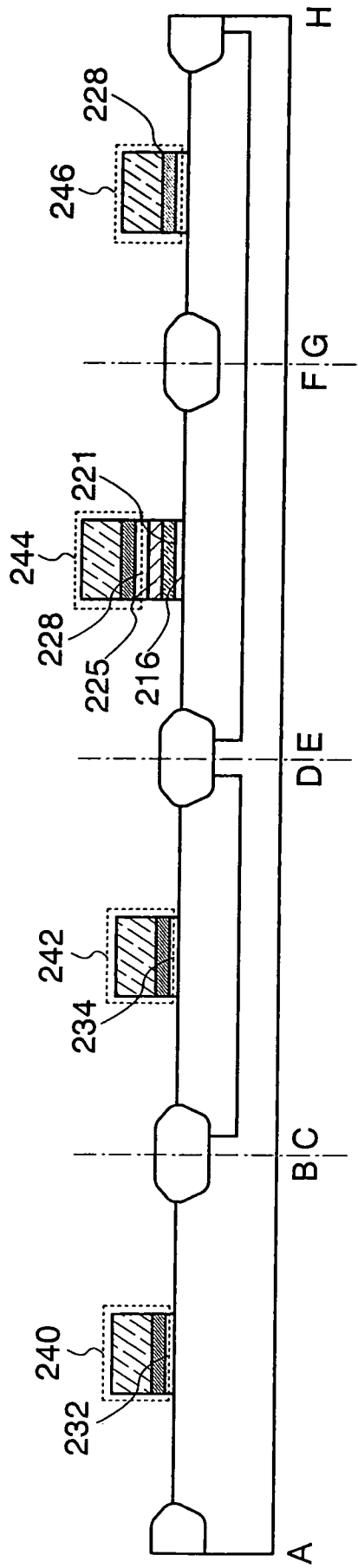
第23B圖



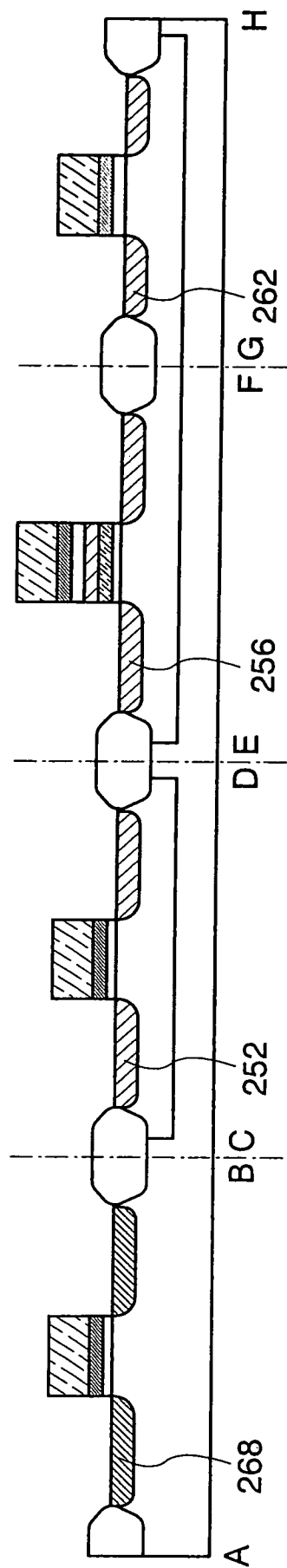
第23C圖



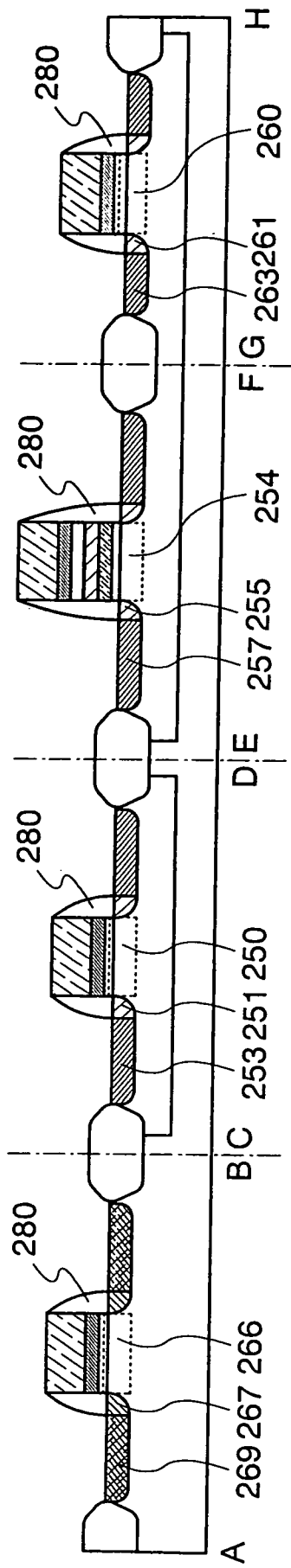
第24A圖



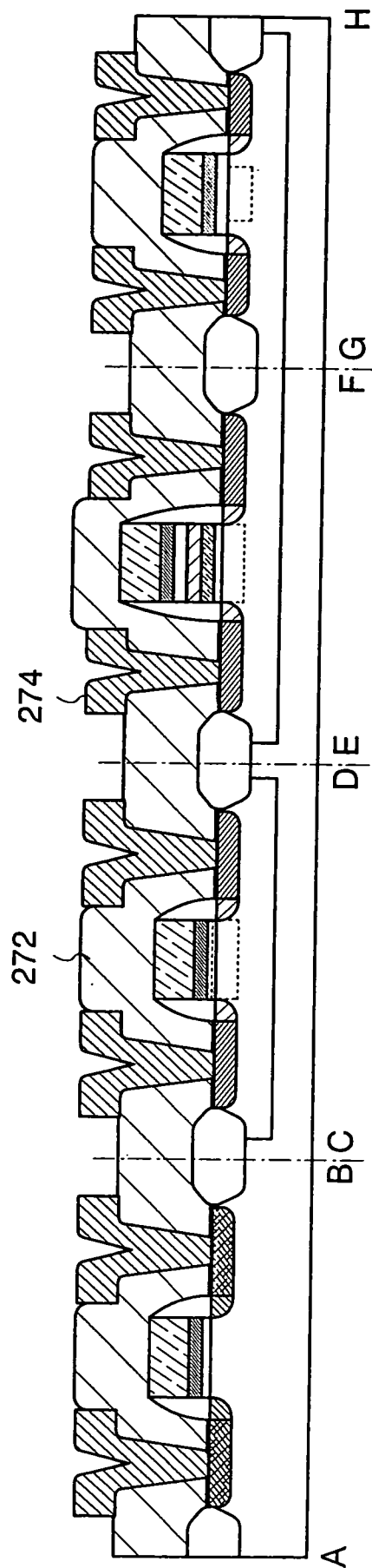
第24B圖



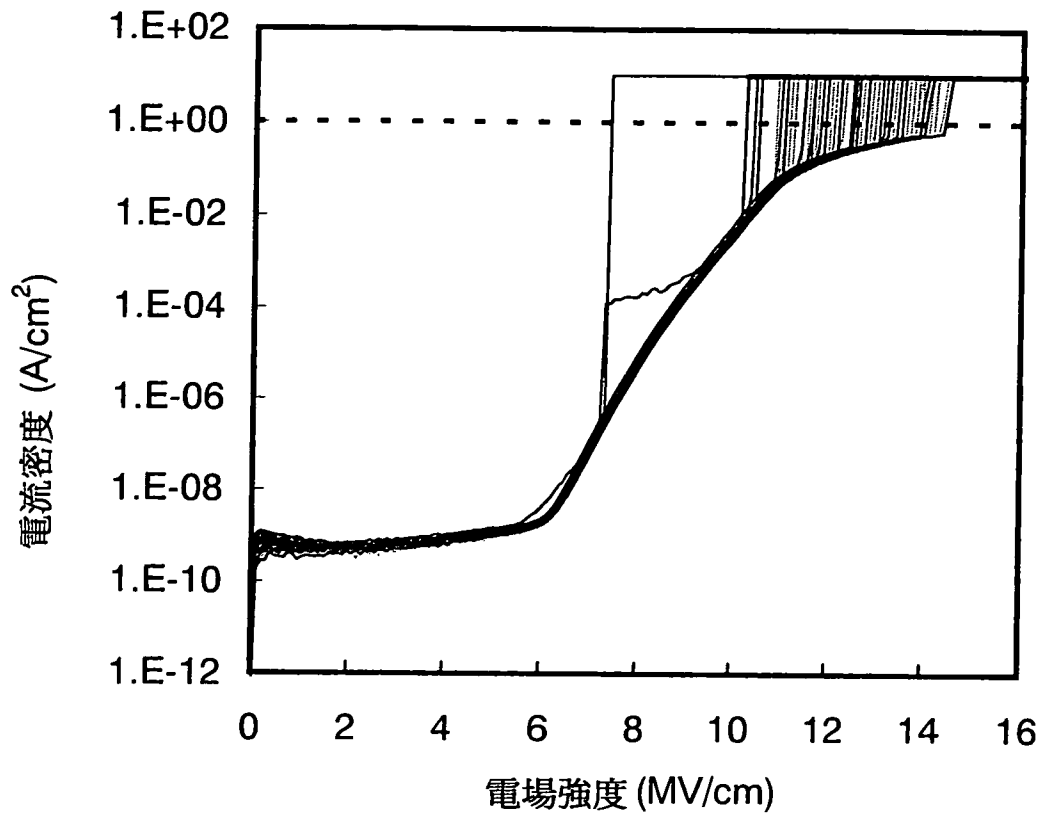
第25A圖



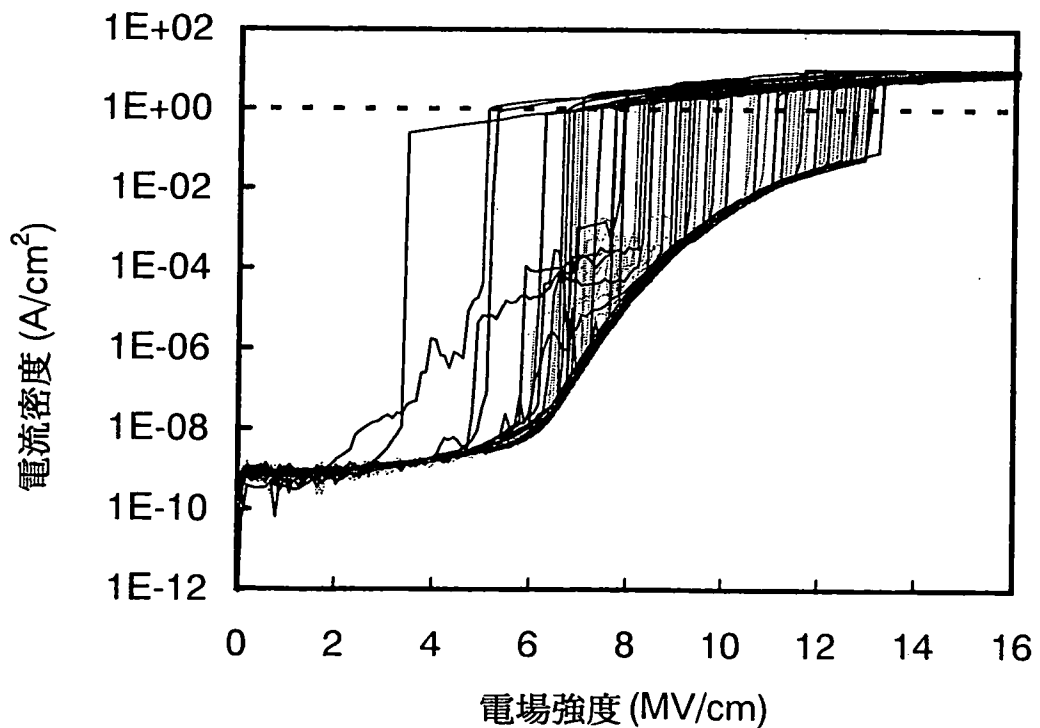
第25B圖



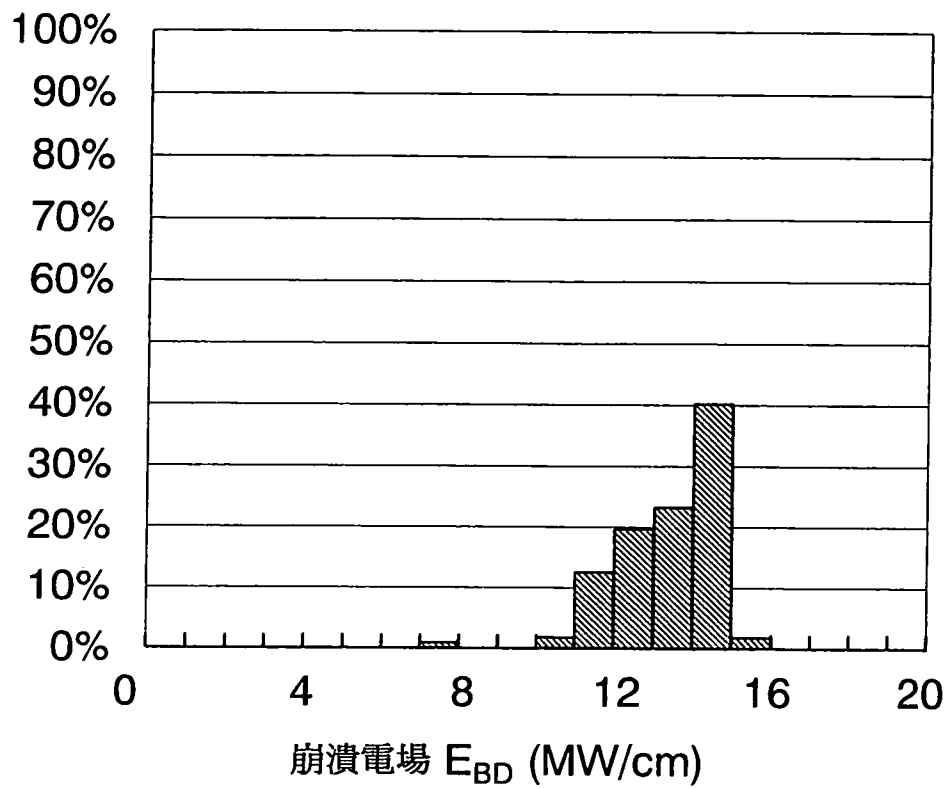
第26A圖



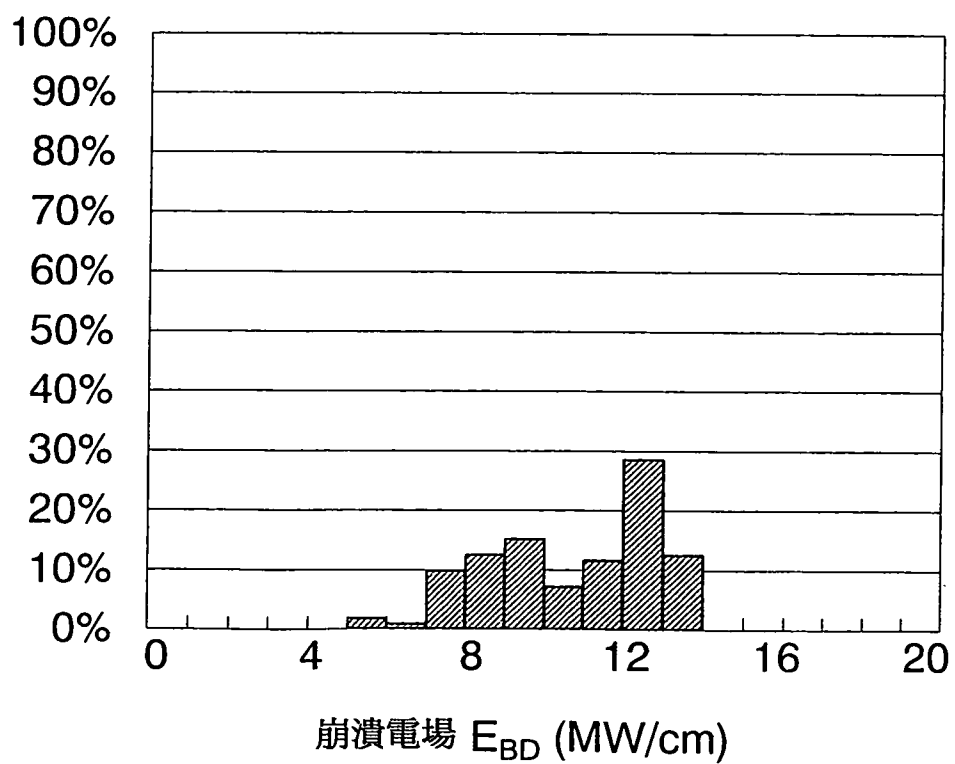
第26B圖



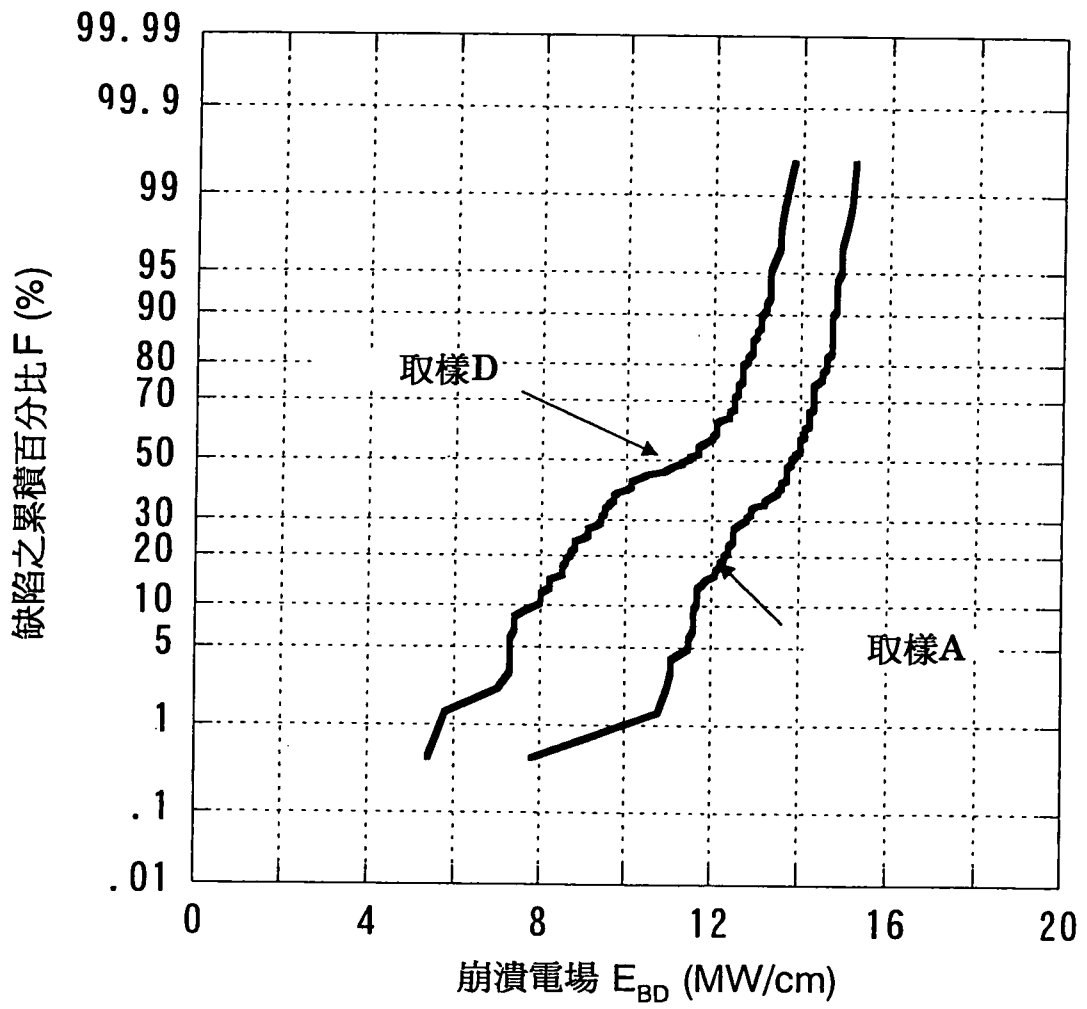
第27A圖



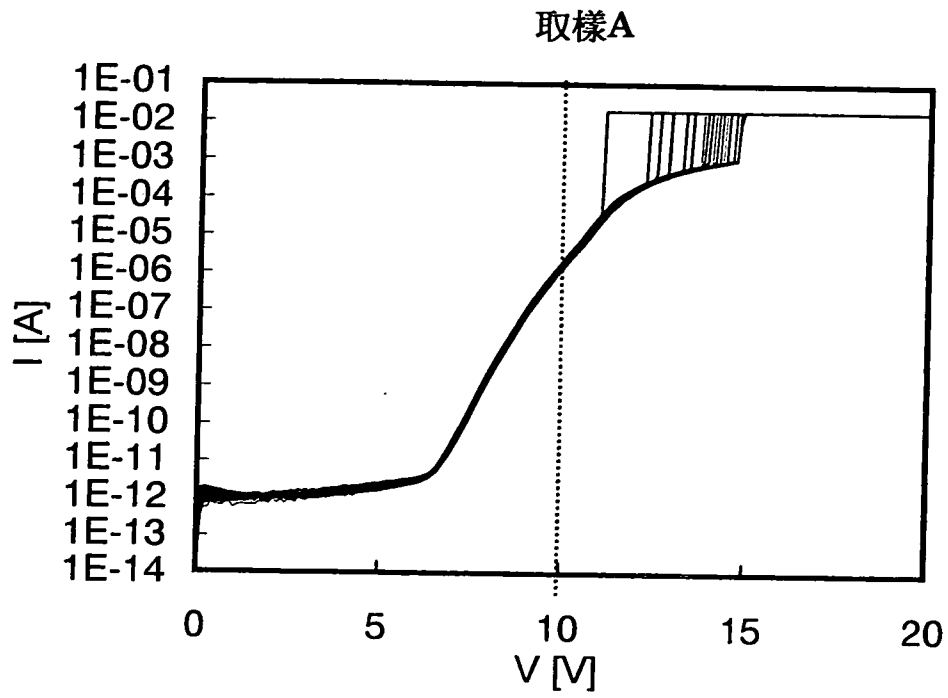
第27B圖



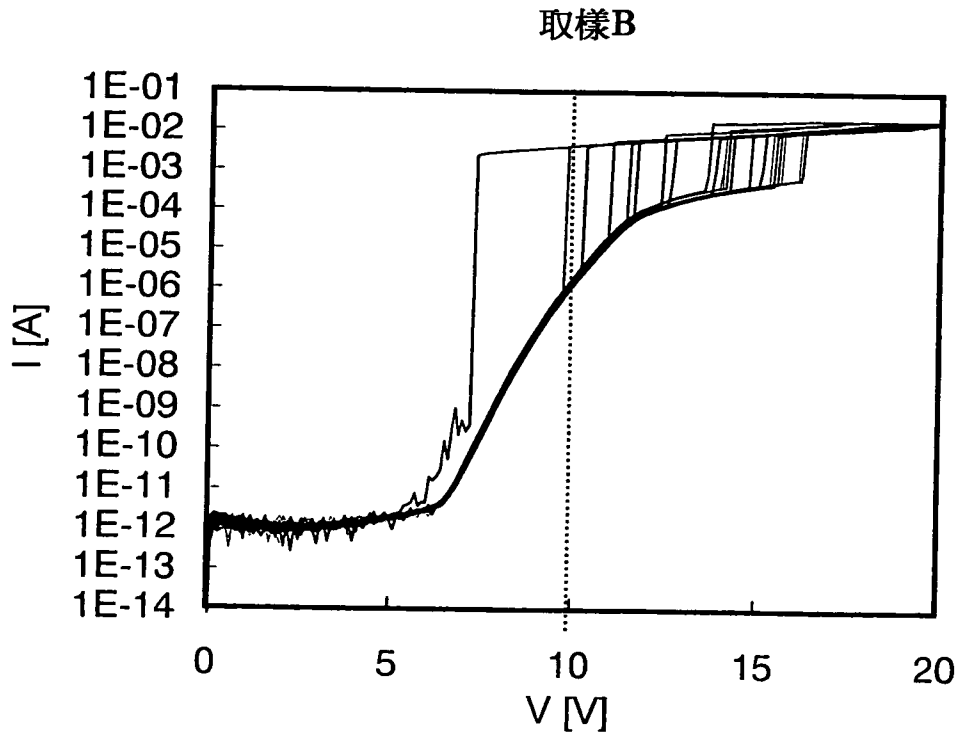
第28圖



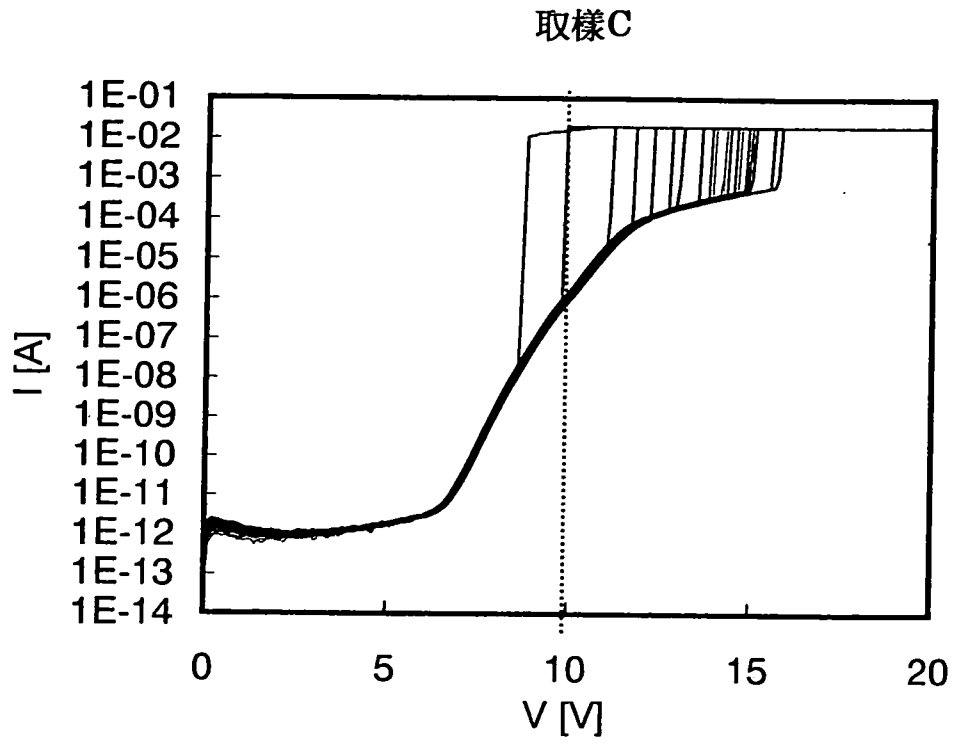
第29A圖



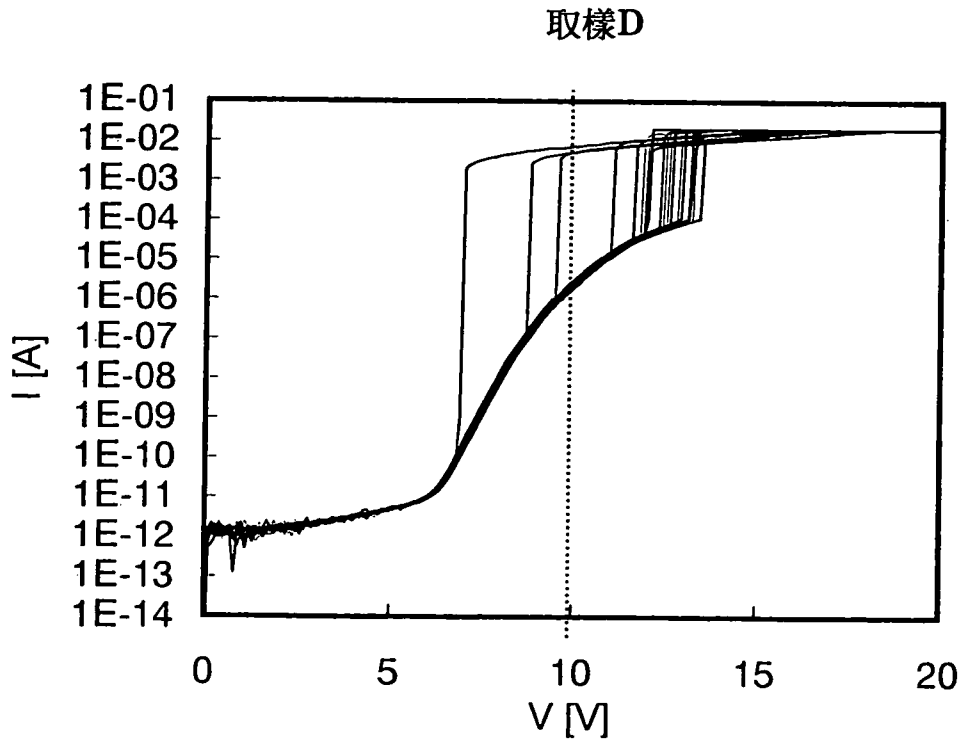
第29B圖



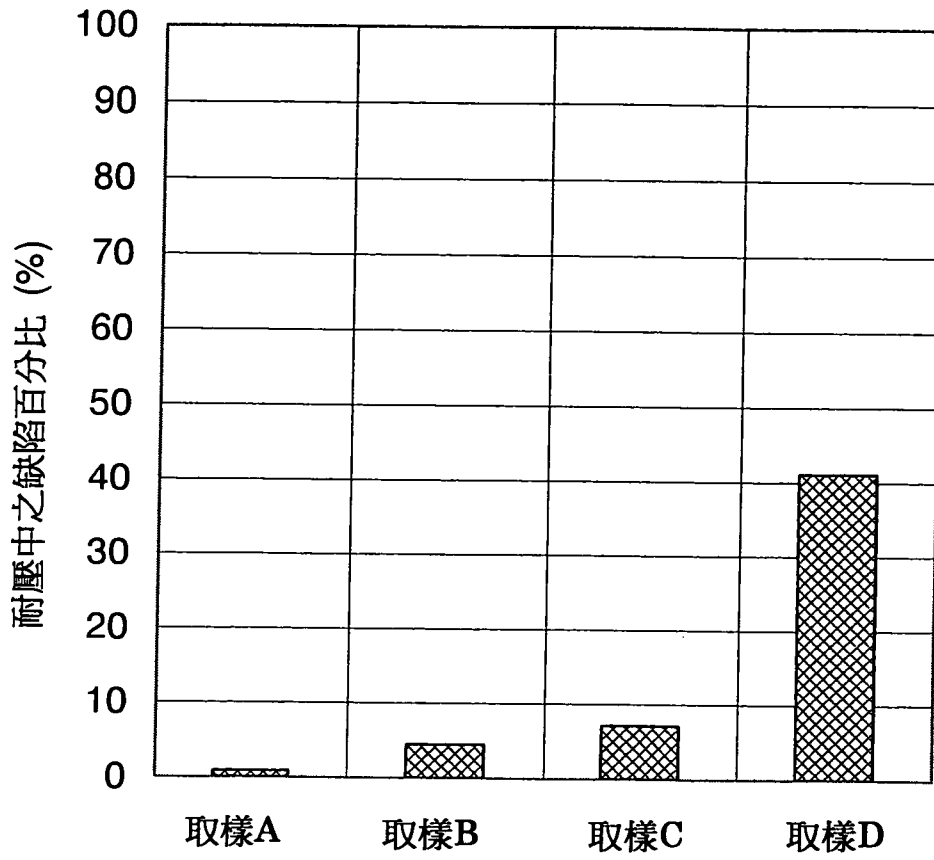
第30A圖



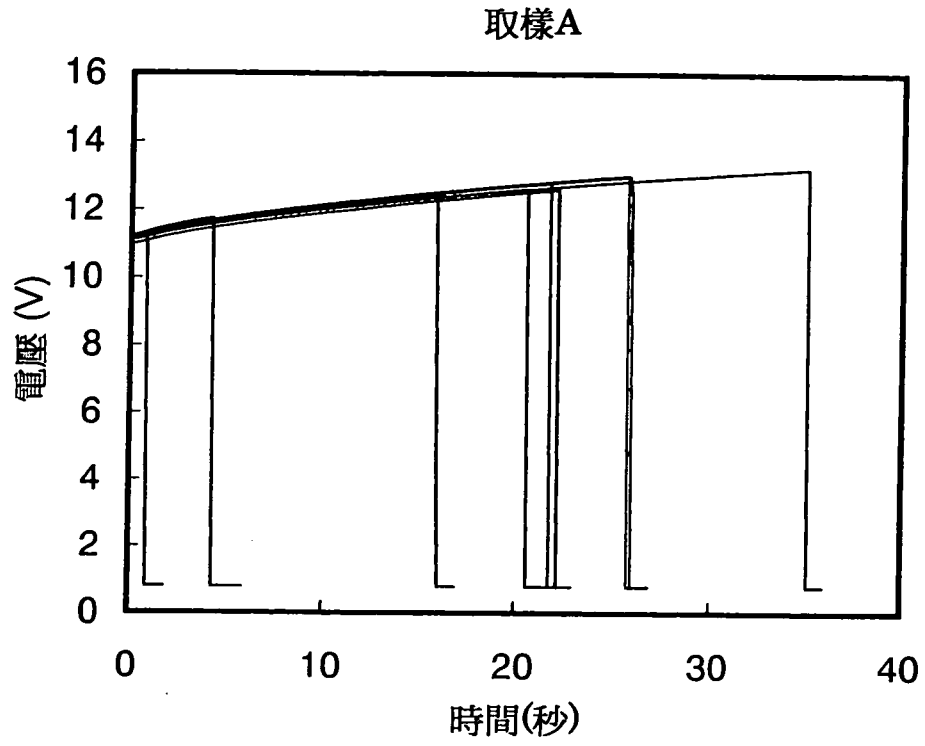
第30B圖



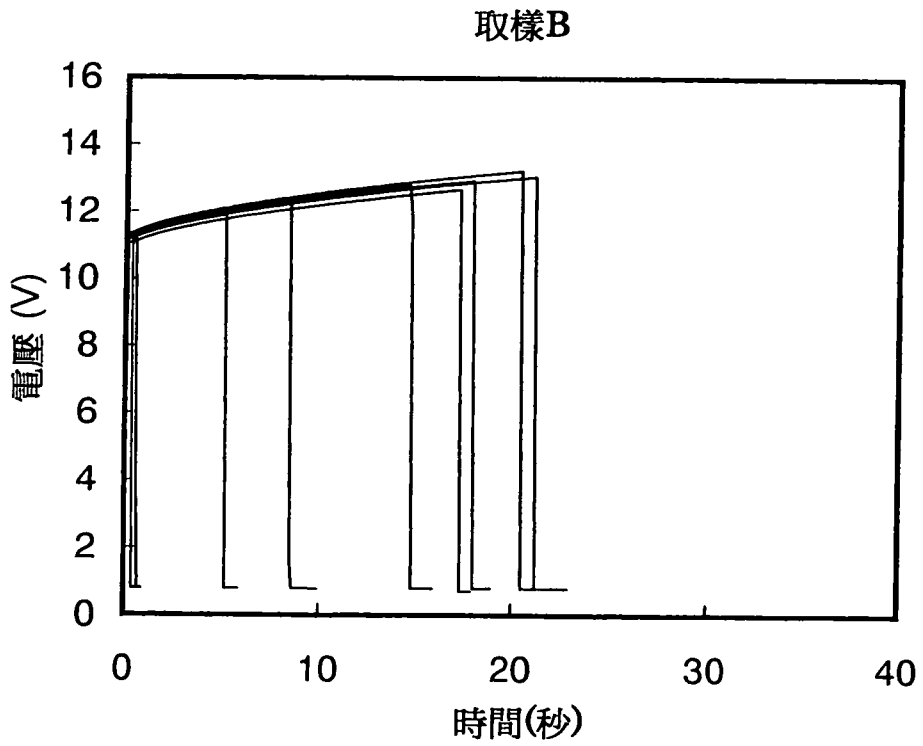
第31圖



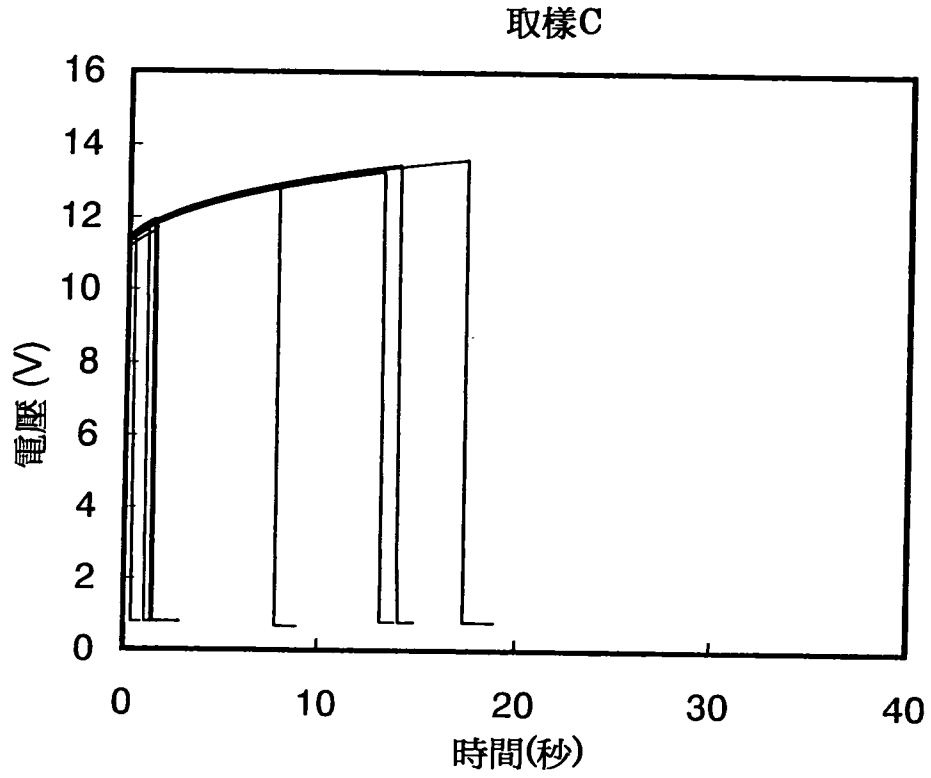
第32A圖



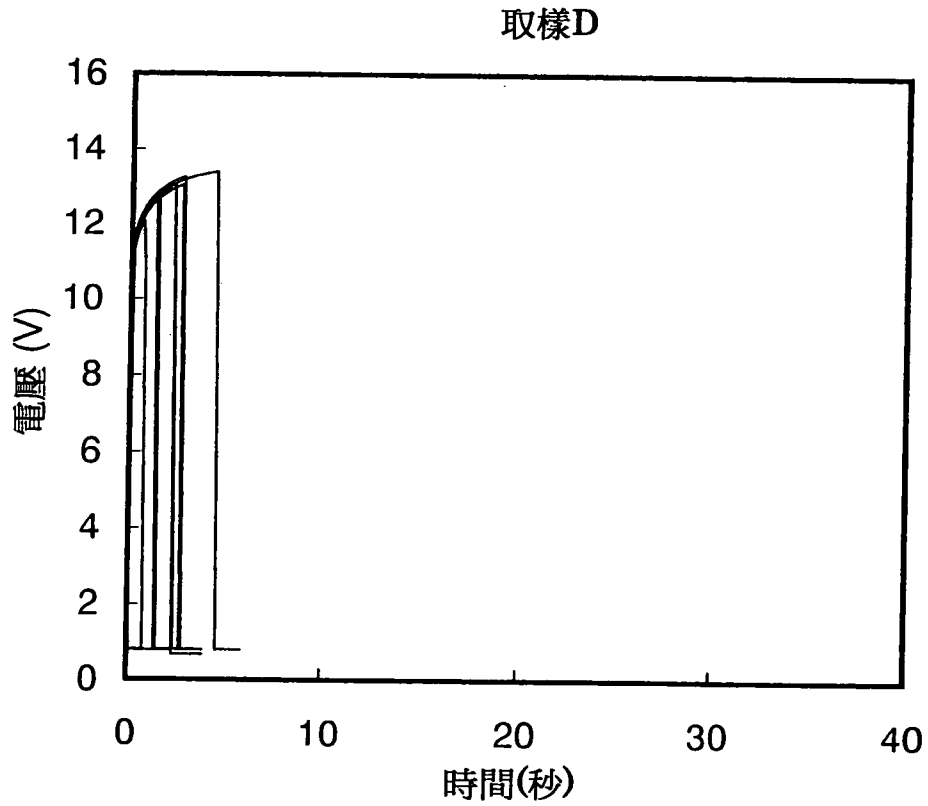
第32B圖



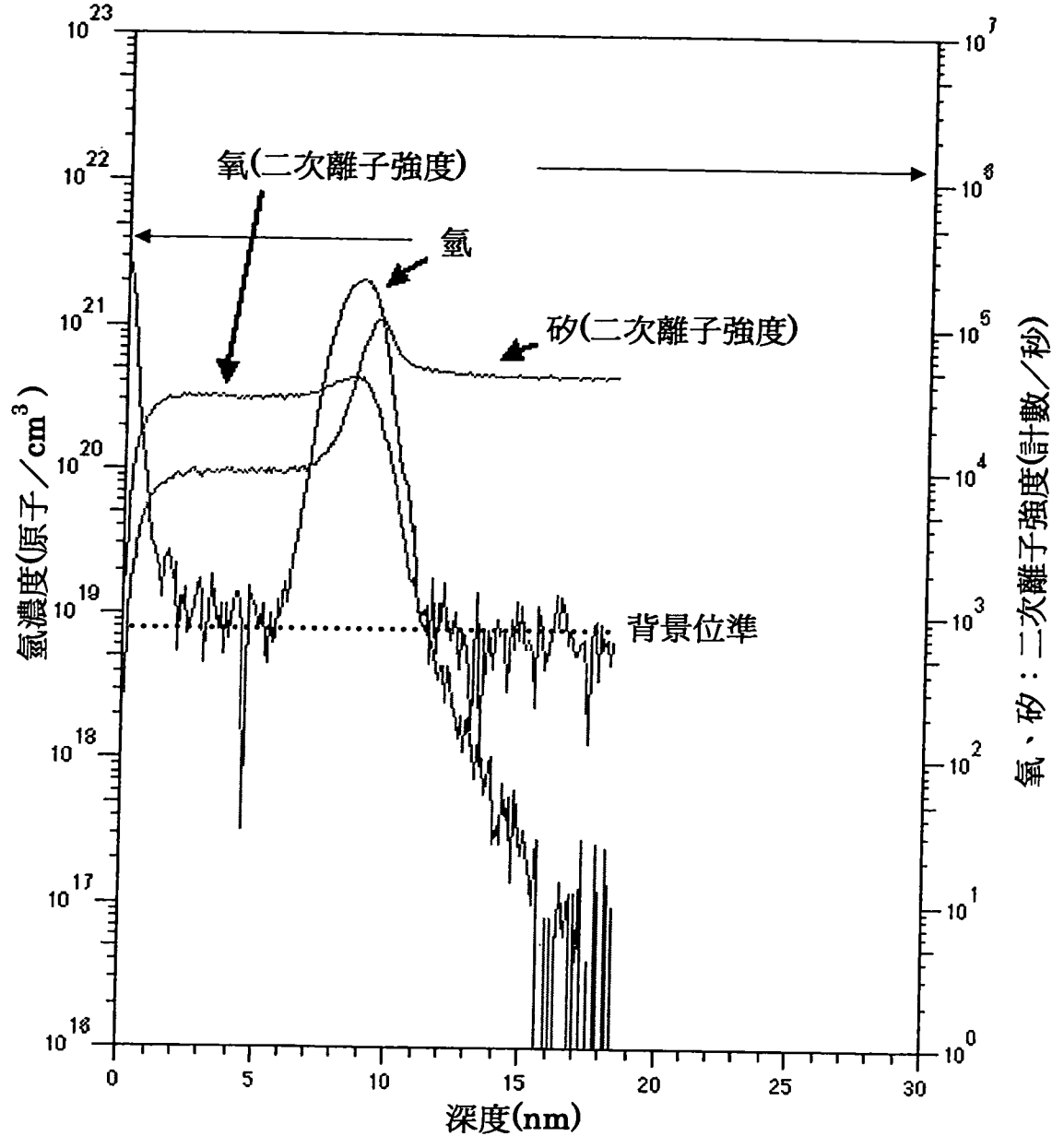
第33A圖



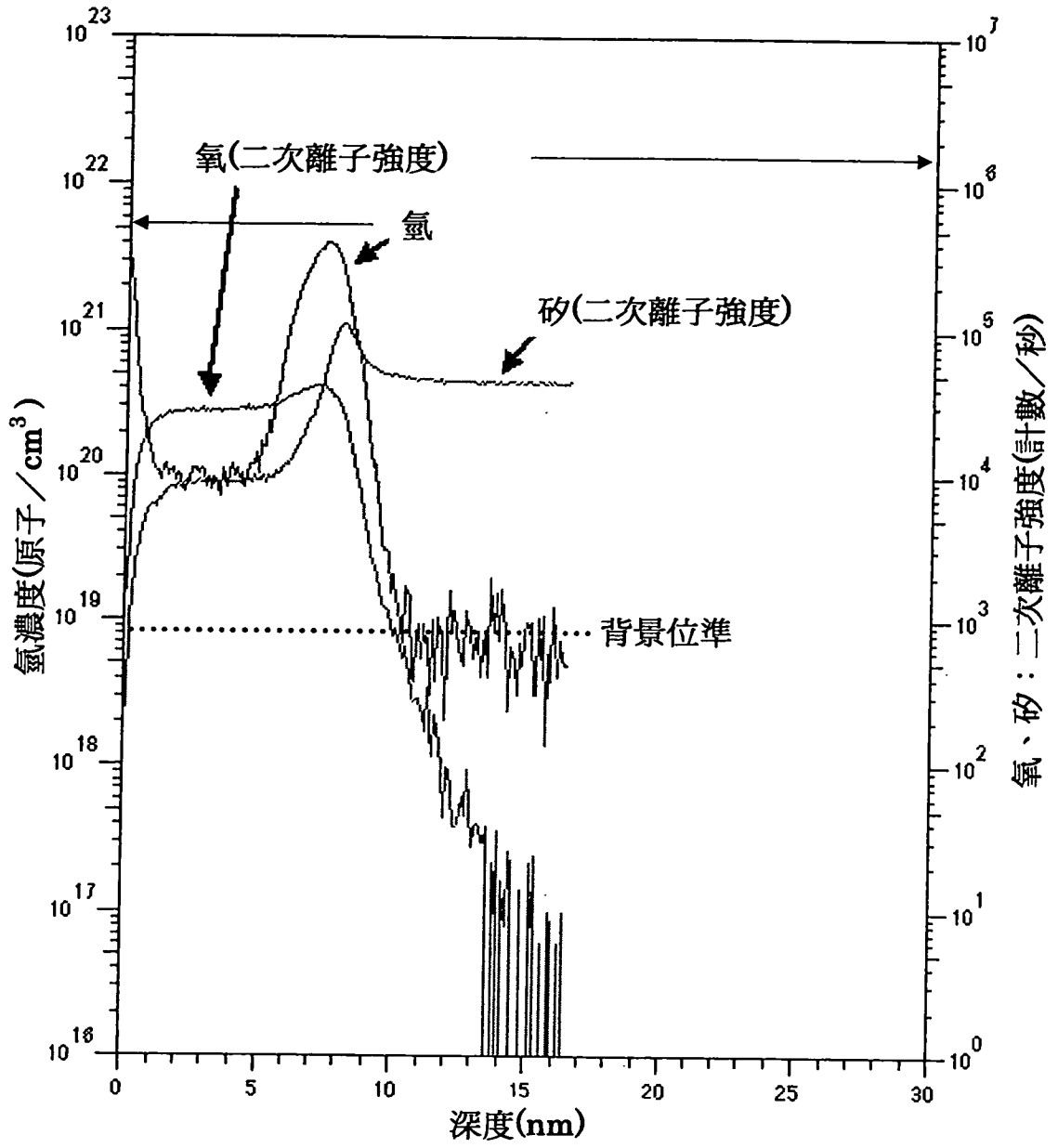
第33B圖



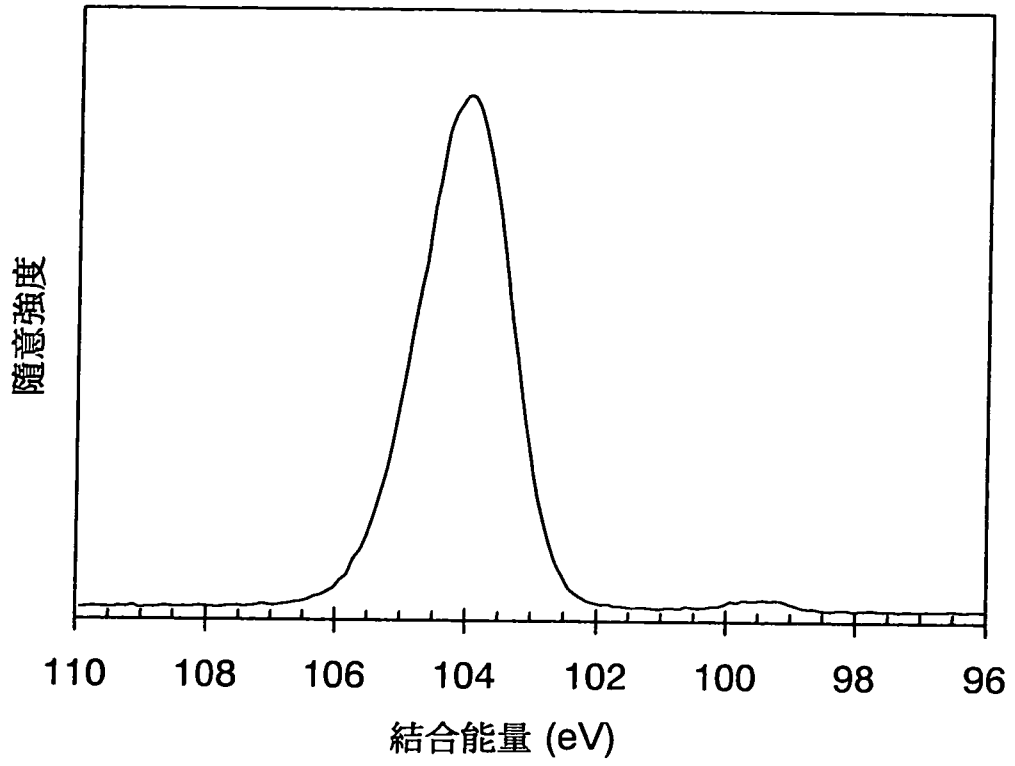
第34圖



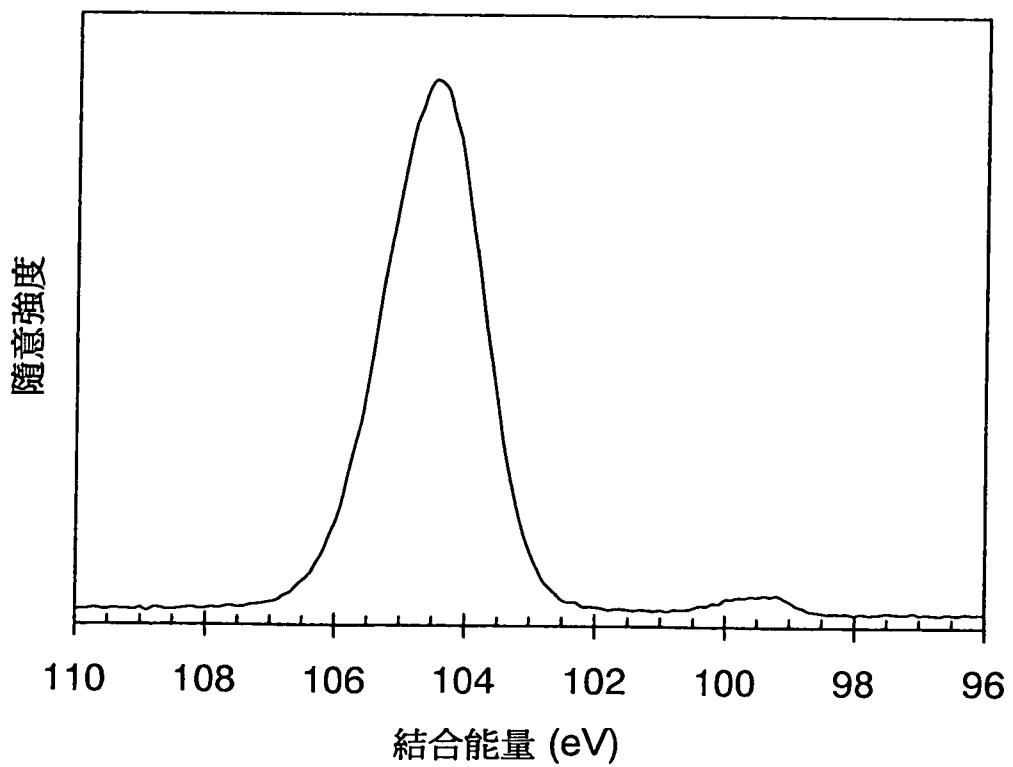
第35圖



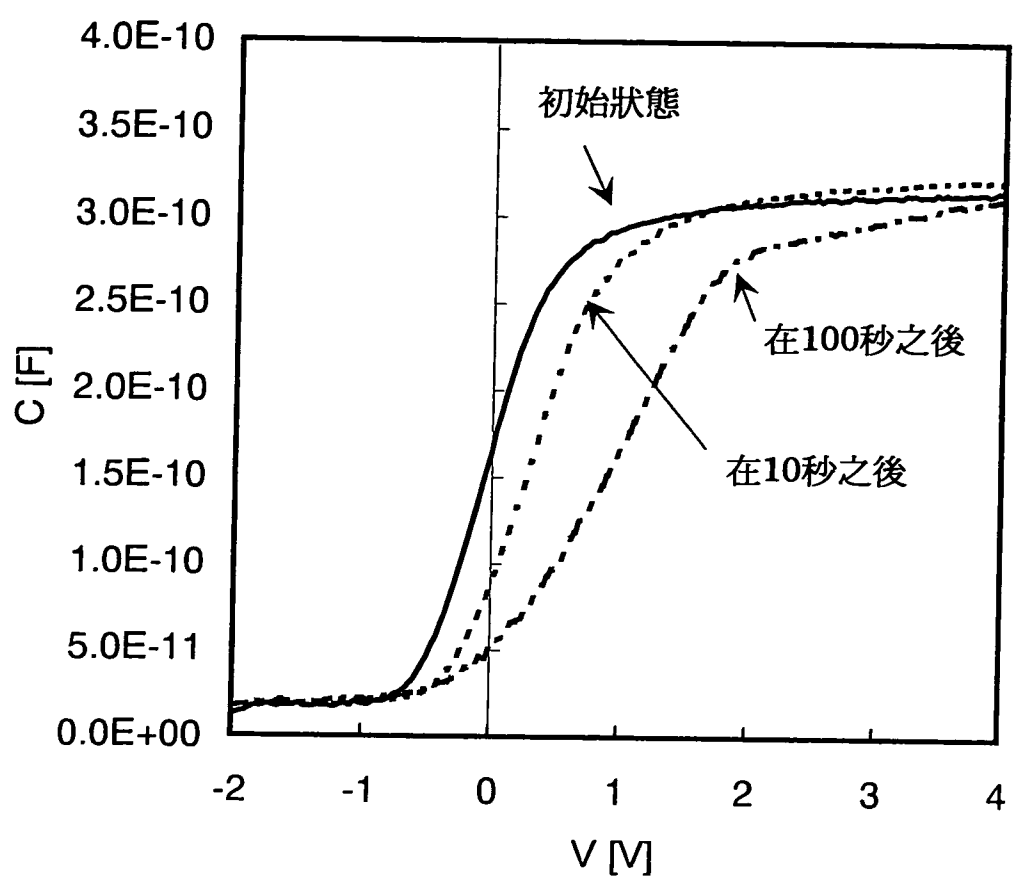
第36A圖



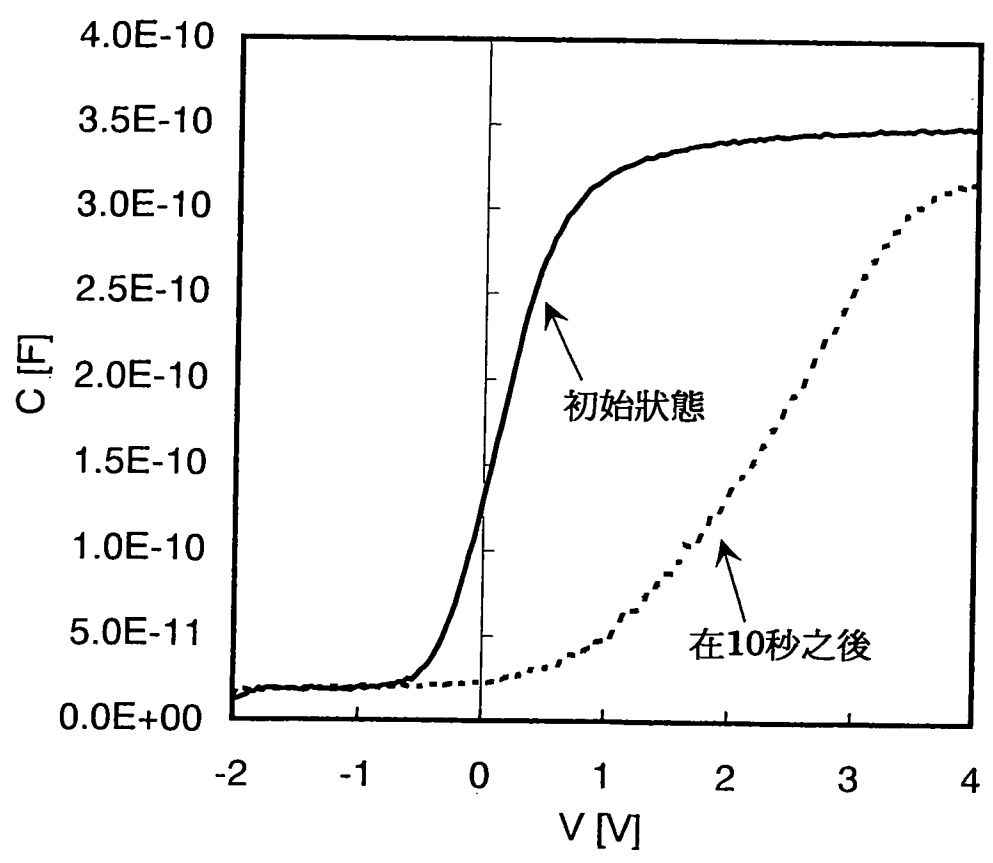
第36B圖



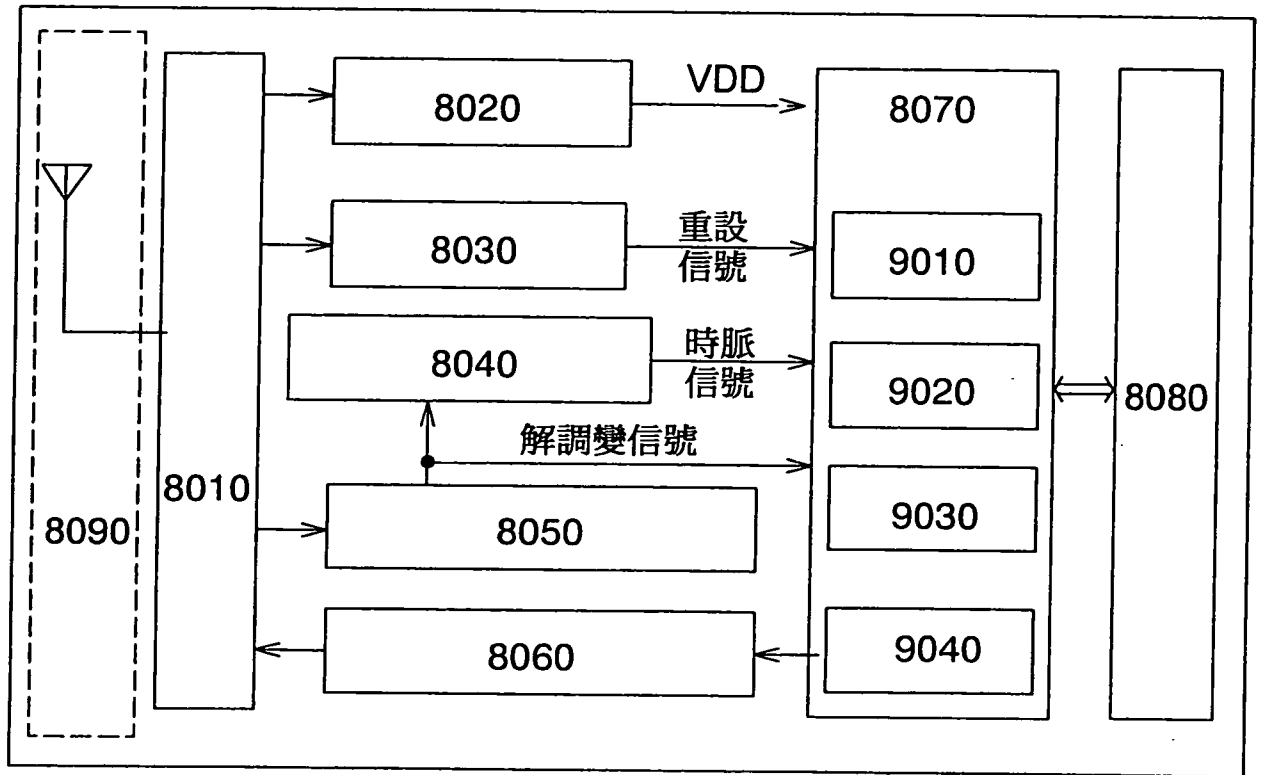
第37A圖



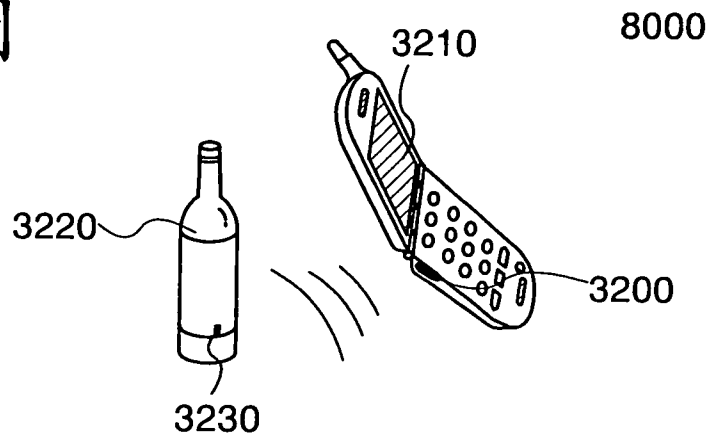
第37B圖



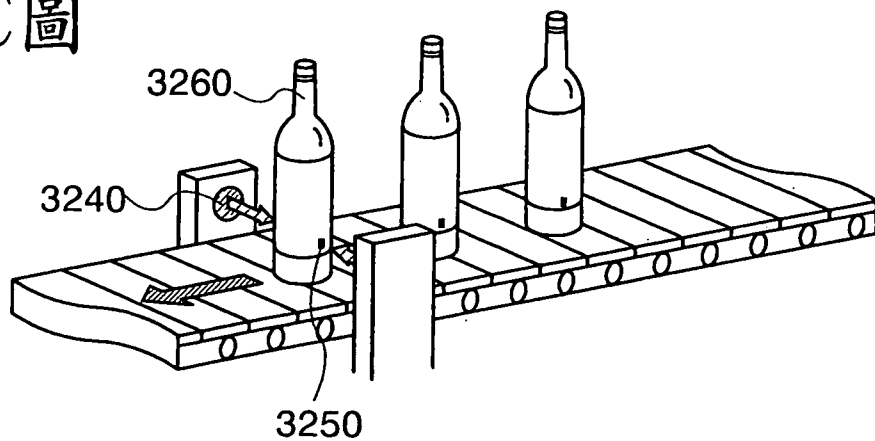
第38A圖



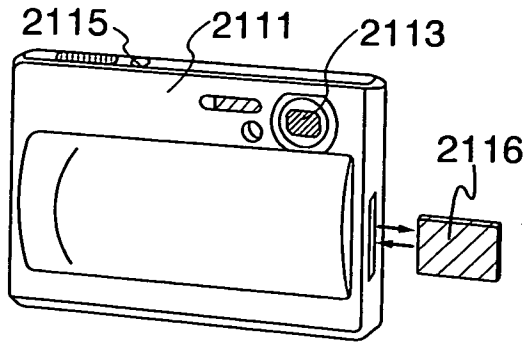
第38B圖



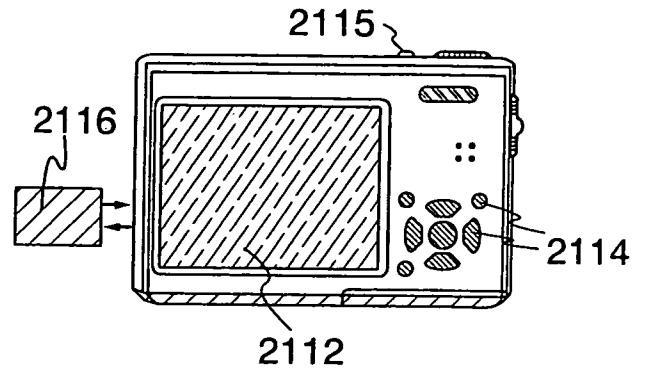
第38C圖



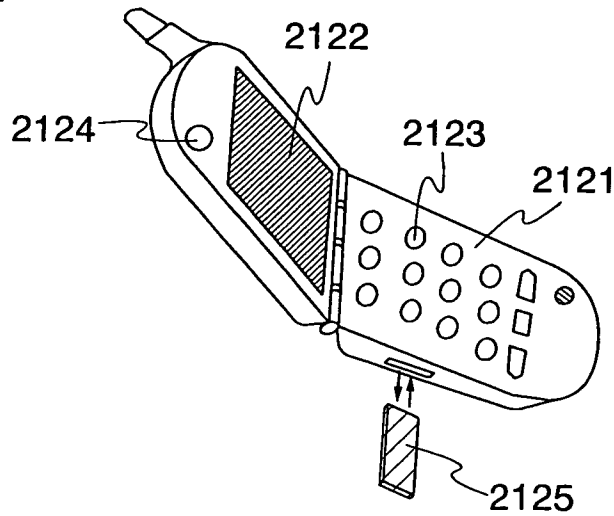
第39A圖



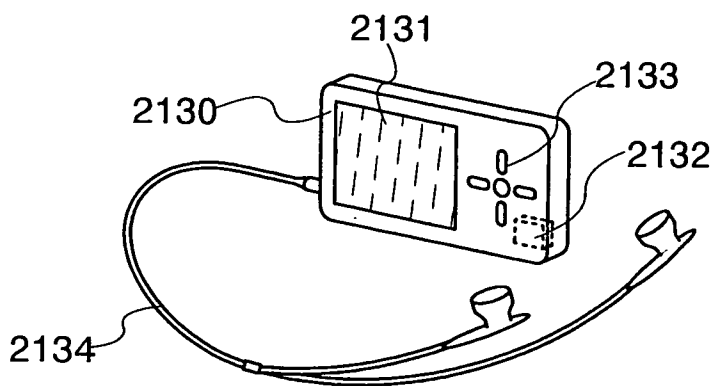
第39B圖



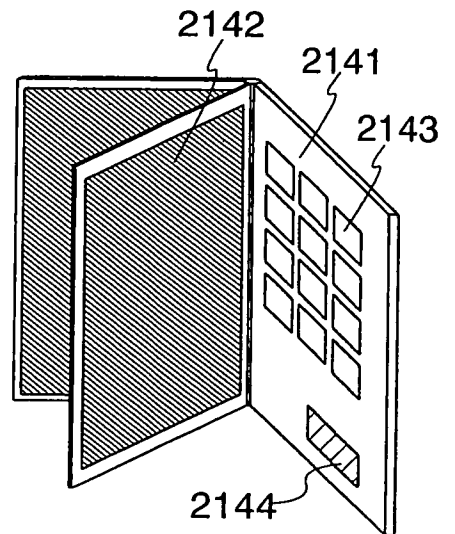
第39C圖



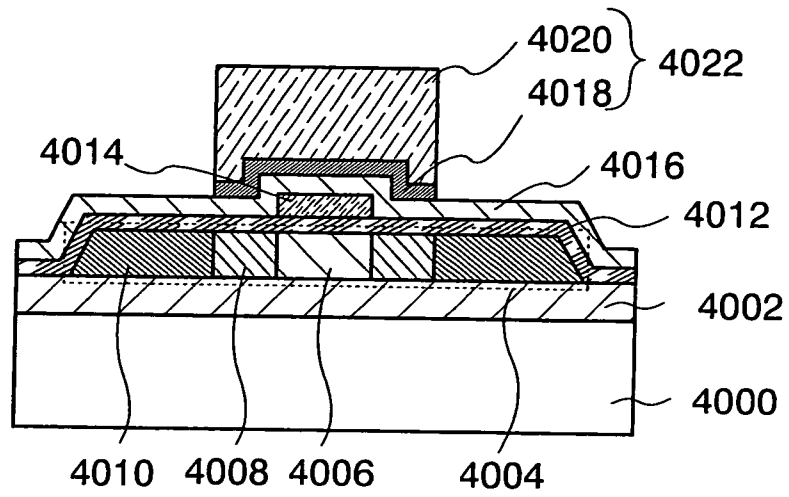
第39D圖



第39E圖



第40A圖



第40B圖

