

⑫

DEMANDE DE BREVET D'INVENTION

A1

②2 Date de dépôt : 08.08.17.

③0 Priorité :

④3 Date de mise à la disposition du public de la
demande : 15.02.19 Bulletin 19/07.

⑤6 Liste des documents cités dans le rapport de
recherche préliminaire : *Se reporter à la fin du
présent fascicule*

⑥0 Références à d'autres documents nationaux
apparentés :

○ Demande(s) d'extension :

⑦1 Demandeur(s) : 3DIS TECHNOLOGIES Société par
actions simplifiée — FR.

⑦2 Inventeur(s) : GHANNAM AYAD.

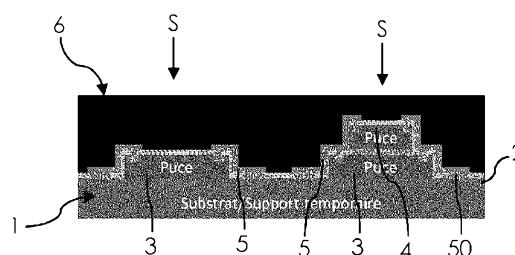
⑦3 Titulaire(s) : 3DIS TECHNOLOGIES Société par
actions simplifiée.

⑦4 Mandataire(s) : ARGYMA.

⑤4 SYSTÈME ÉLECTRONIQUE ET PROCÉDE DE FABRICATION D'UN SYSTÈME ÉLECTRONIQUE PAR
UTILISATION D'UN ÉLÉMENT SACRIFICIEL.

⑤7 Un procédé de fabrication d'un système électronique
(S) comprenant :

- une étape d'application d'un élément sacrificiel (2) sur
une pièce de support (1),
- une étape de dépôt d'au moins un composant électro-
nique (3) sur l'élément sacrificiel (2),
- une étape de réalisation d'une pluralité d'intercon-
nexions tridimensionnelles (5) pour former les ports de
connexion du système (S) et former une couche de redistri-
bution reliant les connecteurs (30) du composant électro-
nique (3) aux ports de connexion du système (S),
- une étape d'encapsulation afin de protéger les inter-
connexions tridimensionnelles (5), et
- une étape de séparation du système (S) de l'élément
sacrificiel (2).



SYSTEME ELECTRONIQUE ET PROCEDE DE FABRICATION D'UN SYSTEME ELECTRONIQUE PAR UTILISATION D'UN ELEMENT SACRIFICIEL

DOMAINE TECHNIQUE GENERAL ET ART ANTERIEUR

5

La présente invention concerne un système électronique adapté pour être fixé à un circuit imprimé, le circuit imprimé pouvant être ensuite monté dans un appareil électronique, par exemple, un téléphone intelligent.

10 De manière connue, un système électronique peut comporter plusieurs puces électroniques qui sont montées dans un boîtier pour former une interface entre les puces électroniques et le circuit imprimé, connu de l'homme du métier sous sa désignation anglaise « Printed Circuit Board » (PCB). A cet effet, le boîtier comporte des ports de connexion.

15

Afin de pouvoir améliorer les performances d'un tel système électronique, il est nécessaire de diminuer ou d'éliminer les éléments parasites générés par les connexions qui relient les différentes puces électroniques au boîtier. A cet effet, il est souhaitable de réduire les longueurs électriques de ces connexions en réduisant la distance entre les
20 puces et en miniaturisant le boîtier. Aussi, il a été proposé d'empiler verticalement les puces électroniques dans un même boîtier afin de diminuer davantage les pertes.

Cependant, cette miniaturisation est difficile à atteindre à cause des limitations des techniques actuelles d'assemblage. En effet, la plupart des techniques d'assemblage
25 nécessitent de fabriquer un boîtier, placer les puces électroniques dans le boîtier, connecter lesdites puces électroniques au boîtier en utilisant des fils micro-soudés et à encapsuler l'ensemble pour le protéger de son environnement. L'utilisation de fils micro-soudés engendre de fortes pertes, ce qui présente un inconvénient.

30 Lorsque l'on souhaite obtenir un système comportant un grand nombre de ports de connexion, il est souhaitable de prévoir une couche de redistribution qui permet de former une interface entre les ports de connexion du système et les connecteurs des composants électroniques. En particulier, lorsque la puce électronique comporte des connecteurs denses, c'est-à-dire très proches les uns des autres, une couche de

redistribution permet d'écarter les ports de connexion du système afin de coopérer de manière optimale avec un circuit intégré.

A cet effet, on connaît par la demande de brevet US2016/0064342, un système
 5 comportant une puce électronique, comportant des connecteurs, qui est positionnée sur un support inférieur avec les connecteurs placés vers le haut. Le support inférieur comporte des ports de connexion métallique. Une couche de redistribution métallique est placée sur les connecteurs de la puce électronique afin de former un système. Des
 10 vias traversants permettent de relier la couche de redistribution avec les ports de connexion afin de permettre au système de former un interposeur entre un circuit imprimé et un système auxiliaire. Un tel système nécessite de très nombreuses étapes de réalisation (création de vias, etc.), ce qui augmente son coût. En outre, la couche de redistribution présente une épaisseur importante et nécessite de nombreuses étapes de
 15 préparation avant de pouvoir être reliée à la puce électronique, ce qui présente des inconvénients.

Par ailleurs, les composants et les systèmes électroniques nécessitent d'évacuer la chaleur qu'ils génèrent. Le boîtier joue un rôle très important dans la dissipation de cette chaleur puisqu'il permet de l'améliorer ou de la dégrader. On constate que les boîtiers
 20 qui utilisent les fils micro-soudés, tel que le QFN, disposent d'une excellente dissipation thermique mais des mauvaises performances électriques. En revanche, les boîtiers du type « flip-chip » affichent des meilleures performances électriques mais disposent d'une mauvaise dissipation thermique.

25 Il existe ainsi un besoin pour former un système électronique formant boîtier dont les ports de connexion sont reliés de manière optimale aux connecteurs des composants électroniques du système et qui permet une excellente dissipation thermique.

PRESENTATION GENERALE DE L'INVENTION

30 A cet effet, l'invention concerne un système électronique comprenant une surface avant comprenant des ports de connexion, le système électronique comprenant :

- au moins un composant électronique, chaque composant électronique comportant une surface avant comportant une pluralité de connecteurs et

une surface arrière opposée à la surface avant, la surface arrière du composant électronique appartenant à la surface avant du système électronique,

- une pluralité d'interconnexions tridimensionnelles formant une couche de redistribution reliant les connecteurs du composant électronique aux ports de connexion du système, les ports de connexion et les pluralités d'interconnexions tridimensionnelles étant réalisée au cours d'une même étape technique dans un même matériau métallique, et
- une couche d'encapsulation, en particulier, protégeant les interconnexions tridimensionnelles.

Grâce à l'invention, les composants électroniques peuvent être connectés de manière pratique et sans perte entre eux. De plus, les ports de connexion du système sont aisément configurables et le système peut ainsi être directement monté sur un circuit intégré. Un tel système peut avantageusement recevoir des composants électroniques de différentes natures et les relier entre eux de manière pratique. De plus, la surface arrière du composant électronique forme une partie de la surface du système électronique, ce qui améliore la dissipation de la chaleur.

De préférence, le système comprend une pluralité de composants électroniques assemblés verticalement pour former un empilement. Ainsi, tous les connecteurs des composants électroniques sont connectés aux ports de connexion de manière optimale avec un encombrement réduit. Le composant électronique situé en bas de l'empilement permet d'évacuer la chaleur du système électronique de manière directe.

De préférence encore, les composants électroniques possèdent la même orientation dans l'empilement.

Selon un aspect de l'invention, le composant électronique comporte des plots conducteurs d'élévation rapportés sur les connecteurs dudit composant électronique. De tels plots d'élévation permettent de décaler verticalement les connecteurs par rapport à la surface avant du composant électronique. Autrement dit, les plots conducteurs s'étendent en saillie verticale de la surface avant du composant électronique.

De tels plots d'élévation permettent d'améliorer la compatibilité avec les interconnexions ou de décaler la position des connecteurs afin de limiter le risque d'interférence entre les interconnexions tridimensionnelles et le composant électronique.

- 5 De manière préférée, les plots d'élévation rapportés sont formés préalablement à l'étape de réalisation d'interconnexion tridimensionnelle. De manière avantageuse, les plots d'élévation permettent de rendre compatible les interconnexions tridimensionnelles avec les connecteurs du composant électronique en formant une interface métallique compatible.

10

De manière préférée, le système électronique comporte :

- un premier empilement de composants électroniques formant un sous-système inférieur dont la surface arrière d'un composant électronique appartient à la surface avant du sous-système inférieure,
- 15 – un deuxième empilement de composants électroniques formant un sous-système supérieur et
- une couche de redistribution d'élévation formée entre le sous-système inférieur et le sous-système supérieur de manière à les connecter.

- 20 On forme de manière avantageuse un système électronique global formé d'une pluralité de sous-systèmes qui sont empilés verticalement ensemble. La couche de redistribution d'élévation permet de mettre en relation les ports de connexion du sous-système inférieur avec ceux du sous-système supérieur.

- 25 De préférence, le système électronique comporte une pluralité de sous-systèmes supérieurs, deux sous-systèmes supérieurs adjacents étant connectés par une couche de redistribution d'élévation. Ainsi, on peut former de manière itérative un grand nombre de sous-systèmes pour obtenir un système électronique global ayant de nombreuses fonctionnalités.

30

L'invention concerne également un procédé de fabrication d'un système électronique comprenant :

- une étape d'application d'un élément sacrificiel sur une pièce de support,

- une étape de dépôt d'au moins un composant électronique sur l'élément sacrificiel de manière adhésive, chaque composant électronique comportant une surface avant comportant une pluralité de connecteurs et une surface arrière opposée à la surface avant, la surface arrière du composant électronique étant positionnée sur l'élément sacrificiel,
- une étape de réalisation d'une pluralité d'interconnexions tridimensionnelles réalisées par dépôt métallique de manière, d'une part, à combler des zones découvertes de l'élément sacrificiel pour former les ports de connexion du système et, d'autre part, à former une couche de redistribution reliant les connecteurs du composant électronique aux ports de connexion du système,
- une étape d'encapsulation, et
- une étape de séparation du système de l'élément sacrificiel.

Grâce à l'invention, les composants électroniques peuvent être positionnés de manière précise sur l'élément sacrificiel, ce qui permet de former de manière optimale les interconnexions tridimensionnelles. De plus, comme l'élément sacrificiel peut être retiré, les ports de connexion du système sont rendus accessibles de manière pratique. Le système peut ainsi être directement monté sur un circuit intégré. Un tel système peut avantageusement recevoir des composants électroniques de différentes natures et les relier entre eux de manière pratique. De plus, la surface arrière du composant électronique forme une partie de la surface du système électronique, ce qui améliore la dissipation de la chaleur.

De préférence, le procédé comporte une pluralité d'étapes de report de composants électroniques et une pluralité d'étapes de réalisation de couches de redistribution tridimensionnelle. Cela permet avantageusement de former un empilement de composants électroniques connectés ensemble et aux ports de connexion internes de la couche de redistribution inférieure. Grâce à cette pluralité d'étapes, des composants électroniques de mêmes tailles ou de tailles différentes peuvent ainsi être intégrés dans un même système afin d'augmenter la densité de manière optimale.

Selon un aspect préféré, le procédé comporte une étape de dépôt d'une couche de passivation de manière à couvrir la surface de l'élément sacrificiel et le composant électronique tout en maintenant découvert la pluralité de connecteurs du composant

électronique et des zones de l'élément sacrificiel destinées à la formation des ports de connexion du système.

De manière préférée, l'élément sacrificiel se présente sous la forme d'un film adhésif, en particulier, à double face. Un tel élément sacrificiel est simple à manipuler pour un opérateur. En outre, un film adhésif double face permet de solidariser ensemble le support et les composants électroniques de manière temporaire lors de la réalisation du système.

Selon un aspect de l'invention, l'élément sacrificiel se présente sous la forme d'une couche de résine adhésive.

Selon un autre aspect de l'invention, l'élément sacrificiel se présente sous la forme d'une couche en polymère non adhésive.

De préférence encore, l'élément sacrificiel est configuré pour perdre ses caractéristiques d'adhérence à partir d'une température prédéterminée. Un tel élément sacrificiel peut être retiré de manière pratique sans action mécanique pouvant endommager le système réalisé. De manière préférée, l'élément sacrificiel perd ses caractéristiques d'adhérence à partir d'une température inférieure à 250°C, ce qui évite un endommagement du système lors du chauffage.

D'une autre manière préférée, l'élément sacrificiel est configuré pour perdre ses caractéristiques d'adhérence suite à une illumination, en particulier, par une source de lumière UV tel qu'un laser et/ou une lampe à mercure. Lors d'une telle illumination, l'élément sacrificiel convertit la lumière en énergie thermique ou génère un gaz, ce qui annule les caractéristiques d'adhérence. A cet effet, un élément sacrificiel du type « BrewerBond » ® de Brewer Science, « WSS » ® de 3M ou « SELFA » de Sekisui est particulièrement adapté.

Selon un aspect préféré, l'élément sacrificiel est choisi parmi l'ensemble suivant : « ZoneBond » ®, « BrewerBond » ® et « WaferBond » ® de Brewer Science, « WSS » ® de 3M, « SELFA » ® de Sekisui et « Revalpha » ® de Nitto. De tels éléments sacrificiels

présentent des caractéristiques optimales pour un coût réduit. Il va de soi que d'autres dénominations commerciales d'autres sociétés pourraient également convenir.

5 De préférence encore, l'élément sacrificiel permet un décollage du système électronique par action mécanique sans détérioration. A cet effet, un élément sacrificiel du type « TM-X12 »[®] de Hitachi Chemicals est particulièrement adapté.

10 De préférence, le procédé comporte une étape de réalisation d'une ouverture dans le système de manière à découvrir la face avant d'au moins un composant électronique ayant une fonction de capteur. Ainsi, le procédé est compatible pour la réalisation d'un système ayant une fonction de capteur.

15 De manière préférée, le procédé comprend au moins deux étapes de dépôt d'une couche de passivation afin de protéger les interconnexions dans le système.

20 De manière avantageuse, le procédé comprend au moins deux étapes de réalisation d'une pluralité d'interconnexions tridimensionnelles afin de former plusieurs couches de redistribution superposées. Des redistributions complexes peuvent alors être réalisées de manière pratique.

25 De manière préférée, le procédé comprend une étape de réalisation d'une pluralité d'interconnexions tridimensionnelles réalisées par dépôt métallique au-dessus d'un composant électronique afin de former une couche de redistribution supérieure reliée à des connecteurs dudit composant électronique. Ainsi, la surface supérieure et la surface inférieure du composant permettent une interconnexion du même type, ce qui facilite le montage du système dans un environnement dense.

30 De préférence, le procédé comprend une étape de dépôt d'au moins un composant électronique sur la couche de redistribution supérieure, chaque composant électronique comportant une surface avant comportant une pluralité de connecteurs et une surface arrière opposée à la surface avant, la surface arrière du composant électronique étant positionnée en regard de la couche de redistribution supérieure. Des empilements de composants peuvent ainsi être montés en étage grâce à la présence de la couche de redistribution supérieure qui permet d'offrir des ports de connexion

aisément accessible pour relier deux empilements différents. On peut ainsi former des systèmes très complexes.

De préférence, le procédé comprend une étape de formation d'un composant passif tridimensionnel lors de l'étape de réalisation d'une pluralité d'interconnexions tridimensionnelles. Un tel composant passif tridimensionnel est réalisé de préférence en une seule étape, ce qui accélère la réalisation du système.

Selon un aspect préféré, le procédé comprend une étape de dépôt d'une couche métallique sur la surface arrière d'au moins un composant électronique de manière à améliorer la dissipation thermique.

De manière préférée, le procédé comporte une étape de dépôt d'au moins deux composants électroniques superposés sur l'élément sacrificiel et une étape de connexion des connecteurs desdits composants électroniques lors de l'étape de réalisation d'une pluralité d'interconnexions tridimensionnelles. Des assemblages complexes peuvent avantageusement être réalisés dans un système.

Grâce à l'invention, on réalise de manière pratique et peu onéreuse un système électronique comportant des composants électroniques hétérogènes en s'appuyant sur les interconnexions tridimensionnelles. On tire ainsi avantageusement partie de la dimension verticale pour augmenter la densité d'intégration. De plus, une évacuation optimale de la chaleur est assurée via le contact direct entre la face arrière des composants actifs et le circuit imprimé (notamment une carte mère) sur lequel le système est soudé.

PRESENTATION DES FIGURES

L'invention sera mieux comprise à la lecture de la description qui va suivre, donnée uniquement à titre d'exemple, et se référant aux dessins annexés sur lesquels :

- les figures 1A-1G sont des représentations schématiques d'étapes de réalisation d'un système selon l'invention,
- la figure 2 est une représentation schématique d'un composant électronique,

- la figure 3 est une représentation schématique d'un système selon l'invention solidarisé à un circuit intégré,
- les figures 4 et 5 représentent un système selon l'invention en coupe (Figure 4) et selon une vue de dessous (Figure 5) avec une répartition des ports de connexion,
- 5 - la figure 6 est une représentation schématique d'un système avec des billes de connexion rapportées,
- la figure 7 est une représentation schématique d'un système avec une couche métallique de dissipation,
- la figure 8 est une représentation schématique d'un système avec deux couches de passivation,
- 10 - la figure 9 est une représentation schématique d'un système avec deux couches métalliques d'interconnexions tridimensionnelles,
- la figure 10 est une représentation schématique d'un système avec une ouverture d'accès à un composant électronique ayant une fonction de capteur,
- 15 - les figures 11 et 12 représentent un système comportant un composant monté en surface,
- la figure 13 représente un système comportant un composant passif tridimensionnel, et
- les figures 14, 15 et 16 représentent plusieurs formes de réalisation de systèmes
- 20 comportant une couche de redistribution placée en partie supérieure de manière à se connecter à d'autres composants électroniques.

Les figures peuvent bien entendu servir à mieux définir l'invention le cas échéant.

25 **DESCRIPTION D'UN OU PLUSIEURS MODES DE REALISATION ET DE MISE EN OEUVRE**

Il va être présenté un système électronique comportant une pluralité de composants électroniques aptes à être montés sur un circuit imprimé afin de former une carte électronique. Une telle carte électronique peut être montée dans toute sorte d'appareils

30 électroniques, par exemple, un ordinateur, une montre, un téléphone intelligent, un objet connecté, un vêtement, un équipement portable, etc.

On forme de manière avantageuse un système du type « System in package » qui comporte plusieurs composants électroniques. Dans l'exemple qui va suivre, il va être

présenté la réalisation d'un système du type QFN ou LGA dont les ports de connexions s'étendent dans un même plan dans la continuité dudit système, c'est-à-dire, sans être en saillie.

- 5 Un exemple de fabrication d'un système selon l'invention va être présenté en référence à la figure 1 illustrant plusieurs étapes techniques de fabrication.

Tout d'abord, en référence à la figure 1A, il est représenté une étape d'application d'un élément sacrificiel 2 sur une pièce de support 1.

10

De manière préférée, la pièce de support 1 se présente sous la forme d'une surface plane à base de silicium, de verre, de céramique, de métal, de matériaux organiques ou tout type de matériau apte à servir de support. La pièce de support 1 est de préférence circulaire ou rectangulaire mais il va de soi que d'autres formes pourraient
15 convenir. De préférence, la surface de support est supérieure à 2000 mm².

20

L'élément sacrificiel 2 possède une double fonction. Il permet, d'une part, de positionner de manière précise et robuste les composants électroniques 3 du système lors de sa réalisation et, d'autre part, de pouvoir les libérer lorsque le système est réalisé. Autrement
dit, l'élément sacrificiel 2 forme un support temporaire pour les composants électroniques 3 afin que ceux-ci soient intégrés dans le système S.

25

De préférence encore, l'élément sacrificiel 2 se présente sous la forme d'une couche qui est organique, inorganique, polymérique ou métallique. L'élément sacrificiel 2 peut être
déposé par enduction centrifuge, par pulvérisation (spray), par lamination, par pressage, par croissance ou analogue. A titre d'exemple, un élément sacrificiel 2 du type
« ZoneBond » ®, « WaferBond » ® et « BrewerBond » ® de Brewer Science, « WSS » ® de 3M, « SELFA » ® de Sekisui et « Revalpha » ® de Nitto. De manière préférée, l'élément
sacrificiel 2 se présente sous la forme d'un film adhésif qui est simple à manipuler, en
particulier, à double face. De préférence, l'élément sacrificiel 2 est configuré pour
perdre ses caractéristiques d'adhérence à partir d'une température prédéterminée. A
cet effet, un élément sacrificiel 2 du type « Revalpha » ® de Nitto est particulièrement
adapté. D'une autre manière préférée, l'élément sacrificiel 2 est configuré pour perdre
ses caractéristiques d'adhérence suite à une illumination, en particulier, par une source
30

de lumière UV tel qu'un laser et/ou une lampe à mercure. Lors d'une telle illumination, l'élément sacrificiel 2 convertit la lumière en énergie thermique ou génère un gaz, ce qui annule les caractéristiques d'adhérence. A cet effet, un élément sacrificiel 2 du type « BrewerBond »[®] de Brewer Science ou « WSS »[®] de 3M ou « SELFA »[®] de Sekisui est
 5 particulièrement adapté. De préférence encore, l'élément sacrificiel 2 permet un décollage du système par action mécanique sans détérioration. A cet effet, un élément sacrificiel 2 du type « TM-X12 »[®] de Hitachi Chemicals est particulièrement adapté.

En référence à la figure 1B, il est représenté une étape de dépôt de composants
 10 électroniques 3 sur l'élément sacrificiel 2 de manière adhésive. Comme illustré à la figure 2, chaque composant électronique 3 comporte une surface avant 3A comportant une pluralité de connecteurs 30 et une surface arrière 3B opposée à la surface avant 3A. De préférence, la surface arrière 3B de chaque composant électronique 3 est dépourvue de connecteurs 30.

Dans cet exemple, comme illustré à la figure 1B, deux composants électroniques 3 sont positionnés directement en contact avec l'élément sacrificiel 2 et sont désignés composants électroniques de rang 1. D'autres composants électroniques peuvent être positionnés en superposition sur les composants électroniques 3 de rang 1, ces
 20 composants électroniques 3 étant désignés composants électroniques de rang 2. Lorsqu'un composant électronique 3 est superposé sur un composant électronique de rang donné n, le composant électronique 3 superposé possède un rang n+1. En référence à la partie droite de la figure 1B, un composant électronique de rang 2 est positionné sur un des composants électroniques de rang 1. La surface arrière 3B des
 25 composants électroniques 3 de rang 1 est positionnée sur l'élément sacrificiel 2 de manière à s'étendre au niveau de la surface avant du système électronique S pour évacuer la chaleur de manière optimale.

Le positionnement des composants électroniques 3 est réalisé de préférence par une
 30 méthode de report dite de « pick and place ». Lorsque l'élément sacrificiel 2 est adhésif, les composants électroniques 3 de rang 1 sont stables sur l'élément sacrificiel 2. Lorsque l'élément sacrificiel 2 n'est pas adhésif, il peut être ajouté une couche adhésive entre les composants électroniques 3 et l'élément sacrificiel 2.

Par ailleurs, une couche de colle est appliquée entre deux composants électroniques 3 superposés. La couche de colle est déposée entre la surface arrière 3B du composant électronique 3 de rang supérieur et la surface avant 3A du composant électronique 3 de rang inférieur. Le positionnement précis permet de garantir une interconnexion optimale.

De manière préférée, l'épaisseur verticale totale (composant(s) électronique(s) 3 et couche(s) de colle) est supérieure à 10µm, plus particulièrement, supérieure à 40µm. Les flancs des composants électroniques 3 peuvent être droits, en dépouille et/ou en contre dépouille. Par souci de clarté, seuls des composants électroniques 3 ayant des flancs droits ont été utilisés sur les figures.

En référence à la figure 1C, il est représenté une étape de dépôt d'une couche de passivation 4 de manière à couvrir la surface de l'élément sacrificiel 2 et la surface avant 3A du composant électronique 3 tout en formant des ouvertures 40 maintenant découvert la pluralité de connecteurs 30 du composant électronique 3 et des zones de l'élément sacrificiel 2 de manière à former des ports de connexion.

Selon le besoin du système, la couche de passivation 4 est déposée d'une manière conforme ou d'une manière à adapter l'angle des flancs des composants électroniques 3. La couche de passivation 4 peut être composée d'un matériau organique ou inorganique, tel qu'un oxyde de semi-conducteur, un oxyde de métal, un polymère ou tout autre matériau électriquement isolant. Elle peut être déposée par enduction centrifuge, par spray, par lamination, par pressage, par croissance, par impression (inkjet), par dépôt sous vide ou par tout type de dépôt connu par l'homme du métier.

Toujours en référence à la figure 1C, des ouvertures 40 sont réalisées dans la couche de passivation 4, afin de découvrir les connecteurs 30 des composants électroniques 3 et des zones de l'élément sacrificiel 2. De préférence, les ouvertures 40 sont réalisées à l'aide d'un procédé de photolithographie ou à l'aide d'une gravure par voie chimique humide et/ou sèche, par plasma ou par laser. De manière préférée, des matériaux photosensibles sont privilégiés compte tenu des avantages offerts par les procédés de photolithographie.

Dans le cas où les surfaces et les flancs des composants électroniques 3 sont isolants sauf au niveau des connecteurs 30, le dépôt de la couche de passivation 4 peut ne pas être appliqué, réduisant ainsi le temps et le coût de fabrication.

- 5 En référence à la partie droite de la figure 1C, le système électronique S comporte plusieurs composants électroniques 3 assemblés verticalement pour former un empilement. Les composants électroniques 3 possèdent la même orientation dans l'empilement. La surface arrière 3B du composant électronique 3 de rang supérieur est montée sur la surface avant 3A du composant électronique 3 de rang inférieur. Il va de
10 soi que le système électronique S pourrait comprendre un empilement d'un grand nombre de composants électroniques 3 de natures différentes.

De manière préférée, chaque composant électronique 3 de rang supérieur d'un empilement possède des dimensions inférieures au composant électronique 3 de rang
15 inférieur de manière à former un empilement facilitant la formation d'interconnexions tridimensionnelles 5 entre les différentes composants électroniques 3. La compacité et la densité d'intégration est ainsi augmentée de manière pratique.

De manière préférée, l'empilement est pyramidal ou en marche d'escaliers. Selon ce
20 dernier cas, il est possible d'empiler des composants électroniques 3 ayant une taille identique ou bien des composants électroniques 3 de taille plus grande par-dessus de composants électroniques 3 de taille plus petite. Il va de soi que les composants électroniques 3 peuvent avoir des dimensions différentes.

25 En référence à la figure 1D, il est représenté une étape de réalisation d'une pluralité d'interconnexions tridimensionnelles 5 réalisées par dépôt métallique de manière à relier les zones découvertes 40 de l'élément sacrificiel 2 aux connecteurs 30 du composant électronique 3, les zones comblées de l'élément sacrificiel 2 formant des ports de connexion 50.

30 Les interconnexions tridimensionnelles 5 ainsi que des ports de connexion 50 sont formés pour interconnecter les connecteurs 30 des composants électroniques 3. Les interconnexions tridimensionnelles 5 sont connues en soi, en particulier, par la demande

de brevet FR2965659. Dans cet exemple, pour réaliser les interconnexions tridimensionnelles 5 et les ports de connexion 50, le procédé comporte :

- une étape de dépôt d'une couche métallique par évaporation, par pulvérisation ou autre, qui remplit à la fois une fonction de base d'accrochage et de croissance du métal constituant les interconnexions tridimensionnelles 5 et les ports de connexion 50. Cette couche métallique peut être composée d'un unique ou de plusieurs matériaux conducteurs de l'électricité et/ou semi-conducteurs.
- une étape de dépôt d'une couche épaisse de résine photosensible et une étape de réalisations d'ouvertures par des techniques de photolithographie, par ablation laser ou autres, afin de créer un moule nécessaire au dépôt du métal constituant les interconnexions tridimensionnelles 5. Ces ouvertures définissent la forme des interconnexions tridimensionnelles 5 ainsi que celles des pistes métalliques formant la couche de redistribution tridimensionnelle (présentée par la suite) et les ports de connexion 50. Selon le besoin d'intégration, l'épaisseur de la couche de résine photosensible peut varier de 20 à 700µm et le rapport de forme (résolution) de 0.5 :1 à 50 :1.
- une étape de dépôt d'une couche de métal par électrolyse ou toute autre technique de croissance de métal. Le métal déposé peut être du cuivre, de l'or, de l'argent, du nickel, un alliage de métaux ou tout autre matériau conducteur de l'électricité.
- une étape de dissolution du moule de résine et une étape de gravure de la couche d'accrochage. Ces procédés sont connus par l'homme du métier. Cependant, dans le cas où la coche d'accrochage contient de l'or, une solution à base de KI+I2 et d'additifs pourrait être utilisée pour graver cette couche sans abimer les interconnexions tridimensionnelles 5.

Dans cet exemple, les ports de connexion 50 du système S et les connecteurs 30 des composants électroniques 3 sont respectivement reliés entre eux par la couche de redistribution formée par les interconnexions tridimensionnelles 5 réalisées par dépôt métallique. Les ports de connexion 50 sont formés simultanément avec lesdites interconnexions tridimensionnelles 5. De manière avantageuse, même en cas de pluralité de composants électroniques 3, les interconnexions tridimensionnelles 5 sont réalisées au cours d'une seule et même étape, ce qui procure un gain de temps

important. Le nombre de connecteurs 30 reliés entre eux dépend du degré d'interaction entre les deux composants électroniques 3 dans le système électronique S. La couche de redistribution planaire permet d'améliorer le routage entre les composants électroniques 3, en particulier, en cas de forte densité de connecteurs 30.

5

En référence à la figure 1E, il est représenté une étape d'encapsulation 6 de manière à encapsuler les composants électroniques 3 et les interconnexions 5. De manière préférée, la couche d'encapsulation 6 est réalisée en polymère, par exemple en époxy, et chargé ou non de particules telles que de la silice, de l'alumine, etc. mais il va de soi que d'autres matériaux analogues pourraient convenir. De manière préférée, l'étape d'encapsulation est réalisée par sérigraphie, moulage par injection, par transfert ou par pression. Une telle couche d'encapsulation 6 permet avantageusement d'améliorer la robustesse mécanique ainsi que la fiabilité du système électronique S.

10

15

En référence à la figure 1F, il est représenté une étape de séparation des systèmes S de l'élément sacrificiel 2. L'étape de séparation dépend de la nature de l'élément sacrificiel 2. A cet effet, l'étape de séparation peut être réalisée par dissolution ou gravure, par glissement ou en désactivant l'élément sacrificiel 2 à l'aide d'un laser, d'UV ou en le chauffant comme dans le cas du « Revalpha »[®] de Nitto. Dans cet exemple, l'ensemble est chauffé à une température comprise entre 120°C et 250°C en fonction de l'élément sacrificiel 2 utilisé, ce qui n'endommage pas le système S.

20

En référence à la figure 1G, il est représenté une étape de découpe de manière à séparer les systèmes électroniques S afin de pouvoir les utiliser de manière individuelle.

25

On obtient avantageusement un système S se présentant sous la forme d'un boîtier du type QFN comportant des ports de connexion 50 plats.

En référence à la figure 3, on obtient ainsi un système électronique S qui peut être solidarisé à un circuit imprimé 9 par différentes techniques, en particulier, par soudure des ports de connexion 50 du système électronique S aux ports de connexion 90 du circuit imprimé 9. La solidarisation peut être réalisée avec de l'étain, des alliages ou des colles conductrices ou isolantes.

30

En référence aux figures 4 et 5, lorsque les applications nécessitent un nombre important d'entrées-sorties, le système S peut intégrer plusieurs ports de connexion 50 arrangés sur sa périphérie. Les interconnexions permettent de former une couche de redistribution optimale, d'une part, entre les connecteurs 30 et, d'autre part, entre les connecteurs 30 et les ports de connexion 50. De manière avantageuse, il est à noter que le nombre de rangées de ports de connexion 50 n'est pas limité par comparaison à un boîtier QFN classique.

Plusieurs autres formes de réalisation d'un système électronique S selon l'invention sont représentées en référence aux figures 6 à 14. Par souci de clarté et de concision, les éléments identiques ou analogues entre les autres formes de réalisation sont référencés avec la même référence numérique, seules les différences entre les formes de réalisation sont présentées en détails.

En référence à la figure 6, afin de permettre une solidarisation par retournement, le système S peut comprendre des billes conductrices 150 solidarisées aux ports de connexion 50 du système S pour se connecter à un circuit imprimé 9. De telles billes conductrices 150 sont connues de l'homme du métier sous leur désignation anglaise « micro-bump » et ne seront pas présentées en détails.

En référence à la figure 7, afin d'améliorer la dissipation thermique, une couche métallique 91 peut être appliquée sur la surface arrière 3B des composants électroniques 3. Cette couche métallique 91 peut être appliquée avant le report des composants électroniques 3 sur l'élément sacrificiel 2 ou après l'étape d'encapsulation.

En référence à la figure 8, en fonction des besoins, une deuxième couche de passivation 4' peut être appliquée après la réalisation des interconnexions 5 et avant l'étape d'encapsulation. En référence à la figure 9, en fonction de la complexité, les étapes de dépôt des couches de passivation 4, 4' et de dépôt des interconnexions tridimensionnelles 5, 5' peuvent être répétées pour répondre au besoin d'intégration de systèmes S à haute densité. Autrement dit, on forme des couches de redistribution superposées pour permettre des liaisons complexes entre un grand nombre de connecteurs 30 et un grand nombre de ports de connexion 50. Cela est particulièrement avantageux pour router un nombre très grand d'entrées/sorties, pour intégrer

séparément les niveaux d'alimentations ou pour intégrer un bouclier protégeant le circuit des interférences électromagnétiques et électrostatiques, etc. En répétant les étapes de passivation et de réalisation d'interconnexions 5, il devient possible de réaliser un système S comportant plusieurs couches de métal ou un système comportant des composants électroniques 3 de même taille qui sont empilés verticalement.

En référence à la figure 10, lorsqu'un des composants électroniques 3 possède une fonction de capteur, une ouverture 60 est réalisée dans le système S afin que la face avant 3A du composant électronique 3, ayant une fonction de capteur, soit découverte. Cette ouverture 60 peut être créée pendant l'étape d'encapsulation, en particulier par « transfer molding » ou après encapsulation en gravant localement la couche d'encapsulation ou à l'aide d'autres techniques connues de l'homme du métier.

En référence aux figures 11 à 12, le système électronique S comporte un organe électronique additionnel X1, par exemple un composant du type « Composé Monté en Surface », qui peut être positionné dans le système S après la réalisation des interconnexions tridimensionnelles 5 (Figure 11) ou avant la réalisation des interconnexions tridimensionnelles 5 (Figure 12). L'organe électronique additionnel X1 est ainsi disposé à côté de l'empilement des composants électroniques 3. Les pertes sont alors réduites. Lorsque l'organe électronique additionnel X1 est solidarisé avant la réalisation des interconnexions tridimensionnelles 5, ce sont les interconnexions tridimensionnelles 5 qui permettent de réaliser la connexion, ce qui limite le nombre d'étapes de fabrication du système S.

En référence à la figure 13, en lieu et place d'un organe électronique additionnel X1 monté à côté du ou des composants électroniques 3, le système électronique S comporte un ou plusieurs composants passifs tridimensionnels X2 qui sont, de préférence, réalisés simultanément aux interconnexions tridimensionnelles 5. Les pertes sont alors réduites et la fabrication rapide et aisée.

Selon un aspect de l'invention non représenté, le composant électronique comporte des plots conducteurs d'élévation rapportés sur les connecteurs 30 dudit composant électronique 3. De tels plots d'élévation permettent de décaler verticalement les connecteurs 30 par rapport à la surface avant 3A du composant électronique 3.

Autrement dit, les plots conducteurs s'étendent en saillie verticale de la surface avant 3A du composant électronique 3. De tels plots d'élévation permettent d'améliorer la compatibilité avec les interconnexions 5 ou de décaler la position des connecteurs 30 afin de limiter le risque d'interférence entre les interconnexions tridimensionnelles 5 et le composant électronique 3. De manière préférée, les plots d'élévation rapportés sont formés préalablement à l'étape de réalisation d'interconnexion tridimensionnelle. De manière avantageuse, les plots d'élévation permettent de rendre compatible les interconnexions tridimensionnelles 5 avec les connecteurs 30 du composant électronique 3 en formant une interface métallique compatible.

10

En référence aux figures 14 à 15, il est représenté plusieurs formes de réalisation de systèmes S comportant une couche de redistribution supérieure 5'' créée sur un ou plusieurs composants électroniques 3 du système S de manière à permettre le montage de composants électroniques additionnels sur la face supérieure du système S. De manière préférée, en référence aux figures 14 et 15, la couche de redistribution supérieure 5'' est plane et est réalisée au cours de la même étape de réalisation que la pluralité d'interconnexions tridimensionnelles 5 telle que présentée précédemment.

15

En référence à la figure 14, le système S comporte une couche de redistribution supérieure 5'' créée au-dessus des composants électroniques 3 pour permettre le positionnement de billes conductrices 150''. De telles billes conductrices 150'' permettent une connexion à d'autres composants électroniques ou à un circuit intégré. Grâce à la couche de redistribution supérieure 5'', les billes conductrices 150'' peuvent être placées aux endroits désirés sur la surface supérieure du système S.

20

25

En référence à la figure 15, le système S comporte une couche de redistribution supérieure 5'' créée au-dessus des composants électroniques 3 sur laquelle sont montés un premier composant électronique X3 par l'intermédiaire de billes conductrices 150'' et un deuxième composant électronique X4 par l'intermédiaire de fils micro soudés. Ainsi, une intégration verticale mixte peut être réalisée, ce qui offre une grande flexibilité de conception. Il va de soi que les composants électroniques additionnels peuvent être protégés par une couche d'encapsulation, ce qui offre une protection mécanique et chimique desdits composants additionnels. Cette encapsulation peut être réalisée en

30

même temps que le dépôt de la couche d'encapsulation 6 du système S ou de manière séparée après encapsulation dudit système S.

En référence à la figure 16, il peut être réalisé un système S comportant une pluralité de sous-systèmes SS1, SS2 séparés par une ou plusieurs couches de redistribution d'élévation 5'''. De manière analogue aux figures 14 et 15, la couche de redistribution d'élévation 5''' est créée entre un sous-système inférieur SS1 comprenant un ou plusieurs composants électroniques 3 et un sous-système supérieur SS2 comprenant un ou plusieurs composants électroniques 3. De manière avantageuse, la couche de redistribution d'élévation 5''' permet de former un système électronique S comportant un empilement de sous-systèmes SS1, SS2 comportant chacun un empilement de composants électroniques 3 tel que présenté précédemment. De manière avantageuse, la couche de redistribution d'élévation 5''' remplit la fonction de l'élément sacrificiel 2 lorsque l'on souhaite former un sous-système supérieur SS2 sur un sous-système inférieur SS1. Autrement dit, on forme le sous-système inférieur SS1 comme enseigné précédemment en référence à la figure 1 puis on forme la couche de redistribution d'élévation 5''' et on forme le sous-système supérieur SS2 en utilisant la couche de redistribution d'élévation 5''' en lieu et place de l'élément sacrificiel 2. On forme ainsi un système électronique S en élévation appelé « Build-up ». La couche de redistribution d'élévation 5''' peut être réalisée en une ou plusieurs étapes. Dans cet exemple, elle est réalisée en une première étape de réalisation d'interconnexion tridimensionnelles et une deuxième étape de réalisation d'une couche de redistribution planaire. De préférence, la couche de redistribution d'élévation 5''' est plus grande que la surface du composant électronique 3 le plus haut de du sous-système inférieur SS1 de manière à coopérer de manière optimale avec le composant électronique le plus bas du sous-système supérieur SS2. La couche de redistribution d'élévation 5''' permet avantageusement de former la liaison entre les strates. De manière préférée et selon le besoin du système, une couche de passivation est déposée en dessous et/ou au-dessus de la couche de redistribution d'élévation 5'''. Des ouvertures sont réalisées dans cette couche pour assurer les liaisons électriques entre les interconnexions tridimensionnelles 5 et la couche de redistribution d'élévation 5'''.

Grâce à l'invention, on peut réaliser des systèmes électroniques S permettant une intégration hétérogène et tridimensionnelle. Ce type d'intégration permet une forte

miniaturisation ainsi qu'une amélioration des performances des systèmes S sans utiliser des technologies complexes telles que celle des vias traversants.

- 5 De manière avantageuse, la méthode de fabrication ne nécessite qu'un faible nombre d'étapes technologiques permettant de réaliser plusieurs systèmes électroniques S simultanément, ce qui réduit le temps et le coût de fabrication.

- 10 Ce procédé permet une grande flexibilité de conception. Par ailleurs, la topologie peut être optimisée pour améliorer les performances électriques et thermiques et pour répondre aux besoins d'applications ayant un grand nombre d'entrées/sorties et/ou intégrant des capteurs. L'intégration tridimensionnelle, par utilisation d'une même couche de métallisation ou en intégrant plusieurs couches de métal, permet d'obtenir une miniaturisation optimale sans dégrader les fonctions.

- 15 Les différents exemples de réalisation ont été décrits pour des composants électroniques se présentant sous la forme de puces électroniques. Néanmoins, il est rappelé que d'autres types de composants électroniques pourraient convenir.

REVENDEICATIONS

1. Système électronique (S) comprenant une surface avant (SA) comprenant des ports de connexion (50), le système électronique comprenant :
 - 5 – au moins un composant électronique (3), chaque composant électronique (3) comportant une surface avant (3A) comportant une pluralité de connecteurs (30) et une surface arrière (3B) opposée à la surface avant (3A), la surface arrière (3B) du composant électronique (3) appartenant à la surface avant (SA) du système électronique,
 - 10 – une pluralité d'interconnexions tridimensionnelles formant une couche de redistribution reliant les connecteurs (30) du composant électronique (3) aux ports de connexion (50) du système (S), les ports de connexion (50) et les pluralités d'interconnexions tridimensionnelles étant réalisée au cours d'une même étape technique dans un même matériau métallique, et
 - 15 – une couche d'encapsulation.

2. Système électronique (S) selon la revendication 1, comprenant une pluralité de composants électroniques (3) assemblés verticalement pour former un empilement.

- 20 3. Système électronique (S) selon la revendication 2, dans lequel les composants électroniques (3) possèdent la même orientation dans l'empilement.

4. Système électronique (S) selon l'une des revendications 2 à 3, dans lequel le système électronique (S) comporte
 - 25 – un premier empilement de composants électroniques (3) formant un sous-système inférieur (SS1) dont la surface arrière (3B) d'un composant électronique (3) appartient à la surface avant (SA) du sous-système inférieure (SS1),
 - un deuxième empilement de composants électroniques (3) formant un sous-système supérieur (SS2) et
 - 30 – une couche de redistribution d'élévation (5''') formée entre le sous-système inférieur (SS1) et le sous-système supérieur (SS2) de manière à les connecter.

5. Système électronique (S) selon la revendication 4, dans lequel le système électronique (S) comporte une pluralité de sous-systèmes supérieurs (SS2), deux sous-systèmes supérieurs adjacents (SS2) étant connectés par une couche de redistribution d'élévation (5''').

5

6. Système électronique (S) selon l'une des revendications 1 à 5, dans lequel le composant électronique (3) comporte des plots conducteurs d'élévation rapportés sur les connecteurs (30) dudit composant électronique (3)

- 10 7. Système électronique (S) selon la revendication 6, dans lequel les plots conducteurs s'étendent en saillie verticale de la surface avant (3A) du composant électronique (3).

8. Procédé de fabrication d'un système électronique (S) comprenant :

- 15 – une étape d'application d'un élément sacrificiel (2) sur une pièce de support (1),
- une étape de dépôt d'au moins un composant électronique (3) sur l'élément sacrificiel (2) de manière adhésive, chaque composant électronique (3) comportant une surface avant (3A) comportant une pluralité de
- 20 connecteurs (30) et une surface arrière (3B) opposée à la surface avant (3A), la surface arrière (3B) du composant électronique (3) étant positionnée sur l'élément sacrificiel (2),
- une étape de réalisation d'une pluralité d'interconnexions tridimensionnelles (5) réalisées par dépôt métallique de manière, d'une part, à combler des
- 25 zones découvertes de l'élément sacrificiel (2) pour former les ports de connexion (50) du système (S) et, d'autre part, à former une couche de redistribution reliant les connecteurs (30) du composant électronique (3) aux ports de connexion (50) du système (S),
- une étape d'encapsulation, et
- 30 – une étape de séparation du système (S) de l'élément sacrificiel (2).

9. Procédé selon la revendication 8, dans lequel l'élément sacrificiel (2) se présente sous la forme d'un film adhésif, en particulier, à double face.

10. Procédé selon l'une des revendications 8 et 9, dans lequel l'élément sacrificiel (2) est configuré pour perdre ses caractéristiques d'adhérence à partir d'une température prédéterminée.
- 5 11. Procédé selon l'une des revendications 8 à 10, dans lequel l'élément sacrificiel (2) est configuré pour perdre ses caractéristiques d'adhérence suite à une illumination.
12. Procédé selon l'une des revendications 8 à 11, comprenant une étape de réalisation d'une ouverture (60) dans le système (S) de manière à découvrir la face avant (3A) d'au moins un composant électronique (3) ayant une fonction de capteur.
- 10 13. Procédé selon l'une des revendications 8 à 12, comprenant au moins deux étapes de dépôt d'une couche de passivation (4, 4').
- 15 14. Procédé selon l'une des revendications 8 à 13, comprenant au moins deux étapes de réalisation d'une pluralité d'interconnexions tridimensionnelles (5, 5').
- 20 15. Procédé selon l'une des revendications 8 à 14, comprenant une étape de formation d'un composant passif tridimensionnel (X2) lors de l'étape de réalisation d'une pluralité d'interconnexions tridimensionnelles (5).
- 25 16. Procédé selon l'une des revendications 7 à 15, comprenant une étape de dépôt d'une couche métallique (91) sur la surface arrière (3B) d'au moins un composant électronique (3).
- 30 17. Procédé selon l'une des revendications 8 à 16, comprenant une étape de dépôt d'au moins deux composants électroniques (3) superposés sur l'élément sacrificiel (2) et une étape de connexion des connecteurs (30) desdits composants électroniques (3) lors de l'étape de réalisation d'une pluralité d'interconnexions tridimensionnelles (5).



FIGURE 1A

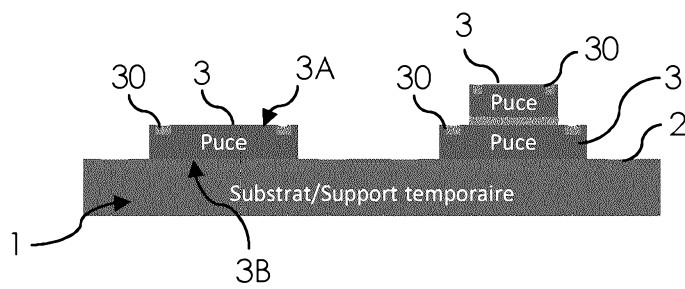


FIGURE 1B

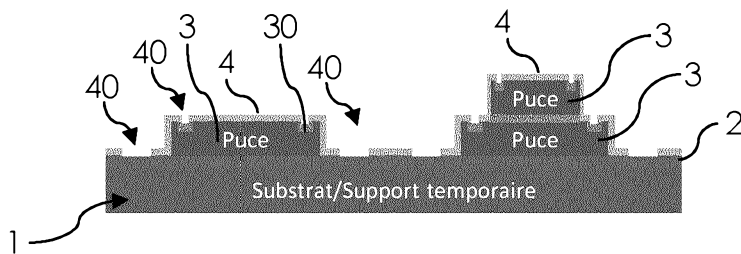


FIGURE 1C

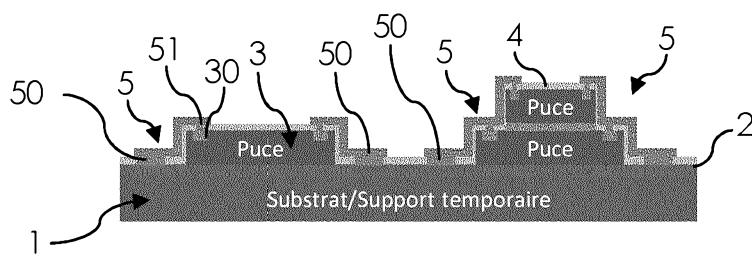


FIGURE 1D

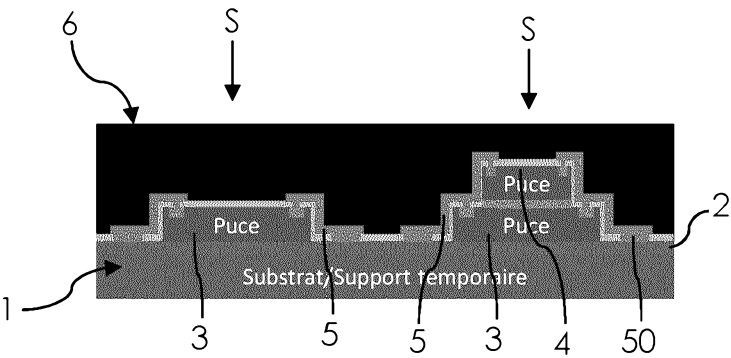


FIGURE 1E

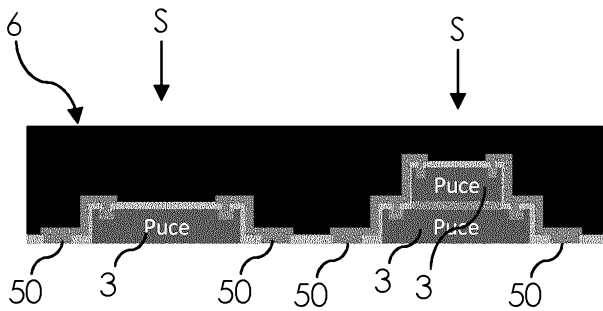


FIGURE 1F

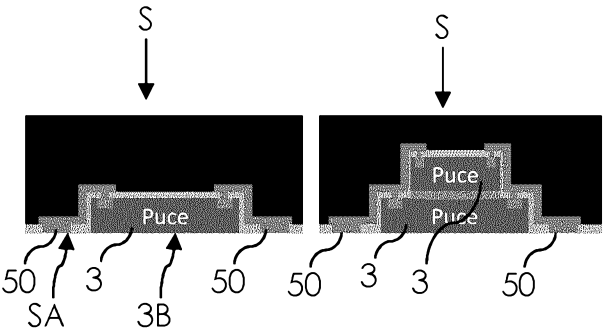


FIGURE 1G

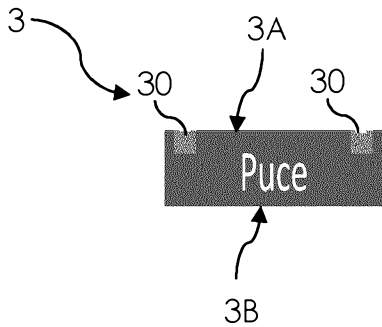


FIGURE 2

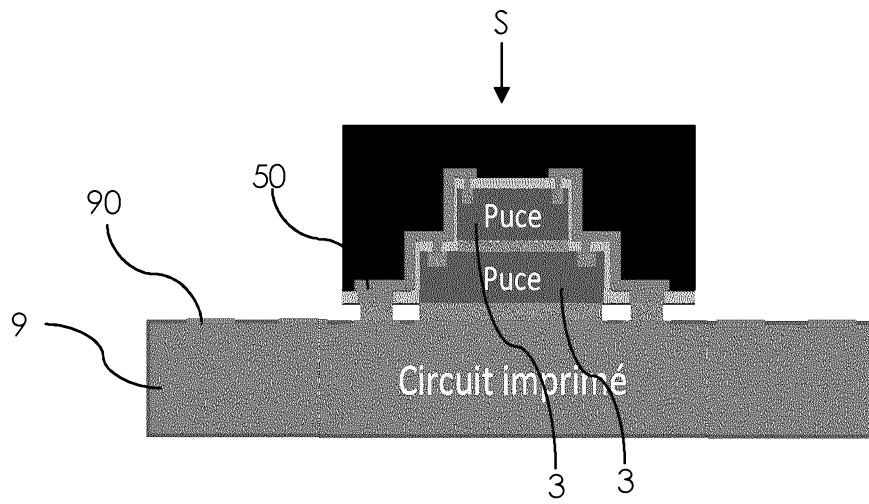


FIGURE 3

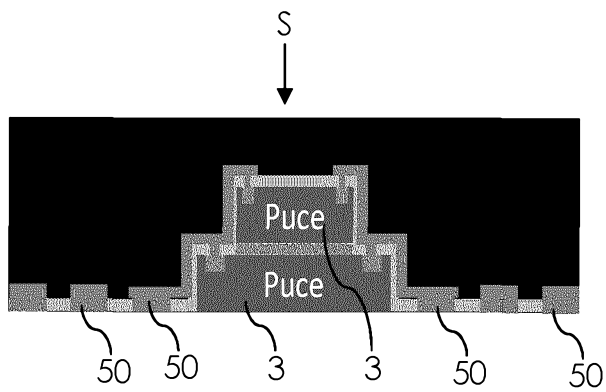


FIGURE 4

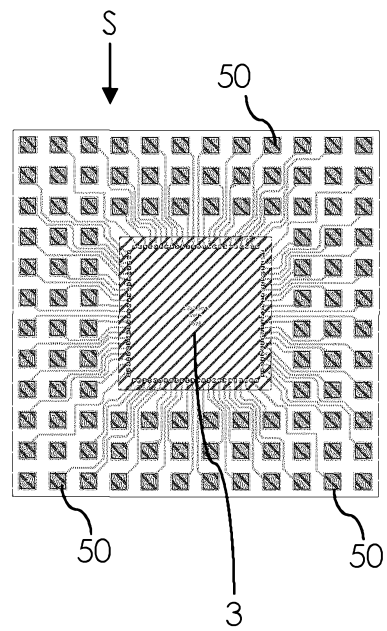


FIGURE 5

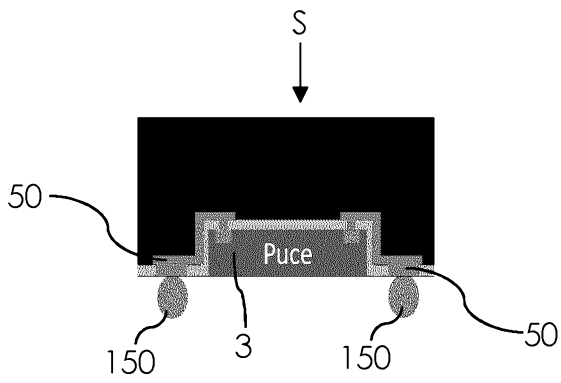


FIGURE 6

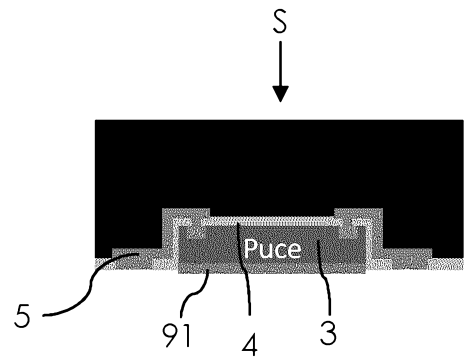


FIGURE 7

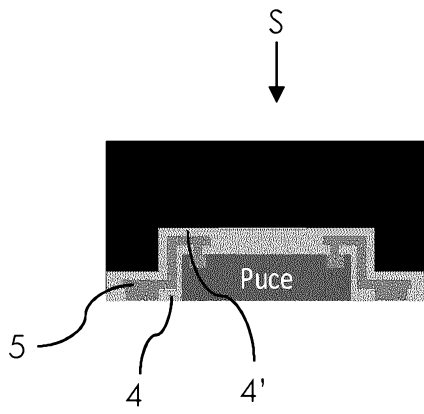


FIGURE 8

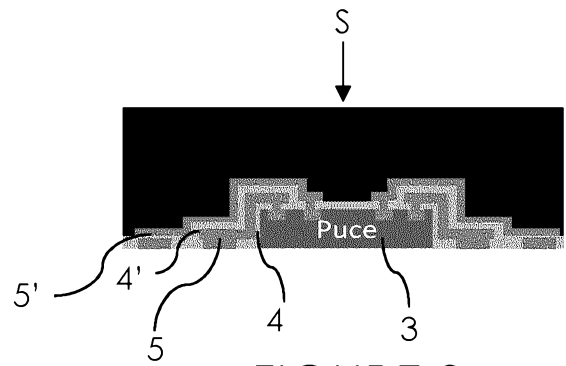


FIGURE 9

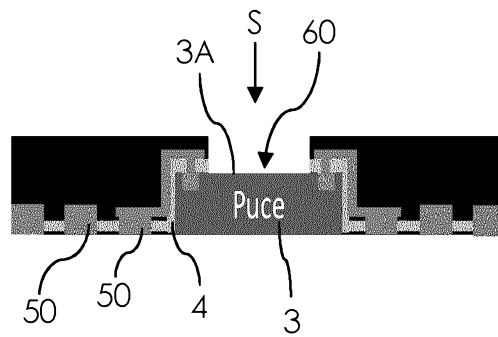


FIGURE 10

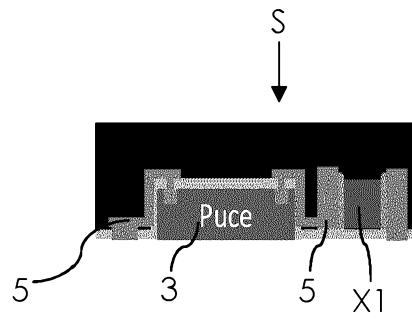


FIGURE 11

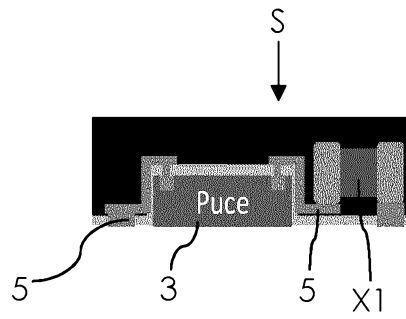


FIGURE 12

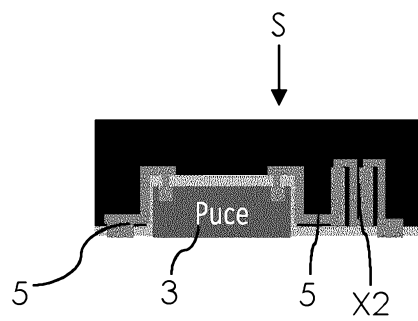


FIGURE 13

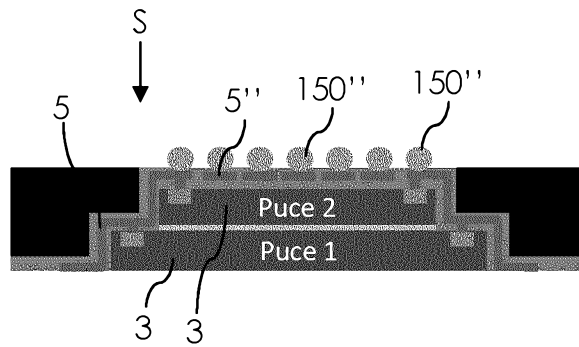


FIGURE 14

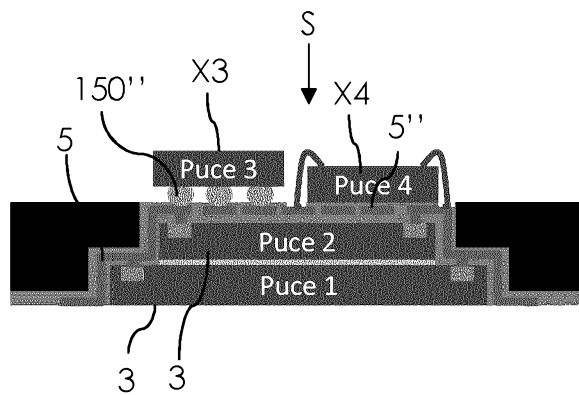


FIGURE 15

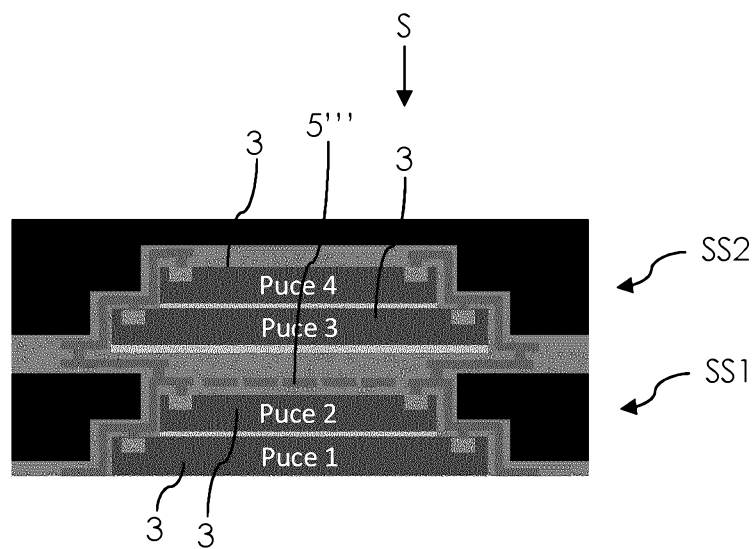


FIGURE 16

RAPPORT DE RECHERCHE PRÉLIMINAIRE PARTIEL

établi sur la base des dernières revendications
déposées avant le commencement de la recherche

voir FEUILLE(S) SUPPLÉMENTAIRE(S)

N° d'enregistrement
national

FA 844772
FR 1757587

DOCUMENTS CONSIDÉRÉS COMME PERTINENTS		Revendications concernées	Classement attribué à l'invention par l'INPI
Catégorie	Citation du document avec indication, en cas de besoin, des parties pertinentes		
X	US 6 774 499 B1 (YANG KE-CHUAN [TW]) 10 août 2004 (2004-08-10)	1-3	H01L23/52 H01L23/34
Y	* colonne 2, ligne 40 - colonne 4, ligne 40; revendications 1,2; figures 1D-1G, 2A-2C, 3 *	4,5	
Y	----- OSTMANN A ET AL: "Stackable packages with integrated components", ELECTRONICS PACKAGING TECHNOLOGY, 2003 5TH CONFERENCE (EPTC 2003) DEC. 10-12, 2003, PISCATAWAY, NJ, USA, IEEE, 10 décembre 2003 (2003-12-10), pages 19-23, XP010687492, DOI: 10.1109/EPTC.2003.1271483 ISBN: 978-0-7803-8205-3	4,5	
A	* voir les passages " 1.Introduction" et "5. Stackable Packages"; figures 7,8,9 *	1	
A	----- JUNG E ET AL: "Chip-in-polymer: volumetric packaging solution using PCB technology", 27TH. IEEE/CPMT/SEMI INTERNATIONAL ELECTRONICS MANUFACTURING TECHNOLOGY SYMPOSIUM. (IEMT). SAN JOSE, CA, JULY 17 - 18, 2002; [IEEE/CPMT INTERNATIONAL ELECTRONICS MANUFACTURING TECHNOLOGY (IEMT) SYMPOSIUM], NEW YORK, NY : IEEE, US, 17 juillet 2002 (2002-07-17), pages 46-49, XP010603390, DOI: 10.1109/IEMT.2002.1032721 ISBN: 978-0-7803-7301-3 * voir le passage "Future steps"; figure 9 *	1,4,5	DOMAINES TECHNIQUES RECHERCHÉS (IPC) H01L
Date d'achèvement de la recherche		Examineur	
16 avril 2018		Ahlstedt, Mattias	
CATÉGORIE DES DOCUMENTS CITES X : particulièrement pertinent à lui seul Y : particulièrement pertinent en combinaison avec un autre document de la même catégorie A : arrière-plan technologique O : divulgation non-écrite P : document intercalaire T : théorie ou principe à la base de l'invention E : document de brevet bénéficiant d'une date antérieure à la date de dépôt et qui n'a été publié qu'à cette date de dépôt ou qu'à une date postérieure. D : cité dans la demande L : cité pour d'autres raisons & : membre de la même famille, document correspondant			

ABSENCE D'UNITÉ D'INVENTION
FEUILLE SUPPLÉMENTAIRE B

Numéro de la demande

FA 844772
FR 1757587

La division de la recherche estime que la présente demande de brevet ne satisfait pas à l'exigence relative à l'unité d'invention et concerne plusieurs inventions ou pluralités d'inventions, à savoir :

1. revendications: 1-5

où le système électronique (S) comporte
- un premier empilement de composants électroniques formant un sous-système inférieur (SS1) dont la surface arrière d'un composant électronique appartient à la surface avant (SA) du sous-système inférieure (SS1),
- un deuxième empilement de composants électroniques formant un sous-système supérieur (SS2) et
- une couche de redistribution d'élévation formée entre le sous-système inférieur (SS1) et le sous-système supérieur (SS2) de manière à les connecter.

2. revendications: 6, 7

où le composant électronique comporte des plots conducteurs d'élévation rapportés sur les connecteurs dudit composant électronique

3. revendications: 8-17

où lequel l'élément sacrificiel est placé sur "une pièce de support, [...] et l'élément sacrificiel de manière adhésive".

La première invention a été recherchée.

1 Il est fait référence au document suivant :

D1: US 6 774 499 B1 (YANG KE-CHUAN [TW]) 10 août 2004 (2004-08-10)

2 On considère qu'il existe 3 inventions couvertes par les revendications.

2.1 Les raisons pour lesquelles les inventions ne sont pas liées entre elles de telle sorte qu'elles ne forment qu'un seul concept inventif général sont les suivantes:

L'objet commun qui lie entre elles les revendications indépendantes 1 et 8 est connue de D1.

2.2 D1 (voir figures 2A-2C et 3, colonne 2: ligne 40-colonne 4: ligne 40, revendications 1 et 2) divulgue un système électronique comprenant
- au moins un composant électronique (230), chaque composant électronique (230) comportant une surface avant comportant une pluralité de connecteurs (231), et une surface arrière opposée à la surface avant - une pluralité d'interconnexions tridimensionnelles (250) formant une couche de redistribution reliant les connecteurs (231) du composant électronique (230) aux ports de connexion (251) du système, et couche/étape d'encapsulation (260).

2.3 Cet objet commun des revendications 1 et 8 ne peut servir comme un seul concept inventif général.

2.4 D1 divulgue aussi L'objet de la revendication 1:

ABSENCE D'UNITÉ D'INVENTION
FEUILLE SUPPLÉMENTAIRE B

Numéro de la demande

FA 844772
FR 1757587

La division de la recherche estime que la présente demande de brevet ne satisfait pas à l'exigence relative à l'unité d'invention et concerne plusieurs inventions ou pluralités d'inventions, à savoir :

2.4.1 D1 (voir figures 1D-1G, 2A-2C et 3, colonne 2: ligne 40-colonne 4: ligne 40, revendications 1 et 2) divulgue un système électronique comprenant une surface avant comprenant des ports de connexion (251), le système électronique comprenant :

- au moins un composant électronique (230), chaque composant électronique (230) comportant une surface avant comportant une pluralité de connecteurs (231) et une surface arrière opposée à la surface avant, la surface arrière du composant électronique appartenant à la surface avant du système électronique,
- une pluralité d'interconnexions tridimensionnelles (250) formant une couche de redistribution reliant les connecteurs (231) du composant électronique (230) aux ports de connexion (212) du système, les ports de connexion (212) et les pluralités d'interconnexions tridimensionnelles (250) étant réalisées au cours d'une même étape technique dans un même matériau métallique, et
- une couche d'encapsulation (260).

2.4.2 L'objet de la revendication 1 ne peut pas servir comme un seul concept inventif général pour les revendications dépendantes 2-7 parce que'il est connu de D1.

2.5 D1 (voir figures 1D-1G, 2A-2C et 3, colonne 2: ligne 40-colonne 4: ligne 40, revendications 1 et 2) divulgue aussi l'objet de la revendication 8, un procédé de fabrication d'un système électronique (S) comprenant :

- une étape d'application d'un élément sacrificiel (211),
- une étape de dépôt d'au moins un composant électronique (230),

chaque composant électronique (230) comportant une surface avant comportant une pluralité de connecteurs (231) et une surface arrière opposée à la surface avant, la surface arrière du composant électronique étant positionnée sur l'élément sacrificiel (211),

- une étape de réalisation d'une pluralité d'interconnexions tridimensionnelles (250) réalisées par dépôt métallique de manière, d'une part, à combler des zones découvertes de l'élément sacrificiel (211) pour former les ports de connexion (212) du système et, d'autre part, à former une couche de redistribution reliant les connecteurs (231) du composant électronique (230) aux ports de connexion du système,
- une étape d'encapsulation (260), et
- une étape de séparation du système de l'élément sacrificiel (voir figure 2C).

2.5.1 D1 ne divulgue pas une étape d'application d'un élément sacrificiel (211) sur une pièce de support, [...] et l'élément sacrificiel de manière adhésive. Cet objet commun des revendications dépendantes 8-17 comprend un seul concept inventif général, basé sur des éléments techniques particuliers communs ou correspondant.

2.6 D1 (voir figure 3, colonne 4: lignes 26-40) divulgue aussi l'objet de:

- revendications 2 et 3, une pluralité de composants électroniques (330, 430) assemblés verticalement pour former un empilement, où les composants électroniques possèdent la même orientation dans l'empilement.

Ces caractéristiques techniques ne peuvent donc pas présenter de caractéristiques techniques particulières et seront traitées avec l'objet du groupe d'invention I

ABSENCE D'UNITÉ D'INVENTION
FEUILLE SUPPLÉMENTAIRE B

Numéro de la demande

FA 844772
FR 1757587

La division de la recherche estime que la présente demande de brevet ne satisfait pas à l'exigence relative à l'unité d'invention et concerne plusieurs inventions ou pluralités d'inventions, à savoir :

2.7 Par conséquent, les inventions ou pluralités d'inventions distinctes suivantes ne sont pas liées entre elles de telle sorte qu'elles ne forment qu'un seul concept inventif général :

2.7.1 Groupe I: L'objet des revendications 4 et 5 où le système électronique (S) comporte

- un premier empilement de composants électroniques formant un sous-système inférieur (SS1) dont la surface arrière d'un composant électronique appartient à la surface avant (SA) du sous-système inférieure (SS1),
- un deuxième empilement de composants électroniques formant un sous-système supérieur (SS2) et
- une couche de redistribution d'élévation formée entre le sous-système inférieur (SS1) et le sous-système supérieur (SS2) de manière à les connecter.

2.7.1.1 Ces éléments techniques particuliers résolvent le problème technique objectif de obtenir un système électronique global ayant de nombreuses fonctionnalités (voir la demande page 4: lignes 27-29).

2.7.2 Groupe II: L'objet des revendications 6 et 7 où le composant électronique comporte des plots conducteurs d'élévation rapportés sur les connecteurs dudit composant électronique.

2.7.2.1 Ces éléments techniques particuliers résolvent le problème technique objectif de permettent d'améliorer la compatibilité avec les interconnexions ou de décaler la position des connecteurs afin de limiter le risque d'interférence entre les interconnexions tridimensionnelles et le composant électronique (voir la demande page 17: ligne 33- page 18: ligne 5).

2.7.3 Groupe III: L'objet des revendications 8-17 où le quel l'élément sacrificiel est place sur "une pièce de support, [...] et l'élément sacrificiel de manière adhésive".

2.7.3.1 Ces éléments techniques particuliers résolvent le problème technique objectif de fournir un élément sacrificiel qui est simple à manipuler pour un opérateur et qui permet de solidariser le support et les composants électroniques de manière temporaire lors de la réalisation du système (voir la demande page 6: lignes 6-8).

3 De même, lorsqu'on examine les éventuels effets techniques correspondants, il apparaît qu'il n'existe pas d'effet technique correspondant entre les différents groupes I à III. Par conséquent, ni le problème objectif qui sous-tend les objets des inventions revendiquées, ni leurs solutions définies par les caractéristiques techniques particulières ne permettent d'établir un lien entre lesdites inventions qui impliquerait un seul concept inventif général.

4 La présente demande ne satisfait donc pas aux exigences d'unité de l'invention.

5 En conclusion, les groupes d'inventions ne sont pas liés entre eux par des caractéristiques techniques particulières communes ou correspondantes et ils définissent 3 inventions différentes qui ne sont pas liées par un seul concept inventif général.

ANNEXE AU RAPPORT DE RECHERCHE PRÉLIMINAIRE **RELATIF A LA DEMANDE DE BREVET FRANÇAIS NO. FR 1757587 FA 844772**

La présente annexe indique les membres de la famille de brevets relatifs aux documents brevets cités dans le rapport de recherche préliminaire visé ci-dessus.

Les dits membres sont contenus au fichier informatique de l'Office européen des brevets à la date du **16-04-2018**

Les renseignements fournis sont donnés à titre indicatif et n'engagent pas la responsabilité de l'Office européen des brevets, ni de l'Administration française

Document brevet cité au rapport de recherche	Date de publication	Membre(s) de la famille de brevet(s)	Date de publication
US 6774499 B1	10-08-2004	TW 1233172 B	21-05-2005
		US 6774499 B1	10-08-2004
