

(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl. ⁷ G09G 3/28	(45) 공고일자 (11) 등록번호 (24) 등록일자	2005년07월21일 10-0502928 2005년07월13일
---	-------------------------------------	--

(21) 출원번호 (22) 출원일자	10-2003-0054051 2003년08월05일	(65) 공개번호 (43) 공개일자	10-2005-0015289 2005년02월21일
------------------------	--------------------------------	------------------------	--------------------------------

(73) 특허권자 삼성에스디아이 주식회사
 경기 수원시 영통구 신동 575

(72) 발명자 정우준
 충청남도아산시탕정면호산1리삼성SDI기숙사홍익아파트106동204호

 김진성
 충청남도천안시신방동한라아파트106동2310호

 채승훈
 경기도수원시팔달구영통동청명마을4단지아파트408동601호

 강경호
 경기도수원시팔달구영통동963-2신나무실신성아파트521동1002호

(74) 대리인 유미특허법인

심사관 : 이만근

(54) 플라즈마 디스플레이 패널의 구동 방법 및 플라즈마 표시장치

요약

플라즈마 디스플레이 패널의 구동 방법에 있어서, 리셋 기간에서 상승 램프 전압을 주사 전극에 인가하지 않는다. 그리고 리셋 기간에서 하강 램프 전압의 최종 전압을 모든 방전 셀에서 방전을 개시할 수 있는 전압까지 내린다. 다음, 어드레스 기간에서 선택하고자 하는 방전 셀의 어드레스 전극과 주사 전극에 인가되는 전압의 차이를 최대 방전 개시 전압보다 크게 한다. 이와 같이 하면, 어드레스 방전에서 내부 벽 전압에 의한 영향이 없으므로 벽 전압 소멸에 의한 마진 악화를 방지할 수 있다.

대표도

도 4

색인어

PDP, 방전, 리셋, 어드레스, 셀, 벽 전하, 벽 전압, 방전 개시 전압

명세서

도면의 간단한 설명

- 도 1은 일반적인 플라즈마 디스플레이 패널의 개략적인 일부 사시도이다.
- 도 2는 일반적인 플라즈마 디스플레이 패널의 전극 배열도이다.
- 도 3은 종래 기술에 따른 플라즈마 디스플레이 패널의 구동 파형도이다.

도 4, 도 6 및 도 7은 각각 본 발명의 제1 내지 제3 실시예에 따른 플라즈마 디스플레이 패널의 구동 파형도이다.

도 5는 방전 셀에 하강 램프 전압이 인가되는 경우의 하강 램프 전압과 벽 전압 사이의 관계를 나타내는 도면이다.

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 플라즈마 디스플레이 패널(plasma display panel, PDP)의 구동 방법에 관한 것이다.

플라즈마 디스플레이 패널은 기체 방전에 의해 생성된 플라즈마를 이용하여 문자 또는 영상을 표시하는 평면 표시 장치로서, 그 크기에 따라 수십에서 수백 만개 이상의 화소가 매트릭스 형태로 배열되어 있다. 먼저 도 1 및 도 2를 참조하여 일반적인 플라즈마 디스플레이 패널의 구조에 대하여 설명한다.

도 1은 플라즈마 디스플레이 패널의 일부 사시도이며, 도 2는 플라즈마 디스플레이 패널의 전극 배열도를 나타낸다.

도 1에 나타난 바와 같이, 플라즈마 디스플레이 패널은 서로 마주보며 떨어져 있는 두 개의 유리 기판(1, 6)을 포함한다. 유리 기판(1) 위에는 주사 전극(4)과 유지 전극(5)이 쌍을 이루어 평행하게 형성되어 있으며, 주사 전극(4)과 유지 전극(5)은 유전체층(2) 및 보호막(3)으로 덮여 있다. 유리 기판(6) 위에는 복수의 어드레스 전극(8)이 형성되어 있으며, 어드레스 전극(8)은 절연체층(7)으로 덮여 있다. 어드레스 전극(8) 사이에 있는 절연체층(7) 위에는 어드레스 전극(8)과 격벽(9)이 형성되어 있다. 또한 절연체층(7)의 표면 및 격벽(9)의 양측면에 형광체(10)가 형성되어 있다. 유리 기판(1, 6)은 주사 전극(4)과 어드레스 전극(8) 및 유지 전극(5)과 어드레스 전극(8)이 직교하도록 방전 공간(11)을 사이에 두고 대향하여 배치되어 있다. 어드레스 전극(8)과, 쌍을 이루는 주사 전극(4)과 유지 전극(5)과의 교차부에 있는 방전 공간(11)이 방전 셀(12)을 형성한다.

그리고 도 2에 나타난 바와 같이, 플라즈마 디스플레이 패널의 전극은 $n \times m$ 의 매트릭스 구조를 가지고 있다. 열 방향으로 어드레스 전극(A_1-A_m)이 배열되어 있고 행 방향으로 n 행의 주사 전극(Y_1-Y_n) 및 유지 전극(X_1-X_n)이 쌍으로 배열되어 있다.

종래의 플라즈마 디스플레이 패널을 구동하는 방법으로는 Kurata 등의 미국특허 6,294,875호에 기재된 방법이 있다. '875호의 구동 방법은 1 필드를 8개의 서브필드로 나눈 후, 제1 서브필드와 제2 내지 제8 서브필드의 리셋 기간에서 인가되는 파형을 달리하는 방법이다.

도 3에 나타난 바와 같이, 각 서브필드는 리셋 기간, 어드레스 기간 및 유지 기간으로 이루어진다. 그리고 제1 서브필드의 리셋 기간에서는 먼저 주사 전극(Y_1-Y_n)에 방전 개시 전압보다 작은 V_D 전압에서 방전 개시 전압을 넘는 V_r 전압까지 완만하게 상승하는 램프 전압을 인가한다. 이 램프 전압이 상승하는 동안 주사 전극(Y_1-Y_n)으로부터 어드레스 전극(A_1-A_m) 및 유지 전극(X_1-X_n)으로 각각 미약한 방전이 일어난다. 그리고 이 방전에 의해 주사 전극(Y_1-Y_n)에는 음의 벽 전하가 축적되고 어드레스 전극(A_1-A_m) 및 유지 전극(X_1-X_n)에는 양의 벽 전하가 축적된다. 도 1을 보면 벽 전하는 주사 전극(4)과 유지 전극(5)의 보호막(3) 표면에 형성되지만 아래에서는 설명의 편의상 주사 전극(4)과 유지 전극(5)에 형성되는 것으로 표현한다.

이어서 주사 전극(Y_1-Y_n)에 방전 개시 전압보다 낮은 V_q 전압에서 0V까지 완만하게 하강하는 램프 전압을 인가한다. 그러면 이 램프 전압이 하강하는 동안 방전 셀에 형성되어 있는 벽 전압에 의해 유지 전극(X_1-X_n) 및 어드레스 전극(A_1-A_m)에서 주사 전극(Y_1-Y_n)으로 미약한 방전이 일어난다. 그리고 이 방전에 의해 유지 전극(X_1-X_n), 주사 전극(Y_1-Y_n) 및 어드레스 전극(A_1-A_m)에 형성되어 있는 벽 전하들이 일부 소거되어 어드레스에 적절한 상태로 설정된다. 마찬가지로 도 1을 보면 벽 전하는 어드레스 전극(8)의 절연체층(7) 표면에 형성되지만 아래에서는 설명의 편의상 어드레스 전극(8)에 형성되는 것으로 표현한다.

다음, 어드레스 기간에서는 선택할 방전 셀의 어드레스 전극(A_1-A_m)에 양의 전압(V_a)이 인가되고 주사 전극(Y_1-Y_n)에 0V가 인가된다. 그러면 리셋 기간에서 형성된 벽 전하에 의한 벽 전압과 양의 전압(V_a)에 의해 어드레스 전극(A_1-A_m)과 주사 전극(Y_1-Y_n) 사이 및 유지 전극(X_1-X_n)과 주사 전극(Y_1-Y_n) 사이에서 어드레스 방전이 일어난다. 이 방전에 의해 주사 전극(Y_1-Y_n)에 양의 벽 전하가 축적되고 유지 전극(X_1-X_n)과 어드레스 전극(A_1-A_m)에 음의 벽 전하가 축적된다. 그리고 어드레스 방전에 의해 벽 전하가 축적된 방전 셀에서는 유지 기간에서 인가되는 유지 펄스에 의해 유지 방전이 일어난다.

다음, 제1 서브필드의 유지 기간에서 주사 전극(Y_1-Y_n)에 인가되는 마지막 유지 펄스의 전압 레벨은 리셋 기간의 V_r 전압과 동일하고, 유지 전극(X_1-X_n)에는 V_r 전압과 유지 전압(V_s)의 차이에 해당되는 전압(V_r-V_s)이 인가된다. 그러면 어드레스 기간에서 선택된 방전 셀에서는 어드레스 방전에 의해 형성된 벽 전압에 의해 주사 전극(Y_1-Y_n)으로부터 어드레스

전극(A_1-A_m)으로 방전이 일어나고, 또한 주사 전극(Y_1-Y_n)으로부터 유지 전극(X_1-X_n)으로 유지 방전이 일어난다. 이 방전이 제1 서브필드의 리셋 기간에서 상승 램프 전압에 의해 발생한 방전에 해당한다. 그리고 선택되지 않은 방전 셀에서는 어드레스 방전이 없었으므로 방전이 일어나지 않는다.

이어지는 제2 서브필드의 리셋 기간에서는 유지 전극(X_1-X_n)에 V_n 전압이 인가되고 주사 전극(Y_1-Y_n)에 V_q 전압에서 0V까지 완만하게 하강하는 램프 전압이 인가된다. 즉, 제1 서브필드의 리셋 기간에서 인가된 하강 램프 전압과 동일한 전압이 주사 전극(Y_1-Y_n)에 인가된다. 그러면 제1 서브필드에서 선택된 방전 셀에서는 미약한 방전이 일어나고 선택되지 않은 방전 셀에서는 방전이 일어나지 않는다.

그리고 이어지는 나머지 서브필드의 리셋 기간에서도 제2 서브필드의 리셋 기간과 동일한 파형이 인가된다. 한편, 제8 서브필드에서는 유지 기간 이후에 소거 기간이 형성된다. 소거 기간에서는 유지 전극(X_1-X_n)에 0V에서 V_e 전압까지 완만하게 상승하는 램프 전압이 인가된다. 이 램프 전압에 의해 방전 셀에 형성되어 있는 벽 전하들이 소거된다.

이러한 종래의 구동 파형에서, 제1 서브필드의 리셋 기간에서는 상승하는 램프 전압에 의해 모든 방전 셀에서 방전이 일어나므로, 표시되지 않아야 할 방전 셀에서도 방전이 일어난다는 문제점이 있다. 이러한 방전을 명암비를 악화시키게 된다. 그리고 내부 벽 전압을 이용하는 어드레스 기간에서 어드레스는 모든 주사 전극에 대해서 순차적으로 이루어지므로, 뒤늦게 선택되는 주사 전극에서는 내부 벽 전압이 소실된다는 문제점이 있다. 이러한 벽 전압의 소실은 결국 마진을 악화시킨다.

발명이 이루고자 하는 기술적 과제

본 발명이 이루고자 하는 기술적 과제는 내부 벽 전압을 이용하지 않고 어드레스를 할 수 있는 플라즈마 디스플레이 패널의 구동 방법을 제공하는 것이다.

발명의 구성 및 작용

이러한 과제를 해결하기 위해 본 발명은 어드레스 방전에 벽 전압을 거의 이용하지 않는다.

본 발명의 한 특징에 따르면, 복수의 제1 전극 및 제2 전극, 그리고 제1 전극과 제2 전극에 교차하는 방향으로 형성되는 복수의 제3 전극을 포함하며, 인접한 제1 전극, 제2 전극 및 제3 전극에 의해 방전 셀이 형성되는 플라즈마 디스플레이 패널을 구동하는 방법이 제공된다. 이 구동 방법은, 리셋 기간에서 제3 전극에 제1 전압을 인가한 상태에서 제1 전극의 전압을 제2 전압에서 제1 전압보다 낮은 제3 전압까지 점진적으로 감소시키는 단계, 어드레스 기간에서 방전 셀 중 선택하고자 하는 방전 셀의 제1 전극 및 제3 전극에 각각 제4 전압 및 제5 전압을 인가하는 단계, 그리고 유지 기간에서 제1 전극에 하이 레벨 전압과 로우 레벨 전압을 교대로 인가하고, 제2 전극에 로우 레벨 전압과 하이 레벨 전압을 교대로 인가하여 어드레스 단계에서 선택된 방전 셀을 유지 방전시키는 단계를 포함한다. 제1 전압에서 제3 전압을 뺀 제6 전압은, 제1 전극의 하이 레벨 전압에서 제1 전극에 하이 레벨 전압이 인가될 때 제3 전극에 인가되는 전압을 뺀 전압 이상이다.

이때, 방전 개시 전압은 방전 셀에 벽 전하가 형성되어 있지 않은 상태에서 방전을 개시할 수 있는 전압이고, 리셋 기간 동안 제1 전극과 제3 전극 사이의 벽 전압이 실질적으로 제거되는 것이 바람직하다.

그리고 방전 개시 전압은 유효 표시 영역에 있는 방전 셀의 방전 개시 전압 중 가장 큰 방전 개시 전압일 수 있다. 또한 제4 전압과 제5 전압의 차이도 방전 개시 전압 이상인 것이 바람직하다.

본 발명의 다른 특징에 따른 구동 방법은, 리셋 기간에서 제1 전극의 전압에서 제3 전극의 전압을 뺀 전압을 제1 전압에서 음의 제2 전압까지 점진적으로 감소시키는 단계, 어드레스 기간에서 방전 셀 중 선택하고자 하는 방전 셀의 제1 전극 및 제3 전극에 각각 제3 전압 및 제4 전압을 인가하는 단계, 그리고 유지 기간에서, 제1 전극에서 제2 전극을 뺀 전압이 양의 제5 전압과 음의 제6 전압을 교대로 가지도록 하는 단계를 포함한다. 이때, 제5 전압과 제6 전압의 크기는 제2 전압의 크기보다 작다.

리셋 기간은 방전 셀에 벽 전하를 형성하는 단계를 포함하지 않는 것이 바람직하다. 또한 리셋 기간에서 제2 전압의 크기는 방전 개시 전압 이상인 것이 좋다. 그리고 이 방전 개시 전압은 플라즈마 디스플레이 패널의 유효 표시 영역에 있는 방전 셀의 방전 개시 전압 중 가장 큰 방전 개시 전압일 수 있다.

삭제

본 발명의 또다른 특징에 따른 구동 방법은, 어드레스 기간에서 복수의 제1 전극에 순차적으로 음의 제1 전압을 인가하고 제1 전압이 인가되는 제1 전극에 의해 형성되는 방전 셀 중 선택하고자 하는 방전 셀의 제3 전극에 제2 전압을 인가하고 나머지 제3 전극에 제3 전압을 인가하는 단계, 그리고 유지 기간에서 제1 전극에 하이 레벨 전압과 로우 레벨 전압을 교대로 인가하는 단계를 포함한다. 이때, 제3 전압에서 제1 전압을 뺀 전압은 하이 레벨 전압에서 제3 전압을 뺀 제4 전압 이상이다.

본 발명의 또다른 특징에 따르면, 복수의 제1 전극 및 제2 전극, 제1 및 제2 전극에 교차하는 방향으로 형성되는 복수의 제3 전극, 그리고 인접한 제1 전극, 제2 전극 및 제3 전극에 의해 형성되는 방전 셀을 방전시키기 위해 제1 전극, 제2 전극 및 제3 전극에 구동 전압을 공급하는 구동 회로를 포함하는 플라즈마 표시 장치가 제공된다. 구동 회로는, 리셋 기간에서

제3 전극에 기준 전압을 인가한 상태에서 제1 전극의 전압을 제1 전압에서 기준 전압보다 낮은 제2 전압까지 점진적으로 감소시킨다. 이때, 기준 전압에서 제2 전압을 뺀 전압은, 유지 기간에서 제1 전극에 인가되는 하이 레벨 전압에서 기준 전압을 뺀 전압 이상이다.

아래에서는 첨부한 도면을 참고로 하여 본 발명의 실시예에 대하여 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 상세히 설명한다. 그러나 본 발명은 여러 가지 상이한 형태로 구현될 수 있으며 여기에서 설명하는 실시예에 한정되지 않는다. 도면에서 본 발명을 명확하게 설명하기 위해서 설명과 관계없는 부분은 생략하였다. 명세서 전체를 통하여 유사한 부분에 대해서는 동일한 도면 부호를 붙였다.

먼저 도 4를 참조하여 본 발명의 제1 실시예에 따른 플라즈마 디스플레이 패널의 구동 방법에 대하여 상세하게 설명한다. 그리고 아래 설명에서 어드레스 전극(A₁-A_m), 주사 전극(Y₁-Y_n) 및 유지 전극(X₁-X_n)으로 도면 부호를 표시하는 것은 모든 어드레스 전극, 주사 전극 및 유지 전극에 동일한 전압이 인가되는 것을 나타내며, 어드레스 전극(A_i) 및 주사 전극(Y_j)으로 표시하는 것은 어드레스 전극 및 주사 전극 중에서 일부에만 해당 전압이 인가되는 것을 나타낸다.

도 4는 본 발명의 제1 실시예에 따른 플라즈마 디스플레이 패널의 구동 파형도이다.

도 4에 나타낸 바와 같이, 본 발명의 제1 실시예에 따른 구동 파형은 리셋 기간, 어드레스 기간 및 유지 기간을 포함한다. 그리고 플라즈마 디스플레이 패널에는 각 기간에서 주사 전극(Y₁-Y_n) 및 유지 전극(X₁-X_n)에 구동 전압을 인가하는 주사/유지 구동 회로(도시하지 않음)와 어드레스 전극(A₁-A_m)에 구동 전압을 인가하는 어드레스 구동 회로(도시하지 않음)가 연결된다. 이러한 구동 회로와 플라즈마 디스플레이 패널이 연결되어 하나의 플라즈마 표시 장치를 이룬다.

리셋 기간은 유지 기간에서 형성된 벽 전하를 제거하는 기간이며, 어드레스 기간은 방전 셀 중에서 표시하고자 하는 방전 셀을 선택하는 기간이다. 그리고 유지 기간은 어드레스 기간에서 선택된 방전 셀을 방전시키는 기간이다.

유지 기간에서는 어드레스 기간에서 선택된 방전 셀에서 형성된 벽 전하에 의한 벽 전압과 주사 전극과 유지 전극에 인가되는 유지 펄스로 형성되는 전압의 차이로 인해서 유지 방전이 이루어진다. 그리고 유지 기간의 마지막 유지 펄스에서는 주사 전극(Y₁-Y_n)에 V_s 전압이 인가되고 유지 전극(X₁-X_n)에 기준 전압(도 4에서는 0V라 가정함)이 인가된다. 그러면 선택된 방전 셀에서는 주사 전극(Y_j)으로부터 유지 전극(X_j)으로 방전이 일어나서 주사 전극(Y_j)과 유지 전극(X_j)에 각각 음의 벽 전하와 양의 벽 전하가 형성된다.

리셋 기간에서는 유지 기간에서 인가된 마지막 유지 펄스 이후에 주사 전극(Y₁-Y_n)에 V_q 전압에서 V_n 전압까지 완만하게 하강하는 램프 전압이 인가된다. 이때 어드레스 전극(A₁-A_m)과 유지 전극(X₁-X_n)에는 기준 전압(0V)이 인가된다. 그리고 방전 셀에서의 방전 개시 전압을 V_f 전압이라 했을 때, 하강 램프 전압의 마지막 전압(V_n)은 -V_f에 해당하는 전압이다.

일반적으로 방전 셀에서 주사 전극과 어드레스 전극 사이 또는 주사 전극과 유지 전극 사이의 전압이 방전 개시 전압 이상이 되면 주사 전극과 어드레스 전극 사이 또는 주사 전극과 유지 전극 사이에서 방전이 일어난다. 특히, 본 발명의 제1 실시예에서와 같이 완만하게 하강하는 램프 전압이 인가되어 방전이 일어나는 경우에는 방전 셀 내부의 벽 전압도 하강 램프 전압과 같은 속도로 감소하게 된다. 이러한 원리에 대해서는 미국특허공보 제5,745,086호에 상세하게 기재되어 있으므로, 이에 대한 자세한 설명은 생략한다.

아래에서는 도 5를 참조하여 -V_f 전압까지 하강하는 램프 전압이 인가되는 경우의 방전 특성에 대해서 설명한다.

도 5는 방전 셀에 하강 램프 전압이 인가되는 경우의 하강 램프 전압과 벽 전압 사이의 관계를 나타내는 도면이다. 도 5에서는 주사 전극과 어드레스 전극을 중심으로 설명하고, 하강 램프 전압이 인가되기 전에 주사 전극과 어드레스 전극에 각각 음의 전하와 양의 전하가 쌓여 있어서 일정량의 벽 전압(V₀)이 형성되어 있는 것으로 가정한다.

도 5에 나타낸 바와 같이, 주사 전극에 인가되는 전압이 완만하게 감소하는 중에 벽 전압(V_{wall})과 주사 전극에 인가된 전압(V_y)의 차이가 방전 개시 전압(V_f)을 넘는 경우에는 방전이 일어난다. 그리고 앞에서 설명한 것처럼 방전이 일어나면 방전 셀 내부의 벽 전압(V_{wall})은 하강 램프 전압(V_y)과 동일한 속도로 감소하게 된다. 이때, 하강 램프 전압(V_y)과 벽 전압(V_{wall})의 차이는 방전 개시 전압(V_f)을 유지하게 된다. 따라서 도 5에 나타낸 바와 같이, 주사 전극에 인가되는 전압(V_y)이 -V_f 전압까지 감소하면 방전 셀 내부의 벽 전압(V_{wall})은 0V가 된다.

그런데, 방전 셀마다 특성에 따라 방전 개시 전압에 차이가 있으므로 본 발명의 제1 실시예에서는 주사 전극에 인가되는 전압(V_y)이 모든 방전 셀에서 어드레스 전극(A₁-A_m)으로부터 주사 전극(Y₁-Y_n)으로 방전이 일어날 수 있을 정도의 크기로 한다. 이때, 모든 방전 셀은 플라즈마 디스플레이 패널에서 화면을 표시할 때 영향을 줄 수 있는 영역(유효 표시 영역)에 있는 방전 셀을 포함한다.

즉, 수학적 식 1에 나타낸 것처럼 어드레스 전극(A₁-A_m)에 인가되는 전압(0V)과 주사 전극(Y₁-Y_n)에 인가되는 전압(V_n)의 차이(V_{A-Y,reset})가 방전 셀 중에서 방전 개시 전압(V_f)이 가장 높은 것의 방전 개시 전압(V_{f,MAX}, 이하 '최대 방전 개시 전압'이라 함)보다 크게 한다. 이때, V_n 전압의 크기(|V_n|)가 최대 방전 개시 전압(V_{f,MAX})보다 너무 크면 음의 벽 전압이 형성되므로, V_n 전압의 크기(|V_n|)는 최대 방전 개시 전압(V_{f,MAX})과 동일한 것이 바람직하다.

수학식 1

$$V_{A-Y, reset} = |V_n| \geq V_{f, MAX}$$

이와 같이, 주사 전극(Y_1-Y_n)에 V_n 전압까지 하강하는 램프 전압이 인가되면, 모든 방전 셀에서 벽 전압이 제거된다. 그리고 V_n 전압의 크기($|V_n|$)를 최대 방전 개시 전압($V_{f,MAX}$)으로 하면, 방전 개시 전압(V_f)이 최대 방전 개시 전압($V_{f,MAX}$)보다 작은 방전 셀에서는 반대로 음의 벽 전압이 생성될 수 있다. 즉, 어드레스 전극(A_1-A_m)에 음의 벽 전하가 형성되고 주사 전극(Y_1-Y_n)에 음의 벽 전하가 형성될 수 있다. 이때, 생성된 벽 전압은 어드레스 기간에서 방전 셀 간의 불균일을 해소할 수 있는 전압이 된다.

이어서, 어드레스 기간에서는 먼저 주사 전극(Y_1-Y_n)과 유지 전극(X_1-X_n)을 각각 V_a 전압 및 V_e 전압으로 유지한 다음 표시하고자 하는 방전 셀을 선택하기 위해 주사 전극(Y_1-Y_n)과 어드레스 전극(A_1-A_m)에 전압을 인가한다. 즉, 먼저 첫 번째 행의 주사 전극(Y_1)에 음의 전압인 V_{sc} 전압을 인가하는 동시에 첫 번째 행 중 표시하고자 하는 방전 셀에 위치하는 어드레스 전극(A_i)에 양의 전압인 V_w 전압을 인가한다. 도 4에서는 V_{sc} 전압을 리셋 기간에서의 V_n 전압과 동일한 레벨로 하였다.

그러면 수학식 2에 나타낸 것처럼 어드레스 기간에서 선택된 방전 셀에서의 어드레스 전극(A_i)과 주사 전극(Y_1)의 전압의 차이($V_{A-Y, address}$)가 항상 최대 방전 개시 전압($V_{f,MAX}$)보다 커지게 된다. 그리고 V_e 전압이 인가된 유지 전극(X_1)과 주사 전극(Y_1)의 전압의 차이도 최대 방전 개시 전압보다 커지게 된다.

수학식 2

$$V_{A-Y, address} = V_{A-Y, reset} + V_w \geq V_{f, MAX}$$

따라서, V_w 전압이 인가된 어드레스 전극(A_i)과 V_{sc} 전압이 인가된 주사 전극(Y_1)에 의해 형성되는 방전 셀에서는 어드레스 전극(A_i)과 주사 전극(Y_1) 사이 및 유지 전극(X_1)과 주사 전극(Y_1) 사이에서 어드레스 방전이 일어난다. 그 결과 주사 전극(Y_1)에는 양의 벽 전하가 형성되고 유지 전극(X_1)에는 음의 벽 전하가 형성된다. 또한 어드레스 전극(A_i)에도 음의 벽 전하가 형성된다.

다음, 두 번째 행의 주사 전극(Y_2)에 V_{sc} 전압을 인가하면서 두 번째 행 중 표시하고자 하는 방전 셀에 위치하는 어드레스 전극(A_i)에 V_w 전압을 인가한다. 그러면 앞에서 설명한 것처럼 V_w 전압이 인가된 어드레스 전극(A_i)과 V_{sc} 전압이 인가된 주사 전극(Y_2)에 의해 형성되는 방전 셀에서 어드레스 방전이 일어나서 방전 셀에 벽 전하가 형성된다. 마찬가지로 나머지 행의 주사 전극(Y_3-Y_n)에 대해서는 순차적으로 V_{sc} 전압을 인가하면서 표시하고자 하는 방전 셀에 위치하는 어드레스 전극에 V_w 전압을 인가하여, 벽 전하를 형성한다.

유지 기간에서는 먼저 주사 전극(Y_1-Y_n)에 V_s 전압을 인가하면서 유지 전극(X_1-X_n)에 기준 전압(0V)을 인가한다. 그러면 어드레스 기간에서 선택된 방전 셀에서는, 주사 전극(Y_i)과 유지 전극(X_j) 사이의 전압이 V_s 전압에 어드레스 기간에서 형성된 주사 전극(Y_i)의 양의 벽 전하와 유지 전극(X_j)의 음의 벽 전하에 의한 벽 전압이 더해진 것으로 되므로 방전 개시 전압을 넘게 된다. 따라서 주사 전극(Y_i)과 유지 전극(X_j) 사이에서 유지 방전이 일어난다. 그리고 이 유지 방전이 일어난 방전 셀의 주사 전극(Y_i)과 유지 전극(X_j)에는 각각 음의 벽 전하와 양의 벽 전하가 형성된다.

다음, 주사 전극(Y_1-Y_n)에 0V가 인가되고 유지 전극(X_1-X_n)에 V_s 전압이 인가된다. 앞에서 유지 방전이 일어난 방전 셀에서는, 유지 전극(X_j)과 주사 전극(Y_i) 사이의 전압이 V_s 전압에 앞의 유지 방전에서 형성된 유지 전극(X_j)의 양의 벽 전하와 주사 전극(Y_i)의 음의 벽 전하에 의한 벽 전압이 더해진 것으로 되므로 방전 개시 전압을 넘게 된다. 따라서 주사 전극(Y_i)과 유지 전극(X_j) 사이에서 유지 방전이 일어나고, 유지 방전이 일어난 방전 셀의 주사 전극(Y_i)과 유지 전극(X_j)에는 각각 양의 벽 전하와 음의 벽 전하가 형성된다.

이후, 동일한 방법으로 V_s 전압과 0V가 주사 전극(Y_1-Y_n)과 유지 전극(X_1-X_n)에 교대로 인가되어 유지 방전이 계속 행해진다. 그리고 앞에서 설명한 것처럼 마지막 유지 방전은 주사 전극(Y_1-Y_n)에 V_s 전압이 인가되고 유지 전극(X_1-X_n)에 0V가 인가된 상태에서 일어난다. 마지막 유지 방전 이후에는 앞에서 설명한 리셋 기간부터 시작하는 서브필드가 이어진다.

이와 같이 본 발명의 제1 실시예에 의하면, 어드레스 기간에서 표시하고자 하는 방전 셀의 어드레스 전극과 주사 전극의 전압 차이를 최대 방전 개시 전압보다 크게 함으로써, 리셋 기간에서 벽 전하가 형성되지 않아도 어드레스 방전이 일어난다. 따라서 어드레스 방전이 리셋 기간에서 형성된 벽 전하의 영향을 받지 않으므로 벽 전하 소실로 인한 마진 악화의 문제점이 없어진다. 그리고 어드레스 방전에서 벽 전하를 이용하지 않으므로 종래 기술과 같이 리셋 기간에서 상승 램프 전압

을 이용하여 벽 전하를 형성할 필요가 없으므로, 종래 기술에 비해 리셋 기간에서 방전의 양이 줄어든다. 따라서 발광하지 않는 방전 셀에서 리셋 기간에 의한 방전의 양이 줄어들므로 명암비(contrast ratio)가 좋아진다. 또한 도 1의 V_r 전압을 제거할 수 있으므로 플라즈마 디스플레이 패널에 인가되는 최대 전압이 낮아진다.

그리고 본 발명의 제1 실시예에서는 V_{sc} 전압을 V_n 전압과 동일하게 함으로써, V_{sc} 전압과 V_n 전압을 동일한 전원에서 공급할 수 있으므로 주사 전극을 구동하기 위한 회로가 간단해진다. 또한, 선택되는 방전 셀에서는 어드레스 전극(A)과 주사 전극(Y)의 전압차가 항상 최대 방전 개시 전압보다 V_a 이상으로 커질 수 있으므로, 벽 전하에 관계없이 어드레스 방전이 일어날 수 있다.

이상, 본 발명의 제1 실시예에서는 기준 전압을 0V로 가정하여 설명하였지만, 이와는 달리 기준 전압을 다른 전압으로 할 수도 있다. 그리고 V_w 전압과 V_{sc} 전압의 차이가 최대 방전 개시 전압보다 크게 할 수 있다면 V_{sc} 전압을 V_n 전압과 다르게 할 수도 있다.

도 4에서는 어드레스 기간에서 유지 전극(X_1-X_n)에 인가되는 V_e 전압을 양의 전압으로 표현하였다. 어드레스 기간에서 주사 전극(Y_j)과 어드레스 전극(A_i) 사이의 방전에 의해 주사 전극(Y_j)과 유지 전극(X_i) 사이에서 방전이 일어날 수 있다면 V_e 전압은 다른 전압일 수도 있다. 예를 들어 도 6 및 도 7에 나타난 것처럼 V_e 전압은 0V 또는 음의 전압일 수도 있다.

이상에서 본 발명의 바람직한 실시예에 대하여 상세하게 설명하였지만 본 발명의 권리범위는 이에 한정되는 것은 아니고 다음의 청구범위에서 정의하고 있는 본 발명의 기본 개념을 이용한 당업자의 여러 변형 및 개량 형태 또한 본 발명의 권리 범위에 속하는 것이다.

발명의 효과

이와 같이 본 발명에 의하면, 어드레스 방전이 리셋 기간에서 형성된 벽 전하의 영향을 받지 않으므로 벽 전하 소실로 인한 마진 악화의 문제점이 없어진다. 그리고 발광하지 않는 방전 셀에서 리셋 기간에서의 방전의 양이 줄어들므로 명암비가 좋아진다. 또한 플라즈마 디스플레이 패널에 인가되는 최대 전압을 낮출 수 있다.

(57) 청구의 범위

청구항 1.

복수의 제1 전극 및 제2 전극, 그리고 상기 제1 및 제2 전극에 교차하는 방향으로 형성되는 복수의 제3 전극을 포함하며, 인접한 상기 제1 전극, 제2 전극 및 제3 전극에 의해 방전 셀이 형성되는 플라즈마 디스플레이 패널을 구동하는 방법에 있어서,

리셋 기간에서, 상기 제3 전극에 제1 전압을 인가한 상태에서 상기 제1 전극의 전압을 제2 전압에서 상기 제1 전압보다 낮은 제3 전압까지 점진적으로 감소시키는 단계,

어드레스 기간에서, 상기 방전 셀 중 선택하고자 하는 방전 셀의 상기 제1 전극 및 상기 제3 전극에 각각 제4 전압 및 제5 전압을 인가하는 단계, 그리고

유지 기간에서, 상기 제1 전극에 하이 레벨 전압과 로우 레벨 전압을 교대로 인가하고, 상기 제2 전극에 로우 레벨 전압과 하이 레벨 전압을 교대로 인가하여 상기 어드레스 단계에서 선택된 방전 셀을 유지 방전시키는 단계를 포함하며,

상기 제1 전압에서 상기 제3 전압을 뺀 제6 전압은, 상기 제1 전극의 하이 레벨 전압에서 상기 제1 전극에 상기 하이 레벨 전압이 인가될 때 상기 제3 전극에 인가되는 전압을 뺀 제7 전압 이상인 플라즈마 디스플레이 패널의 구동 방법.

청구항 2.

제1항에 있어서,

상기 제6 전압은 상기 제1 전극과 상기 제3 전극 사이의 방전 개시 전압 이상이며, 상기 방전 개시 전압은 상기 방전 셀에 벽 전하가 형성되어 있지 않은 상태에서 방전을 개시할 수 있는 전압인 플라즈마 디스플레이 패널의 구동 방법.

청구항 3.

제2항에 있어서,

상기 리셋 기간 동안 상기 제1 전극과 상기 제3 전극 사이의 벽 전압이 실질적으로 제거되는 플라즈마 디스플레이 패널의 구동 방법.

청구항 4.

제2항 또는 제3항에 있어서,

상기 방전 개시 전압은 유효 표시 영역에 있는 방전 셀의 방전 개시 전압 중 가장 큰 방전 개시 전압인 플라즈마 디스플레이 패널의 구동 방법.

청구항 5.

제1항 내지 제3항 중 어느 한 항에 있어서,

상기 제4 전압과 제5 전압의 차이는 상기 제6 전압 이상인 플라즈마 디스플레이 패널의 구동 방법.

청구항 6.

제1항 내지 제3항 중 어느 한 항에 있어서,

상기 유지 기간에서 상기 제3 전극에는 상기 제1 전압이 인가되어 있는 플라즈마 디스플레이 패널의 구동 방법.

청구항 7.

제1항 내지 제3항 중 어느 한 항에 있어서,

상기 제1 전극의 전압을 직전 서브필드의 유지 기간에서 상기 제1 전극에 인가된 상기 하이 레벨 전압에서 상기 제2 전압까지 감소시키는 단계를 더 포함하는 플라즈마 디스플레이 패널의 구동 방법.

청구항 8.

제1항 내지 제3항 중 어느 한 항에 있어서,

적어도 하나의 필드를 이루는 모든 서브필드의 상기 리셋 기간에서, 상기 제1 전극의 전압이 상기 제2 전압에서 상기 제3 전압까지 하강하는 플라즈마 디스플레이 패널의 구동 방법.

청구항 9.

복수의 제1 전극 및 제2 전극,

상기 제1 및 제2 전극에 교차하는 방향으로 형성되는 복수의 제3 전극, 그리고

인접한 상기 제1 전극, 제2 전극 및 제3 전극에 의해 형성되는 방전 셀을 방전시키기 위해 상기 제1 전극, 제2 전극 및 제3 전극에 구동 전압을 공급하는 구동 회로를 포함하며,

상기 구동 회로는, 리셋 기간에서 상기 제3 전극에 기준 전압을 인가한 상태에서 상기 제1 전극의 전압을 제1 전압에서 상기 기준 전압보다 낮은 제2 전압까지 점진적으로 감소시키며,

상기 기준 전압에서 상기 제2 전압을 뺀 전압은, 유지 기간에서 상기 제1 전극에 인가되는 하이 레벨 전압에서 상기 기준 전압을 뺀 전압 이상인 플라즈마 표시 장치.

청구항 10.

제9항에 있어서,

상기 구동 회로는, 상기 리셋 기간 동안 상기 제1 전극과 제3 전극 사이의 벽 전압을 실질적으로 제거하는 플라즈마 표시 장치.

청구항 11.

복수의 제1 전극 및 제2 전극, 그리고 상기 제1 및 제2 전극에 교차하는 방향으로 형성되는 복수의 제3 전극을 포함하며, 인접한 상기 제1 전극, 제2 전극 및 제3 전극에 의해 방전 셀이 형성되는 플라즈마 디스플레이 패널을 구동하는 방법에 있어서,

리셋 기간에서, 상기 제1 전극의 전압에서 상기 제3 전극의 전압을 뺀 전압을 제1 전압에서 음의 제2 전압까지 점진적으로 감소시키는 단계,

어드레스 기간에서, 상기 방전 셀 중 선택하고자 하는 방전 셀의 상기 제1 전극 및 상기 제3 전극에 각각 제3 전압 및 제4 전압을 인가하는 단계, 그리고

유지 기간에서, 상기 제1 전극에서 상기 제2 전극을 뺀 전압이 양의 제5 전압과 음의 제6 전압을 교대로 가지도록 하는 단계를 포함하며,

상기 제5 전압과 상기 제6 전압의 크기는 상기 제2 전압의 크기보다 작은 플라즈마 디스플레이 패널의 구동 방법.

청구항 12.

제11항에 있어서,

상기 리셋 기간은 상기 방전 셀에 벽 전하를 추가적으로 형성하는 단계를 포함하지 않는 플라즈마 디스플레이 패널의 구동 방법.

청구항 13.

제11항 또는 제12항에 있어서,

상기 제2 전압의 크기는 상기 제1 전극과 상기 제3 전극 사이의 방전 개시 전압 이상인 플라즈마 디스플레이 패널의 구동 방법.

청구항 14.

제13항에 있어서,

상기 방전 개시 전압은 상기 플라즈마 디스플레이 패널의 유효 표시 영역에 있는 방전 셀의 방전 개시 전압 중 가장 큰 방전 개시 전압인 플라즈마 디스플레이 패널의 구동 방법.

청구항 15.

제11항 또는 제12항에 있어서,

상기 제5 전압과 상기 제6 전압의 크기는 상기 제4 전압의 크기보다 작은 상기 플라즈마 디스플레이 패널의 구동 방법.

청구항 16.

제15항에 있어서,

상기 제4 전압의 크기는 상기 제1 전극과 제3 전극 사이의 방전 개시 전압 이상인 플라즈마 디스플레이 패널의 구동 방법.

청구항 17.

제11항 또는 제12항에 있어서,

상기 리셋 기간 및 상기 어드레스 기간에서 상기 제3 전극에 접지 전압이 인가되는 플라즈마 디스플레이 패널의 구동 방법.

청구항 18.

복수의 제1 전극 및 제2 전극, 그리고 상기 제1 및 제2 전극에 교차하는 방향으로 형성되는 복수의 제3 전극을 포함하며, 인접한 상기 제1 전극, 제2 전극 및 제3 전극에 의해 방전 셀이 형성되는 플라즈마 디스플레이 패널을 구동하는 방법에 있어서,

어드레스 기간에서, 상기 복수의 제1 전극에 순차적으로 음의 제1 전압을 인가하고, 상기 제1 전압이 인가되는 제1 전극에 의해 형성되는 방전 셀 중 선택하고자 하는 방전 셀의 제3 전극에 제2 전압을 인가하고 나머지 제3 전극에 제3 전압을 인가하는 단계, 그리고

유지 기간에서, 상기 제1 전극에 하이 레벨 전압과 로우 레벨 전압을 교대로 인가하는 단계를 포함하며,

상기 제3 전압에서 상기 제1 전압을 뺀 전압은 상기 하이 레벨 전압에서 상기 제3 전압을 뺀 제4 전압 이상인 플라즈마 디스플레이 패널의 구동 방법.

청구항 19.

제18항에 있어서,

상기 유지 기간에서, 상기 제3 전극에 상기 제3 전압을 인가하는 단계를 더 포함하는 플라즈마 디스플레이 패널의 구동 방법.

청구항 20.

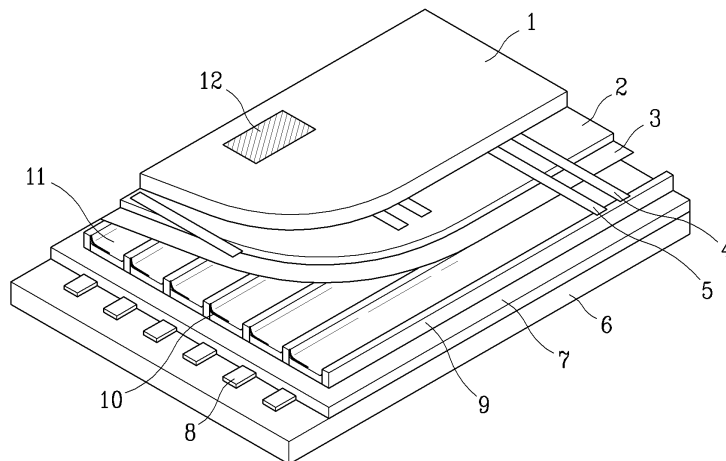
제18항 또는 제19항에 있어서,

리셋 기간에서, 상기 제1 전극의 전압을 제5 전압에서 음의 제6 전압까지 점진적으로 감소시키는 단계를 더 포함하며,

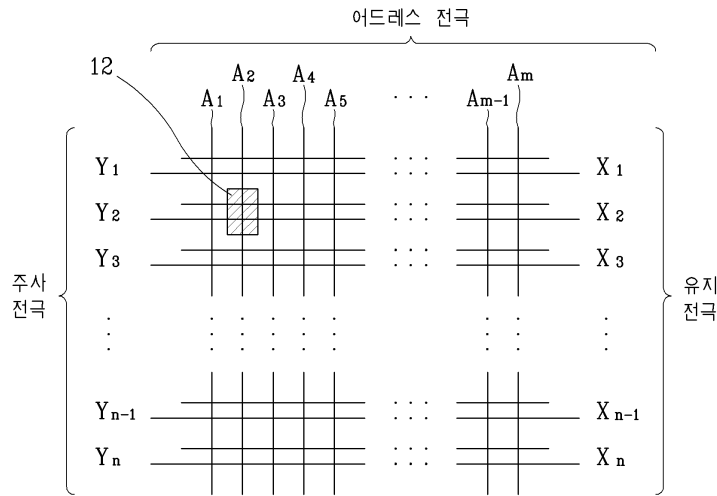
상기 제6 전압의 절대값은 상기 제4 전압 이상인 플라즈마 디스플레이 패널의 구동 방법.

도면

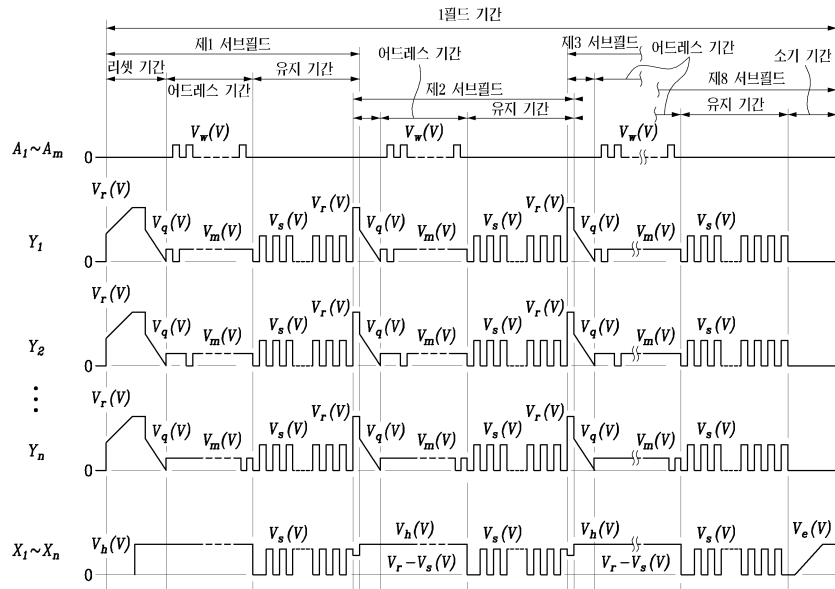
도면1



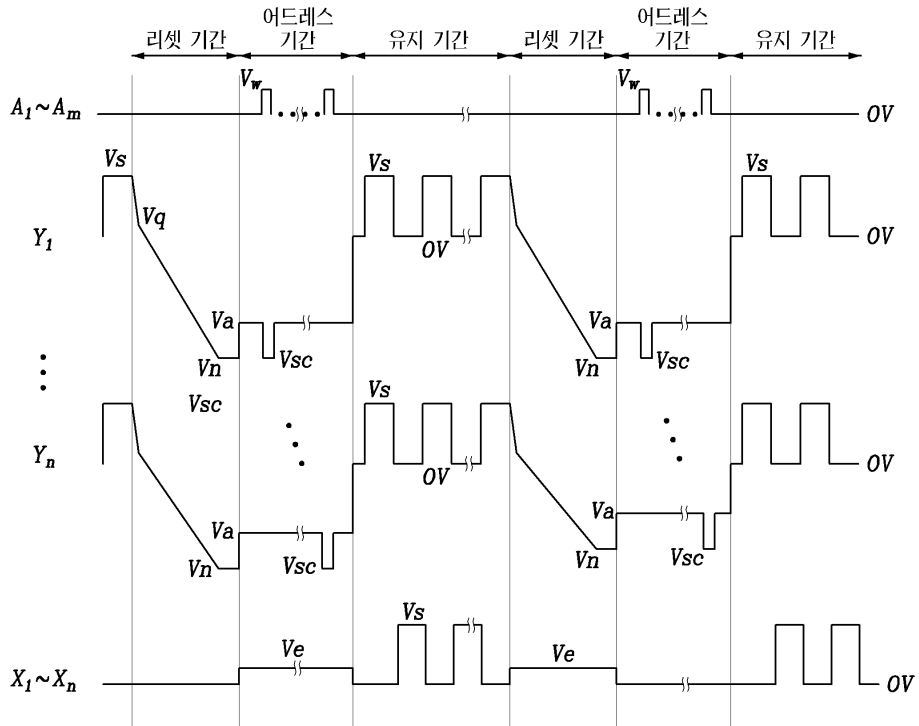
도면2



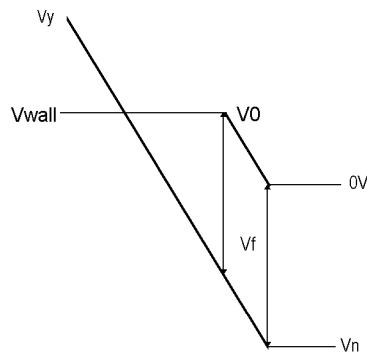
도면3



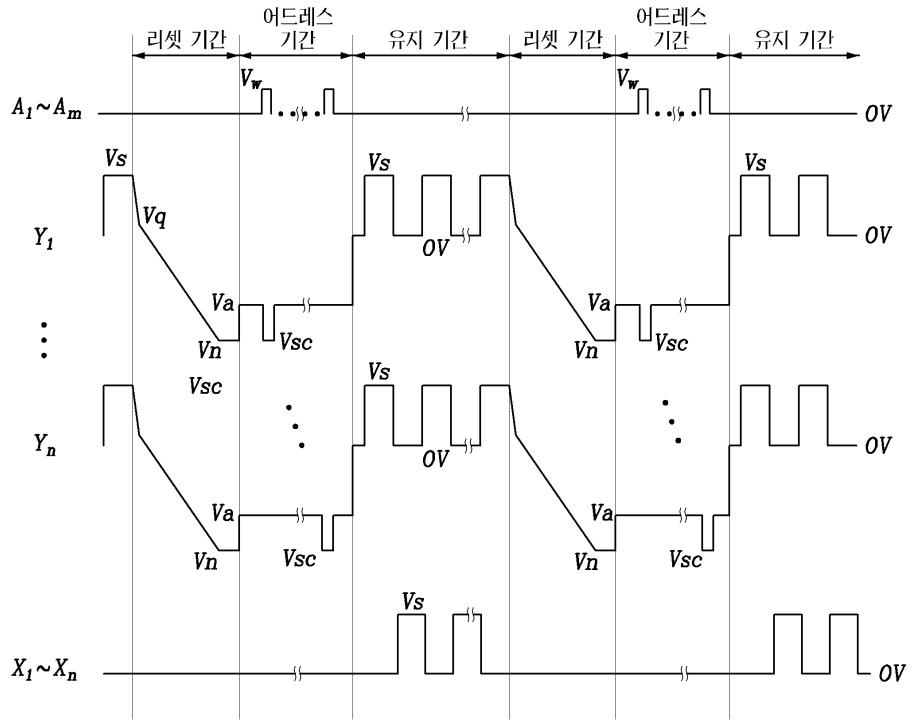
도면4



도면5



도면6



도면7

