

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2016 年 12 月 15 日(15.12.2016)



(10) 国際公開番号
WO 2016/199497 A1

- (51) 国際特許分類:
H02M 3/155 (2006.01) *H02M 7/12* (2006.01)
- (21) 国際出願番号: PCT/JP2016/062196
- (22) 国際出願日: 2016 年 4 月 18 日(18.04.2016)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2015-117890 2015 年 6 月 11 日(11.06.2015) JP
- (71) 出願人: 富士電機株式会社(FUJI ELECTRIC CO., LTD.) [JP/JP]; 〒2109530 神奈川県川崎市川崎区田辺新田 1 番 1 号 Kanagawa (JP).
- (72) 発明者: 山田 隆二(YAMADA Ryuji); 〒2109530 神奈川県川崎市川崎区田辺新田 1 番 1 号 富士電機株式会社内 Kanagawa (JP).
- (74) 代理人: 森田 雄一(MORITA YUICHI); 〒1010051 東京都千代田区神田神保町 3-19-7 ダイナミック・アート九段下ビル 6 階 Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA,

BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

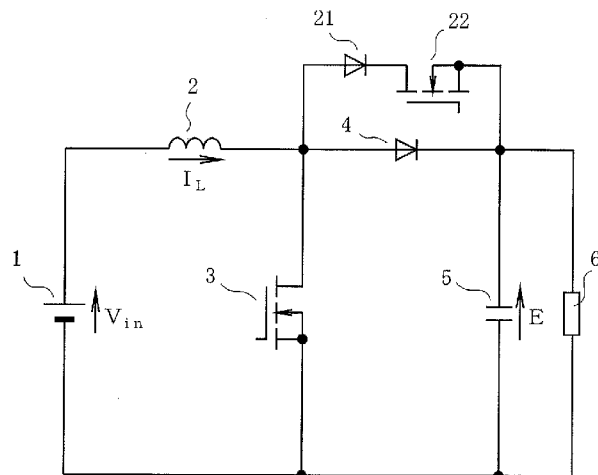
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

- 国際調査報告 (条約第 21 条(3))

(54) Title: POWER CONVERSION DEVICE

(54) 発明の名称: 電力変換装置



(57) Abstract: Provided is a power conversion device that improves efficiency by reducing loss in semiconductor elements and prevents increases in the size and cost of a device. In the present invention, a power conversion device is provided with a closed circuit that comprises a switching element 3, a fast recovery diode 4, and a capacitor 5, and a reactor 2, with the switching element 3, the diode 4, and the reactor 2 constituting a chopper circuit so that an input voltage is converted to a prescribed voltage by the operation of the switching element 3 and that a current from the reactor 2 flows through the switching element 3 or the diode 4 in accordance with whether the switching element 3 is ON or OFF, wherein: a series circuit comprising a rectifier diode 21 with high reverse recovery loss and low forward voltage drop and a switching element 22 with low withstand voltage and low forward voltage drop is connected in parallel with the diode 4; and the switching element 22 is turned ON when the switching element 3 is OFF, and the switching element 22 is turned OFF before the switching element 3 transitions to an ON state.

(57) 要約:

[続葉有]

WO 2016/199497 A1



半導体素子の損失を低減して効率を向上させ、装置の大型化やコストの増加を防ぐようにした電力変換装置を提供する。スイッチング素子 3、ファーストリカバリダイオード 4、コンデンサ 5 からなる閉回路と、リアクトル 2 とを備え、スイッチング素子 3、ダイオード 4、リアクトル 2 によりチョッパ回路を構成し、スイッチング素子 3 の動作により入力電圧を所定の電圧に変換すると共に、スイッチング素子 3 のオンまたはオフによりリアクトル 2 の電流がスイッチング素子 3 またはダイオード 4 を流れる電力変換装置において、ダイオード 4 に並列に、逆回復損失が大きく順電圧降下の小さい整流ダイオード 2 1 と低耐圧で順電圧降下の小さいスイッチング素子 2 2 との直列回路を接続し、スイッチング素子 3 のオフ時にスイッチング素子 2 2 をオンし、スイッチング素子 3 がオンへ移行する前にスイッチング素子 2 2 をオフする。

明 細 書

発明の名称：電力変換装置

技術分野

[0001] 本発明は、半導体素子の損失を低減して電力変換装置の高効率化を図るための技術に関する。

背景技術

[0002] 図6は、電力変換装置の第1の従来技術を示す回路図であり、昇圧チョッパ回路として良く知られているものである。図6において、1は直流電源、2はリアクトル、3はMOSFETからなる半導体スイッチング素子（以下、単にスイッチング素子という）、4はダイオード、5はコンデンサ、6は負荷である。

ここで、スイッチング素子3には、MOSFETの他にIGBT（絶縁ゲートバイポーラトランジスタ）や、BJT（バイポーラトランジスタ）が使用されることもある。

[0003] 図6に示した回路の動作は、以下のとおりである。

スイッチング素子3をオンすると、リアクトル2の両端には直流電源1の電圧 V_{in} にほぼ等しい電圧が印加され、直流電源1→リアクトル2→スイッチング素子3→直流電源1の経路で電流が流れる。このとき、リアクトル2の電流 I_L は次第に増加する。次に、スイッチング素子3をオフすると、直流電源1→リアクトル2→ダイオード4→コンデンサ5→直流電源1の経路で電流が流れ、リアクトル2の両端には、入力電圧 V_{in} とコンデンサ5の電圧 E との差分が印加される。

[0004] 後述する原理により、通常動作時には $V_{in} < E$ の状態にあるので、リアクトル2の電流 I_L は減少していく。スイッチング素子3のオン・オフの時比率を制御することにより、電流 I_L を任意の値に制御することができる。また、負荷6の消費電力よりも入力電力を大きくすれば、両者の差電力はコンデンサ5に蓄積されて電圧 E が上昇し、入力電力を小さくすれば、差電力はコン

デンサ5の放電により負荷6に供給されるので、電圧Eは低下する。

この方法により、電圧Eを入力電圧 V_{in} より高い任意の値に制御することができる。

一方、スイッチング素子3を動作させずにオフ状態を継続しても、直流電源1→リアクトル2→ダイオード4→コンデンサ5→直流電源1の電流経路は常に存在するため、電圧Eが入力電圧 V_{in} を定常的に下回ることはない。

[0005] さて、図6の回路では、スイッチング素子3がオンする際にダイオード4には逆電圧が加わるので、コンデンサ5→ダイオード4→スイッチング素子3→コンデンサ5の経路で瞬間的に逆電流、いわゆる逆回復電流が流れ、その後にダイオード4がオフする。この逆回復電流による損失、すなわち逆回復損失は、スイッチング素子3がオンするたびに発生する。

[0006] リアクトル2を小形化するため、スイッチング素子3のスイッチング周波数は数[kHz]から、場合によっては数100[kHz]以上まで高くすることがあるため、スイッチング素子3がオンする際の逆回復損失は極力小さいことが望ましい。このような理由により、ダイオード4には、逆回復損失の小さい、ファーストリカバリダイオードを用いるのが一般的である。特にSiC（炭化ケイ素）やGaN（窒化ガリウム）などのWBG（ワイドバンドギャップ）材料を用いたショットキーバリアダイオードは、逆回復損失が極めて小さいため、この種の用途に適している。

[0007] 一方、図7は第2の従来技術を示す回路図であり、図6における各部品と同一の機能を有するものには同一の番号を付してある。

図7において、11は交流電源、12はコンデンサ、13～16はブリッジ整流回路を構成する整流ダイオード、17はバイパスダイオードである。

[0008] ここで、交流電源11は多くの場合、交流電力系統に接続されているので、電力系統への落雷等に起因する瞬時電圧低下、すなわち交流の数サイクル以内程度の電圧低下や停電が発生することがある。このような瞬時電圧低下や停電が発生して入力側の電力供給が途絶えた場合でも、負荷6による電力消費が続くため、コンデンサ5の電圧Eは低下する。

[0009] そして、電圧 E が定常時の入力電圧 V_{in} のピーク値より低くなった後に入力電圧 V_{in} が定常値に復帰すると、スイッチング素子3をオフしても電流 I_L が減少せずにコンデンサ5に流入する期間が発生する。この電流 I_L が過大になると、スイッチング素子3はオフしているため、電流 I_L はダイオード4に流れる。前述したように、ダイオード4には通常、ファーストリカバリダイオードが用いられるが、ファーストリカバリダイオードは整流ダイオードに比べてサージ電流に対する耐量が低いという性質がある。従って、整流ダイオード13～16が耐え得る程度の電流であっても、この電流によってダイオード4が破損するおそれがある。

[0010] 上述したダイオード4の破損を防止するため、図7の従来技術では、バイパスダイオード17を設けて電流をバイパスさせている。これにより、リアクトル2の両端にバイパスダイオード17の順電圧降下を超える電圧が印加されないようにし、電流 I_L の増加を防止してダイオード4を保護している。

バイパスダイオード17を、図7に示す位置に接続しておけば、通常動作時に高周波パルス電圧がバイパスダイオード17に印加されることはないので、逆回復は発生しない。従って、バイパスダイオード17には、整流ダイオード13～16と同様に、サージ電流耐量の高い整流ダイオードを用いることができる。

なお、図7と同様の回路は、例えば特許文献1に記載されている。

[0011] 次に、図8は第3の従来技術を示す回路図である。この従来技術は、図7における交流電源11の一端とコンデンサ12の一端との間に電流制限用の抵抗51を接続し、この抵抗51に並列にスイッチ（短絡リレー）52を接続したものである。

図8において、図7における各部品と同一の機能を有するものには同一の番号を付してある。

[0012] 図8においては、図7の従来技術が有する機能に加えて、コンデンサ5を初期充電する際に抵抗51により電流を制限し、充電完了後にスイッチ52をオンして抵抗51の両端を短絡することにより突入電流を防止する機能を

備えている。

先行技術文献

特許文献

- [0013] 特許文献1：特開2012-065441号公報（段落[0013]～[0027]、図1等）

発明の概要

発明が解決しようとする課題

- [0014] 近年、環境問題への対応から、電源装置等を構成する電力変換装置にも更なる高効率化が求められている。電力変換装置の高効率化を図る手段の一つとしては、半導体素子の順電圧降下による導通損失の低減が挙げられる。

例えば、前述した図6～図8におけるスイッチング素子3にMOSFETを用いる場合、MOSFETは導通時に抵抗特性を持つので、並列接続数を増やせば、少なくとも理論上は導通損失を限りなくゼロに近づけることができる。

- [0015] 一方、ダイオードの順電圧降下は電流に依存しない固定分を持つ。このため、図6～図8におけるダイオード4の並列接続数を増やしても導通損失の低減には限度がある。特に、ファーストリカバリダイオードは、逆回復損失が小さいという利点がある反面、商用周波数の整流を目的とした、いわゆる整流ダイオードに比べて順電圧降下が大きい。

従って、ファーストリカバリダイオードを整流ダイオードに置き換える、あるいは、整流ダイオードを並列に接続する等の対応では、整流ダイオードが極めて大きな逆回復損失を発生するため、高効率化の目的を果たすことができない。

また、ショットキーバリアダイオードのように、WBG材料からなるダイオードを用いる場合、この種のダイオードはシリコン材料からなるダイオードに比べて高価であり、装置のコストが増加する原因となる。

- [0016] 更に、図8に示した第3の従来技術では、装置が大容量化するほど電流制

限用の抵抗 51 や短絡用のスイッチ 52 が大型化するという問題がある。

また、スイッチング素子 3 やコンデンサ 5 が短絡故障している場合には、初期充電が完了せず、抵抗 51 に電流 I_{in} が流れ続ける。この電流 I_{in} は一般的な過電流保護手段（図示せず）が動作しないレベルであるため、やがて抵抗 51 が焼損し、発火する危険性がある。これらの事故を防止するには、抵抗 51 に直列に別のスイッチを接続したり温度ヒューズを設けたりする対策が必要になり、装置の一層の大型化やコストの増加を招くという問題がある。

[0017] そこで、本発明の解決課題は、半導体素子の導通損失や逆回復損失を極力低減して全体的な効率を向上させ、しかも装置の大型化やコストの増加を防ぐようにした電力変換装置を提供することにある。

課題を解決するための手段

[0018] 上記課題を解決するため、請求項 1 に係る発明は、第 1 の半導体スイッチング素子とファーストリカバリダイオードとコンデンサとを直列に接続してなる閉回路と、前記第 1 の半導体スイッチング素子と前記ファーストリカバリダイオードとの接続点に一端が接続されたリアクトルと、を備え、前記第 1 の半導体スイッチング素子と前記ファーストリカバリダイオードと前記リアクトルとによってチョッパ回路を構成すると共に、前記第 1 の半導体スイッチング素子のスイッチング動作により、前記チョッパ回路の入力電圧を大きさが異なる電圧に変換して負荷に供給する電力変換装置であって、

前記第 1 の半導体スイッチング素子のオン時に前記リアクトルを流れる電流が前記第 1 の半導体スイッチング素子を流れ、前記第 1 の半導体スイッチング素子のオフ時に前記リアクトルを流れる電流が前記ファーストリカバリダイオードを流れるようにした電力変換装置において、

前記ファーストリカバリダイオードに並列に、前記ファーストリカバリダイオードよりも逆回復損失が大きいと共に順電圧降下の小さい整流ダイオードと、前記第 1 の半導体スイッチング素子よりも低耐圧であって順電圧降下の小さい第 2 の半導体スイッチング素子との直列回路を接続し、

前記第 1 の半導体スイッチング素子のオフ時に前記第 2 の半導体スイッチング素子をオンさせ、前記第 1 の半導体スイッチング素子がオフからオンへ移行する前のタイミングで前記第 2 の半導体スイッチング素子をオフさせるものである。

[0019] 請求項 2 に係る発明は、請求項 1 に記載した電力変換装置において、前記リアクトルと前記第 1 の半導体スイッチング素子との直列回路の両端に電源部を接続し、前記第 1 の半導体スイッチング素子のスイッチング動作により、前記第 1 の半導体スイッチング素子と前記ファーストリカバリダイオードとの直列回路の両端に接続された前記コンデンサに発生させた電圧を、前記コンデンサに並列に接続された前記負荷に供給するものであり、いわゆる昇圧チョッパ回路を構成したものである。

[0020] 請求項 3 に係る発明は、請求項 1 に記載した電力変換装置において、前記第 1 の半導体スイッチング素子と前記ファーストリカバリダイオードとの直列回路の両端に前記コンデンサを接続すると共に、前記コンデンサに並列に電源部を接続し、前記第 1 の半導体スイッチング素子のスイッチング動作により、前記コンデンサと前記第 1 の半導体スイッチング素子と前記リアクトルとの直列回路の両端に接続された前記負荷に電圧を供給するものであり、いわゆる降圧チョッパ回路を構成したものである。

[0021] 請求項 4 に係る発明は、請求項 1 に記載した電力変換装置において、前記チョッパ回路の入力側に、電源部を構成する交流電源とブリッジ整流回路とを接続し、または、複数の前記チョッパ回路の入力側に電源部を構成する交流電源を接続して電源電圧の正負両極性に対応させることにより、交流一直流変換装置として動作させるものである。

[0022] 請求項 5 に係る発明は、請求項 1 に記載した電力変換装置において、前記チョッパ回路の入力電流が所定値を超えて過電流となった時に、前記第 1 の半導体スイッチング素子をオフすると共に前記第 2 の半導体スイッチング素子をオンするものである。

[0023] 請求項 6 に係る発明は、請求項 1 に記載した電力変換装置において、前記

チョッパ回路の入力側に電源部を構成する交流電源とブリッジ整流回路とを接続し、前記ブリッジ整流回路における少なくとも２個の整流素子に、サイリスタ、または順逆両方向に所定の耐圧を有し、かつ順方向の電流を制御可能な半導体素子を用いたものである。

[0024] 請求項 7 に係る発明は、請求項 1 ～請求項 6 の何れか 1 項に記載した電力変換装置において、前記ファーストリカバリダイオードをワイドバンドギャップ半導体により構成したものである。

発明の効果

[0025] 本発明によれば、導通損失の小さい整流ダイオードと第 2 の半導体スイッチング素子との直列回路を、逆回復損失が小さいファーストリカバリダイオードに並列に接続し、逆回復が生じる前の順電流を第 2 の半導体スイッチング素子により遮断するものである。このため、整流ダイオードの逆回復を回避し、かつ、整流ダイオードの低い順電圧降下特性を利用することにより、電力変換装置の高効率化を実現することができる。

図面の簡単な説明

[0026] [図1]本発明の第 1 実施形態を示す回路図である。
[図2]本発明の第 2 実施形態を示す回路図である。
[図3]本発明の第 3 実施形態を示す回路図である。
[図4]本発明の第 4 実施形態を示す回路図である。
[図5]本発明の第 5 実施形態を示す回路図である。
[図6]第 1 の従来技術を示す回路図である。
[図7]第 2 の従来技術を示す回路図である。
[図8]第 3 の従来技術を示す回路図である。

発明を実施するための形態

[0027] 以下、図に沿って本発明の実施形態を説明する。

図 1 は、本発明の第 1 実施形態を示す回路図である。図 1 の回路の一部は図 6 と同一であるが、本実施形態を明確にするために、その全体的な構成を以下に説明する。

[0028] 図1において、直流電源1の両端には、リアクトル2とダイオード4とコンデンサ5とが直列に接続され、コンデンサ5には負荷6が並列に接続されている。また、ダイオード4のアノードと直流電源1の負極との間には、第1の半導体スイッチング素子3が接続されている。更に、ダイオード4には、整流ダイオード21と第2の半導体スイッチング素子22との直列回路が並列に接続されている。

ここで、半導体スイッチング素子（以下、単にスイッチング素子という）3, 22にはMOSFETが用いられている。また、ダイオード4は、例えばファーストリカバリダイオードである。

[0029] この回路の基本的な動作は、前述した図6の回路と同様である。すなわち、スイッチング素子3のオン・オフの時比率を制御することにより、電流 I_L を任意の値に制御することが可能であり、入力電力の制御によって電圧 E を入力電圧 V_{in} より高い任意の値に制御することができる。

[0030] ここで、スイッチング素子22に順方向に電圧が加わる状態では、ダイオード4にも順方向に電圧が加わる。従って、スイッチング素子22は、定常的には順方向にダイオード4の順電圧降下を超える電圧は加わらないので、耐圧が極めて低い素子を用いることができる。また、スイッチング素子22は、逆方向に対してはその寄生ダイオード（図示せず）により導通状態となるので、逆電圧がほとんど加わらず、逆方向電流の阻止は整流ダイオード21が担うことになる。

[0031] 後述するように、スイッチング素子22には、そのターンオフ時に配線インダクタンスに起因するサージ電圧が多少印加される。このため、例えばコンデンサ5の電圧 E が数100[V]の回路では、耐圧が数10[V]程度のスイッチング素子22を選定する。MOSFETのオン抵抗は、およそ耐圧の2乗に比例するので、同じ外形の素子であれば、スイッチング素子3のオン抵抗に対してスイッチング素子22は $1/100$ またはそれ以下となる。

このように、スイッチング素子22は、回路電圧が数100[V]に対応

可能な耐圧を有する素子に比べ、オン抵抗が極めて小さいため、整流ダイオード 21 と直列に接続することによる順電圧降下の増加はほぼ無視することができる。

[0032] いま、スイッチング素子 3 がオフした際にスイッチング素子 22 をオンしておく、整流ダイオード 21 とスイッチング素子 22 との直列回路、及びダイオード 4 が導通する。ここでは、整流ダイオード 21 の方がダイオード 4 よりも順電圧降下が小さく、上述したようにスイッチング素子 22 のオン抵抗はほとんど無視できるので、電流の大部分は整流ダイオード 21 とスイッチング素子 22 との直列回路を流れ、順電圧降下は整流ダイオード 21 によるものが支配的となる。

[0033] また、スイッチング素子 3 を再度オンする直前のタイミングでスイッチング素子 22 をオフすると、電流 I_L はダイオード 4 に転流する。この際、整流ダイオード 21 → スwitchング素子 22 → ダイオード 4 の一巡経路に存在する配線インダクタンス（図示せず）により、若干のサージ電圧が発生するが、このサージ電圧はスイッチング素子 22 のターンオフ速度を低くすることで十分抑制可能である。

通常のスイッチング電源回路と異なり、この時にスイッチング素子 22 に並列に接続される電圧源はなく、わずかにダイオード 4 の順電圧降下がそれに相当するのみであるから、スイッチング素子 22 のターンオフ速度を低下させてもスイッチング損失は無視できる程度しか発生しない。

[0034] スwitchング素子 3 がオンすると、ダイオード 4, 21 には電圧 E とほぼ等しい大きさの逆電圧が印加され、ダイオード 4 は逆回復する。前述したようにダイオード 4 にファーストリカバリダイオードを用いることにより、逆回復損失は小さく、特に WBG 材料によるショットキーバリアダイオードを用いる場合には、逆回復損失はほとんど発生しない。

[0035] 一方、整流ダイオード 21 については、順電流がない状態から逆電圧が印加されることになるため、逆回復現象は発生せず、整流ダイオード 21 の寄生キャパシタンス（図示せず）の充電に伴うわずかな損失だけが発生する。

ダイオード4が導通するのは、スイッチング素子22がオフしてからスイッチング素子3がオンするまでのごく短い期間であるから、ダイオード4には、パルス電流耐量の許す範囲で、電流容量の小さい素子を用いることができる。

スイッチング素子22を再度オンするタイミングは、スイッチング素子3のターンオンが終了した後であればいつでも良く、スイッチング素子3のターンオフを待つ必要はない。

[0036] また、ダイオードは、パルス電流が流れる際に、過渡オン電圧と呼ばれる、通常の順電圧降下よりも高い電圧が短時間発生することがある。図1の回路では、スイッチング素子3のターンオフ時にスイッチング素子22がオフしていると、ダイオード4にパルス電流が流れて過渡オン電圧が発生する。この過度オン電圧は、損失増加やスイッチング素子3に印加される電圧が増加する原因になるが、スイッチング素子22を予めオンして整流ダイオード21とスイッチング素子22との直列回路による電流経路を形成しておくことで、ダイオード4による過渡オン電圧の発生も回避することができる。

[0037] 次に、図2は本発明の第2実施形態を示す回路図である。

この第2実施形態は、図1における直流電源1に代えて整流電源を用いた例であり、整流電源は、図7と同様に、交流電源11と整流ダイオード13～16によるブリッジ整流回路とによって構成されている。なお、12はフィルタ用のコンデンサである。

この回路は、PFC (Power Factor Correction) 回路として良く知られているものであり、前述したように電流 I_L を任意に制御可能な特性を利用して、入力電流 I_{in} を入力電圧 V_{in} と同位相の正弦波としつつ電圧 E を所望の値に保つことができる。

ダイオード4、21及びスイッチング素子22の動作は第1実施形態と同様であるため、説明を省略する。

[0038] なお、図2の回路において、交流電源11の瞬時電圧低下からの復帰時、あるいは他の原因による入力過電流の際に、スイッチング素子3をオフして

スイッチング素子 22 をオンの状態に保てば、ダイオード 4 との順電圧降下の差により、電流のほとんどは整流ダイオード 21 とスイッチング素子 22 との直列回路に流れる。つまり、従来技術としての図 7, 図 8 におけるバイパスダイオード 17 と同様の役割を、整流ダイオード 21 により果たすことができる。

[0039] この場合、例えば図 7 に対して図 2 における追加部品は、低耐圧のため小型のスイッチング素子 (MOSFET) 22 とその駆動回路のみであり、追加部品のコストはわずかであるのに加え、高価なファーストリカバリダイオード等のダイオード 4 の電流容量を小さくすることができる。このため、図 2 の回路によれば、図 7 の回路に比べて高効率化を図れるばかりか、コストの低減も可能である。

[0040] なお、ダイオードの順電圧降下に伴う損失を低減する別の方法として、例えば特開 2014-79144 号公報に示されるように、ダイオードを MOSFET に置き換える方法がある。MOSFET は、寄生ダイオードにより逆方向に導通する特性を持つが、これに加えて、MOSFET 本体も、ゲートに電圧を印加すると順方向のみならず逆方向にも導通する。これは同じく抵抗特性を持つので、寄生ダイオードの順電圧降下よりも更に電圧を下げることができ、同期整流として一般に良く知られた技術である。

[0041] しかしながら、例えば図 1 や図 2 の回路において、ダイオード 4 を MOSFET に置き換えるか、あるいは、ダイオード 4 に並列に MOSFET を接続すると、その寄生ダイオードが逆回復を起こす。コンデンサ 5 の電圧 E が数 100[V] 以上である場合、これに対応した高耐圧の MOSFET が有する寄生ダイオードは一般に逆回復損失が極めて大きく、その損失により自身が破壊してしまうこともあるので、逆回復が発生する回路には原則として適用できない。これに対しては、整流ダイオード 21 を高耐圧の MOSFET に置き換え、スイッチング素子 22 で順電流を遮断することにより逆回復を回避することができる。しかし、低オン抵抗の MOSFET は一般にドレイン・ソース間の寄生キャパシタンスが大きい。従って、図 1 や図 2 における

整流ダイオード 21 よりも大きな充電損失が発生することになり、高周波スイッチングを行う装置では、導通損失の低減効果を相殺してしまう。

以上のような理由により、図 1 や図 2 の回路におけるダイオード 4 を MOSFET により置き換えること等は妥当ではない。

[0042] 次に、図 3 は、本発明の第 3 実施形態を示す回路図である。この実施形態は、ブリッジ整流回路を不要とした、いわゆるブリッジレス PFC 回路に本発明を適用した例である。

図 3 において、直流電源 11 の両端にはコンデンサ 12 が接続され、コンデンサ 12 の一端は、リアクトル 2 を介して、ダイオード（ファーストリカバリダイオード）33 とスイッチング素子 31 との直列接続点に接続されている。ダイオード 33 とスイッチング素子 31 との直列回路には、ダイオード（ファーストリカバリダイオード）34 とスイッチング素子 32 との直列回路と、コンデンサ 5 と、負荷 6 とが並列に接続されている。

ここで、スイッチング素子 31, 32 は、請求項における第 1 の半導体スイッチング素子に相当する。

[0043] また、ダイオード 33 には、スイッチング素子 37 と整流ダイオード 35 との直列回路が並列に接続され、ダイオード 34 には、スイッチング素子 38 と整流ダイオード 36 との直列回路が並列に接続されている。ここで、スイッチング素子 37, 38 は、請求項における第 2 の半導体スイッチング素子に相当する。

更に、前記コンデンサ 12 の他端は、ダイオード 34 とスイッチング素子 32 との直列接続点に接続されている。

この実施形態においても、スイッチング素子 31, 32, 37, 38 には MOSFET が用いられている。

[0044] 前述した図 2 において、例えば電流 i_n が正極性であるときにスイッチング素子 3 がオンした場合の電流経路は、交流電源 11 → 整流ダイオード 13 → リアクトル 2 → スwitchング素子 3 → 整流ダイオード 16 → 交流電源 11 となり、3 個の半導体素子を電流が通過する。

これに対し、図3の第3実施形態において、同じく電流 I_{in} が正極性であるときにスイッチング素子3がオンした場合の電流経路は、交流電源11→リアクトル2→スイッチング素子31→スイッチング素子32の寄生ダイオード（図示せず）→交流電源11となり、2個の半導体素子のみを電流が通過するため、図2に比べて導通損失を低減することができる。

[0045] また、図3においてスイッチング素子31がオフすると、最初に交流電源11→リアクトル2→整流ダイオード35→スイッチング素子37→コンデンサ5→スイッチング素子32の寄生ダイオード→交流電源11の経路で電流が流れ、スイッチング素子37がオフすると、電流はダイオード33に転流し、その後にスイッチング素子31を再度オンさせる。この動作は、図1の第1実施形態と同様である。

更に、電流 I_{in} が負極性の場合にはスイッチング素子32、整流ダイオード36、スイッチング素子38、ダイオード34からなる回路が同様の動作を行う。

[0046] 次に、図4は本発明の第4実施形態を示す回路図であり、直流電源1による入力電圧 V_{in} を、これより低い電圧 E に変換する降圧チョッパ回路に本発明を適用した例である。

図4において、直流電源1の両端にはコンデンサ5が接続されている。コンデンサ5の両端には、スイッチング素子3とダイオード4との直列回路が接続され、ダイオード4の両端には、整流ダイオード21とスイッチング素子22との直列回路が接続されている。更に、ダイオード4の両端には、リアクトル2と負荷6との直列回路が接続されている。

ここで、ダイオード4は、前記同様にWBG材料を用いたショットキーバリアダイオード等のファーストリカバリダイオードであり、スイッチング素子3、22にはMOSFETが用いられている。

[0047] この回路では、スイッチング素子3のオンにより負荷6に電流が流れると共に、リアクトル2にエネルギーが蓄積される。そして、スイッチング素子3がオフしてスイッチング素子22がオンすると、電流 I_L が整流ダイオード

21とスイッチング素子22との直列回路に流れ、スイッチング素子22がオフすると、電流 I_L がダイオード4に転流する。その後、スイッチング素子3が再度オンすると、ダイオード4が逆回復する。

この回路において、スイッチング素子3をオフした後のダイオード4、21の機能やスイッチング素子22の機能は、図1、図2の回路と同様であるため、説明を省略する。

[0048] 次いで、図5は本発明の第5実施形態を示す回路図であり、図2に示した第2実施形態の変形例に相当する。

すなわち、図5の第5実施形態では、図2におけるブリッジ整流回路内のダイオード13、15をサイリスタ13T、15Tにそれぞれ置き換えている。その他の構成は図2と同様である。なお、サイリスタ13T、15Tの代わりに、順逆両方向に所定の耐圧を有し、順方向の電流を制御可能な半導体素子を用いても良い。

[0049] 前述したように、図8に示した第3の従来技術では、装置の大容量化により抵抗51やスイッチ52が大型化する、スイッチング素子3等の短絡故障時に抵抗51が焼損する、等のおそれがあり、これらは、コンデンサ5の初期充電回路（抵抗51及びスイッチ52）の構成に起因している。図5に示す第5実施形態は、上記の問題を解決するためのものである。

[0050] 第5実施形態では、コンデンサ5を初期充電する際に、入力電圧 V_{in} の瞬時値が低下する電気角 $90^\circ \sim 180^\circ$ の期間、あるいは $270^\circ \sim 360^\circ$ の期間で、かつコンデンサ5の電圧 E にほぼ等しいタイミングでサイリスタ13Tまたは15Tがオンするように位相制御する。これにより、図8における抵抗51やスイッチ52を用いずに突入電流の流入を防止することができ、装置の小型化や安全性の向上を図ることができる。図5において、サイリスタ13T、15Tの導通期間中に入力電圧 V_{in} が急増した場合には、サイリスタ13T、15Tの出力側（カソード）に直列に接続されたリアクトル2が過電流の抑制機能を果たす。しかし、ダイオード4のサージ電流耐量を上回る電流が流入する可能性がある。そこで、初期充電中にあらかじめ

MOSFET 22 をオンさせておけば、流入電流の大半は整流ダイオード 21 と MOSFET 22 を流れる。整流ダイオード 21 と MOSFET 22 とは、ダイオード 4 よりも順電圧降下が小さく、サージ電流耐量が大きいため、サージ電流による損傷を回避できる。

[0051] 以上説明したように、第 1 ～ 第 5 実施形態においては、導通損失の小さい整流ダイオード 21, 35, 36 と第 2 の半導体スイッチング素子 22, 37, 38 との直列回路を、逆回復損失が小さいダイオード（ファーストリカバリダイオード）4, 33, 34 に並列に接続し、逆回復が生じる前の順電流を第 2 の半導体スイッチング素子 22, 37, 38 により遮断している。このため、整流ダイオード 22, 37, 38 の逆回復を回避し、かつ、整流ダイオード 22, 37, 38 が有する低い順電圧降下特性を利用することができ、逆回復損失及び導通損失を低減して高効率の電力変換装置を実現することが可能である。

産業上の利用可能性

[0052] 本発明は、いわゆる昇圧チョップ回路や降圧チョップ回路など、負荷に直流電圧を供給する各種の電力変換装置に利用することができる。

符号の説明

[0053] 1 : 直流電源
2 : リアクトル
3, 22, 31, 32, 37, 38 : 半導体スイッチング素子 (MOSFET)
4, 33, 34 : ダイオード (ファーストリカバリダイオード)
5, 12 : コンデンサ
6 : 負荷
11 : 交流電源
13 ～ 16 : 整流ダイオード
13T, 15T : サイリスタ
21, 35, 36 : 整流ダイオード

請求の範囲

[請求項1]

第1の半導体スイッチング素子とファーストリカバリダイオードとコンデンサとを直列に接続してなる閉回路と、前記第1の半導体スイッチング素子と前記ファーストリカバリダイオードとの接続点に一端が接続されたリアクトルと、を備え、前記第1の半導体スイッチング素子と前記ファーストリカバリダイオードと前記リアクトルとによってチョッパ回路を構成すると共に、前記第1の半導体スイッチング素子のスイッチング動作により、前記チョッパ回路の入力電圧を大きさが異なる電圧に変換して負荷に供給する電力変換装置であって、

前記第1の半導体スイッチング素子のオン時に前記リアクトルを流れる電流が前記第1の半導体スイッチング素子を流れ、前記第1の半導体スイッチング素子のオフ時に前記リアクトルを流れる電流が前記ファーストリカバリダイオードを流れるようにした電力変換装置において、

前記ファーストリカバリダイオードに並列に、前記ファーストリカバリダイオードよりも逆回復損失が大きいと共に順電圧降下の小さい整流ダイオードと、前記第1の半導体スイッチング素子よりも低耐圧であって順電圧降下の小さい第2の半導体スイッチング素子との直列回路を接続し、

前記第1の半導体スイッチング素子のオフ時に前記第2の半導体スイッチング素子をオンさせ、前記第1の半導体スイッチング素子がオフからオンへ移行する前のタイミングで前記第2の半導体スイッチング素子をオフさせることを特徴とする電力変換装置。

[請求項2]

請求項1に記載した電力変換装置において、

前記リアクトルと前記第1の半導体スイッチング素子との直列回路の両端に電源部を接続し、前記第1の半導体スイッチング素子のスイッチング動作により、前記第1の半導体スイッチング素子と前記ファーストリカバリダイオードとの直列回路の両端に接続された前記コン

デンサに発生させた電圧を、前記コンデンサに並列に接続された前記負荷に供給することを特徴とする電力変換装置。

[請求項3] 請求項1に記載した電力変換装置において、

前記第1の半導体スイッチング素子と前記ファーストリカバリダイオードとの直列回路の両端に前記コンデンサを接続すると共に、前記コンデンサに並列に電源部を接続し、前記第1の半導体スイッチング素子のスイッチング動作により、前記コンデンサと前記第1の半導体スイッチング素子と前記リアクトルとの直列回路の両端に接続された前記負荷に電圧を供給することを特徴とする電力変換装置。

[請求項4] 請求項1に記載した電力変換装置において、

前記チョッパ回路の入力側に、電源部を構成する交流電源とブリッジ整流回路とを接続し、または、複数の前記チョッパ回路の入力側に電源部を構成する交流電源を接続して電源電圧の正負両極性に対応させることにより、交流一直流変換装置として動作させることを特徴とする電力変換装置。

[請求項5] 請求項1に記載した電力変換装置において、

前記チョッパ回路の入力電流が所定値を超えて過電流となった時に、前記第1の半導体スイッチング素子をオフすると共に前記第2の半導体スイッチング素子をオンすることを特徴とする電力変換装置。

[請求項6] 請求項1に記載した電力変換装置において、

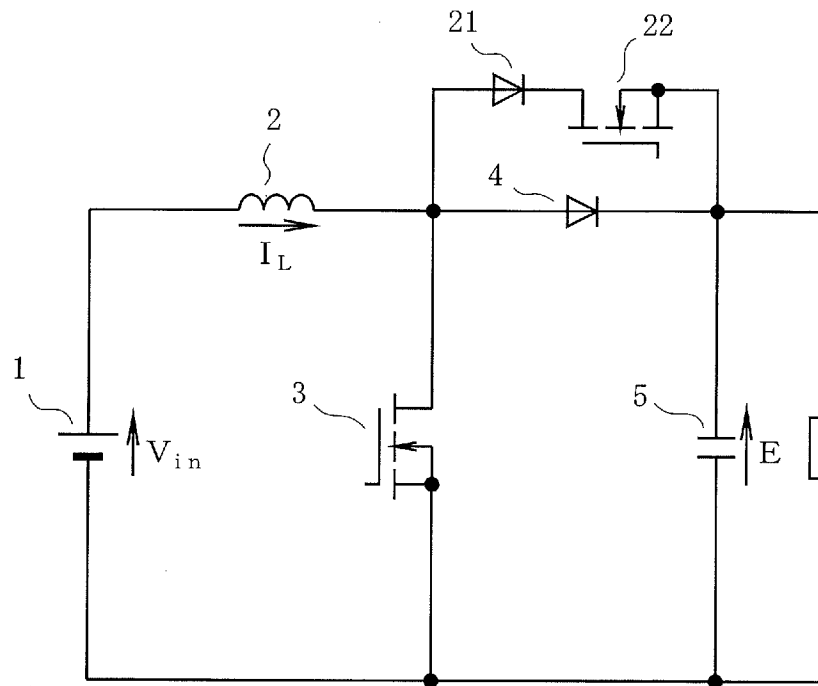
前記チョッパ回路の入力側に電源部を構成する交流電源とブリッジ整流回路とを接続し、前記ブリッジ整流回路における少なくとも2個の整流素子に、サイリスタ、または順逆両方向に所定の耐圧を有し、かつ順方向の電流を制御可能な半導体素子を用いたことを特徴とする電力変換装置。

[請求項7] 請求項1～請求項6の何れか1項に記載した電力変換装置において、

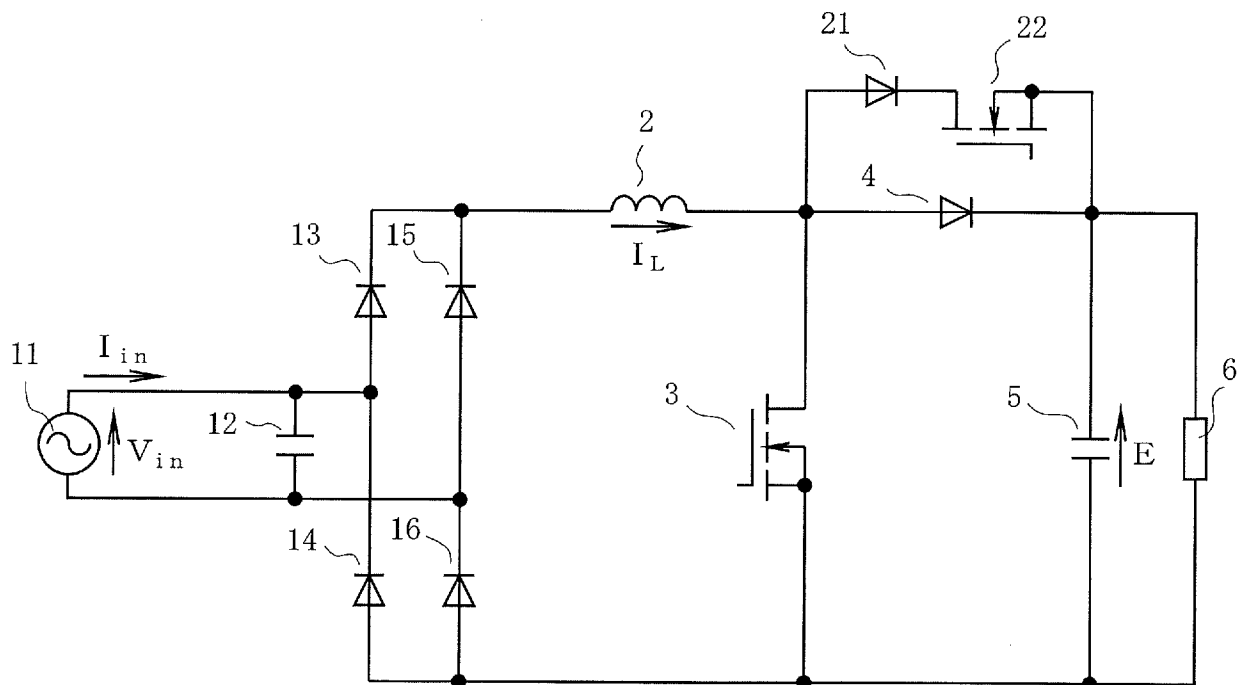
前記ファーストリカバリダイオードをワイドバンドギャップ半導体

により構成したことを特徴とする電力変換装置。

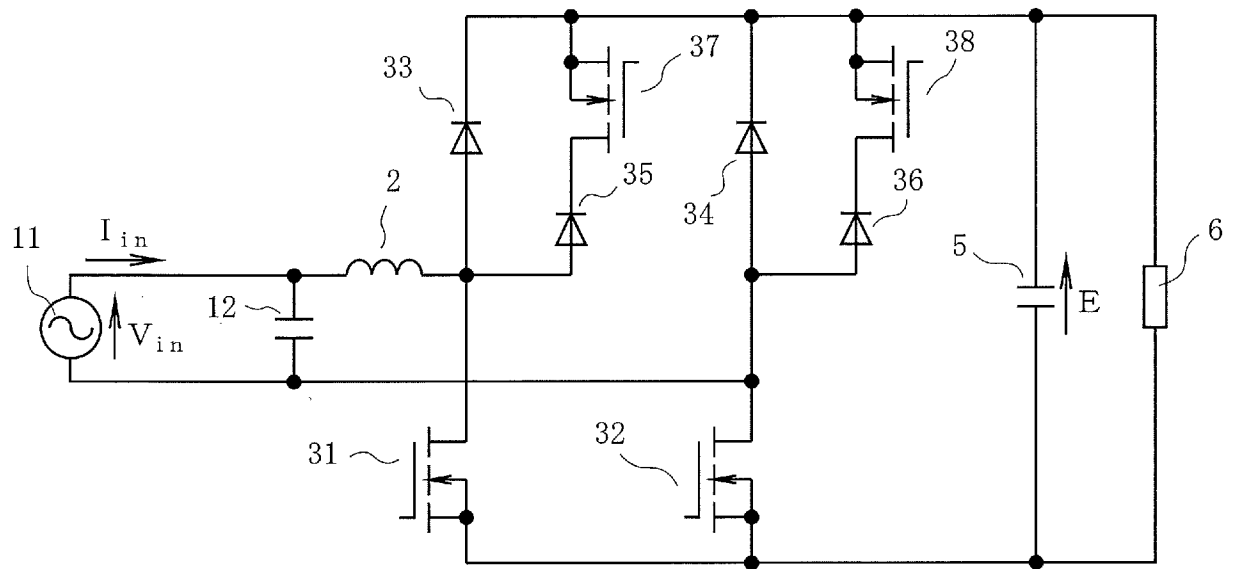
[図1]



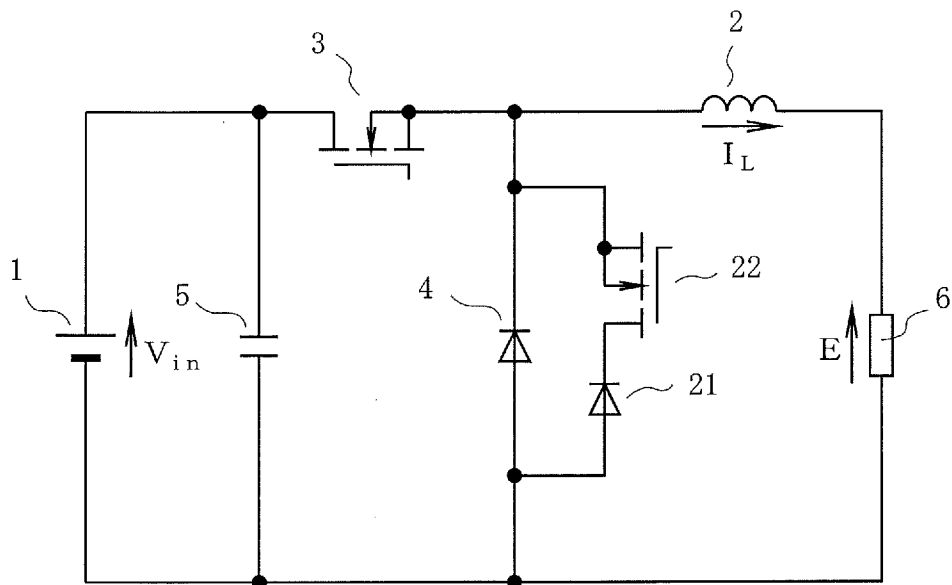
[図2]



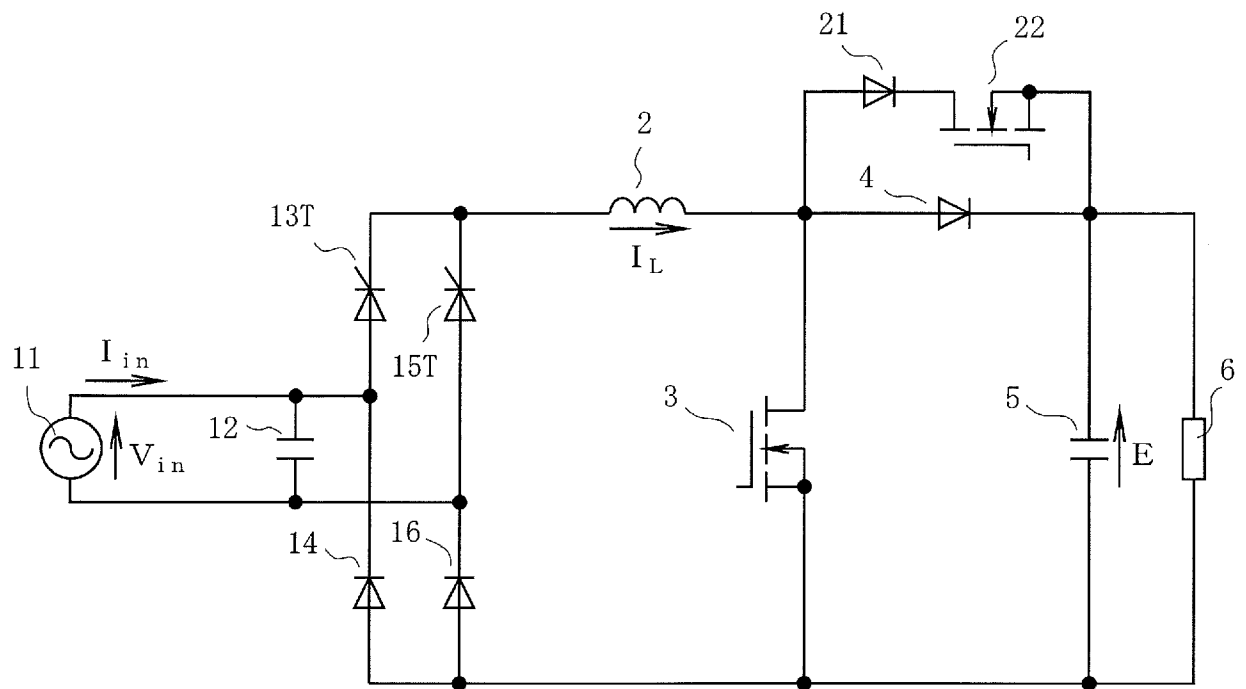
[図3]



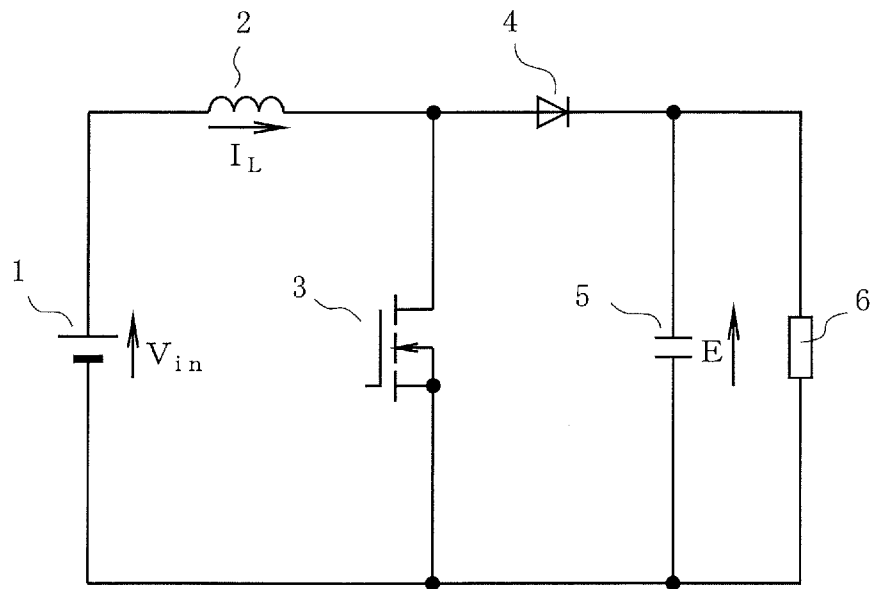
[図4]



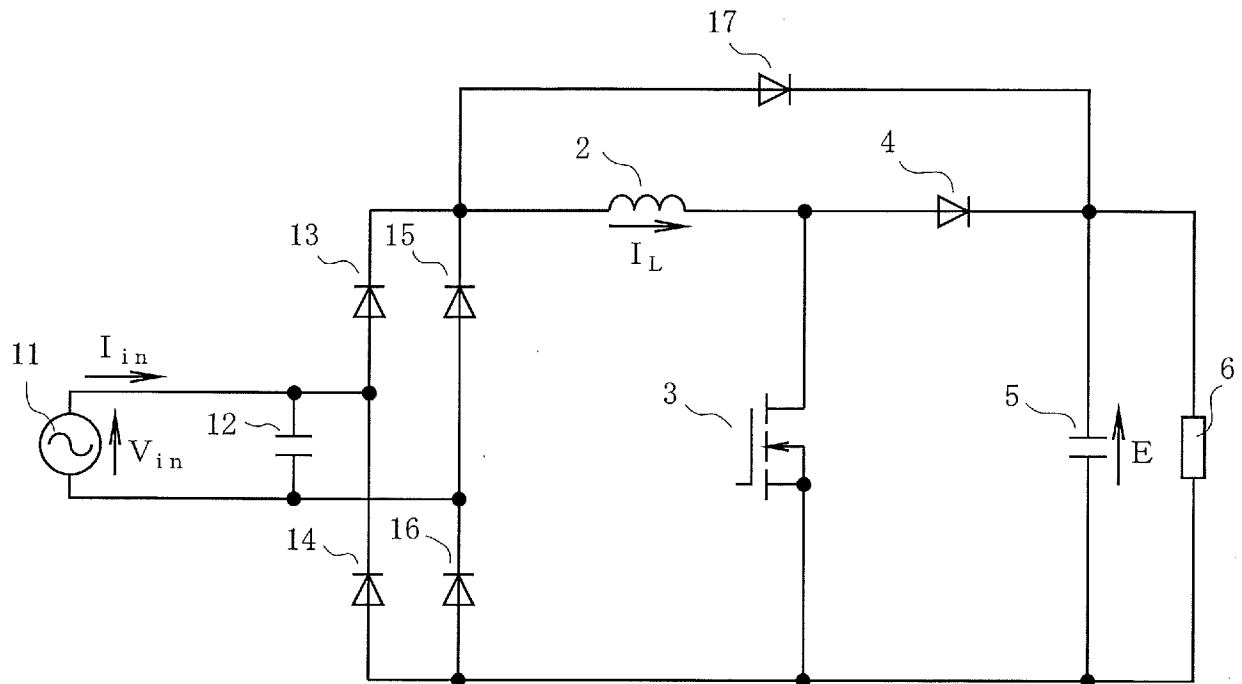
[図5]



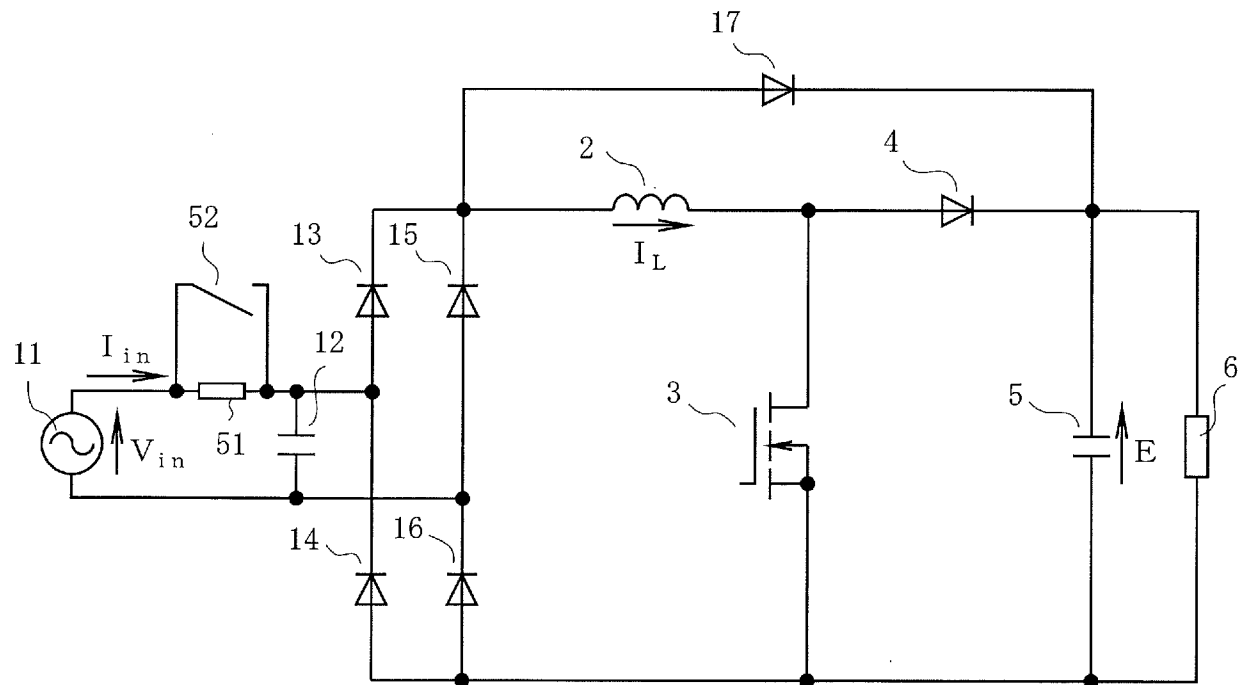
[図6]



[図7]



[図8]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2016/062196

A. CLASSIFICATION OF SUBJECT MATTER

H02M3/155(2006.01) i, H02M7/12(2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H02M3/155, H02M7/12

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2016
Kokai Jitsuyo Shinan Koho	1971-2016	Toroku Jitsuyo Shinan Koho	1994-2016

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2012-70580 A (Mitsubishi Electric Corp.), 05 April 2012 (05.04.2012), paragraphs [0013] to [0077]; fig. 1 to 9 & US 2013/0152624 A1 paragraphs [0025] to [0088]; fig. 1 to 9 & WO 2012/042579 A1 & EP 2624424 A1 & CN 103125066 A & KR 10-2013-0042032 A	1-7
P, X	JP 2015-226441 A (Fujitsu General Ltd.), 14 December 2015 (14.12.2015), paragraphs [0017] to [0031]; fig. 1, 2 (Family: none)	1-5, 7

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
09 June 2016 (09.06.16)

Date of mailing of the international search report
21 June 2016 (21.06.16)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

A. 発明の属する分野の分類（国際特許分類（IPC））

Int.Cl. H02M3/155(2006.01)i, H02M7/12(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

Int.Cl. H02M3/155, H02M7/12

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2016年
日本国実用新案登録公報	1996-2016年
日本国登録実用新案公報	1994-2016年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2012-70580 A（三菱電機株式会社）2012.04.05, [0013]-[0077], 図1-9 & US 2013/0152624 A1, [0025]-[0088], 図1-9 & WO 2012/042579 A1 & EP 2624424 A1 & CN 103125066 A & KR 10-2013-0042032 A	1-7
P, X	JP 2015-226441 A（株式会社富士通ゼネラル）2015.12.14, [0017]-[0031], 図1, 2（ファミリーなし）	1-5, 7

C欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

09.06.2016

国際調査報告の発送日

21.06.2016

国際調査機関の名称及びあて先

日本国特許庁（ISA/J P）

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

麻生 哲朗

5G

2953

電話番号 03-3581-1101 内線 3526