

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5567118号  
(P5567118)

(45) 発行日 平成26年8月6日(2014.8.6)

(24) 登録日 平成26年6月27日(2014.6.27)

(51) Int. Cl.	F I
<b>G09G 3/36 (2006.01)</b>	G09G 3/36
<b>G09G 3/20 (2006.01)</b>	G09G 3/20 624C
<b>G02F 1/133 (2006.01)</b>	G09G 3/20 624D
<b>G02F 1/1368 (2006.01)</b>	G09G 3/20 624B
	G09G 3/20 670J

請求項の数 9 (全 27 頁) 最終頁に続く

(21) 出願番号	特願2012-505174 (P2012-505174)	(73) 特許権者	509297808
(86) (22) 出願日	平成22年4月15日 (2010.4.15)		ストア、エレクトロニック、システムズ
(65) 公表番号	特表2012-524289 (P2012-524289A)		STORE ELECTRONIC SYSTEMS
(43) 公表日	平成24年10月11日 (2012.10.11)		フランス国アルジャントゥーイユ、リュ、
(86) 国際出願番号	PCT/EP2010/054994		ド、モンティニー、39
(87) 国際公開番号	W02010/119113	(74) 代理人	100070150
(87) 国際公開日	平成22年10月21日 (2010.10.21)		弁理士 伊東 忠彦
審査請求日	平成24年5月14日 (2012.5.14)	(74) 代理人	100091214
(31) 優先権主張番号	12/424, 319		弁理士 大貫 進介
(32) 優先日	平成21年4月15日 (2009.4.15)	(74) 代理人	100107766
(33) 優先権主張国	米国 (US)		弁理士 伊東 忠重
		(72) 発明者	ノイゲバウアー、チャールズ エフ. アメリカ合衆国、シーエー94024、ロ ス アルトス、アロヨ ロード 782 最終頁に続く

(54) 【発明の名称】 ディスプレイ回路及びその動作方法

(57) 【特許請求の範囲】

【請求項1】

ディスプレイ回路を動作させる方法であって、前記ディスプレイ回路は、コモン電極に接続され且つ複数の行信号を介して行ドライバ回路に接続される複数のアクティブマトリクスセルを有し、当該方法は：

前記コモン電極を変調すること；

前記複数のアクティブマトリクスセルに複数の電荷を書き込むこと；及び

前記アクティブマトリクスセルの電荷を維持し且つ前記行ドライバ回路における電力損失を低減するよう、フレーム書込処理の開始時に前記コモン電極の負側への変調と同時に、前記コモン電極の前記負側への変調と同じ極性及び振幅で、前記行信号の全てを変調すること；

を有し、

前記ディスプレイ回路は、行及び列のドライバと、前記行及び列のドライバに結合された複数の画素回路とを有し、各画素回路が、液晶ディスプレイ(LCD)の1つの画素に接続された少なくとも2つの直列のトランジスタを有し、

当該方法は：

前記行及び列のドライバが、前記画素回路の前記トランジスタに第1の負のゲート電圧及び第1の正のゲート電圧を印加して前記LCDの画素への導通経路を形成し、前記導通経路を介して画素に電荷を送ることによって、前記LCDに新たなフレームを書き込むフレーム書込処理と、

フレーム書込処理同士の間、各画素回路に対して、前記第 1 の負のゲート電圧より高い第 2 の負のゲート電圧を印加すること

を有する、

方法。

【請求項 2】

前記第 2 の負のゲート電圧は、前記画素回路の前記トランジスタのドレーン - ソース電流を最小化する、請求項 1 に記載の方法。

【請求項 3】

フレーム書込処理同士の間、前記行ドライバは、前記フレーム書込処理のレートより高いレートで、前記画素回路の前記トランジスタの全てより少ないトランジスタに、前記第 1 の正のゲート電圧より低い第 2 の正のゲート電圧を印加する、請求項 1 又は 2 に記載の方法。

10

【請求項 4】

前記第 2 の正のゲート電圧は、画素の前記 2 つの直列のトランジスタの一方ずつに交互に印加される、請求項 3 に記載の方法。

【請求項 5】

前記第 2 の正のゲート電圧は、全ての行に同時に印加される、請求項 4 に記載の方法。

【請求項 6】

前記行及び列のドライバは、10 Hz 以下のレートで前記 LCD のフレームを更新する、請求項 1 乃至 5 の何れか一項に記載の方法。

20

【請求項 7】

前記行及び列のドライバは、1 Hz 以下のレートで前記 LCD のフレームを更新する、請求項 1 乃至 6 の何れか一項に記載の方法。

【請求項 8】

画素アレイ用のディスプレイ回路であって：

行及び列のドライバ；

コモン電極に接続され且つ複数の行信号を介して前記行ドライバに接続される複数のアクティブマトリクス画素；及び

前記行及び列のドライバに結合された複数の画素回路であり、各画素回路が、液晶ディスプレイ (LCD) の 1 つの画素に接続された少なくとも 2 つの直列のトランジスタを有する、複数の画素回路；

30

を有し、

当該ディスプレイ回路は、請求項 1 乃至 7 の何れか一項に記載の方法によって動作されるように構成されている、

ディスプレイ回路。

【請求項 9】

前記トランジスタは、水素化アモルファスシリコン薄膜トランジスタ (a-Si:H TFT) を有する、請求項 8 に記載のディスプレイ回路。

【発明の詳細な説明】

【技術分野】

40

【0001】

この開示は、低電力アクティブマトリクス型ディスプレイに関する。

【背景技術】

【0002】

低電力ディスプレイは、殆どの移動 (モバイル) 電子装置の必須のシステムコンポーネントである。表示サブシステムはしばしば、それらの装置の多くにおいて、電池電力を最も多く消費するものの 1 つであるとともに、最も高価な部品の 1 つでもある。ディスプレイ産業は、装置及びシステムの技術革新により、視覚性能、電力消費量及びコストを改善すべく絶えず進化を遂げてきた。しかしながら、技術的かつ経済的に持続可能なものとなるために、電力及びコストの更なる有意な改善を必要とする重要用途の部類が存在する。

50

## 【 0 0 0 3 】

モバイル装置、コンピュータモニタ及びフラットパネルTVの有力なディスプレイ技術は、現在のところ、アクティブマトリクス型LCD技術としても一般的に知られる水素化アモルファス（非晶質）シリコン薄膜トランジスタ（ $a-Si:H$  TFT）液晶である。高度な製造技術が、毎年1億平方メートルを超えるフラットパネルディスプレイの生産能力を備えた高効率な世界規模の生産エンジンをサポートしている。この技術における最も一般的なディスプレイアーキテクチャは、1つ以上のドライバICによって駆動されるガラスパネル上の単純なTFT画素アレイである。

## 【 0 0 0 4 】

$a-Si:H$  TFTプロセスにてディスプレイを構築する上での1つの重大な障害は、 $a-Si:H$  TFTデバイスの乏しい性能及び長期信頼性である。単一グレーンのシリコンCMOS技術と比較して、 $a-Si:H$  TFTは、ガラス上のトランジスタの速度及び駆動能力を制限してしまう非常に低い電気移動度を有する。また、 $a-Si:H$  TFTトランジスタは、大きい閾値電圧シフト及びサブスレッショルド勾配劣化を経時的に蓄積し得るものであり、トランジスタのオン・オフ・デューティサイクル及びバイアス電圧に厳しい制約を課した場合にのみ製品寿命要求を満たすことができる。“アクティブマトリクス型液晶ディスプレイ用の水素化アモルファスシリコン薄膜トランジスタの電氣的な不安定性”、及び“ACゲートバイアスストレスの下での $a-Si:H$ 薄膜トランジスタの不安定性に対する温度及び照明の影響”が、 $a-Si:H$  TFTにおいて見られるゲートバイアスストレスによって誘起される閾値シフト及びサブスレッショルド勾配劣化の良好な概略を与える。

## 【 0 0 0 5 】

正ストレス蓄積過程及び負ストレス蓄積過程は、大きく異なる蓄積速度及びゲート駆動波形に対する感度を有する。典型的なフラットパネルリフレッシュ回路で使用される駆動波形の帯域内の一次まで、正ストレスの蓄積は、ゲート波形の周波数成分に強くは依存せず、積分された“オン”時間と所与のゲートの電圧との関数として比較的急速に蓄積する。正ストレスが印加されるとき、TFTデバイスの電圧閾値は典型的に増大される。TFT回路は典型的に、最大許容正閾値シフトを有し、これを超えると所望のデバイス機能が停止する。

## 【 0 0 0 6 】

負ストレス蓄積は、対照的に、フラットパネルディスプレイで通常使用される周波数帯域内の周波数に強く依存し、より高い周波数では、よりゆっくり蓄積する。負ストレス蓄積は典型的に、負の閾値シフト及びサブスレッショルド勾配劣化の双方として現れる。負ストレスが有意な影響を有するには、典型的な $a-Si:H$  TFTのゲートは負バイアスの連続した伸張（例えば、典型的な $a-Si:H$  TFTデバイスに対して100ms以上）を必要とする。従来のように走査されるTFTフラットパネルディスプレイにおいて、ゲート電圧は、非常に短い時間（例えば、16.600msごとに約15 $\mu$ sである1つの行時間（ラインタイム）；デューティサイクルの約0.1%）だけ正であり、フレーム周期の残り時間（例えば、フレーム周期のうちの16.585ms又は約99.9%）にわたって負である。仮に負ストレスの強い周波数依存性がなければ、従来60Hzパネル駆動は、負ストレス蓄積がすぐにディスプレイを機能しないものとするため、非常に短い動作寿命を有することになる。

## 【 0 0 0 7 】

電子システムのシステム電力を最小化するための重要な技術の1つは、動作周波数を制限あるいは低減することである。電力消散はしばしば、典型的なTFT LCDディスプレイにおけるリフレッシュ周波数にほぼ比例する。表示コンテンツが高速な光応答を必要としない一部の用途（例えば、ゆっくりと更新されるもの又は静止情報）では、TFT LCDの電力消散は、従来のように60Hzで走査されるのに対して例えば1Hzでフレームリフレッシュを駆動することによって、有意に低減されることができる。このような低減は、電力に関しては好ましいが、デバイスにとっては問題がある。第1に、ディスプ

10

20

30

40

50

レイの光学的な品質が損なわれ、低いフレームレートではディスプレイは有意にちらつき（フリッカーを生じ）得る。第2に、低いフレームレートでは、画素のTFTの負ストレス蓄積が、60Hzにおいてより遙かに急速に起こり、ディスプレイの機能を迅速に劣化させることになる。結果として、60Hzから30Hz、さらには20Hzへのフレームレートの低減が電力低減技術として使用されてきているが、TFTデバイスの信頼性制限が、従来のディスプレイにおける更なるフレームレートの低減を妨げてしまう。ここで説明するディスプレイはこれらの制限を解消するものである。

【0008】

例えば電子書籍、電子掲示板及び電子価格ラベルなど、必要でなければ何ヶ月又は何年という電池寿命が望まれるディスプレイ用途が存在する。表示コンテンツの変更の間に殆ど或いは全く電力を必要としないそのような需要に対処するため、多数のディスプレイ技術の組が開発されてきた。そのようなディスプレイはしばしば、電子ペーパー又は双安定ディスプレイと呼ばれている。この部類のディスプレイは主に、電力を最小化するために反射モードで使用されている。主な有用性が情報の表示に基づく（例えば、モバイル電子メール、eブック、マーケティングメッセージ）装置では、電池の再充電又は充電とその次の再充電又は充電との間に一層長いアクティブな表示時間を可能とするディスプレイ技術によってその有用性が高められる。

10

【発明の概要】

【発明が解決しようとする課題】

【0009】

低フレーム周波数でリフレッシュされるTFTディスプレイにおける負ストレス蓄積を実質的に防止するディスプレイシステムが開示される。

20

【0010】

低フレーム周波数でリフレッシュされるTFTディスプレイにおける電力を実質的に低減するディスプレイシステムが開示される。

【0011】

駆動波形の時間的及び振幅の変調により、電力を最小化し且つ負ストレス蓄積を防止するディスプレイシステムも開示される。

【0012】

外部ドライバICを用いて、低フレーム周波数でリフレッシュされるTFTディスプレイにおける電力を実質的に低減するディスプレイシステムが開示される。

30

【0013】

以下の説明を図面及び特許請求の範囲を参照しながら読むことにより、この教示の更なる目的、態様及び利点が容易に理解されるであろう。

【課題を解決するための手段】

【0014】

一実施形態において、ディスプレイ回路を動作させる方法が提供される。ディスプレイ回路は、コモン電極に接続され且つ複数の行信号を介して行ドライバ回路に接続された複数のアクティブマトリクスセルを有する。当該方法は、コモン電極を変調することと、複数のアクティブマトリクスセルに複数の電荷を書き込むことと、アクティブマトリクスセルの電荷を実質的に維持し且つ行ドライバ回路における電力損失を低減するよう、コモン電極の1つ以上の変調と実質的に同じ極性及び振幅で、行信号の実質的に全てを変調することとを有する。

40

【図面の簡単な説明】

【0015】

【図1】従来技術に係る代表的な反射型TFT-LCDの断面図を示す図である。

【図2】従来技術に係るTFT-LCDアレイの代表的な回路図を示す図である。

【図3】従来技術に係る代表的なESD回路要素及びそれに関連する非線形I-V伝達曲線を示す図である。

【図4】図2の従来技術に係るTFT回路の従来技術に係るフレーム反転駆動法の代表的

50

な電圧波形の組を示す図である。

【図5】 a - S i : H T F T の正及び負のゲートバイアスストレス蓄積の周波数応答における従来技術に係る代表的な変化を示す図である。

【図6】 外部行・列ドライバ I C を備えた T F T L C D 電気システムの代表的なブロック図を示す図である。

【図7】 L C D の T F T 部分の代表的な回路図を示す図である。

【図8】 L C D の T F T 部分の代替的な実装例の代表的な回路図を示す図である。

【図9】 代表的な T F T 画素回路の模式図を示す図である。

【図10】 代表的な T F T 画素回路のレイアウトを示す図である。

【図11】 図9の T F T 画素回路の動作に関する代表的な電圧波形の第1の組を示す図である。 10

【図12】 図9の T F T 画素回路の動作に関する代表的な電圧波形の第2の組を示す図である。

【図13】 図9の T F T 画素回路の動作に関する代表的な電圧波形の第3の組を示す図である。

【図14】 T F T L C D の動作を指し示す代表的なフローチャートを示す図である。

【図15】 図12及び13の波形を生成する行ドライバ回路の代表的な出力マルチプレクサを示す図である。

【図16】 行ドライバ回路の2つの内部信号の代表的な段階的な充電を示す図である。

【図17】 薄膜トランジスタ ( T F T ) の代表的な伝達関数を示す図である。 20

【図18】 ディスプレイを備えた代表的な電子柵ラベルを示す図である。

【図19】 ディスプレイを備えた代表的な電子ショッピングカート・ハンドルバーを示す図である。

【図20】 ディスプレイを備えた代表的な電子書籍を示す図である。

【図21】 ディスプレイを備えた代表的な携帯電話を示す図である。

【図22】 ディスプレイを備えた代表的なポータブル音楽プレーヤを示す図である。

【図23】 ディスプレイを備えた代表的なフラットパネル T V 、 モニタ又は電子看板を示す図である。

【図24】 ディスプレイを備えた代表的なノートブック型コンピュータ、デジタルフォトフレーム又はポータブル D V D プレーヤを示す図である。 30

【図25】 1つ以上のディスプレイを備えた代表的なデジタル広告板を示す図である。

【符号の説明】

【0016】

以下の説明においては、以下の略語を、以下に示す意味を有することを意図して使用する。

【0017】

a - S i アモルファスシリコン

A C 交流

C M O S 相補型 M O S ( P 型及び N 型の双方の F E T を利用可能)

C O M L C D 装置のコモン電極 40

D C 直流

E C B 電氣的に制御される複屈折

E S D 静電放電

E S L 電子柵ラベル

F E T 電界効果トランジスタ

I C 集積回路

I <sub>D S</sub> ドレイン - ソース電流

L C D 液晶ディスプレイ

M O S 金属酸化物半導体

M T N ミックスモードねじれネマチック 50

N M O S   NチャンネルM O S  
 O C B    光学的に補償される屈曲  
 P D L C   高分子分散液晶  
 R G B    赤、緑、青  
 R G B W   赤、緑、青、白  
 R M S    二乗平均平方根  
 R T N    反射型ねじれネマチック  
 T F T    薄膜トランジスタ  
 V<sub>G S</sub>    ゲート・ソース電圧

【発明を実施するための形態】

【0018】

以下にて開示する更なる特徴及び教示の各々は、別々に利用されてもよいし、改善された低電力ディスプレイ並びにその設計方法及び使用方法を提供するよう、その他の特徴及び教示とともに利用されてもよい。以下では、これら更なる特徴及び教示の多くを別々あるいは組み合わせて利用する代表的な例を、添付図面を参照しながら更に詳細に説明する。この詳細な説明は、単に、この教示に係る好適な態様を実施するための更なる詳細事項を当業者に教示することを意図するものであり、請求項の範囲を限定することを意図するものではない。故に、以下の詳細な説明で開示される複数の特徴及びステップの組み合わせは、必ずしも、ここで説明する概念を最も広い意味で実施するためのものではなく、単に、この教示に係る代表的な例を具体的に説明するために教示されるものである。

【0019】

さらに、断っておくに、この説明において開示される全ての特徴は、当初の開示の目的、及び実施形態及び/又は請求項における特徴群の構成とは無関係に主題を限定する目的で、相互に別々且つ独立に開示されるものである。また、全ての値の範囲又はエンティティのグループを指し示すものは、当初の開示の目的、及び請求項に係る主題を限定する目的で、全ての取り得る中間値又は中間エンティティを開示するものである。

【0020】

図1は、反射型、単一偏光板型のTFT LCDフラットパネルディスプレイ100の簡略化した断面図を示している。制御回路102が基板101上に製造されている。制御回路102は、好ましくはアモルファスシリコンプロセスにて実装されるが、代替的に、薄膜スイッチング可能バックプレーン技術、すなわち、無機又は有機の半導体技術を用いて実装されることも可能である。基板101は、ガラス、プラスチック、水晶、金属、又はスイッチング素子の製造に対応可能なその他の基板とすることができる。電極103は、フォトリソグラフィ、エンボス加工、印刷及び/又は化学的処理によって形成されることができ、また、入射光を拡散的に反射するように粗面加工されることができ、頂部プレートと底部プレートとの間に液晶表示材料104が位置している。頂部基板107には、カラーフィルタ106と、従来から(“common”の)“COM”で表される電圧によって駆動される頂部プレート透明導電体105とが堆積されている。上部基板107の頂面には、位相差膜又は4分の1波長板108が配置され得る。拡散偏光板109により、LCDスタック100(積層体)が完成される。典型的な動作において、LCDスタック100によって入射光110が偏光され、フィルタリングされ、且つ拡散的に反射されて、反射画像111が作り出される。

【0021】

図1に示したものの以外の代替的なディスプレイ材料及び構成、例えば、平面状の反射層を備えたもの、下部ガラス基板の外側に反射器を備えた二重偏光板型の反射型のもの、透過型、半透過型、背面照射型、側面照射型、正面照射型、ゲスト・ホスト液晶型、電気制御式複屈折型、RTN型、MTN型、ECB型、OCB型、PDL型、電気泳動型、液体粉末型、MEMS型、エレクトロクロミック型、又はアクティブバックプレーンを要するその他の代替的な電気制御式ディスプレイ技術も、この教示による恩恵を受け得る。この教示を包含する反射型LCDに関するここでの具体的な説明は、この教示の範囲をその

10

20

30

40

50

適用において選択的なディスプレイ材料及び技術に限定するものではない。

【0022】

図2は、従来のように走査される従来技術に係るTFTディスプレイの典型的な回路図を示している。行(ロー)ゲートライン $R_0$ 乃至 $R_{M-1}$ 200と列(コラム)ソースライン $C_0$ 乃至 $C_{N-1}$ 201との各交点にTFT画素202があり、TFT画素202は、単一のTFTトランジスタ203、並びに反射性の電極 $P_{m,n}$ 103、206と共通(COM)カウンタ電極(対電極)107、207との間に形成された蓄積キャパシタ $C_{ST}$ 204及び液晶キャパシタ $C_{LC}$ 205で構成されている。行ライン群 $R_m$ 200は典型的に、TFTトランジスタの各行を順次“オン”にパルス駆動するように駆動され、TFTトランジスタが、列ライン $C_n$ 201上に駆動された電圧を画素の蓄積キャパシタ $C_{ST}$ 204及びLCDキャパシタ $C_{LC}$ 205のアレイ内に捕捉することで、画素電圧 $P_{m,n}$ の配列及び対応する画像が形成される。

10

【0023】

図1及び2において、TFT基板101への各電気接続は、ESD保護デバイスを用いて静電放電に対して保護されている。列ラインのESDデバイス208は第1のフローティングのバーFB1 209に取り付けられ、行ラインのESDデバイス210は第2のフローティングのバーFB2 211に取り付けられている。そして、2つのフローティングバーFB1 209及びFB2 211は、それぞれ、2つの更なるESDデバイス212及び213を用いてCOM電極207に接続されている。当業者に認識されるように、図2に示したESD保護方式は、一般的に使用される数多くの可能なESD保護方式のうちの一つである。非常に低電力のディスプレイでは、ESD回路は典型的に、ディスプレイ基板101上の能動デバイスの中で、静的電力の主な消費物である。

20

【0024】

図3は、フラットパネルディスプレイにおいて一般的に使用されている典型的な4TFT ESD保護デバイスを示している。これは、4つのダイオード接続されたトランジスタ300、301、302、303で構成されており、これらのうちの半分は、2つの端子A 304とB 305との間の電圧が高い正又は負であるときに順バイアスされることになる。低電圧動作では、関連するI-V曲線306に示すように、電流はゼロに近いものである。ESDデバイスにおけるリーク電力を最小化するため、典型的に、TFT基板101に印加される電圧波形は、所望の動作を維持しながら可能な限りCOM207の電圧に近い電圧に保たれるべきである。当業者に認識されるように、多様なTFT ESD保護サブ回路が利用可能であり、この教示の目的においては、印加される電圧の絶対値の関数として電流が非線形に増加する如何なるデバイス又は複数デバイスの組み合わせが限定されることなく代用され得る。

30

【0025】

液晶は一般的に、ディスプレイのフレームレートで極性を反転するAC画素電圧信号で駆動される。このような双極(バイポーラ)駆動は一般的に、かなりのDC電圧(例えば、数ボルト以上)がかなりの時間期間(例えば、何十秒以上)にわたって印加される場合に発生し得る液晶へのダメージを防止するために必要である。このようなダメージはしばしば、パネルの寿命にわたって蓄積し、画像の焼き付き(バーンイン)、張り付き(スティッキング)、コントラストの損失、又はその他の視認可能な欠陥を生じさせ得る。典型的なLCD材料は、広範囲の周波数にわたってAC信号のRMSに近似的に応答するように設計される。

40

【0026】

AC画素駆動を達成するため、幾つかの技術が広く使用されている。最も単純且つ最も低電力であるのはフレーム反転であり、フレーム内で全ての画素が先ず正極性のフレームを用いて書き込まれ、全体に負極性のフレームがそれに続けられる。しばしば、蓄積キャパシタ $C_{ST}$ 及びLCキャパシタ $C_{LC}$ のバックプレートを形成するCOMカウンタ電極は、列ソースドライバICの電圧範囲を縮小し、電力及びコストを節減するように、正フレームから負フレームへと変調される。単純性及び電力/コストの利点をよそに、フレー

50

ム変調は、2つのフレーム（正及び負）が十分に均衡（バランス）されない場合に目に見えるフリッカーを生じさせ得る。

【0027】

不均衡なフレーム反転によるフリッカー効果を軽減するため、COMカウンタ電極はフレーム走査処理中にラインごと（又は複数ラインごと）を基礎にして変調されることができる。

【0028】

これは、COM電極が高度に容量性になるのでCOMを駆動するために一層高い電力を招くものの、列ソースドライバの低い電圧範囲を維持する。正の画素駆動と負の画素駆動との間の所与の不均衡量において、ライン反転技術は、典型的に2つの極性が空間的に密にインターリーブされる（例えば、偶数ラインと奇数ラインとで交互の極性となる）ので、生成されるフリッカーをあまり目立たないものにする。ドット反転と呼ばれる更なるレベルの（ディスプレイの水平方向及び垂直方向の双方での）正画素及び負画素のインターリーブは、一般的に所与の不均衡に対して視覚的に最良であると考えられるが、ライン反転技術又はフレーム反転技術と比較して、非常に高い電力消費を有するとともに、より高い電圧範囲の列ドライバICを必要とする。

10

【0029】

ディスプレイの駆動波形は、数多くの形態で記述されて合成されることが可能である。以下では、単純さ及び明瞭さのため、この教示の説明を容易にする単純なマルチレベル駆動波形の記述を概して使用する。文字“V”で始まる信号名は、ここでは概して、マルチレベル波形合成（例えば、スイッチ又はマルチプレクサの使用による）に使用されることが可能なDC電圧レベルを指し示すために用いられる。多様な波形記述及び合成法（例えば、アナログ波形、バッファ増幅器など）が当業者によって認識されるであろうが、この教示は、数多くの利用可能な波形記述、合成法、及びそれらのハードウェア実装に適用可能である。

20

【0030】

図4は、フレーム反転のためにCOM変調技術を使用する、従来のように走査される図2の従来技術に係るTF Tディスプレイの典型的な駆動波形の組を示している。所望のフレーム極性に応じて、COMノード401は、2つのDCレベルVCH402又はVCL403の一方に駆動される。ゼロに近い閾値電圧を有するTF T技術の場合、選択される行ラインは、画素TF T203を導通させるために所望の画素電圧 $P_{m,n}206$ より十分高く駆動されなければならない。列ソースライン $C[N-1:0]404$ （ライン $C_0$ 乃至 $C_{N-1}$ の組に対する表記）は、対応する行のゲート電圧が高ゲート電圧VGH405にパルス駆動される間に、所与の行の画素に対して所望の画素電圧で駆動される。この例においては、説明及び図示を単純化するために、2つのDCデータ電圧VDH406及びVDL407を用いる2レベルの列駆動波形が使用される。技術的に周知のように、列ラインは、LCD材料にグレイスケール応答を作り出すようにVDH406とVDL407との間のアナログ電圧で駆動されることができる。この教示は一般的に、二値、多値、及び/又は連続的なアナログの列ライン駆動に適用され得る。

30

【0031】

列ソースライン $C[N-1:0]404$ は、故に、所望の行の画素の蓄積キャパシタ204に電圧を設定する。画素のアレイ全体が書き込まれるまで全ての行のゲート電極を順次high（高）にVGH405まで、そしてlow（低）にVGL408まで駆動する（例えば、図4の $R_0409$ 及び $R_1410$ ）ことによって、後続の行の画素もリフレッシュされる。フレーム反転型のTF T LCDでは、上述のDC電圧レベルは、 $VGH > VCH > VDH > VDL > VCL > VGL$ という関係に従う。なお、VGLは典型的に、COM401ノードがlowにVCL403まで遷移するときの画素電圧（例えば、図4の点411での、特に黒の $P_{n,m}$ ）における負のシフトにかかわらずに画素TF T203を“オフ”状態に保つよう、十分に負にされる必要がある。

40

【0032】

50



典型的に、N型 a - S i : H T F T デバイスの非ゼロのゲートバイアスが、該デバイスを活性化すると非活性化するとの双方のために必要とされる。このようなデバイスにおける正のゲートバイアスは、デバイスをターン “ オン ” させ、典型的に、長い時間尺度にわたってデバイスの閾値電圧に正のシフトを誘起する。

【 0 0 3 3 】

負のゲートバイアスは、デバイスをターン “ オフ ” させ、典型的に、長い時間尺度にわたって負の閾値シフト及びサブスレッショルド勾配の低下の双方を誘起する。

【 0 0 3 4 】

a - S i : H T F T におけるストレス蓄積は、一般に、式：

【 0 0 3 5 】

【 数 1 】

$$\Delta V_T(t_{ST}) = \Delta V_T^+(t_{ST}) + \Delta V_T^-(t_{ST})$$

の伸張された指数関数に従うと考えられる。ここで、正のストレス成分：

【 0 0 3 6 】

【 数 2 】

$$\Delta V_T^+(t_{ST}) = A_+ V_{G+}^{\alpha+} (t_{ST} * D)^{\beta+}$$

及び、負のストレス成分：

【 0 0 3 7 】

【 数 3 】

$$\Delta V_T^-(t_{ST}) = A_- V_{G-}^{\alpha-} (t_{ST} * (1-D))^{\beta-} F_{PW}$$

は、相対的に独立に振る舞う。ここで、 $V_T$  は閾値シフトであり、 $V_G$  はデバイスの閾値電圧より低いゲートバイアスであり、 $t_{ST}$  は総ストレス時間であり、 $A$  は実験に基づく定数であり、 $D$  は駆動信号の正の部分のデューティサイクルであり、 $F_{PW}$  は負ストレス蓄積の周波数依存性を指し示す 0 と 1 との間の係数である。一般的に、ストレス誘起閾値シフトは、ゲート駆動振幅 ( $V_{GS} - V_T$ ) のおよそ 1.5 乗から 2.0 乗に比例するとともに、デューティサイクルを考慮に入れた総ストレス時間の平方根にほぼ比例する (例えば、 $+ / - \sim = 1.7$  且つ  $+ / - \sim = 0.4$ )。およそ二乗則の電圧依存性により、短期間の高振幅ゲート駆動信号は、より長い時間期間にわたって印加される一層低いゲート電圧より有意に大きいストレスを生成し得る。好適な一形態において、ゲート駆動振幅は最小化され、充電時間及び T F T サイズは、必要な  $V_{GS}$  駆動を低下させて T F T ストレスを最小化するために最大化される。

10

20

30

40

50

## 【 0 0 3 8 】

図5は、 $a - Si : H$  TFTに典型的な、DCストレスの蓄積に対する正及び負のACストレスの蓄積 ( $stress_{AC} / stress_{DC}$ ) 500 (実効的に、負ストレスの  $F_{PW}$  係数) と、駆動波形周波数501との間の代表的な関係を示している。典型的に、正ストレス502は広範囲の典型的なゲート信号周波数に依存しないが、負ストレス503は低電力リフレッシュ動作にとって関心ある周波数に高度に依存する。従来のように走査されるTFT LCDディスプレイでは、フレームレートは負ストレスにおける特性カットオフ周波数と比較して高く (例えば、60 Hz)、結果として、負ストレスはそのDC値に対して実質的に低減される。この低減は、実際、絶対的に必要なものである。何故なら、負ストレスは従来 of 駆動方式において100%に近いデューティサイクルを有し、そのようなディスプレイは負ゲートバイアスAC変調を用いないと急速に (何日又は何週間で) 故障するからである。

10

## 【 0 0 3 9 】

負及び正のストレス蓄積のメカニズムは、TFTチャネル内の電荷 (正孔及び/又は電子) の密度に非常に強く影響されるためであると理論化される。ゲートが正の  $V_{GS}$  でバイアスされるとき、電子がソース及び/又はドレインから直ちに利用可能になり、チャネルを非常に迅速に充たす。チャネルの迅速な充電により、正ストレスは、ディスプレイにとって関心ある範囲内 (100 kHz 未満) で、周波数ロールオフをほとんど示さない。

## 【 0 0 4 0 】

しかしながら、負バイアスは電子のチャネルを空乏化し、正孔に対するポテンシャル井戸を形成する。正孔は、しかしながら、その限られた移動度と、NMOSデバイス内にソースが存在しないこととに起因して、TFTチャネル内で電子より遙かにゆっくりと蓄積する。チャネル内での正孔の生成及び蓄積のこの低い速度が、ゲート変調の周波数が高くなるときの蓄積ストレスの急速な減少の根拠である。ゲート電圧を正のレベルに周期的にパルス駆動することにより、蓄積していた正孔は、ソース又はドレインに注入されるか、到来する電子と再結合するかの何れかとなる。何れの場合も、短時間の僅かに正の  $V_{GS}$  により、チャネルから正孔が除去され、負ストレスのメカニズムが無効化される。

20

## 【 0 0 4 1 】

フラットパネルディスプレイの電力は、フレーム周波数に多かれ少なかれ比例する動的電力と、フレーム周波数とは比較的独立した静的電力との、2つの主な区分に分解することができる。

30

## 【 0 0 4 2 】

フラットパネルディスプレイの動的電力消散を低減するためには、フレームレートを低くすることが望ましい。しかしながら、従来のように走査されるディスプレイでは、より低いフレーム周波数は、より低い負ストレス周波数をもたらし、それにより、フラットパネルの寿命が実質的に短縮され得る点に対する負ストレスの影響が増大される。この教示により、非常に低いフレームレート (例えば、1 Hz) で負ストレスを軽減し、非常に低い電力でリフレッシュされるディスプレイを達成する回路技術が説明される。また、この教示により、電力を更に低減するために電荷共有方法又は断熱充電方法を使用することができるよう、動的電力消散をドライバICの数個のラインドライバに集中させることが可能な技術が詳述される。

40

## 【 0 0 4 3 】

従来のように走査されるディスプレイのESD回路は、しばしば、ドライバIC及びバックライトと比較して無視できる電力のみを消費する。しかしながら、非常に低いフレームレート (例えば、1 Hz) で駆動される反射型フラットパネルディスプレイでは、ESD保護デバイスによって消費される電力は、総電力消費のうちの有意な部分となり得る。低フレームレートのフラットパネルディスプレイの静的電力消散を低減するためには、ESD回路の電力消散を低減することが望ましい。ESDデバイスのサイズを縮小する普通の方法は、そのようなESDデバイスによって提供される静電放電に対する保護を低下させるという望ましくない副作用を有する。この教示により、非常に低いフレームレート

50

のディスプレイで標準的なESD保護デバイスにおける電力消費を最小化する回路及び駆動方法が説明される。

【0044】

図6は、この教示の好適な一実施形態に係るフラットパネルディスプレイ600について、その電気駆動システムのブロック図を示している。TFT基板601は、TFT画素アレイ602、行のESDデバイス608、列のESDデバイス609、行ラインRA[M-1:0]606及びRB[M-1:0]607、列ラインC[N-1:0]604、COMライン605、並びにドライバIC603を組み入れている。列ドライバ機能及び/又は行ドライバ機能は、IC及び/又は集積a-Si TFT回路の如何なる組み合わせによって実行されてもよく、この教示は、完全な一般性をもって、そのような変更、選択及び組み合わせに適用されることができる。

10

【0045】

図7は、N列×M行の画素を備える一例に係るディスプレイのTFT画素アレイの電気回路図を示している。以下では、説明を単純にするため、TFTデバイスがゼロの閾値電圧を有すると仮定する。当業者に認識されるように、ここで説明するゲート電圧及び制御電圧をオフセットすることにより、ゼロ以外の閾値電圧も容易に対応される。この教示は、当業者によってゼロ以外の閾値電圧にも容易に一般化され、そのような一般化はこの教示の範囲内であると見なされる。

【0046】

図7において、ピンC[N-1:0]700は、画素アレイに駆動されるソース電圧を供給する。行選択信号RA[M-1:0]及びRB[M-1:0]701は、画素アレイのゲートを駆動するために使用される。各画素(例えば、702)は、第1の行ラインRA703、第2の行ラインRB704、列ラインC705、及びCOM706に接続されている。各画素は、LCD画素電圧 $P_{m,n}$ を制御し且つ画素のTFTへのバイアスストレスを弱める回路を含んでいる。列ESDデバイス707は第1のフローティングバーFB1708に接続され、フローティングバーFB1708はまた、別のESDデバイス709を介してCOM電極706に接続されている。行ESDデバイス710は第2のフローティングバーFB2711に接続され、フローティングバーFB2711はまた、別のESDデバイス712を介してCOMに接続されている。

20

【0047】

図8は、この教示に係る代替的な一好適実施形態を示している。図7と同様に、図8に示す実施形態は、N個の列ラインC[N-1:0]800の組と、各組においてRA[M-1:0]、RB[M-1:0]801が画素アレイを駆動するM個のラインを有する行信号の2つの組とを含んでおり、各画素(例えば、802)は、RA信号803、RB信号804、列ラインC805、及びCOM電極806に接続されている。列信号C[N-1:0]800はまた、ESD回路807を介して第1のフローティングバーFB1808に接続され、フローティングバーFB1808はまた、更なるESDデバイス809を介してCOM806に接続されている。図7の回路と異なり、行ESDデバイスは2つのグループに分割されており、RA[M-1:0]信号は第1の組の行ESDデバイス810を用いて第1の行フローティングバーFB2811に接続され、RB[M-1:0]信号は第2の組の行ESDデバイス812を用いて第2の行フローティングバーFB3813に接続されている。FB2及びFB3は何れも、放電経路を提供するよう、更なるESDデバイス814を用いてCOMに接続されている。この実施形態においては、後述の動作中に、行ESDデバイス810、812で消費されるリーク電力が低減される。

30

40

【0048】

図9は、この教示に従ったTFT画素回路900の好適な一実施形態を示している。画素回路900は、第1のバストランジスタM1904のソースに接続された列ラインC<sub>n</sub>901と、第1の直列バストランジスタM1904のゲートに接続された第1の行ラインRA<sub>m</sub>902と、ソースがM1904のドレインに接続され且つゲートが第2の行

50

ライン  $R B_m 903$  に接続された第2のバストラジスタ  $M2 905$  と、第2のバストラジスタ  $M2 905$  のドレインに接続された液晶セルキャパシタンス  $C_{LC} 906$  と、第2のバストラジスタ  $M2 905$  のドレインに接続された蓄積キャパシタ  $C_{ST} 907$  と、蓄積キャパシタ  $C_{ST} 907$  及び液晶キャパシタンス  $C_{LC} 906$  に接続されたコモンライン  $COM 908$  と、を有している。2つのバストラジスタ  $M1 904$  及び  $M2 905$  は直列接続され、 $C_n 901$  から画素制御ノードである  $P_{m,n} 909$  への、ゲート制御される導電経路を形成している。電荷蓄積キャパシタ  $C_{ST} 907$  及び  $C_{LC} 906$  は、 $P_{m,n} 909$  を  $COM 908$  に接続するとともに、 $M1 904$  及び  $M2 905$  が “オフ” 状態にあるときに画素制御電圧を保持する。

#### 【0049】

画素電圧  $P_{m,n} 909$  は、先ず  $COM$  ライン  $908$  を  $high$  (高) 状態又は  $low$  (低) 状態に保持しておき、 $M1 904$  のソースに接続された列ライン  $C_n 901$  に電圧を駆動することによって、セルに書き込まれる。 $M1 904$  は、そのゲート  $RA_m 902$  を高電位にパルス駆動し、同時に  $M2 905$  のゲート  $RB_m 903$  を高電位にパルス駆動することによってアクティブされ、それにより、 $M1 904$  と  $M2 905$  との直列接続を介して  $C_n 901$  から  $P_{m,n} 909$  へ電気導通が増大される。その結果、 $P_{m,n} 909$  ノードに電荷が投入あるいは書き込まれ、その後、行ゲートライン  $RA_m 902$  又は  $RB_m 903$  のうちの少なくとも一方を負電位に維持することにより、電荷は漏れ出ないように分離されることができ、画素電荷は、 $C_{ST}$  キャパシタ  $907$  及び  $C_{LC}$  キャパシタ  $906$  の双方上で、 $COM 908$  に対して蓄積される。

#### 【0050】

図10は、図9に示した画素回路のレイアウトの一実施形態を示している。列ライン  $C_n 901$ 、 $1000$  は、好ましくは堆積された金属からなり、画素セルを垂直(縦)方向に走り抜け、トランジスタ  $M1 904$ 、 $1001$  のソースに接続されている。 $M1 904$ 、 $1001$  のゲートは  $RA_m$  電極  $902$ 、 $1007$  に接続されている。 $M1 904$ 、 $1001$  のドレインは  $M2 905$ 、 $1002$  のソースに接続されている。 $M2 905$ 、 $1002$  のゲートはゲート電極  $RB_m 903$ 、 $1008$  に接続されている。 $M2 905$ 、 $1002$  のドレインは画素蓄積ノード  $P_{m,n} 909$ 、 $1005$  に接続されている。画素蓄積ノード  $P_{m,n} 909$ 、 $1005$  は、蓄積キャパシタ  $C_{ST} 907$ 、 $1004$  に接続されるとともに、 $LC$  セルキャパシタンス  $C_{LC} 906$  の一部を形成するコンタクト  $1003$  を介して反射性の電極プレート  $1009$  に接続されている。蓄積キャパシタ  $C_{ST} 907$ 、 $1004$  は、コモンバックプレート電圧  $COM 908$ 、 $1006$  に接続されている。頂部ガラス上の反対側の電極(図示せず)が、コモン電極  $COM 908$  に電気的に取り付けられ、 $C_{LC} 906$  の他方の電極を形成する。

#### 【0051】

再び図9を参照するに、 $P_{m,n} 909$  と  $COM 908$  との間の  $RMS$  電圧差が、液晶の光学状態を決定する。一実施形態において、 $COM$  ノード  $908$  は、 $TFT$  デバイス  $904$ 、 $905$  の必要な電圧範囲を低減するため、且つ/或いは電力を低減するため、連続的に変調される。

#### 【0052】

2つの選択  $TFT M1 904$  及び  $M2 905$  は、それぞれ、2つの独立した行ゲート信号  $RA_m 902$  及び  $RB_m 903$  によってゲート駆動される。2つのゲートの選択は単に例示目的であり、実際には、選択  $TFT$  の数は、 $TFT$  のプロセスパラメータ、ディスプレイのサイズ及び解像度、所望のフレームレート、許容可能なフリッカー、並びにその他の性能基準に基づく設計上の選択である。この実施形態においては、後述のように非常に低いフレームレートで負ストレス蓄積を防止するため、2つ以上の行トランスファ  $TFT$  が必要とされる。このような選択は、この教示の範囲内であるとみなされる。

#### 【0053】

当業者に認識されるように、ここで説明する概念は、異なる設計ルール及びレイヤ群を有するその他の  $TFT$  プロセスにも適用されることができ、図10に示した

10

20

30

40

50

プロセスの選択は、単なる例示目的であって、この教示を限定するものではない。

【0054】

また、図10のレイアウトは、回路の電氣的な挙動を実質的に変更せず且つこの教示の範囲内であると見なされる数多くの置換、転置、向き変更、裏返し、回転及びこれらの組み合わせを有する。この教示は、画素回路の電氣的な接続又は動作を変化させない数多くの異なる手法で、セルを通して、あるいはその周りで列及び行を経路付けるように変更され得る。さらに、蓄積キャパシタの配置（図10においてはパストランジスタの下に示されている）は、如何なる数の構成要件及び製造要件に適応するように変更されてもよい。トランジスタM1 904及びM2 905は、ここで説明する概念の機能を維持したまま、サブユニットに分割されてもよい。蓄積キャパシタCST907もまた、この教示において説明される電氣的な目的を維持したまま、複数の区画に分割されてもよい。この教示に基づき、特定のTFTプロセス及び用途上の要件に基づいてデバイスのクロストークを最小化し、画質を改善し、蓄積キャパシタンスを調整し、電力を低減し、安定性を改善し、製造可能性を改善し、且つ性能を改良する等価回路の有利なレイアウト構成が当業者に明らかになるが、それらはここで説明する概念の範囲内であると見なされるものである。

10

【0055】

好適な一実施形態において、RGBストライプ構成が採用される。しかしながら、この教示は、以下に限定されないがRGBデルタ構成、 $2 \times 2$  RGBW構成、及び技術的に周知のその他のサブピクセル構成若しくは画素構成を含む、如何なる画素又はサブピクセルの構成にも一般的に適用され得る。レイアウト及び回路方式へのそのような変更は、用途上の要求を満たすように一般的に行われるものであり、この教示の範囲内であると見なされるものである。

20

【0056】

このフラットパネルの実施形態の動作は、2つの段階で構成されるものとして説明することができる。実際には、それら2つの段階は交互に行われ（インターリーブされ）得るが、ここでは明瞭化のため、それらを別個の段階として説明する。第1の段階は、新たなフレームの情報を画素アレイに書き込むことを伴う。これを達成するため、一連の動作がアレイ状で実行される。

【0057】

図11は、3レベルの行ドライバを用いる本発明の一実施形態の代表的なタイミング図を示している。パネルの初期状態において、行ラインRA[M-1:0]1100及びRB[M-1:0]1101は、画素アレイの電荷蓄積キャパシタの実質的に全てからの電荷リークを防止するよう、低電圧状態に保持されている（すなわち、全ての画素について、M1 904又はM2 905のTFTのうちの少なくとも一方が“オフ”状態にある）。一般的に、これは、全ての行ライン（RA[M-1:0]1100及びRB[M-1:0]1101）を低ゲート電圧レベルVGL1102に保持することによって達成される。

30

【0058】

フレーム書込処理を実行するため、列ラインC[N-1:0]1103が、所与の行の画素の所望の画素電圧に駆動される。この例においては、説明及び図示を単純化するために、2つのデータ電圧VDH1104及びVDL1105を用いる2レベルの列駆動波形が使用される。当業者に認識されるように、列ラインは、LCD材料にグレイスケール応答を作り出すようにVDH1104とVDL1105との間のアナログ電圧で駆動されることができる。この教示は一般的に、二値、多値、及び/又は連続的なアナログの列ライン駆動に適用され得る。

40

【0059】

そして、所与の行の画素の2つ以上の行選択ライン（例えば、RA<sub>m</sub>1106及びRB<sub>m</sub>1107）が、それらの休止低電圧VGL1102から高電圧VGH1108へとパルス駆動される。これは、画素の一行全体の各画素内のM1 904及びM2 905の全

50

てをターン“オン”させる効果を有する。そして、この選択された行の画素が、列ライン  $C[N-1:0]700$ 、 $800$ 、 $1103$ 上に駆動された電圧まで充電される。画素値  $P_{m,n}909$ 、 $1109$ が実質的に  $C[N-1:0]1103$ の電圧レベルに落ち着くのに十分な時間が経過すると、行選択ライン  $RA_m1106$ 及び  $RB_m1107$ はそれらの休止低電位  $VGL1102$ に戻され、もはや選択解除された行内の全ての  $M1904$ 及び  $M2905$ の  $TFT$ がターン“オフ”される。

#### 【0060】

好適な一実施形態において、電圧レベル  $VGL1102$ は、 $CST907$ に蓄積された画素電荷が画素の書込又はリフレッシュと次の書込又はリフレッシュとの間に  $M1904$ 及び  $M2905$ を介して実質的に漏れ出ないように、十分に負に選定される。画素蓄積キャパシタ  $CST907$ は好ましくは、非選択期間中に画素電荷リークを防止するよう、また、可変  $LCD$ キャパシタンス  $CLC906$ に起因して画素のグレイレベル遷移時に発生し得る残像効果を（ディスプレイ設計者が望む程度まで）解消するよう、十分に大きくされる。斯くして、液晶セル群の電圧を制御することによって、 $LCD$ 画素群にわたる電圧を独立にプログラムし、画素アレイの所望の光学状態を生成することができる。各行の画素を上述と同様にロードすることができ、それにより、そのフレームが完成される。当業者に認識されるように、行われる動作の厳密な順序、例えば、行群が順次に処理されることは、同様の結果を達成するように変更され得る。そのような変更は、この教示の範囲内であると見なされるものである。

#### 【0061】

図11を参照するに、 $COM$ 電極  $1110$ は必要に応じて、技術的に周知のように、セルの保持力を改善し、アレイ又はソース電圧範囲を制限し、且つ/或いはシステム電力を低減するため、 $AC$ 波形で駆動されることができる。図11は具体的には、 $high$ 値  $VCH1114$ と  $low$ 値  $VCL1115$ との間での2レベル変調の例を与えている。ゲート変調による負ストレス緩和を組み入れた  $TFT$ 画素の低フレームレート動作に関するこの教示は、当業者によって、 $COM$ 変調の数多くの既知の方法に適用され、且つ/或いは  $COM1110$ が静止  $DC$ 電圧に維持される場合に限定なく適用され得る。

#### 【0062】

画素アレイ全体の値が書き込まれると、アレイは、画像アーチファクト（例えば、フリッカー）を防止するためにリフレッシュを必要とするのに十分なだけ画素アレイの電圧  $P_{m,n}909$ が漏れ出るまで、電力を節約するためにスタンバイ状態に置かれ得る。フレーム画像書込処理と次のフレーム画像書込処理との間のスタンバイ状態は、好適な一実施形態の動作の第2段階を有する。フラットパネルの数多くの用途は可変フレームレートを使用し得るが、ここで説明する概念は、フレームレートが特定種類のコンテンツに対して高速（例えば、ユーザが装置とやり取りするときに  $30Hz$ のフレームレート）にされなければならないが、フレームリフレッシュレートを数  $Hz$ まで低下させることができる低電力状態をも必要とするような用途によく適している。これを達成するため、上述の第1段階のアクティブなフレーム書込又はリフレッシュ同士の間、可変長のスタンバイ状態を挿入することができる。

#### 【0063】

図11を参照するに、本発明の好適な一実施形態において、フレーム書込処理同士の間スタンバイ状態中に、所与の一行、複数行の集合（サブセット）、又は全ての行の行ゲートライン  $RA_m1106$ と  $RB_m1107$ とが、ゲート電圧  $VGL1102$ を有する“オフ”状態と、画素トランジスタ  $M1904$ 及び  $M2905$ に僅かに正の  $V_{GS}$ を好ましく達成するように選定されたゲート電圧  $VGM1111$ を有する弱い“オン”状態との間で交互にバイアスされる。画素がこのようなバイアス状態にある（すなわち、 $M1904$ 及び  $M2905$ の双方ではなく一方が弱く“オン”の状態にある）とき、フレーム書込処理中に書き込まれた画素電荷は実質的に保持される。 $TFT$ への弱く“オン”のゲートバイアス  $VGM1111$ の印加は、 $TFT$ チャンネル内の平均電荷密度を低下させる効果を有し、ひいては、 $TFT$ デバイスの負ストレス蓄積を中断する、それ以前の“オフ

”状態中に生じた蓄積正電荷（すなわち、正孔）を注入する。2つの画素TFT904、905を反対の状態（例えば、オン/オフ又はオフ/オン）にするこの処理のことを、ここではストレス解放処理と称する。ストレス解放処理は選択的に、負バイアスストレス及び/又はディスプレイの電力消散を最小化するように、フレーム又はラインのリフレッシュと順々に、あるいはインターリーブされて実行される。負ストレス蓄積を有意に抑制するため、十分な回数（3回）のストレス解放処理が、フレームリフレッシュ処理同士の間（1フレーム）に挿入され、あるいはフレームリフレッシュ処理内にインターリーブされ得る。

#### 【0064】

この教示に係る好適な一実施形態において、画素トランジスタM1 904及びM2 905のゲート電圧は、ストレス解放処理中に“ブレイク・ビフォー・メイク（break before make）”スイッチング遷移を用いる。これは、C<sub>ST</sub>907の電荷が、M1 904及びM2 905のゲート電圧遷移時の電荷リークと上昇/下降時間バラつきとに対して良好に保護されることを確実にする。

10

#### 【0065】

この教示に係る好適な一実施形態において、ディスプレイの全てのRA[M-1:0] 1100ラインが実質的に同時にVGM1111にパルス駆動される一方で、RB[M-1:0]ライン1101は全て負ゲート電圧VGL1102にて“オフ”状態に保持される。多数の行ラインを並列にパルス駆動することにより、ドライバIC603内の行ドライバ回路は、電荷共有法、段階的充電法、階段状充電法、又は断熱充電法として技術的に知られる技術を用いて、より少ないエネルギーのみを消費するように設計されることができ、結果として、全てのRA[M-1:0]ライン1100とRB[M-1:0]ライン1101とを交互にパルス駆動する並列ストレス解放処理は、単一ゲートラインの順次のスイッチング又はパルス駆動と比較して、実質的に良好な電力効率を有するように実装され得る。

20

#### 【0066】

フレーム書込レートを超越するTFTアレイトランジスタの付加的なAC変調を挿入することにより、TFTバイアスストレスは低フレーム書込レートにおいて実質的に低減される。数多くの行ラインを弱く“オン”の状態にパルス駆動するのに要するエネルギーは、完全なフレームリフレッシュに要するエネルギーより実質的に小さくすることができ、全体としてのパネルの電力消散は、従来のように走査されるTFTディスプレイにおける低フレームレートリフレッシュでの短寿命の不利益を実質的に被ることなく、低減されることができ、

30

#### 【0067】

図11は、明確に区別された、フレーム書込処理1112と、連続するフレーム書込処理の間の或る数（3回）の並列ストレス解放処理1113とを具体的に示している。当業者は、この教示に係る2つの基礎となるディスプレイ駆動、すなわち、1つの処理における画素への書き込みと、その後の別の1つの処理における画素のストレス解放とを、入れ替え、インターリーブし、グルーピングし、順序付け、あるいはその他の方法で並び替える多様な走査波形を認識するであろう。請求項の範囲は、そのような変更又は置換によって限定されるものではない。一部の例において、例えば、複数行のサブセットのみが書き込まれた後にストレス解放処理が適用されるようにストレス解放処理と書込処理とをインターリーブすることが有利となり得る。当業者に認識されるように、行われる動作の厳密な順序、例えば、行群が順次に処理されることは、同様の結果を達成するように変更され得る。例えば全ての偶数行を先ず書き込んだ後に全ての奇数行を書き込むこと、及び/又は部分的な表示リフレッシュといった有利な変更が、ライン、列、フレーム及びドット反転によるDCバランスを含む何らかの反転技術を実行しながら遷移を最小化することによって、電圧揺動及び電力消散を低減するように、この教示に係るシステムに適用され得る。そのような変更及び置換は、この教示の範囲内であると見なされるものである。

40

#### 【0068】

この教示に係る好適な一実施形態において、電圧レベルVGL、VGM及びVGHは、

50

$VGH > VGM > VGL$ なる関係に従うように選定される。当業者に認識されるように、書込処理及びストレス解放処理を実行するために選定されるタイミング及び電圧レベルは、具体的な工学要求を満たすように調整及び変更を受けることができ、請求項の範囲はそのような調整及び変更によって限定されるものではない。

#### 【0069】

図12は、この教示に係る好適な一実施形態の代表的なタイミング図を示している。この実施形態は、DC電圧レベルが変更された4レベルの行駆動信号を用いることを除いて、図11の実施形態と同様である。図11の波形と比較して、行信号 $RA[M-1:0]1201$ 及び $RB[M-1:0]1202$ の低レベル $VGL1200$ が実質的に高くされており、これが、フレーム書込処理1203中の特定の行が書き込まれた後、及び複数のストレス解放処理1204間のスタンバイ状態中に適用される。図12に示すように、左側から始めて、COM電極1205が $VCH1214$ から $VCL1215$ へと遷移して、新たなフレーム書込が開始され；COM1205の遷移と実質的に一致して、実質的に全ての $RA[M-1:0]1201$ 及び $RB[M-1:0]1202$ ラインが、COMライン1205と実質的に同等の電圧段差の極性及び振幅で、レベル $VGL1207$ へと駆動される。アレイに蓄積される画素電圧はCOM1205に強く結合されるので、M1904及びM2905ゲートは、この遷移中、“オフ”状態に保たれる。そして、列ライン $C[N-1:0]1211$ にデータ電圧レベル $VDH1212$ 及び $VDL1213$ の形態で画素データを印加しながら、各行の画素をアクティブにするように $RA_m1208$ 及び $RB_m1209$ ラインを $VGH1210$ に順次パルス駆動することにより、新たなフレームが画素アレイ内に走査される。 $VGH1210$ にパルス駆動した後、行ライン $RA_m1208$ 及び $RB_m1209$ は、この実施形態では高められている $VGL1200$ レベルに戻される。全てのラインが走査されてフレームがロード（すなわち、書込又はリフレッシュ）されると、全ての行ラインは $VGL1200$ レベルに戻されていることになる。そして、2つの行ラインの組 $RA[M-1:0]1201$ と $RB[M-1:0]1202$ とを $VGL1200$ と $VGM1216$ との間で交互に切り換えるストレス解放処理が、図11においてのように、フレーム書込処理同士の間に入挿される。COM1205が後続フレームのために $VCH1214$ へと上方に遷移されるとき、行ライン $RA[M-1:0]1201$ 及び $RB[M-1:0]1202$ は好ましくは、図12に示すように $VGL1200$ に保持される。

#### 【0070】

COM1205の $VCL1215$ への遷移に合わせて全ての行ラインを $VGL1200$ から $VGL1207$ に遷移させることにより、M1904及びM2905のTFTへの負ストレスが最小化される。例えば608、710、810、812である行ESD回路におけるリーク導通も、行信号 $RA[M-1:0]1201$ 、 $RB[M-1:0]1202$ 及びCOM1205の間での電圧差を低く維持することによって最小化される。なお、画素電圧 $P_{m,n}1217$ の波形は、より低い振幅の行信号にかかわらず、図11の $P_{m,n}1109$ の波形から実質的に変更されていない。4レベルの行駆動を適用することによって、COMレベルからの行電圧の逸脱をCOM変調技術において最小化することができ、ESDリーク電力が最小化される。

#### 【0071】

本発明の好適な一実施形態において、行ドライバに使用される4つのレベル（ $VGH$ 、 $VGM$ 、 $VGL$ 及び $VGLL$ ）は、 $VGH > VGM > VGL > VGLL$ なる関係に従う。本発明の好適な一実施形態において、列ドライバの2つのレベル（ $VDH$ 及び $VDL$ ）及びCOMドライバの2つのレベル（ $VCH$ 及び $VCL$ ）は、 $VCH > VDH > VDL > VCL$ なる関係に従う。好適な一実施形態において、行電圧及び列電圧は、 $VGH > VDH > VDL > VGL$ なる関係に従う。

#### 【0072】

更なる一実施形態（図示せず）において、COM遷移時のゲートライン電圧の遷移は、COM遷移に先立って行ラインをフローティングにすることによって実現され得る。行ゲ

10

20

30

40

50



ートラインはCOMに強く結合されているので、行ゲートラインは実質的に、所望の振幅及び極性でCOMの段差に追従することになる。さらに、集積a-Si行ドライバが使用されるとき、行ドライバの出力は、最後のストレス解放処理の後に切断し、選択された行がVGHへ、そしてその後VGLへと駆動されるときフレーム書込中の選択時に再び接続するだけとすることができる。このようにして、図12の波形は、例えば行ラインに高デューティサイクルのプルダウンデバイスをもたないa-Si TFTで製造された集積行ドライバ回路を実装したディスプレイにおいて、フローティング行ライン駆動技術を用いて自然に実現されることができる。

#### 【0073】

図13は、4レベル行駆動信号と4レベル列駆動信号とを有する、この教示に係る好適な一実施形態の代表的なタイミング図を示している。COM信号1304、行信号RA[M-1:0]1305及びRB[M-1:0]1306の動作は、図12に関して説明したものと同一である。図12と13とを比較するに、図13は、列ドライバに利用可能な2つの異なる電圧レベルVDHH1300及びVDLL1301を有している。これらの電圧は好ましくは、フレーム書込処理中に、所望の画素が反対の状態から（例えば、白から黒へ、あるいは黒から白へ）遷移しているときに列ラインに駆動される。電圧レベルVDHH1300及びVDLL1301は好ましくは、通常の列ソース電圧（VDH1302及びVDL1303）の範囲の外側に位置し、光学状態変化を受けて時間的に変化する液晶のキャパシタンスを補償するように選定される。技術的に周知のように、状態変化時の画素のオーバードライブは、画素電圧が最初のフレーム内で一層望ましい最終値（例えば、VDH1302又はVDL1303に繰り返し書き込まれる静止画素によって達成される値）に落ち着くことを可能にする。図13の底部の波形は、画素電圧 $P_{m,n}$ 1307が、先ずVDHH1300又はVDLL1301のレベルによってオーバードライブされ、LC材料が新たな光学状態にゆっくりと応答するに連れて所望のVDH1302又はVDL1303へと緩和していくことを示している。残像又は画像貼り付きの問題を軽減することが可能なこのようなオーバードライブ技術は、請求項を限定することなく、必要に応じて、この教示に適用されることができる。

#### 【0074】

図13の波形に表した本発明の好適な一実施形態において、列ドライバの4つのレベル（VDHH、VDH、VDL及びVDLL）は、VDHH > VDH > VDL > VDLLなる関係に従う。図13に記載される4つの列レベルの各々の電圧レベルの選択は、同様に、ディスプレイに必要な独立電源の数を削減するために、システム内で利用可能なその他の電圧（例えば、VCH、VCL）とレベルを共有するように変更され得る。請求項の範囲は、そのような選択又は最適化によって限定されるものではない。

#### 【0075】

図14は、この実施形態の動作フローチャートを示している。図14の最上部から始めて、第1の決定処理1400が現フレームの極性を決定する。すぐ前のフレームの極性がCOM = low（低）を有するものであった場合、COM変調high（高）処理1402が実行され、COMはVCHに駆動され、全ての行ラインRA[M-1:0]及びRB[M-1:0]はVGLに保持される。すぐ前のフレームの極性がCOM = highを有するものであった場合、COM変調low処理1401が実行され、COMはVCLに駆動され、全ての行ラインRA[M-1:0]及びRB[M-1:0]はVGLに駆動される。次に、行書込処理1403は、列ラインC[N-1:0]を所与の行に関する所望の画素電圧又は所望のオーバードライブ画素電圧に駆動することと、選択された行ラインの対 $RA_m$ 及び $RB_m$ をVGHに駆動して、選択された行の画素蓄積キャパシタに列電圧を捕捉することと、選択された行ラインの対を最終的にVGLに戻すこととを有する。決定処理1404が、全ての行が選択された極性の画素電圧で書き込まれたことを受けて終了する行書込処理1403のループを実行する。なお、COM = lowフレームのフレーム書込シーケンス（すなわち、1403及び1404によって形成される行書込のループ）の途中では、行ラインRA[M-1:0]及びRB[M-1:0]の幾らかの部分はV

10

20

30

40

50

GLにあり、残りはVGLLにあることになる。

【0076】

次に、第1のストレス解放処理1405が、全てのRAM[ M - 1 : 0 ]信号にVGMを適用した後、RAM[ M - 1 : 0 ]をVGLに戻し、それに続いて、全てのRB[ M - 1 : 0 ]信号にVGMを適用した後にRB[ M - 1 : 0 ]をVGLに戻す第2のストレス解放処理1406が行われる。全てのRAM[ M - 1 : 0 ]及びRB[ M - 1 : 0 ]がVGLに保持される遅延処理1407により、3段階ストレス解放処理(すなわち、ステップ1405、1406及び1407の組み合わせ)が完了される。なお、このイベントシーケンス(先ず、RAM[ M - 1 : 0 ]をパルス駆動することによって全てのM1をストレス解放し、次いで、RB[ M - 1 : 0 ]をパルス駆動することによって全てのM2をストレス解放し、そして遅延させる)は、この教示の範囲内で、任意に順序付けられ、並び替えられ、更なる遅延を用いて継ぎ合わされ、繰り返され、任意の処理にて終了され、且つ/或いはインターリーブされ得る。例えば、RB[ M - 1 : 0 ]信号のストレス解放が最初に行われてもよい。他の一例において、フレーム書込処理が1つ以上の部分(1つ以上の行の部分的フレーム更新)に分解され、それらの部分がストレス解放処理及び/又は遅延とインターリーブされてもよい。更なる一実施形態(図示せず)において、エネルギーを更に節約するため、画素フレームの複数部分が駆動されないままとされてもよい(フレーム書込処理はフレームの一部を更新するのみ)。このような実装の決定は、この教示と相容れるものであり、ここで具現化されるストレス緩和技術及び低電力技術の恩恵を受け得る。

【0077】

再び図14を参照するに、所望数のストレス解放処理が完了すると、最終決定処理1408が、1405、1406、1407及び1408により形成されるストレス緩和ループを終了し、後続の逆極性フレームを開始するために第1の決定処理1400へと戻る。

【0078】

図11乃至14にて説明した波形及び処理は、多様な周知の技術と組み合わせられることができる。好適な一実施形態において、DC電圧源及びスイッチに基づくマルチプレクサが、図11乃至13のマルチレベル波形を生成するようにデジタル制御される。例えば、図11の行波形は、VGL、VGM及びVGHの間で選択を行う3レベル行ドライバを使用する。図11及び12の列波形の場合、VDH及びVDLのDCレベルの間で選択を行う2レベルアナログマルチプレクサが必要とされる。同様に、COMは、VCHとVCLとの間で選択を行う2レベルマルチプレクサを必要とする。

【0079】

同様の波形を合成するために使用されることが可能な、バッファ増幅器に続かれるDAC、ブートストラップ式の電荷ポンプ、別のデマルチプレクサなどを含む多数の異なる生成機構が、当業者によって認識されるであろう。そのような別の波形合成方法は、技術的に周知であり、この教示の有用性に影響を及ぼすことなく代用されることが可能である。

【0080】

図15は、ストレス解放処理において電力効率を改善する階層的なマルチプレクサ構成を含む、この教示に係る好適な一実施形態を示している。所望の終点ストレス解放DCレベルVGM1504及びVGL1506、並びに任意の数の中間電圧レベル1505から選択することにより、ソースマルチプレクサ(mux)1500は中間信号DSA1501を生成し、ソースmux1502は中間信号DSB1503を生成する。COM mux1526は、VCH1527とVCL1528との間で選択を行うことによって、COM信号1529を生成する。中間信号DSA1501及びDSB1503、並びに2つのその他のDCレベルVGH1508及びVGLL1507が、バス1509を形成している。バス1509は、多数(例えば、M = 画素の行数として2M個)の3対1出力mux1525に接続され、これらmux1525が、TFT表示画素アレイ602及び行ラインESD回路608の行信号を駆動する。

【0081】

図15を参照するに、フレーム書込処理に先立ち、全ての行出力RAM[ M - 1 : 0 ]及

10

20

30

40

50

び  $RB[M-1:0]$  (例えば、 $RA_0 15 14$ 、 $RB_0 15 16$ 、 $RA_1 15 18$ 、 $RB_1 15 20$ 、 $\dots$ 、 $RA_{M-1} 15 22$ 、及び  $RB_{M-1} 15 24$ ) は、それぞれ  $\text{mux}$  を介して、 $DSA 15 01$  又は  $DSB 15 03$  の何れかに帰属される。そして、 $DSA 15 01$  及び  $DSB 15 03$  は  $\text{mux} 15 00$  及び  $15 02$  によって  $VGL 15 06$  に接続される。新たなフレームが  $COM = VCH 15 27$  を有するものである場合、行出力  $\text{mux} 15 25$  は  $DSA 15 01$  又は  $DSB 15 03$  の何れかを選択し続ける。しかしながら、フレーム極性が  $COM = VCL 15 28$  を要求する場合には、行出力  $\text{mux}$  は  $VGLL 15 07$  を出力として選択するように駆動される。故に、 $COM = VCL 15 28$  の極性のフレームの場合、図 12 及び 13 に示したように、全ての行の  $RA[M-1:0]$  及び  $RB[M-1:0]$  が、 $COM 15 29$  の遷移に合わせて  $VGLL 15 07$  に駆動される。

10

#### 【0082】

再び図 15 を具体的に参照するとともに、図 12 乃至 14 を大まかに参照するに、次の処理はフレームの行ごとの書込であり、それは、例えば  $RA_0 15 14$  及び  $RB_0 15 16$  などの複数の行ライン対を順次、 $\text{high}$  レベル  $VGH 15 08$  にパルス駆動することを有する。一对の行ライン (例えば、 $RA_0 15 14$  及び  $RB_0 15 16$ ) が  $VGH 15 08$  にパルス駆動されて、その特定の行の画素が書き込まれると、選択された  $RA_m$  及び  $RB_m$  信号の対は、それぞれ、適切な出力  $\text{mux} 15 25$  を介して  $DSA 15 01$  及び  $DSB 15 03$  に接続される。 $DSA 15 01$  及び  $DSB 15 03$  は、もはや選択解除された行ライン  $RA_m$  及び  $RB_m$  が  $VGLL 15 06$  に駆動されるように、 $\text{mux} 15 00$  及び  $15 02$  によって  $VGLL 15 06$  に保持される。フレーム全体が書き込まれると、何れの  $\text{mux} 15 25$  も  $VGH 15 08$  又は  $VGLL$  には帰属させられておらず、ストレス解放処理に備えて、全てが  $DSA 15 01$  又は  $DSB 15 03$  (故に、電圧レベル  $VGLL 15 06$ ) の何れかに移されている。

20

#### 【0083】

再び図 15 を具体的に参照するとともに、図 12 乃至 14 を大まかに参照するに、フレーム書込処理は 1 つ以上のストレス解放処理に続かれる。ストレス解放処理は、全ての出力  $\text{mux} 15 25$  が、出力行ライン  $RA[M-1:0]$  が  $DSA 15 01$  に帰属させられ且つ出力行ライン  $RB[M-1:0]$  が  $DSB 15 03$  に帰属させられるように選択された状態で開始する。ストレス解放処理が実行される時、最初に  $RA[M-1:0]$  ラインがストレス解放される場合には、 $\text{mux} 15 00$  が、 $VGLL 15 06$  から中間レベル  $15 05$  を介して  $VGM 15 04$  に到達するまで徐々に増大する電圧を順次選択するようにデジタル駆動される。効率的に生成される中間電源  $15 05$  の組から順次且つ漸増的に選択することによって行ドライバ出力を小さい増分で駆動することにより、回路の消散電力を、理想的には中間レベル  $15 05$  の数を  $Q$  として  $1/(Q+1)$  倍に、実質的に低減することができる。ストレス解放処理は好ましくはディスプレイ全体を駆動する (例えば、全ての  $RA[M-1:0]$  が同時に駆動される) ので、 $DSA 15 01$  又は  $DSB 15 03$  上に見られる容量性負荷は非常に大きいもの (並列の  $M$  行のキャパシタンス) となり得る。また、ストレス解放処理は好ましいことに、上昇時間及び下降時間に関して非常に厳しい要求を有するものではない。これらの要因 (大きい容量性負荷、上昇/下降時間が重要でないこと) の双方により、実質的な電力を節減するきめの細かい断熱駆動法又は段階的駆動法が可能になる。なお、中間電源は、電力節減を最大化するよう、可能な限り効率的に生成されるべきである。

30

40

#### 【0084】

図 16 は、開始時の  $\text{low}$  レベル  $VGL$  から  $\text{high}$  レベル  $VGM 16 03$  まで、効率的に生成される多数の中間電源電圧  $16 04$  のステップを踏む、 $DSA 15 01$ 、 $16 00$  及び  $DSB 15 03$ 、 $16 01$  の代表的な段階的駆動法を示している。

#### 【0085】

図 17 は、ソース ( $S$ )、ゲート ( $G$ ) 及びドレイン ( $D$ ) の端子を有する TFT デバイス  $17 00$  の、動作温度範囲の上限での、代表的な伝達曲線を示している。ゲート ( $G$

50

)とソース(S)との間の電圧( $V_{GS1702}$ )が、左側の大きい負から増加されるに連れて、ドレイン-ソース電流( $I_{DS1701}$ )は(曲線1703に従って)、先ず下降し、その後 $V_{GS} = 0$ 付近で急激に上昇し、最終的に大きい $V_{GS1702}$ で飽和する。しばしば、“オフ”導通が最小化される最適な $V_{GS1702}$ の電圧、例えば1704、が存在する。

#### 【0086】

図11の波形を再び参照するに、行ラインがストレス解放中の電圧(すなわち、 $V_{GL1102}$ )にある場合に、Cラインの電圧( $V_{DH1104}$ 及び $V_{DL1105}$ )及び画素上の電圧( $V_{DH1104}$ 及び $V_{DL1105}$ の範囲内の $P_{m,n1109}$ )が、理想的な動作点1704より負側の $V_{GS}$ 動作点1705を作り出すことが見て取れる。これは、図11の駆動方式における $V_{GL1102}$ が、COM1110が $V_{CL1115}$ に遷移するとき画素TFTが部分的にターン“オン”することを防止するように十分に低く選定されなければならないためである(画素電圧 $P_{m,n1109}$ はCOMによって、より低い側に容量的に駆動され、画素トランジスタのゲートラインは導通を防止するように十分に低くされなければならない)。しかし、そのような低いゲートレベルは、その他の処理同士の間の行ラインの休止状態として連続的に印加されるとき、画素TFT内に最適でないリーク導通(例えば、動作点1705)を生じさせる。例えば、リーク電流の50%の増大(例えば、動作点1704と1705との間の差1706)は、記憶された画素電圧 $P_{m,n1109}$ を、そうでない場合(すなわち、 $V_{GS1702}$ の最適点1704にある場合)より50%速くリークさせるという望ましくない影響を有することになる。補償するためには、フレームレート及び蓄積キャパシタのサイズを増大させなければならないが、電力に悪影響を及ぼす。また、図11のlowゲート電圧 $V_{GL1102}$ はCOMとは実質的に異なっている(特に、COM= $V_{CH1114}$ 極性のフレームにおいて)ので、行ラインからCOM1110への非線形導通経路を提供するESD構造(例えば、608、710、810、812)における電力消散は、非常に高いものになり得る。

#### 【0087】

対照的に、図12及び13の波形、図14のフロー図、並びに図15の多重化に基づくドライバIC回路は、画素アレイの $V_{GS1702}$ を、何れの極性のフレームについてもその大部分において、最適動作点1704又はその近くに維持する4レベルの行波形を導入することによって、この制約を回避するものである。これは、フレームレート及び/又は蓄積キャパシタンスの更なる低減を可能にし、電力を更に節減する。さらに、図12及び13の行信号は、COMに対して一層小さい電圧差で駆動されるため、ESD構造のリーク電力(これは電圧に対して大きく非線形である)も実質的に低減される。

#### 【0088】

さらに、最適な“オフ” $V_{GS1704}$ においてはチャネル電荷蓄積速度が非常に低い(すなわち、例えば正孔である電荷キャリアは動作点1704において、動作点1705よりも、ゆっくりと蓄積する)ので、図12及び13の波形を用いると画素への負ストレスの周波数依存性が低い側にシフトされ、フレーム書込処理レート及びストレス解放処理レートを更に低減させて電力を更に節減することが可能になる。また、図12及び13において“オフ”時間中の負の $V_{GS}$ の大きさは小さくされているので、負バイアスストレス蓄積の電圧に対する累乗の依存性も最小化される。故に、この教示は、ディスプレイモジュールの電力及び装置の信頼性の双方において実質的な改善を提供する。

#### 【0089】

図18は、店舗の棚1800に取り付けられて商品情報及び価格を表示することが可能な装置に、この教示に係るフラットパネルディスプレイ1803を一体化した、電子棚ラベル1802を示している。相互作用ボタン1801は、店舗関係者又は買い物客に更なる情報を提供するために使用されることができる。

#### 【0090】

図19は、この教示を利用するショッピングカート・ハンドルバー取り付け式ディスプレイを示している。ディスプレイ1901が、ショッピングカートのハンドルバー190

10

20

30

40

50

0に取り付けられる。1つ以上のボタン又はキーパッド1902により、ユーザ入力が可能にされる。

【0091】

図20は、この教示を利用する電子書籍のデザインを示している。電子書籍2000は、低電力スクリーン2001とナビゲーション用キーパッド2002とを有している。

【0092】

図21は、この教示を利用する折り畳み式携帯電話のデザインを示している。携帯電話2100の蓋部に、低電力反射型外部スクリーン2101が一体化されている。

【0093】

図22は、この教示に基づくディスプレイ2201を一体化したポータブルデジタル音楽プレーヤ2200を示している。

10

【0094】

図23は、この教示に基づくディスプレイ2300を備えた、コンピュータモニタ、宣伝用看板又はテレビジョン受像機2301を示している。

【0095】

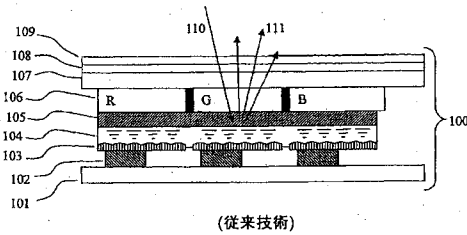
図24は、この教示に基づくディスプレイ2401を備えた、可搬式コンピュータ、デジタルフォトフレーム又はポータブルDVDプレーヤ2400を示している。この教示に基づくスクリーン2401は、折り畳みタイプの内側又は外側(図示せず)に一体化されることができ、あるいは、ヒンジのない設計(図示せず)であってもよい。

【0096】

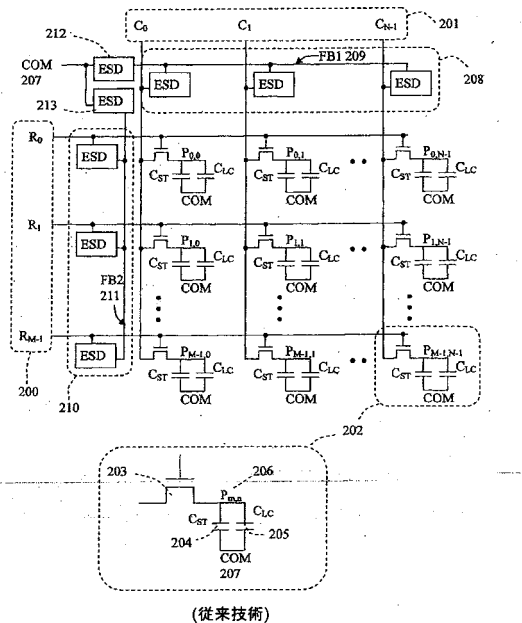
20

図25は、この教示を利用する1つ以上のサブディスプレイ2500を有する屋外用あるいは屋内用のデジタル広告板を示している。必要に応じての前方照明2501が、夜間でも読みやすくするために十分な照明を提供する。

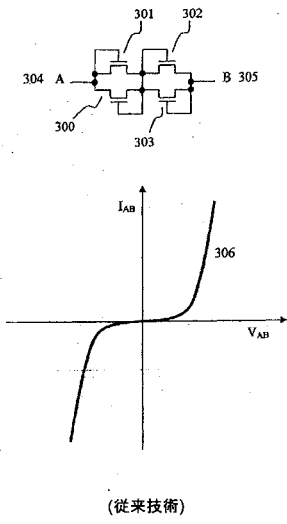
【図1】



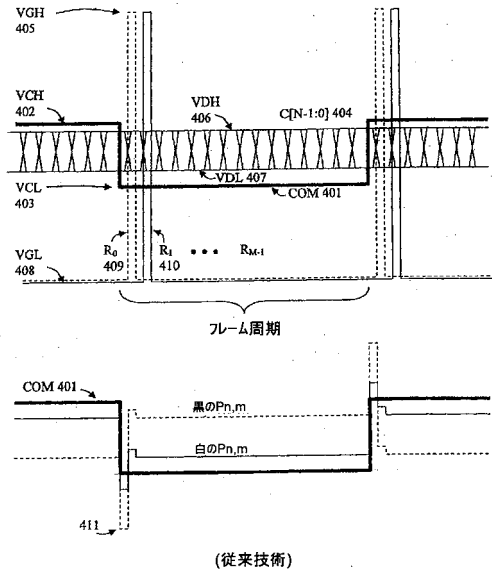
【図2】



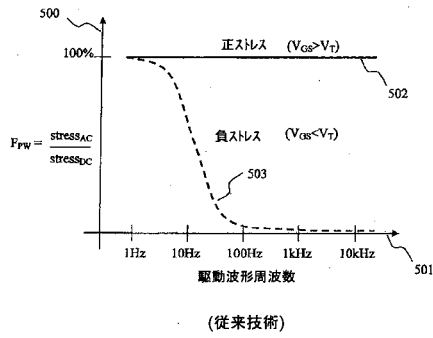
【図3】



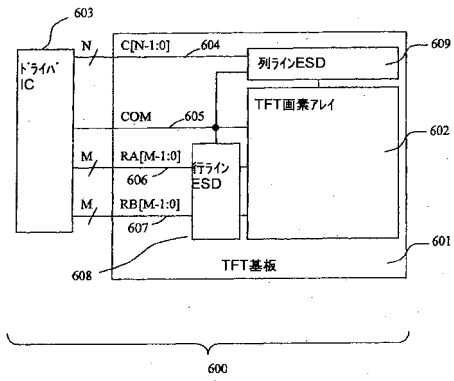
【図4】



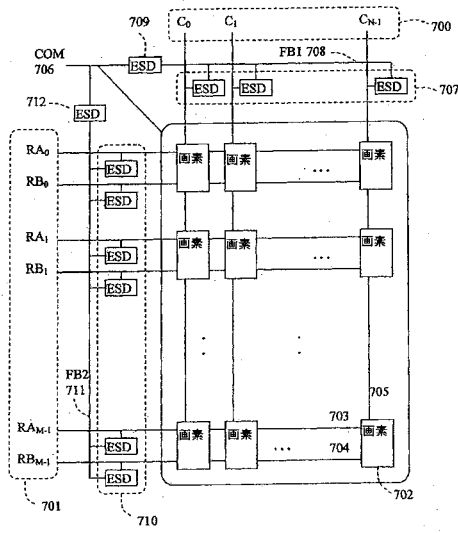
【図5】



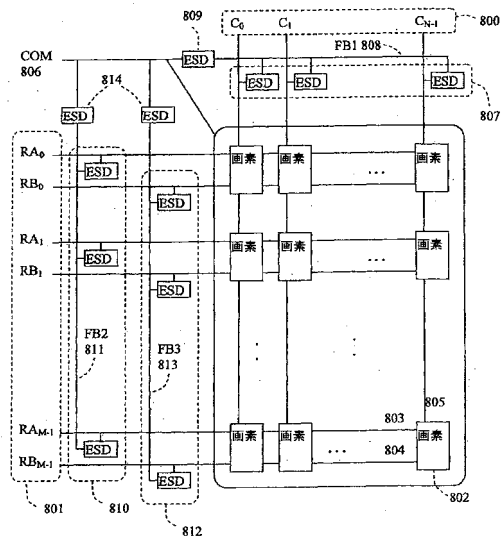
【図6】



【図 7】



【図 8】



【図 9】

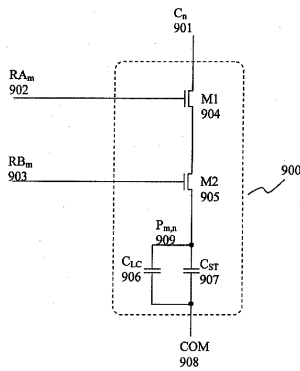


Figure 9.

【図 10】

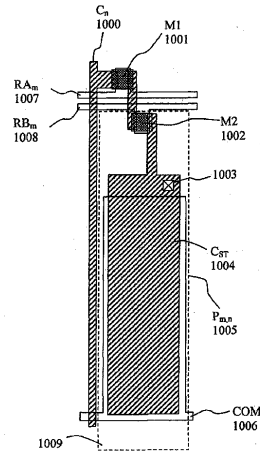
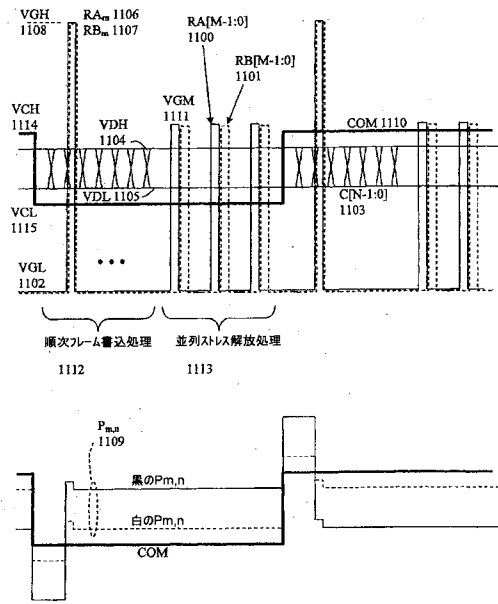
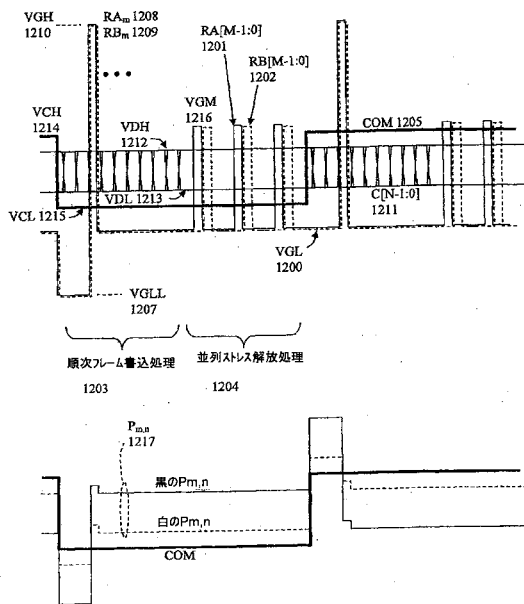


Figure 10.

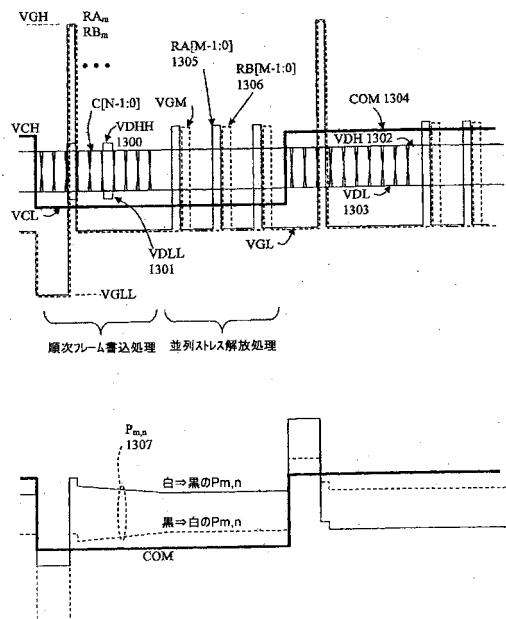
【図11】



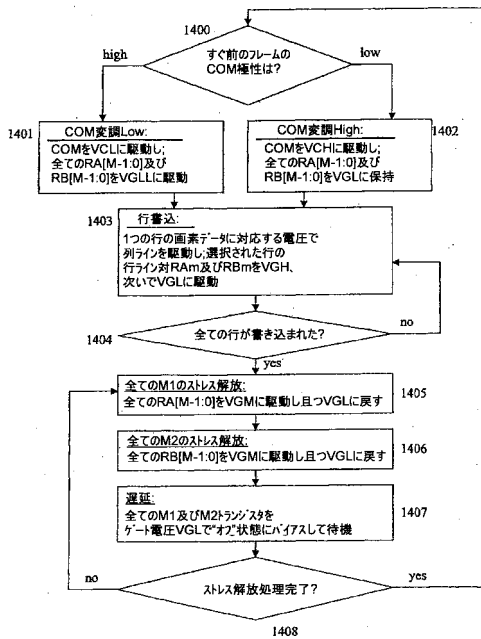
【図12】



【図13】



【図14】





【 15 】

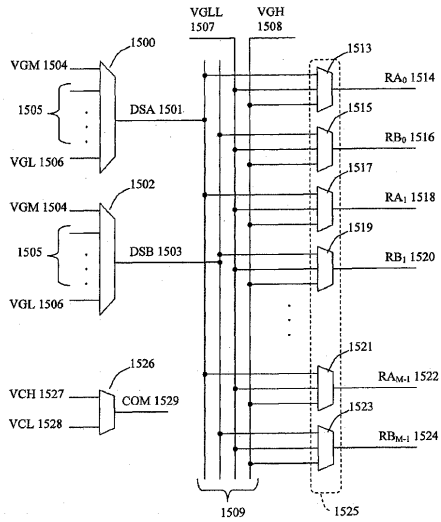


Figure 15.

【 16 】

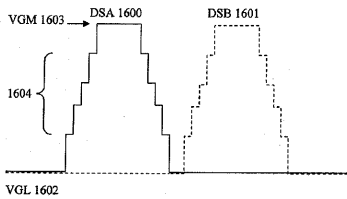


Figure 16.

【 19 】

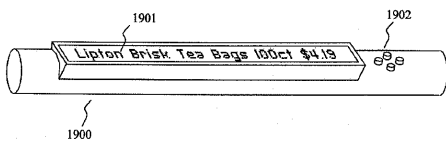


Figure 19.

【 20 】

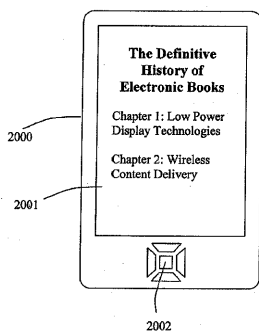


Figure 20.

【 17 】

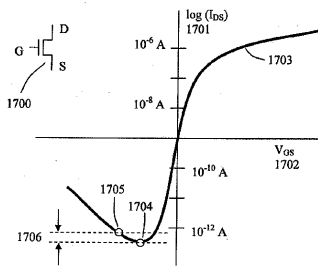


Figure 17.

【 18 】



Figure 18.

【 21 】

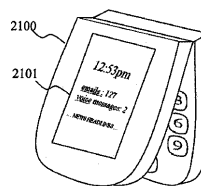


Figure 21.

【 22 】

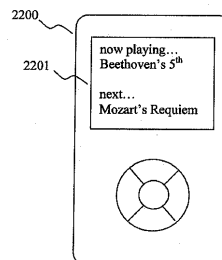


Figure 22.

【 2 3 】

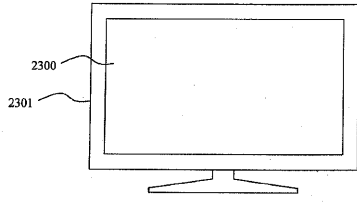


Figure 23.

【 2 4 】

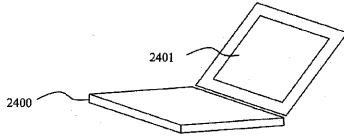


Figure 24.

【 2 5 】

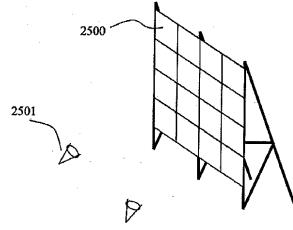


Figure 25.

---

フロントページの続き

(51)Int.Cl.

F I

G 0 9 G	3/20	6 7 0 K
G 0 9 G	3/20	6 1 1 A
G 0 9 G	3/20	6 2 1 A
G 0 9 G	3/20	6 2 2 D
G 0 9 G	3/20	6 2 2 C
G 0 9 G	3/20	6 2 3 C
G 0 2 F	1/133	5 5 0
G 0 2 F	1/1368	

審査官 後藤 亮治

(56)参考文献 特開2001-306041(JP,A)  
特開2005-070337(JP,A)  
特開2004-233526(JP,A)  
特開2007-178952(JP,A)  
国際公開第2008/070637(WO,A1)

(58)調査した分野(Int.Cl., DB名)

G 0 9 G	3 / 0 0	-	3 / 3 8
G 0 2 F	1 / 1 3 3		