

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.⁶
H01L 21/60

(11) 공개번호 특 1999-0031690
(43) 공개일자 1999년05월06일

(21) 출원번호	10-1997-0052501
(22) 출원일자	1997년10월14일
(71) 출원인	삼성전자 주식회사 윤종용 경기도 수원시 팔달구 매탄3동 416
(72) 발명자	송현호 서울특별시 도봉구 창1동 서울가든아파트 106동 203호 최치영 경기도 용인시 기흥읍 농서리 산 24 정연태 서울특별시 성북구 정릉1동 우성아파트 102동 1902호
(74) 대리인	김능균

심사청구 : 없음

(54) 와이어 본딩 충격에 대한 완충 특성을 갖는 반도체 장치의 패드 및 그 제조 방법

요약

본 발명은 와이어 본딩 충격에 대한 완충 특성을 갖는 반도체 장치의 패드에 관한 것으로, 패드 구조의 층간절연막과 메탈층 사이에 충격 완충 특성을 갖는 폴리실리콘층과 상기 폴리실리콘층과 메탈층의 접착력 향상 및 스트레스 해소를 위한 베리어메탈(Ti층)을 함께 형성하거나, 또는 메탈층 형성시 비아 부분에 채워지는 메탈의 내부에 절연막, 구체적으로는 산화막층이 복수개 내재되도록 형성하여, 패드 조립시 와이어 본딩 충격에 의한 메탈 오픈 및 크레이터링 등의 불량을 감소시킨 것이다.

대표도

도9

명세서

도면의 간단한 설명

- 도 1은 종래 싱글메탈 구조를 갖는 반도체 장치의 패드 단면도.
 도 2는 종래 더블메탈 구조를 갖는 반도체 장치의 패드 단면도.
 도 3 내지 도 5는 본 발명에 따른 싱글메탈 구조를 갖는 패드의 제조공정순 단면도.
 도 6은 본 발명에 따른 더블메탈 구조를 갖는 패드의 예시평면도.
 도 7 내지 도 9는 본 발명에 따른 더블메탈 구조를 갖는 패드의 제조공정순 단면도.

< 도면의 주요부분에 대한 부호의 설명 >

- | | |
|---------------------|--------------|
| 10 : 실리콘 기판 | 20,70 : 산화막 |
| 30,32,34 : 폴리실리콘층 | 40 : 층간절연막 |
| 50,50a,52,54 : 메탈-1 | 60,64 : 메탈-2 |
| 105 : 비아 영역 | |

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 장치의 패드에 관한 것으로, 특히 와이어 본딩 충격에 대한 완충 특성을 갖는 반도체 장치의 패드 및 그 제조방법에 관한 것이다.

반도체 장치의 패드는 이미 널리 알려진 바 있듯이, 메탈의 두께, 폴리실리콘층의 적용 유무 및 장비별 유의차에 따라 차이는 있지만 와이어 본딩시의 충격에 의해 메탈이 파손되어 오픈되는 현상과, 크레이터링(Cratering) 현상이 흔히 발생하고 있다.

예를 들어 싱글메탈 구조를 갖는 패드는 도 1에 도시된 바와 같이, 소정의 반도체 소자가 형성된 실리콘 기판(10) 상부의 LOCOS(LOCal Oxidation of Silicon) 산화막(20) 위에 층간절연막(ILD = HTO + BPSG)(40)과 메탈-1(50)을 순차적으로 형성하였다.

또한 더블메탈 구조를 갖는 패드는 도 2에 도시된 바와 같이, 소정의 반도체 소자가 형성된 실리콘 기판(10)상의 LOCOS 산화막(20) 위에 폴리실리콘층(30)과 층간절연막(40)을 하나 또는 복합층으로 적층하고, 그 결과물 상부에 메탈-1(50a)을 증착 및 패터닝 한 후, 또 층간절연막(도면에는 미도시)을 침적하고 비아를 형성, 메탈-2(60)와 콘택트되도록 하였다.

그러나 싱글메탈 구조를 갖는 패드의 경우, 층간절연막(40)과 메탈-1(50)이 연속적으로 적층되어 있기 때문에 와이어 본딩시 충격에 의해 메탈층이 쉽게 오픈되는 현상이 발생되고, 또한 그 충격이 실리콘 기판(10)에까지 전달되어 크레이터링이 발생되는 등 문제가 있었다. 그 이유는 메탈층이 알루미늄으로서 경도가 높고 연성이 낮아 충격을 잘 흡수하지 못하기 때문이다.

또한 더블메탈 구조를 갖는 패드의 경우에도 폴리실리콘층(30)의 형성으로 패드메탈의 오픈 현상은 감소되었으나, 메탈-1과 메탈-2의 비아 부분에서 와이어 본딩시의 충격을 잘 흡수하지 못하고 그 충격이 반도체 기판에까지 전달되어 흔히 크레이터링이 유발되었다.

발명이 이루고자 하는 기술적 과제

본 발명의 목적은 와이어 본딩시 충격에 잘 견디고 그 충격을 최대한 흡수하여 반도체 기판쪽으로의 충격 전달에 의한 크레이터링 발생 빈도를 줄일 수 있는 와이어 본딩 충격에 대한 완충 특성을 갖는 반도체 장치의 패드 및 그 제조방법을 제공하는 데에 있다.

발명의 구성 및 작용

상기 본 발명의 목적을 달성하기 위한 와이어본딩 충격에 대한 완충 특성을 갖는 반도체 장치의 패드는, 층간절연막과 메탈층 사이에 충격에 대한 완충 특성을 갖는 폴리실리콘층과 상기 폴리실리콘층과 메탈층의 접착력 향상 및 스트레스 해소를 위한 베리어메탈을 함께 형성하거나, 또는 메탈층 형성시 비아 부분에 채워지는 메탈의 내부에 절연막, 구체적으로는 하나 이상의 산화막층이 내재되도록 형성한 데에 그 특징이 있다.

즉, 본 발명의 패드는, 소정의 반도체 소자가 형성된 반도체 기판의 패드 영역 상에 순차적으로 형성된 절연막, 폴리실리콘층 및 베리어메탈과, 상기 베리어메탈과 층간절연막을 사이에 두고 콘택트되어 있는 메탈층을 포함한다.

또한, 다른게는 소정의 반도체 소자가 형성된 반도체 기판의 패드 영역 상에 순차적으로 형성된 제1층간 절연막, 폴리실리콘층 및 제 1 메탈층과, 상기 제 1 메탈층과 제2층간절연막을 사이에 두고 콘택트된 제 2 메탈층과, 상기 제 1 메탈층과 제 2 메탈층의 콘택트 부분에 내재된 하나 이상의 산화막층을 포함한다.

이와 같은 구성된 반도체 장치의 패드 제조방법은, 소정의 반도체 소자가 형성된 반도체 기판의 패드 영역 상부에 제 1 절연물질, 폴리실리콘 및 베리어메탈을 순차적으로 침적 및 패터닝하는 단계, 상기 결과물 상부에 제 2 절연물질을 침적한 후 선택적으로 상기 베리어메탈이 노출되도록 식각하여 비아홀을 형성하고 그 위에 알루미늄을 증착 및 패터닝하는 단계를 포함한다. 특히, 반도체 기판의 패드 영역 상부에 제 1 절연물질, 폴리실리콘 및 베리어메탈을 순차적으로 침적한 후 식각 공정을 이용하여 동시에 패터닝하는 것이 좋으며, 베리어메탈로는 Ti, TiN 모두 사용 가능하지만, Ti가 경제적인 면에서 유리하다.

또 다른 제조방법은, 소정의 반도체 소자가 형성된 반도체 기판의 패드 영역 상부에 폴리실리콘, 제 1 절연물질 및 제 1 메탈을 순차적으로 침적 및 패터닝하는 단계, 상기 결과물을 상부에 제 2 절연물질을 침적한 후 선택적으로 하부 제 1 메탈이 노출되도록 식각하여 내부에 복수개의 제 2 절연물질층이 내재된 비아를 형성한 후 그 위에 제 2 메탈을 증착 및 패터닝하는 단계를 포함한다. 통상적으로 제2절연물질로는 산화막을 사용한다.

이러한 제조공정에서는 비아 형성을 위한 마스크 제작시 메탈층의 내부에 산화막이 내재될 수 있도록 제작하여 사용한다.

이하, 본 발명에 따른 실시예를 첨부된 도면을 참조하여 상세히 설명하고자 한다.

도 3 내지 도 5는 본 발명에 따른 싱글메탈 구조를 갖는 반도체 장치의 패드의 일실시예를 보인 제조공정순 단면도이다.

도면을 참조하면, 먼저 소정의 소자 제조공정에 의해 실리콘 기판(10) 상에 특정 소자를 형성한 후, 도 3과 같이 상기 결과물의 패드 영역 상부에 LOCOS 산화막(20)을 형성한다.

다음 도 4와 같이, 상기 산화막(20) 위에 층간절연막(42), 폴리실리콘층(32) 및 베리어메탈인 Ti층(52a)을 순차적으로 형성하고, 포토레지스트를 식각마스크로 사용하여 동시에 상기 3개 층의 패드 영역 이외의 부분을 산화막(20)이 노출되도록 식각하여 제거한다.

다음 도 5와 같이, 상기 결과물 상에 또 다른 층간절연막(도면에는 도시하지 않음)을 형성하고 패드 영역에 해당하는 부분을 오픈한 후 알루미늄 플로우 공정을 진행한다. 이후 상기 알루미늄을 패터닝하여 알루미늄층(50b), 즉 메탈층을 형성하고, 통상의 공정을 진행하여 패드를 완성한다.

이와 같이 제조된 반도체 장치의 패드는 Ti, TiN 등의 베리어메탈이 폴리실리콘층(32)과 알루미늄층(52b) 사이에 삽입되기 때문에 범프(Bump) 공정에 의하여 패드 부위에 스트레스, 소위 충격이 가해지더라고 메탈의 오픈 및 크레이터링 불량을 방지할 수 있는 것이다.

도 7 내지 도 9는 더블메탈 구조를 갖는 패드의 제조공정순 단면도이고, 도 6은 도 9에 도시된 반도체 장치의 평면예시도이다.

먼저 도 7과 같이, 소정의 반도체 소자가 형성된 실리콘 기판(10) 상의 LOCOS 산화막(20) 상부에 폴리실리콘, 제1절연물질 및 알루미늄을 순차적으로 침적한 후, 포토마스크를 이용하여 패드 영역 이외의 부분에 형성된 상기 3개 물질을 제거한다. 이 공정에 의해 도 8과 같이 산화막(20) 상부에 폴리실리콘층(34), 제 1 층간절연막(44) 및 메탈-1(54)이 적층된 구조가 만들어진다. 이때에 상기 제 1 층간절연막으로는 종래와 같이 HTO(High Temperature Oxide)를 사용한다.

다음, 상기 결과물을 상에 다시 제 2 층간절연막, 구체적으로는 산화막을 형성한 후 포토레지스트를 식각 마스크로 사용하여 선택적으로 패드의 메탈-1(54)이 노출되도록 상기 산화막을 선택적으로 식각한다. 이때에 식각된 비아 내에는 적어도 1개 이상의 산화막층(70)이 내재되도록 하고, 다음 도 9에서와 같이 상기 결과물을 상에 알루미늄을 증착한 후 패터닝하여 메탈-2(64)를 형성한다.

도 6에 도시된 평면도를 참조하면, 제 2 층간절연막에 비아를 형성할 때 메탈-2(64)의 콘택 부위에 복수 개의 산화막층(70)을 형성되도록 비아 영역(105)을 패터닝하게 되므로, 결국 메탈-2(64) 내부에 산화막층(70)이 내재되는 것이다.

이후에는 통상의 공정을 진행하여 패드를 완성한다.

이와 같은 공정에 의해 제조되는 패드는 메탈-1(54)과 메탈-2(64) 사이의 콘택 부분에 수개의 산화막층(70)이 내재되므로, 와이어 본딩시 패드쪽 원도우가 열린 부분에 가해지는 본딩 충격이 상기 산화막층(70)에 의해 완화되므로 메탈 오픈은 물론 크레이터링의 원인인 반도체 기판까지 본딩 충격이 전달되는 것을 방지할 수 있게 되는 것이다.

발명의 효과

이상에서 상세히 설명한 바와 같이, 본 발명에 따른 폴리실리콘과 메탈 사이에 스트레스 방지를 위한 Ti층을 삽입하거나, 특히 더블메탈 구조인 경우 메탈 사이의 비아 내에 구체적으로는 메탈 연결 구조인 콘택내에 수개의 산화막층을 형성함으로서, 패드 조립시 와이어 본딩 충격에 의한 메탈 오픈 및 크레이터링 등의 불량을 줄일 수 있다.

(57) 청구의 범위

청구항 1

소정의 반도체 소자가 형성된 실리콘 기판의 패드 영역 상에 순차적으로 형성된 층간절연막, 폴리실리콘층 및 베리어메탈층과,

상기 베리어메탈층과 절연막을 사이에 두고 콘택된 메탈층을

포함하는 와이어본딩 충격에 대한 완충 특성을 갖는 반도체 장치의 패드.

청구항 2

제 1 항에 있어서, 상기 베리어메탈층은 Ti인 것을 특징으로 하는 와이어본딩 충격에 대한 완충 특성을 갖는 반도체 장치의 패드.

청구항 3

소정의 반도체 소자가 형성된 실리콘 기판의 패드 영역 상에 순차적으로 형성된 폴리실리콘층, 층간절연막 및 제 1 메탈층과,

상기 제 1 메탈층과 절연막의 비아를 통해 콘택되어 되어 콘택 부분에 하나 이상의 절연막이 내재되어 있는 제 2 메탈층을

포함하는 와이어본딩 충격에 대한 완충 특성을 갖는 반도체 장치의 패드.

청구항 4

제 3 항에 있어서, 상기 제 1 메탈층은 Ti층과 알루미늄층으로 구성된 것임을 특징으로 하는 반도체 장치의 와이어본딩 충격 완충용 패드.

청구항 5

소정의 반도체 소자가 형성된 반도체 기판의 패드 영역 상부에 제 1 절연물질, 폴리실리콘 및 베리어메탈로 Ti을 순차적으로 침적 및 패터닝하는 단계,

상기 결과물을 상부에 제 2 절연물질을 침적한 후 선택적으로 상기 베리어메탈이 노출되도록 식각하여 비아홀을 형성하는 단계,

상기 결과물을 상부에 메탈을 증착 및 패터닝하는 단계를

포함하는 와이어본딩 충격에 대한 완충 특성을 갖는 반도체 장치의 패드의 제조방법.

청구항 6

제 5 항에 있어서, 반도체 기판의 패드 영역 상부에 제 1 절연물질, 폴리실리콘 및 베리어메탈을 침적한 후 식각 공정을 이용하여 동시에 패터닝하는 것을 특징으로 하는 와이어본딩 충격에 대한 완충 특성을 갖는 반도체 장치의 패드.

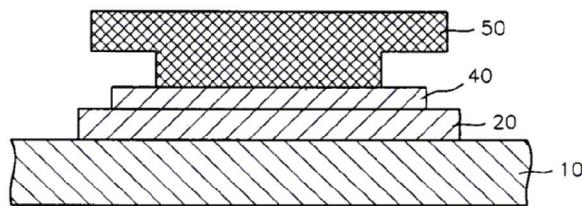
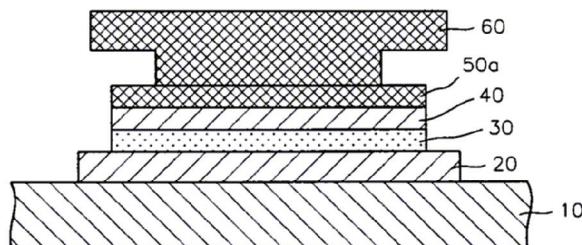
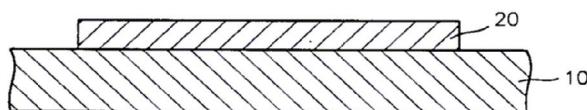
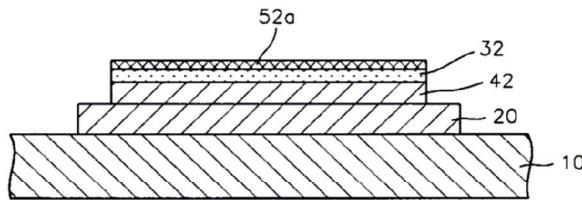
청구항 7

소정의 반도체 소자가 형성된 반도체 기판의 패드 영역 상부에 폴리실리콘, 제 1 절연물질 및 제 1 메탈을 순차적으로 침적 및 패터닝하는 단계,

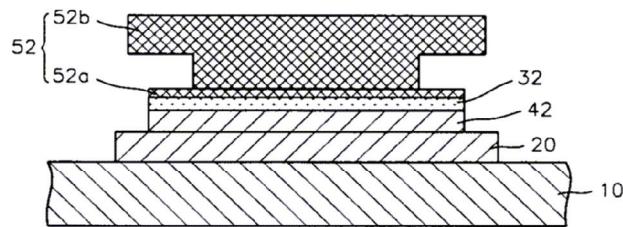
상기 결과물 상부에 제 2 절연물질을 침적한 후 선택적으로 하부 제 1 메탈이 노출되도록 식각하되 내부에 하나 이상의 제 2 절연물질층이 내재되도록 비아를 형성하는 단계,

상기 결과물 상에 제 2 메탈을 증착 및 패터닝하는 단계를

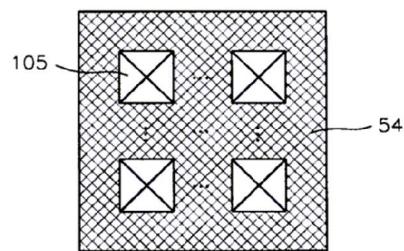
포함하는 와이어본딩 충격에 대한 완충 특성을 갖는 반도체 장치의 패드.

도면**도면1****도면2****도면3****도면4**

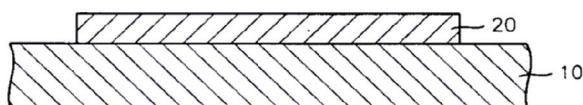
도면5



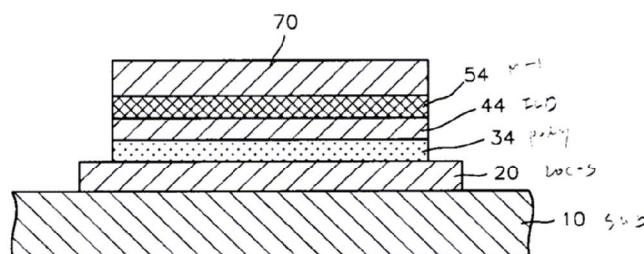
도면6



도면7



도면8



도면9

