(19)日本国特許庁(JP)　(12)公開特許公報(A)　(11)特許出願公開番号
特開2012-89902
(P2012-89902A)
(43)公開日　平成24年5月10日(2012.5.10)

(51)Int.Cl.		F I			テーマコード（参考）
H01L 21/8242	***(2006.01)***	H01L	27/10	621C	5F083
H01L 27/108	***(2006.01)***	H01L	27/10	651	
H01L 27/105	***(2006.01)***	H01L	27/10	444B	
H01L 21/8246	***(2006.01)***	H01L	27/10	681F	

審査請求 有　請求項の数 4　ＯＬ　（全 99 頁）

(21)出願番号　特願2012-27020(P2012-27020)
(22)出願日　平成24年2月10日(2012.2.10)
(62)分割の表示　特願2006-338229(P2006-338229)の分割
原出願日　平成7年11月29日(1995.11.29)
(31)優先権主張番号　特願平7-13748
(32)優先日　平成7年1月31日(1995.1.31)
(33)優先権主張国　日本国(JP)

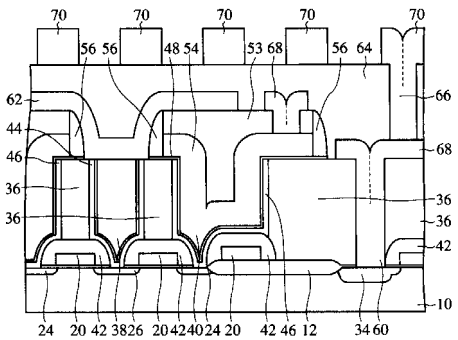
(71)出願人　308014341
富士通セミコンダクター株式会社
神奈川県横浜市港北区新横浜二丁目１０番２３
(74)代理人　100087479
弁理士　北野　好人
(74)代理人　100114915
弁理士　三村　治彦
(72)発明者　江間　泰示
神奈川県横浜市港北区新横浜二丁目１０番２３　富士通セミコンダクター株式会社内
(72)発明者　姉崎　徹
神奈川県横浜市港北区新横浜二丁目１０番２３　富士通セミコンダクター株式会社内

最終頁に続く

(54)【発明の名称】半導体装置の製造方法

(57)【要約】
【課題】　半導体記憶装置に係り、特に、高集積化されたＤＲＡＭを、少ない工程数で、且つ微細なセル面積で実現できる半導体記憶装置及びその製造方法を提供する。
【解決手段】　半導体基板１０に形成されたメモリセルトランジスタと、メモリセルトランジスタのゲート電極２０の上面及び側面を覆う絶縁膜４２と、ソース拡散層２４上に開口したスルーホール４０と、ドレイン拡散層２６上に開口したスルーホール３８とが形成された層間絶縁膜３６と、スルーホール４０内壁及び底部に形成され、ソース拡散２４層に接続されたキャパシタ蓄積電極４６と、キャパシタ蓄積電極４６を覆うキャパシタ誘電体膜４８と、キャパシタ誘電体膜４８を覆うキャパシタ対向電極５４とを有するキャパシタと、スルーホール３８の内壁及び底部に形成され、ドレイン拡散層と接続されたコンタクト用導電膜４４とにより構成する。
【選択図】　図２

本発明の第1実施形態による半導体記憶装置の構造を示す概略断面図



10…半導体基板
12…素子分離膜
14…素子領域
15…素子領域
16…ゲート酸化膜
20、22…ゲート電極
24…ソース拡散層
26、34…ドレイン拡散層
28…低濃度拡散層
36、53、64…層間絶縁膜
38、40、60…スルーホール
42…絶縁膜
44…コンタクト用導電膜
46…キャパシタ蓄積電極
48…キャパシタ誘電体膜
54…キャパシタ対向電極
56…サイドウォール酸化膜
58…ビット線コンタクトホール
59…コンタクトホール
62…ビット線
66…ビアホール
68、70…配線層

【特許請求の範囲】
【請求項１】
半導体基板上に形成されたソース拡散層とドレイン拡散層と、前記ソース拡散層と前記ドレイン拡散層との間の前記半導体基板上に、ゲート絶縁膜を介して形成されたゲート電極とを有するメモリセルトランジスタと、
前記ゲート電極の上面及び側面を覆う絶縁膜と、
前記メモリセルトランジスタ上を覆い、前記ソース拡散層上に開口した第１のスルーホールと、前記ドレイン拡散層上に開口した第２のスルーホールとが形成された第１の層間絶縁膜と、
前記第１のスルーホールの内壁及び底部に形成され、前記ソース拡散層に接続されたキャパシタ蓄積電極と、前記キャパシタ蓄積電極を覆うように形成されたキャパシタ誘電体膜と、前記キャパシタ誘電体膜を覆うように形成されたキャパシタ対向電極とを有するキャパシタと、
前記第２のスルーホール内壁及び底部に形成され、前記ドレイン拡散層と接続された第１のコンタクト用導電膜と
を有するメモリセルと、
前記メモリセル上に形成され、ビット線コンタクトホールが形成された第２の層間絶縁膜と、
前記第２の層間絶縁膜上に形成され、前記ビット線コンタクトホールを介して前記メモリセルの前記第１のコンタクト用導電膜に接続されたビット線と
を有することを特徴とする半導体記憶装置。
【請求項２】
半導体基板上に形成されたソース拡散層とドレイン拡散層と、前記ソース拡散層と前記ドレイン拡散層との間の前記半導体基板上に、ゲート絶縁膜を介して形成されたゲート電極とを有するメモリセルトランジスタと、
前記ゲート電極の上面及び側面を覆う絶縁膜と、
前記メモリセルトランジスタ上を覆い、前記ソース拡散層上に開口された第１のスルーホールと、前記ドレイン拡散層上に開口された第２のスルーホールとが形成された第１の層間絶縁膜と、
前記第１のスルーホールの底部に埋め込まれ、前記ソース拡散層に接続された第１の埋め込み導電体と、
前記第２のスルーホールの底部に埋め込まれ、前記ドレイン拡散層に接続された第２の埋め込み導電体と、
前記第１のスルーホールの内壁と、前記第１の埋め込み導電体の上面とに形成され、前記第１の埋め込み導電体を介して前記ソース拡散層に接続されたキャパシタ蓄積電極と、前記キャパシタ蓄積電極を覆うように形成されたキャパシタ誘電体膜と、前記キャパシタ誘電体膜を覆うように形成されたキャパシタ対向電極とを有するキャパシタと、
前記第２のスルーホールの内壁と、前記第２の埋め込み導電体の上面とに形成され、前記第２の埋め込み導電体を介して前記ドレイン拡散層と接続された第１のコンタクト用導電膜と
を有するメモリセルと、
前記メモリセル上に形成され、ビット線コンタクトホールが形成された第２の層間絶縁膜と、
前記第２の層間絶縁膜上に形成され、前記ビット線コンタクトホールを介して前記メモリセルの前記第１のコンタクト用導電膜に接続されたビット線と
を有することを特徴とする半導体記憶装置。
【請求項３】
半導体基板上に形成されたソース拡散層とドレイン拡散層と、前記ソース拡散層と前記ドレイン拡散層との間の前記半導体基板上に、ゲート絶縁膜を介して形成されたゲート電極とを有するメモリセルトランジスタと、

前記メモリセルトランジスタ上を覆い、前記ソース拡散層上に開口した第１のスルーホールと、前記ドレイン拡散層上に開口した第２のスルーホールと、前記半導体基板より離間した領域の前記第１のスルーホールを囲うように形成され、前記第１のスルーホールより開口径が広い開口と、が形成された第１の層間絶縁膜と、
前記開口の内壁及び底部、前記第１のスルーホールの内壁及び底部に形成され、前記ソース拡散層に接続されたキャパシタ蓄積電極と、前記キャパシタ蓄積電極を覆うように形成されたキャパシタ誘電体膜と、前記キャパシタ誘電体膜を覆うように形成されたキャパシタ対向電極とを有するキャパシタと、
前記第２のスルーホール内壁及び底部に形成され、前記ドレイン拡散層と接続された第１のコンタクト用導電膜と
を有するメモリセルと、
前記メモリセル上に形成され、ビット線コンタクトホールが形成された第２の層間絶縁膜と、
前記第２の層間絶縁膜上に形成され、前記ビット線コンタクトホールを介して前記メモリセルの前記第１のコンタクト用導電膜に接続されたビット線と
を有することを特徴とする半導体記憶装置。
【請求項４】
請求項１又は２記載の半導体記憶装置において、
前記キャパシタ蓄積電極は、前記第１のスルーホールの内部に、前記第１のスルーホール内壁とは離間して形成された第１の柱状導電体を有し、
前記コンタクト用導電膜は、前記第２のスルーホールの内部に、前記第２のスルーホール内壁とは離間して形成された第２の柱状導電体を有する
ことを特徴とする半導体記憶装置。
【請求項５】
請求項１、２又は４記載の半導体記憶装置において、
前記絶縁膜と接する領域の前記第１の層間絶縁膜は、前記絶縁膜とはエッチング特性が異なる材料により構成されている
ことを特徴とする半導体記憶装置。
【請求項６】
請求項５記載の半導体記憶装置において、
前記絶縁膜はシリコン窒化膜であり、
前記絶縁膜とエッチング特性が異なる前記材料は、シリコン酸化膜又は不純物を添加したシリコン酸化膜である
ことを特徴とする半導体記憶装置。
【請求項７】
請求項３記載の半導体記憶装置において、
前記キャパシタ蓄積電極は、前記第１のスルーホールより前記開口内に柱状に突出する柱状導電体を更に有する
ことを特徴とする半導体記憶装置。
【請求項８】
請求項１乃至７のいずれかに記載の半導体記憶装置において、
前記ビット線コンタクトホールの内壁に形成されたサイドウォール絶縁膜を更に有し、
前記ビット線は、前記サイドウォール絶縁膜により前記キャパシタ対向電極と絶縁されている
ことを特徴とする半導体記憶装置。
【請求項９】
請求項１乃至８のいずれかに記載の半導体記憶装置において、
前記メモリセルが形成されたメモリセル領域の周辺の前記半導体基板上に形成された周辺回路用トランジスタと、
前記第１の層間絶縁膜上に形成され、前記ビット線と同一導電層からなる配線層とを更

に有し、
前記配線層は、前記周辺回路用トランジスタのゲート電極、ソース拡散層又はドレイン拡散層に直接接続されている
ことを特徴とする半導体記憶装置。
【請求項１０】
請求項１乃至８のいずれかに記載の半導体記憶装置において、
前記メモリセルが形成されたメモリセル領域の周辺の前記半導体基板上に形成された周辺回路用トランジスタと、
前記ビット線上に形成された第３の層間絶縁膜と、
前記第３の層間絶縁膜上に形成された配線層とを更に有し、
前記配線層は、前記周辺回路用トランジスタのゲート電極、ソース拡散層又はドレイン拡散層に直接接続されている
ことを特徴とする半導体記憶装置。
【請求項１１】
請求項１０記載の半導体記憶装置において、
前記配線層は、前記周辺回路用トランジスタのゲート電極、ソース拡散層若しくはドレイン拡散層、前記キャパシタ対向電極、又は前記ビット線に直接接続されている
ことを特徴とする半導体記憶装置。
【請求項１２】
請求項１１記載の半導体記憶装置において、
前記ビット線と前記配線層とを接続する領域の前記ビット線直下に、前記キャパシタ対向電極と、前記第２の層間絶縁膜との積層膜と同一の構造よりなるエッチング保護パターンを更に有する
ことを特徴とする半導体記憶装置。
【請求項１３】
請求項１乃至８のいずれかに記載の半導体記憶装置において、
前記メモリセルが形成されたメモリセル領域の周辺の前記半導体基板上に形成された周辺回路用トランジスタと、
前記第２の層間絶縁膜上に形成され、前記ビット線と同一導電層からなる配線層とを更に有し、
前記キャパシタ対向電極及び前記第２の層間絶縁膜は、前記周辺回路用トランジスタの形成された領域に延在して形成されており、
前記配線層は、前記周辺回路用トランジスタのゲート電極、ソース拡散層又はドレイン拡散層に直接接続されている
ことを特徴とする半導体記憶装置。
【請求項１４】
請求項１乃至８のいずれかに記載の半導体記憶装置において、
前記メモリセルが形成されたメモリセル領域の周辺の前記半導体基板上に形成された周辺回路用トランジスタと、
前記周辺回路用トランジスタのゲート電極、ソース拡散層、又はドレイン拡散層上の前記第１の層間絶縁膜に形成された第３のスルーホールの内壁及び底部に形成された第２のコンタクト用導電膜とを更に有し、
前記周辺回路用トランジスタのゲート電極、ソース拡散層又はドレイン拡散層は、前記第２のコンタクト用導電膜を介して前記第１の層間絶縁膜上に形成された配線層に接続されている
ことを特徴とする半導体記憶装置。
【請求項１５】
請求項１４記載の半導体記憶装置において、
前記第３のスルーホールの底部に形成された第３の埋め込み導電体を更に有し、
前記第２のコンタクト用導電膜は、前記第３の埋め込み導電体を介して前記周辺回路用

トランジスタのゲート電極、ソース拡散層又はドレイン拡散層に接続されている
ことを特徴とする半導体記憶装置。
【請求項１６】
請求項１乃至１５のいずれかに記載の半導体記憶装置において、
前記第１の層間絶縁膜は、エッチング特性が異なる複数の絶縁材料を積層した積層膜である
ことを特徴とする半導体記憶装置。
【請求項１７】
請求項１６記載の半導体記憶装置において、
前記積層膜は、シリコン窒化膜をシリコン酸化膜により挟んで積層されている
ことを特徴とする半導体記憶装置。
【請求項１８】
請求項１６記載の半導体記憶装置において、
前記積層膜は、シリコン酸化膜上にシリコン窒化膜が積層された膜である
ことを特徴とする半導体記憶装置。
【請求項１９】
半導体基板上に形成されたソース拡散層とドレイン拡散層と、前記ソース拡散層と前記ドレイン拡散層との間の前記半導体基板上に、ゲート絶縁膜を介して形成されたゲート電極とを有するメモリセルトランジスタと、
前記ゲート電極の上面及び側面を覆う絶縁膜と、
前記メモリセルトランジスタ上を覆い、前記ソース拡散層上に開口した第１のスルーホールが形成された第１の層間絶縁膜と、
前記第１のスルーホールの内壁及び底部に形成され、前記ソース拡散層に接続されたコンタクト部と、前記コンタクト部に接続され、前記第１の層間絶縁膜上に突出して形成された突出部とを有するキャパシタ蓄積電極と、前記キャパシタ蓄積電極を覆うように形成されたキャパシタ誘電体膜と、前記キャパシタ誘電体膜を覆うように形成されたキャパシタ対向電極と、を有するキャパシタと
を有するメモリセル
を有することを特徴とする半導体記憶装置。
【請求項２０】
請求項１９記載の半導体記憶装置において、
前記メモリセル上に形成され、前記第１の層間絶縁膜を介して前記ドレイン拡散層に達するビット線コンタクトホールが形成された第２の層間絶縁膜と、
前記第２の層間絶縁膜上に形成され、前記ビット線コンタクトホールを介して前記メモリセルの前記ドレイン拡散層に接続されたビット線とを更に有する
ことを特徴とする半導体記憶装置。
【請求項２１】
請求項１９又は２０記載の半導体記憶装置において、
前記第１の層間絶縁膜には、前記ドレイン拡散層上に開口された第２のスルーホールが形成されており、
前記第２のスルーホール内壁及び底部に形成され、前記ドレイン拡散層と接続されたコンタクト用導電膜と、
前記メモリセル上に、第２の層間絶縁膜を介して形成され、前記コンタクト用導電膜接続されたビット線とを更に有する
ことを特徴とする半導体記憶装置。
【請求項２２】
請求項１９乃至２１のいずれかに記載の半導体記憶装置において、
前記第１の層間絶縁膜は、シリコン窒化膜とシリコン酸化膜とを有し、
前記シリコン窒化膜は、前記ゲート電極上に形成されており、
前記シリコン酸化膜は、前記シリコン窒化膜上に形成されており、

前記第２の層間絶縁膜はシリコン酸化膜により形成されている
ことを特徴とする半導体記憶装置。
【請求項２３】
請求項１乃至２２のいずれかに記載の半導体記憶装置において、
前記第１のコンタクト用導電膜、前記第２のコンタクト用導電膜又は前記キャパシタ蓄積電極は、Ｎ形シリコン及びＰ形シリコンにコンタクトする導電材料である
ことを特徴とする半導体記憶装置。
【請求項２４】
請求項１乃至２３のいずれかに記載の半導体記憶装置において、
前記ビット線コンタクトホールは、ビット線の延在する方向に長く伸びた形状である
ことを特徴とする半導体記憶装置。
【請求項２５】
請求項１乃至２４のいずれかに記載の半導体記憶装置において、
前記ビット線は、前記ビット線間の間隔の半分以下の膜厚である
ことを特徴とする半導体記憶装置。
【請求項２６】
並行に配された複数のビット線と
複数の前記ビット線に交差する方向に並行に配された複数のワード線と、
それぞれの前記ビット線の一方の端に設けられたセンスアンプと
それぞれの前記ワード線の一方の端に設けられたデコーダと
前記ビット線と前記ワード線のそれぞれの交差部に設けられた請求項１乃至２５のいずれかに記載のメモリセルとを有し、
複数の前記センスアンプは２組に分けられ、前記メモリセルが形成されたメモリセル領域の対向する側部にそれぞれの組が設けられており、
複数の前記デコーダは２組に分けられ、前記メモリセル領域の他の対向する側部にそれぞれの組が設けられている
ことを特徴とする半導体記憶装置。
【請求項２７】
半導体基板上に形成されたソース拡散層とドレイン拡散層と、前記ソース拡散層と前記ドレイン拡散層との間の前記半導体基板上に、ゲート絶縁膜を介して形成されたゲート電極とを有するメモリセルトランジスタと、
前記メモリセルトランジスタ上を覆い、前記ソース拡散層上に開口した第１のスルーホールと、前記ドレイン拡散層上に開口した第２のスルーホールとが形成された第１の層間絶縁膜と、
前記第１のスルーホール内に埋め込まれた埋め込み導電体と、
前記第１の層間絶縁膜上に形成され、前記埋め込み導電体を介して前記ソース拡散層に接続されたキャパシタ蓄積電極と、前記キャパシタ蓄積電極を覆うように形成されたキャパシタ誘電体膜と、前記キャパシタ誘電体膜を覆うように形成されたキャパシタ対向電極とを有するキャパシタと
を有するメモリセルと、
前記第１の層間絶縁膜上に形成され、前記第２のスルーホールを介して前記ドレイン拡散層に接続されたビット線と
を有し、
前記埋め込み導電体と前記ビット線は、同一の導電層により形成されている
ことを特徴とする半導体記憶装置。
【請求項２８】
請求項２７記載の半導体記憶装置において、
前記埋め込み導電体は、前記第１のスルーホールの側壁及び底部に形成されている
ことを特徴とする半導体記憶装置。
【請求項２９】

請求項２７又は２８記載の半導体記憶装置において、
前記第１のスルーホール及び前記第２のスルーホールは、前記ゲート電極の外側に離間して形成されている
ことを特徴とする半導体記憶装置。
【請求項３０】
請求項２７乃至２９のいずれかに記載の半導体記憶装置において、
前記ビット線の上面及び側面は、前記ビット線上に形成する第２の層間絶縁膜に対してエッチングストッパとして機能する絶縁膜により覆われている
ことを特徴とする半導体記憶装置。
【請求項３１】
請求項３０記載の半導体記憶装置において、
前記第２の層間絶縁膜には、その内部に前記埋め込み導電体が露出する第３のスルーホールが形成されており、
前記キャパシタ誘電体膜は、前記第３のスルーホールの側壁及び底面に形成されている
ことを特徴とする半導体記憶装置。
【請求項３２】
半導体基板上に、第１の導電膜と第１の絶縁膜を積層して堆積した後、前記第１の導電膜と前記第１の絶縁膜をパターニングし、上面が前記第１の絶縁膜で覆われた前記第１の導電膜からなるゲート電極を形成するゲート電極形成工程と、
前記ゲート電極をマスクとして前記半導体基板に不純物を導入し、ソース拡散層及びドレイン拡散層を形成する拡散層形成工程と、
前記ゲート電極の側壁に第１のサイドウォール絶縁膜を形成する第１のサイドウォール絶縁膜形成工程と、
前記ソース拡散層上に開口された第１のスルーホールと、前記ドレイン拡散層上に開口された第２のスルーホールが形成された第１の層間絶縁膜を形成する第１の層間絶縁膜形成工程と、
前記第１の層間絶縁膜が形成された前記半導体基板上に第２の導電膜を堆積する第２の導電膜堆積工程と、
前記第１のスルーホールと前記第２のスルーホールの内部に前記第２の導電膜を残存させるように前記第１の層間絶縁膜上の前記第２の導電膜を除去し、前記第１のスルーホール内に形成された前記第２の導電膜からなるキャパシタ蓄積電極と、前記第２のスルーホール内に形成された第２の導電膜からなる第１のコンタクト用導電膜を形成する導電膜除去工程と、
前記キャパシタ蓄積電極と、前記第１のコンタクト用導電膜とが形成された前記半導体基板上に、キャパシタ誘電体膜となる第２の絶縁膜と、キャパシタ対向電極となる第３の導電膜とを堆積した後、前記第３の導電膜をパターニングし、前記キャパシタ対向電極を形成するキャパシタ対向電極形成工程と
を有することを特徴とする半導体記憶装置の製造方法。
【請求項３３】
請求項３２記載の半導体記憶装置の製造方法において、
前記キャパシタ対向電極形成工程では、前記第３の導電膜上に堆積した第３の絶縁膜と前記第３の導電膜をパターニングし、前記キャパシタ対向電極と、前記第２のスルーホール上に開口されたビット線コンタクトホールを形成し、
前記キャパシタ対向電極形成工程の後、第４の絶縁膜を堆積し、前記第４の絶縁膜を異方性エッチングすることにより前記ビット線コンタクトホールの内壁に第２のサイドウォール絶縁膜を形成すると同時に、前記ビット線コンタクトホール底部の前記第２の絶縁膜を除去する第２のサイドウォール絶縁膜形成工程と、
前記第３の絶縁膜上に形成され、前記ビット線コンタクトホール内に露出した前記第１のコンタクト用導電膜と接続されたビット線を形成するビット線形成工程と
を更に有することを特徴とする半導体記憶装置の製造方法。

【請求項３４】
半導体基板上に、第１の導電膜と第１の絶縁膜を積層して堆積した後、前記第１の導電膜と前記第１の絶縁膜をパターニングし、メモリセルトランジスタを形成する第１の領域に、上面が前記第１の絶縁膜で覆われた前記第１の導電膜からなる第１のゲート電極を、周辺回路用トランジスタを形成する第２の領域に、上面が前記第１の絶縁膜で覆われた前記第１の導電膜からなる第２のゲート電極を形成するゲート電極形成工程と、
前記ゲート電極をマスクとして前記半導体基板に不純物を導入し、前記第１の領域に前記メモリセルトランジスタのソース拡散層及びドレイン拡散層を形成し、前記第２の領域に前記周辺回路用トランジスタのソース拡散層及びドレイン拡散層を形成する拡散層形成工程と、
前記ゲート電極の側壁に第１のサイドウォール絶縁膜を形成する第１のサイドウォール絶縁膜形成工程と、
前記メモリセルトランジスタの前記ソース拡散層上に開口された第１のスルーホールと、前記メモリセルトランジスタの前記ドレイン拡散層上に開口された第２のスルーホールとが形成された第１の層間絶縁膜を形成する第１の層間絶縁膜形成工程と、
前記第１の層間絶縁膜が形成された前記半導体基板上に第２の導電膜を堆積する第２の導電膜堆積工程と、
前記第１のスルーホールと、前記第２のスルーホールとの内部に前記第２の導電膜を残存させるように前記第１の層間絶縁膜上の前記第２の導電膜を除去し、前記第１のスルーホール内に形成された前記第２の導電膜からなるキャパシタ蓄積電極と、前記第２のスルーホール内に形成された第２の導電膜からなる第１のコンタクト用導電膜を形成する導電膜除去工程と、
前記キャパシタ蓄積電極と、前記第１のコンタクト用導電膜上に、キャパシタ誘電体膜となる第２の絶縁膜と、キャパシタ対向電極となる第３の導電膜と、第３の絶縁膜とを堆積した後、前記第３の絶縁膜と前記第３の導電膜をパターニングし、前記キャパシタ対向電極と、前記第２のスルーホール上に開口されたビット線コンタクトホールとを形成するビット線コンタクトホール形成工程と、
前記ビット線コンタクトホールが形成された前記第３の絶縁膜上に第４の絶縁膜を堆積した後、前記第４の絶縁膜を異方性エッチングすることにより前記ビット線コンタクトホールの内壁に第２のサイドウォール絶縁膜を形成すると同時に、前記ビット線コンタクトホール底部の前記第２の絶縁膜を除去する第２のサイドウォール絶縁膜形成工程と、
前記キャパシタ対向電極上の前記第３の絶縁膜に開口された第３のスルーホールと、前記周辺回路用トランジスタの前記ソース拡散層、前記ドレイン拡散層、又は前記第２のゲート電極上の前記第１の層間絶縁膜に開口された第４のスルーホールとを形成する第２のスルーホール形成工程と、
前記ビット線コンタクトホール内に露出した前記第１のコンタクト用導電膜と接続されたビット線と、前記第３のスルーホールを介して前記キャパシタ対向電極と接続された第１の配線層と、前記第４のスルーホールを介して前記周辺回路用トランジスタと接続された第２の配線層とを形成する配線層形成工程と
を有することを特徴とする半導体記憶装置の製造方法。
【請求項３５】
請求項３４記載の半導体記憶装置の製造方法において、
前記第２のサイドウォール絶縁膜形成工程の後に、
前記ビット線コンタクトホール内に露出した前記コンタクト用導電膜と接続されたビット線を形成するビット線形成工程と、
前記ビット線が形成された前記半導体基板上に第２の層間絶縁膜を形成する第２の層間絶縁膜形成工程と、を更に有し、
前記第２のスルーホール形成工程では、前記第２の層間絶縁膜と前記第３の絶縁膜に、前記キャパシタ対向電極に達する第３のスルーホールを形成するとともに、前記第２の層間絶縁膜と前記第１の層間絶縁膜に、前記周辺回路用トランジスタの前記ソース拡散層、

前記ドレイン拡散層、又は前記第２のゲート電極に達する第４のスルーホールを形成し、
　前記配線層形成工程では、前記第３のスルーホールを介して前記キャパシタ対向電極と接続された第１の配線層と、前記第４のスルーホールを介して前記周辺回路用トランジスタと接続された第２の配線層を形成する
　ことを特徴とする半導体記憶装置の製造方法。
【請求項３６】
請求項３５記載の半導体記憶装置の製造方法において、
　前記第２のスルーホール形成工程において、前記ビット線と前記配線層とを接続する第５のスルーホールを形成する場合には、
　前記ビット線コンタクトホール形成工程において、前記ビット線と前記配線層とを接続するコンタクトホールを形成する領域の前記第１の層間絶縁膜上に、前記第３の導電膜と前記第３の絶縁膜との積層膜よりなるエッチング保護パターンを形成する
　ことを特徴とする半導体記憶装置の製造方法。
【請求項３７】
半導体基板上に、第１の導電膜と第１の絶縁膜を積層して堆積した後、前記第１の導電膜と前記第１の絶縁膜をパターニングし、メモリセルトランジスタを形成する第１の領域に、上面が前記第１の絶縁膜で覆われた前記第１の導電膜からなる第１のゲート電極を、周辺回路用トランジスタを形成する第２の領域に、上面が前記第１の絶縁膜で覆われた前記第１の導電膜からなる第２のゲート電極を形成するゲート電極形成工程と、
　前記ゲート電極をマスクとして前記半導体基板に不純物を導入し、前記第１の領域に前記メモリセルトランジスタのソース拡散層及びドレイン拡散層を形成し、前記第２の領域に前記周辺回路用トランジスタのソース拡散層及びドレイン拡散層を形成する拡散層形成工程と、
　前記ゲート電極の側壁に第１のサイドウォール絶縁膜を形成する第１のサイドウォール絶縁膜形成工程と、
　前記メモリセルトランジスタの前記ソース拡散層上に開口された第１のスルーホールと、前記メモリセルトランジスタの前記ドレイン拡散層上に開口された第２のスルーホールとが形成された第１の層間絶縁膜を形成する第１の層間絶縁膜形成工程と、
　前記第１の層間絶縁膜が形成された前記半導体基板上に第２の導電膜を堆積する第２の導電膜堆積工程と、
　前記第１のスルーホールと、前記第２のスルーホールとの内部に前記第２の導電膜を残存させるように前記第１の層間絶縁膜上の前記第２の導電膜を除去し、前記第１のスルーホール内に形成された前記第２の導電膜からなるキャパシタ蓄積電極と、前記第２のスルーホール内に形成された第２の導電膜からなる第１のコンタクト用導電膜を形成する導電膜除去工程と、
　前記キャパシタ蓄積電極と、前記第１のコンタクト用導電膜上に、キャパシタ誘電体膜となる第２の絶縁膜と、キャパシタ対向電極となる第３の導電膜と、第３の絶縁膜とを堆積した後、前記第３の絶縁膜と前記第３の導電膜をパターニングし、前記キャパシタ対向電極と、前記第２のスルーホール上に開口されたビット線コンタクトホールとを形成し、前記周辺回路用トランジスタの前記ソース拡散層、前記ドレイン拡散層、又は前記第２のゲート電極上に開口する第３のスルーホールを前記第２の絶縁膜上まで開口するビット線コンタクトホール形成工程と、
　前記ビット線コンタクトホールを覆うフォトレジストを選択的に形成した後、前記第３のスルーホール内の前記第２の絶縁膜と、前記第１の層間絶縁膜とをエッチングし、前記周辺回路用トランジスタの前記ソース拡散層、前記ドレイン拡散層、又は前記第２のゲート電極上まで達する前記第３のスルーホールを形成する第２のスルーホール形成工程と
　を有することを特徴とする半導体記憶装置の製造方法。
【請求項３８】
請求項３７記載の半導体記憶装置の製造方法において、
　前記ビット線コンタクトホール形成工程では、前記キャパシタ蓄積電極と、前記第２の

導電膜上に、キャパシタ誘電体膜となる前記第２の絶縁膜と、キャパシタ対向電極となる前記第３の導電膜と、前記第３の絶縁膜と、エッチングストッパーとして機能するマスク膜を連続して堆積した後、前記マスク膜、前記第３の絶縁膜と前記第３の導電膜をパターニングし、前記キャパシタ対向電極と、前記第２のスルーホール上に開口されたビット線コンタクトホールとを形成し、前記周辺回路用トランジスタの前記ソース拡散層、前記ドレイン拡散層、又は前記第２のゲート電極上に開口する前記第３のスルーホールを前記第２の絶縁膜上まで開口し、

前記第２のスルーホール形成工程では、前記ビット線コンタクトホールを覆うフォトレジストを選択的に形成した後、前記マスク膜と前記フォトレジストをエッチングマスクとして前記第３のスルーホール内の前記第２の絶縁膜と、前記第１の層間絶縁膜とをエッチングし、前記周辺回路用トランジスタの前記ソース拡散層、前記ドレイン拡散層、又は前記第２のゲート電極上まで達する前記第３のスルーホールを形成する

ことを特徴とする半導体記憶装置の製造方法。

【請求項３９】

請求項３８記載の半導体記憶装置の製造方法において、

前記マスク膜は、シリコン膜である

ことを特徴とする半導体記憶装置の製造方法。

【請求項４０】

半導体基板上に、第１の導電膜と第１の絶縁膜を積層して堆積した後、前記第１の導電膜と前記第１の絶縁膜をパターニングし、メモリセルトランジスタを形成する第１の領域に、上面が前記第１の絶縁膜で覆われた前記第１の導電膜からなる第１のゲート電極を、周辺回路用トランジスタを形成する第２の領域に、上面が前記第１の絶縁膜で覆われた前記第１の導電膜からなる第２のゲート電極を形成するゲート電極形成工程と、

前記ゲート電極をマスクとして前記半導体基板に不純物を導入し、前記第１の領域に前記メモリセルトランジスタのソース拡散層及びドレイン拡散層を形成し、前記第２の領域に前記周辺回路用トランジスタのソース拡散層及びドレイン拡散層を形成する拡散層形成工程と、

前記ゲート電極の側壁に第１のサイドウォール絶縁膜を形成する第１のサイドウォール絶縁膜形成工程と、

前記メモリセルトランジスタの前記ソース拡散層上に開口された第１のスルーホールと、前記メモリセルトランジスタの前記ドレイン拡散層上に開口された第２のスルーホールと、前記周辺回路用トランジスタの前記ソース拡散層、前記ドレイン拡散層又は前記第２のゲート電極上に開口する第３のスルーホールとが形成された第１の層間絶縁膜を形成する第１の層間絶縁膜形成工程と、

前記第１の層間絶縁膜が形成された前記半導体基板上に第２の導電膜を堆積する第２の導電膜堆積工程と、

前記第１のスルーホールと、前記第２のスルーホールと、前記第３のスルーホールの内部に前記第２の導電膜を残存させるように前記第１の層間絶縁膜上の前記第２の導電膜を除去し、前記第１のスルーホール内に形成された前記第２の導電膜からなるキャパシタ蓄積電極と、前記第２のスルーホール内に形成された前記第２の導電膜からなる第１のコンタクト用導電膜と、前記第３のスルーホール内に形成された第２の導電膜からなる第２のコンタクト用導電膜とを形成する導電膜除去工程と、

前記キャパシタ蓄積電極と、前記第１のコンタクト用導電膜と、前記第２のコンタクト用導電膜とが形成された前記半導体基板上に、キャパシタ誘電体膜となる第２の絶縁膜と、キャパシタ対向電極となる第３の導電膜と、第３の絶縁膜とを堆積した後、前記第３の絶縁膜と前記第３の導電膜をパターニングし、前記キャパシタ対向電極と、前記第２のスルーホール上に開口されたビット線コンタクトホールを形成するビット線コンタクトホール形成工程と、

前記ビット線コンタクトホールが形成された前記第３の絶縁膜上に第４の絶縁膜を堆積した後、前記第４の絶縁膜を異方性エッチングすることにより前記ビット線コンタクトホ

ールの内壁に第２のサイドウォール絶縁膜を形成すると同時に、前記ビット線コンタクトホール底部の前記第２の絶縁膜を除去する第２のサイドウォール絶縁膜形成工程と、
前記ビット線コンタクトホール内に露出した前記第１のコンタクト用導電膜と接続されたビット線と、前記第３のスルーホール内に形成された前記第２のコンタクト用導電膜に接続された配線層を形成する配線層形成工程と
を有することを特徴とする半導体記憶装置の製造方法。
【請求項４１】
請求項３２乃至４０のいずれかに記載の半導体記憶装置の製造方法において、
前記キャパシタ対向電極形成工程では、前記第３の導電膜表面が平坦になるように、前記第３の導電膜を前記第１のスルーホール又は前記第２のスルーホール内に埋め込む
ことを特徴とする半導体記憶装置の製造方法。
【請求項４２】
請求項３２乃至４１のいずれかに記載の半導体記憶装置の製造方法において、
前記第２の導電膜堆積工程の後に、
第５の絶縁膜を堆積して前記第５の絶縁膜を異方性エッチングすることにより、前記第２の導電膜が形成された前記第１のスルーホール及び前記第２のスルーホールの内壁に第３のサイドウォール絶縁膜を形成する第３のサイドウォール絶縁膜形成工程と、
前記第３のサイドウォール絶縁膜が形成された前記第１のスルーホール及び前記第２のスルーホールを埋め込む第４の導電膜を堆積する第４の導電膜堆積工程とを、
前記導電膜除去工程の後に、前記第３のサイドウォール絶縁膜を除去することにより前記第１のスルーホール内に前記第４の導電膜よりなる第１の柱状導電体を、前記第２のスルーホール内に前記第４の導電膜よりなる第２の柱状導電体を形成する柱状導電体形成工程とを更に有し、
前記導電膜除去工程では、前記第３のサイドウォール絶縁膜が表面に露出するまで、前記第４の導電膜、前記第２の導電膜、前記第１の層間絶縁膜を除去する
ことを特徴とする半導体記憶装置の製造方法。
【請求項４３】
請求項３２乃至４２のいずれかに記載の半導体記憶装置の製造方法において、
前記第１の層間絶縁膜形成工程では、前記第１の層間絶縁膜を堆積後、前記スルーホール形成前に、前記第１の層間絶縁膜の表面を研磨により平坦化する
ことを特徴とする半導体記憶装置の製造方法。
【請求項４４】
請求項３２乃至４３のいずれかに記載の半導体記憶装置の製造方法において、
前記導電膜除去工程では、前記半導体基板表面を研磨し、前記第１の層間絶縁膜上の前記第２の導電膜を除去する
ことを特徴とする半導体記憶装置の製造方法。
【請求項４５】
請求項３２乃至４４のいずれかに記載の半導体記憶装置の製造方法において、
前記第１の層間絶縁膜形成工程では、エッチング特性の異なる複数の絶縁材料を積層した積層膜により前記第１の層間絶縁膜を形成し、前記絶縁材料を一層づつエッチングすることにより前記スルーホールを開口する
ことを特徴とする半導体記憶装置の製造方法。
【請求項４６】
請求項３２乃至４１のいずれかに記載の半導体記憶装置の製造方法において、
前記第２の導電膜堆積工程の後に、前記第２の導電膜上にフォトレジストを塗布し、前記第１のスルーホール、前記第２のスルーホール、又は前記第３のスルーホール内に埋め込むフォトレジスト塗布工程を、
前記導電膜除去工程の後に、前記第１のスルーホール、前記第２のスルーホール、又は前記第３のスルーホール内に埋め込まれた前記フォトレジストを剥離するフォトレジスト剥離工程を更に有し、

前記導電膜除去工程では、前記第１のスルーホール、前記第２のスルーホール、又は前記第３のスルーホール内部に前記第２の導電膜及び前記フォトレジストを残存させるように、前記第１の層間絶縁膜上の前記第２の導電膜及び前記フォトレジストを除去する
ことを特徴とする半導体記憶装置の製造方法。
【請求項４７】
請求項３２乃至４１のいずれかに記載の半導体記憶装置の製造方法において、
前記第２の導電膜堆積工程の後に、前記第１の層間絶縁膜とはエッチング特性の異なる第６の絶縁膜を堆積し、前記第１のスルーホール、前記第２のスルーホール、又は前記第３のスルーホール内に埋め込む絶縁膜堆積工程を、
前記導電膜除去工程の後に、前記第１のスルーホール、前記第２のスルーホール、又は前記第３のスルーホール内に埋め込まれた前記第６の絶縁膜を除去する第６の絶縁膜除去工程を更に有し、
前記導電膜除去工程では、前記第１のスルーホール、前記第２のスルーホール、又は前記第３のスルーホール内部に前記第２の導電膜及び前記第６の絶縁膜を残存させるように、前記第１の層間絶縁膜上の前記第２の導電膜及び前記第６の絶縁膜を除去する
ことを特徴とする半導体記憶装置の製造方法。
【請求項４８】
請求項４７記載の半導体記憶装置の製造方法において、
前記第１の層間絶縁膜は、その表面に、前記第６の絶縁膜とエッチング特性が異なる絶縁膜を有する積層膜である
ことを特徴とする半導体記憶装置の製造方法。
【請求項４９】
請求項３２乃至４１のいずれかに記載の半導体記憶装置の製造方法において、
前記第２の導電膜堆積工程の後に、前記第１の層間絶縁膜とエッチング特性がほぼ等しい第６の絶縁膜を堆積し、前記第１のスルーホール、前記第２のスルーホール、又は前記第３のスルーホール内に埋め込む絶縁膜堆積工程を、
前記導電膜除去工程の後に、前記第１のスルーホール、前記第２のスルーホール、又は前記第３のスルーホール内に埋め込まれた前記第６の絶縁膜及び前記第１の層間絶縁膜を除去する絶縁膜除去工程を更に有し、
前記導電膜除去工程では、前記第１のスルーホール、前記第２のスルーホール、又は前記第３のスルーホール内部に前記第２の導電膜及び前記第６の絶縁膜を残存させるように、前記第１の層間絶縁膜上の前記第２の導電膜及び前記第６の絶縁膜を除去する
ことを特徴とする半導体記憶装置の製造方法。
【請求項５０】
請求項４９記載の半導体記憶装置の製造方法において、
前記第１の層間絶縁膜は、前記第６の絶縁膜とはエッチング特性の異なる絶縁膜上に、前記第６の絶縁膜とエッチング特性がほぼ等しい絶縁膜が堆積された積層膜であり、
前記絶縁膜除去工程では、前記第６の絶縁膜及び前記第６の絶縁膜とエッチング特性がほぼ等しい絶縁膜を除去する
ことを特徴とする半導体記憶装置の製造方法。
【請求項５１】
半導体基板上に、第１の導電膜と第１の絶縁膜を積層して堆積した後、前記第１の導電膜と前記第１の絶縁膜をパターニングし、メモリセルトランジスタを形成する第１の領域に、上面が前記第１の絶縁膜で覆われた前記第１の導電膜からなる第１のゲート電極を、周辺回路用トランジスタを形成する第２の領域に、上面が前記第１の絶縁膜で覆われた前記第１の導電膜からなる第２のゲート電極を形成するゲート電極形成工程と、
前記ゲート電極をマスクとして前記半導体基板に不純物を導入し、前記第１の領域に前記メモリセルトランジスタのソース拡散層及びドレイン拡散層を形成し、前記第２の領域に前記周辺回路用トランジスタのソース拡散層及びドレイン拡散層を形成する拡散層形成工程と、

前記ゲート電極の側壁に第１のサイドウォール絶縁膜を形成する第１のサイドウォール絶縁膜形成工程と、
前記第１のサイドウォールが形成された前記半導体基板上に第１の層間絶縁膜を堆積した後、前記第１の層間絶縁膜の表面を平坦化する第１の層間絶縁膜形成工程と、
平坦化した前記第１の層間絶縁膜上に、前記第１の層間絶縁膜とはエッチング特性が異なる第２の絶縁膜を形成する第２の絶縁膜形成工程と、
前記第１の層間絶縁膜と前記第２の絶縁膜をパターニングし、前記ソース拡散層上に開口された第１のスルーホールと、前記ドレイン拡散層上に開口された第２のスルーホールと、前記周辺回路用トランジスタの前記ソース拡散層、前記ドレイン拡散層、又は前記第２のゲート電極上に開口する第３のスルーホールとを形成するスルーホール形成工程と、
前記スルーホールが開口された前記半導体基板上に第２の導電膜を堆積する第２の導電膜堆積工程と、
前記第２の導電膜の表面を、前記第２の絶縁膜が表面に露出するまで研磨し、前記第１のスルーホールに埋め込まれた第１の埋め込み導電体と、前記第２のスルーホールに埋め込まれた第２の埋め込み導電体と、前記第３のスルーホールに埋め込まれた第３の埋め込み導電体とを形成する埋め込み導電体形成工程と、
前記第１の埋め込み導電体上に開口された第４のスルーホールと、前記第２の埋め込み導電体上に開口された第５のスルーホールと、前記第３の埋め込み導電体上に開口する第６のスルーホールとが形成された、第２の層間絶縁膜を形成する第２の層間絶縁膜形成工程と、
前記第２の層間絶縁膜が形成された前記半導体基板上に第３の導電膜を堆積する第３の導電膜堆積工程と、
前記第４のスルーホールと、前記第５のスルーホールと、前記第６のスルーホールの内部に前記第２の導電膜を残存させるように前記第２の層間絶縁膜上の前記第３の導電膜を除去し、前記第４のスルーホール内に形成された前記第３の導電膜からなるキャパシタ蓄積電極と、前記第５のスルーホール内に形成された前記第３の導電膜からなる第１のコンタクト用導電膜と、前記第６のスルーホール内に形成された前記第３の導電膜からなる第２のコンタクト用導電膜とを形成する導電膜除去工程と
を有することを特徴とする半導体記憶装置の製造方法。
【請求項５２】
請求項５１記載の半導体記憶装置の製造方法において、
前記導電膜除去工程では、前記半導体基板表面を研磨し、前記第２の層間絶縁膜表面の前記第３の導電膜を除去する
ことを特徴とする半導体記憶装置の製造方法。
【請求項５３】
請求項３２乃至５２のいずれかに記載の半導体記憶装置の製造方法において、
前記第１の絶縁膜及び前記第１のサイドウォールは、前記スルーホールを形成する際にエッチングストッパーとして機能し、
前記スルーホールは、前記第１の絶縁膜及び前記第１のサイドウォール絶縁膜に自己整合で形成する
ことを特徴とする半導体記憶装置の製造方法。
【請求項５４】
半導体基板上に、第１の導電膜を堆積してパターニングし、前記第１の導電膜からなるゲート電極を形成するゲート電極形成工程と、
前記ゲート電極をマスクとして前記半導体基板に不純物を導入し、ソース拡散層及びドレイン拡散層を形成する拡散層形成工程と、
前記ソース拡散層上に開口された第１のスルーホールと、前記ドレイン拡散層上に開口された第２のスルーホールが形成された層間絶縁膜を形成する層間絶縁膜形成工程と、
前記第１のスルーホールより開口径が広く、前記半導体基板上に達しない開口を、前記第１のスルーホールを囲うように前記層間絶縁膜に形成する開口形成工程と、

前記層間絶縁膜が形成された前記半導体基板上に第２の導電膜を堆積する第２の導電膜堆積工程と、
前記第２のスルーホール及び前記開口の内部に前記第２の導電膜を残存させるように前記層間絶縁膜上の前記第２の導電膜を除去し、前記開口内に形成された前記第２の導電膜からなるキャパシタ蓄積電極と、前記第２のスルーホール内に形成された前記第２の導電膜からなる第１のコンタクト用導電膜を形成する導電膜除去工程と、
前記キャパシタ蓄積電極と、前記第１のコンタクト用導電膜とが形成された前記半導体基板上に、キャパシタ誘電体膜となる絶縁膜と、キャパシタ対向電極となる第３の導電膜とを堆積した後、前記第３の導電膜をパターニングし、前記キャパシタ対向電極を形成するキャパシタ対向電極形成工程と
を有することを特徴とする半導体記憶装置の製造方法。
【請求項５５】
請求項５４記載の半導体記憶装置の製造方法において、
前記層間絶縁膜形成工程の後に、第４の導電膜を堆積して前記第１のスルーホール及び前記第２のスルーホールを埋め込む第４の導電膜堆積工程を更に有し、
前記開口形成工程では、前記第１のスルーホール内に埋め込まれた前記第４の導電膜よりなる柱状導電体が、前記開口内に突出した状態で残留するように前記開口を形成する
ことを特徴とする半導体記憶装置の製造方法。
【請求項５６】
請求項５４又は５５記載の半導体記憶装置の製造方法において、
前記層間絶縁膜形成工程において、前記第１のスルーホール及び前記第２のスルーホールは同時に形成する
ことを特徴とする半導体記憶装置の製造方法。
【請求項５７】
請求項５４乃至５６のいずれかに記載の半導体記憶装置の製造方法において、
前記層間絶縁膜形成工程では、前記層間絶縁膜は、エッチング特性の異なる２層以上の絶縁膜よりなる積層膜により形成し、
前記開口形成工程では、前記開口は、前記エッチング特性の異なる絶縁膜間の界面まで開口する
ことを特徴とする半導体記憶装置の製造方法。
【請求項５８】
半導体基板上に、第１の導電膜を堆積してパターニングし、前記第１の導電膜からなるゲート電極を形成するゲート電極形成工程と、
前記ゲート電極をマスクとして前記半導体基板に不純物を導入し、ソース拡散層及びドレイン拡散層を形成する拡散層形成工程と、
前記ソース拡散層上に開口された第１のスルーホールと、前記ドレイン拡散層上に開口された第２のスルーホールが形成された層間絶縁膜を形成する層間絶縁膜形成工程と、
前記層間絶縁膜が形成された前記半導体基板上に第２の導電膜を堆積する第２の導電膜堆積工程と、
前記第２の導電膜をパターニングし、前記第１のスルーホールを介して前記ドレイン拡散層に接続されたビット線と、前記第２のスルーホールに埋め込まれた埋め込み導電体とを形成する第２の導電膜パターニング工程と、
前記層間絶縁膜上に、前記埋め込み導電体を介して前記ソース拡散層に接続されたキャパシタ蓄積電極と、前記キャパシタ蓄積電極を覆うキャパシタ誘電体膜と、前記キャパシタ誘電体膜を覆うキャパシタ対向電極とを有するキャパシタを形成するキャパシタ形成工程と
を有することを特徴とする半導体記憶装置の製造方法。
【請求項５９】
請求項５８記載の半導体記憶装置の製造方法において、
前記第２の導電膜堆積工程の後に、前記第２の導電膜上に第１の絶縁膜を堆積する第１

の絶縁膜堆積工程を、
前記第２の導電膜パターニング工程の後に、前記ビット線側壁にサイドウォール絶縁膜を形成するサイドウォール絶縁膜形成工程を、更に有し、
前記第２の導電膜パターニング工程では、前記第１の絶縁膜と前記第２の導電膜を同一パターンに加工する
ことを特徴とする半導体記憶装置の製造方法。
【請求項６０】
請求項５８記載の半導体記憶装置の製造方法において、
前記第２の導電膜パターニング工程の後に、前記埋め込み導電体上に開口が形成された第２の絶縁膜を形成する第２の絶縁膜形成工程を更に有し、
前記キャパシタ形成工程では、前記キャパシタ蓄積電極を、前記開口の側壁及び底部に選択的に形成する
ことを特徴とする半導体記憶装置の製造方法。
【請求項６１】
請求項５４乃至６０のいずれかに記載の半導体記憶装置の製造方法において、
前記層間絶縁膜形成工程は、
前記半導体基板上に、層間絶縁膜を堆積する層間絶縁膜形成工程と、
前記層間絶縁膜上に、前記第１のスルーホール及び前記第２のスルーホールを形成すべき領域に開口が形成され、前記層間絶縁膜とはエッチング特性が異なるエッチングストッパ膜を形成するエッチングストッパ膜形成工程と、
前記エッチングストッパ膜の側壁部に、前記層間絶縁膜とはエッチング特性の異なるサイドウォールを形成するサイドウォール形成工程と、
前記エッチングストッパ膜と前記サイドウォールをマスクとして、前記第２層間絶縁膜をエッチングし、前記第１のスルーホールと、前記第２のスルーホールが形成された前記層間絶縁膜を形成するスルーホール開口工程と
を有することを特徴とする半導体記憶装置の製造方法。
【請求項６２】
請求項５４乃至６０のいずれかに記載の半導体記憶装置の製造方法において、
前記層間絶縁膜形成工程では、前記半導体基板上に前記層間絶縁膜を堆積した後、電子線描画法を用いてパターニングされたフォトレジストをマスクとして前記層間絶縁膜をエッチングし、前記第１のスルーホール及び前記第２のスルーホールを開口する
ことを特徴とする半導体記憶装置の製造方法。
【発明の詳細な説明】
【技術分野】
【０００１】
本発明は、半導体記憶装置に係り、特に、高集積化されたＤＲＡＭ（Dynamic Random Access Memory）を、少ない工程数で、且つ微細なセル面積で実現できる半導体記憶装置の構造及びその製造方法に関する。
【背景技術】
【０００２】
ＤＲＡＭは、１トランジスタ、１キャパシタで構成できる半導体記憶装置であり、従来から、より高密度、高集積化された半導体記憶装置を製造するための構造や製造方法が種々検討されている。
【０００３】
図５９に、特開昭６１－１７６１４８号公報に記載された半導体記憶装置の断面図を示す。
【０００４】
半導体基板１０には、ソース拡散層２４とドレイン拡散層２６が独立に形成されている。ソース拡散層２４とドレイン拡散層２６間の半導体基板１０上には、ゲート酸化膜１６を介してゲート電極２０が形成されている。このようにして、ゲート電極２０、ソース拡

散層２４、ドレイン拡散層２６からなるメモリセルトランジスタが構成されている。
【０００５】
メモリセルトランジスタが形成された半導体基板１０上には、ドレイン拡散層２６上に開口されたスルーホール３８と、ソース拡散層２４上に開口されたスルーホール４０とが形成された層間絶縁膜３６が形成されている。
【０００６】
スルーホール４０の内壁には、多結晶シリコンからなる筒状のキャパシタ蓄積電極４６が形成されており、スルーホール４０の底部においてソース拡散層２４と接続されている。
【０００７】
キャパシタ蓄積電極４６の内壁及び上面と、スルーホール４０内部に露出するソース拡散層２４の上面にはキャパシタ誘電体膜４８が形成されている。
【０００８】
キャパシタ蓄積電極４６とキャパシタ誘電体膜４８が形成されたスルーホール４０内と、層間絶縁膜３６上とにはキャパシタ対向電極５４が形成されている。このようにして、キャパシタ蓄積電極４６、キャパシタ誘電体膜４８、キャパシタ対向電極５４からなるキャパシタが構成されている。
【０００９】
一方、スルーホール３８内には多結晶シリコンが埋め込まれており、キャパシタ対向電極５４上に形成された層間絶縁膜５３を介して形成されたビット線６２に接続されている。
【００１０】
さらに、ビット線上部には層間絶縁膜（図示せず）を介してメタル配線層（図示せず）が形成され、１トランジスタ、１キャパシタからなるＤＲＡＭが構成される。
【００１１】
図６０に、他の半導体記憶装置の断面図を示す。
【００１２】
半導体基板１０には、ソース拡散層２４とドレイン拡散層２６が独立に形成されている。ソース拡散層２４とドレイン拡散層２６間の半導体基板１０上には、ゲート酸化膜１６を介してゲート電極２０が形成されている。このようにして、ゲート電極２０、ソース拡散層２４、ドレイン拡散層２６からなるメモリセルトランジスタが構成されている。
【００１３】
メモリセルトランジスタが形成された半導体基板１０上には、ドレイン拡散層２６上に開口されたスルーホール９８と、ソース拡散層上に開口されたスルーホール１００とが形成された層間絶縁膜１０２が形成されている。なお、ゲート電極には、ゲート電極を囲うように絶縁膜４２が形成されており、スルーホール９８、１００内の半導体基板１０の露出部は、その絶縁膜４２により画定されている。
【００１４】
層間絶縁膜１０２上には更に層間絶縁膜３６が形成されており、層間絶縁膜３６に設けられたスルーホール４０の内壁及び底部には多結晶シリコンからなるキャパシタ蓄積電極４６が形成されている。なお、キャパシタ蓄積電極４６は、スルーホール１００に埋め込まれた多結晶シリコン膜１０４を介してソース拡散層と接続されている。
【００１５】
キャパシタ蓄積電極４６の内面及び上面にはキャパシタ誘電体膜４８が形成されている。キャパシタ蓄積電極４６とキャパシタ誘電体膜４８とが形成されたスルーホール４０内と、層間絶縁膜３６上とにはキャパシタ対向電極５４が形成されている。このようにして、キャパシタ蓄積電極４６、キャパシタ誘電体膜４８、キャパシタ対向電極５４からなるキャパシタが構成されている。
【００１６】
一方、スルーホール９８には多結晶シリコン膜１０６が埋め込まれており、キャパシタ

対向電極５４上に形成された層間絶縁膜５３を介して形成されたビット線６２に接続されている。

【００１７】

さらに、ビット線上部には層間絶縁膜（図示せず）を介してメタル配線層（図示せず）が形成され、１トランジスタ、１キャパシタからなるＤＲＡＭが構成される。

【００１８】

通常、ＤＲＡＭセルを構成するためには、ＬＯＣＯＳ分離、ゲート電極（ワード線）、ビット線コンタクトホール、ビット線、キャパシタ蓄積電極用スルーホール、キャパシタ蓄積電極、キャパシタ対向電極、メタル配線用スルーホール、メタル配線を形成するための９回のリソグラフィー工程が少なくとも必要である。

【００１９】

また、リソグラフィー工程では、ゲート電極とビット線コンタクトホールの合わせ余裕、ゲート電極とスルーホールの合わせ余裕、スルーホールとビット線の合わせ余裕が必要なため、その分メモリセル面積は大きくなる。

【００２０】

これらの点を改善すべく、特開昭６１－１７６１４８号公報記載の半導体記憶装置では、上記の構造を採用することにより、キャパシタ蓄積電極をスルーホールに対して自己整合で形成することにより、リソグラフィー工程を１工程削減している。

【００２１】

また、図６０に示す半導体記憶装置では、キャパシタ蓄積電極を自己整合で形成しているのに加え、スルーホール９８、１００がゲート電極に対して自己整合で形成しているので、ゲート電極とビット線コンタクト用スルーホールの合わせ余裕、ゲート電極とキャパシタ蓄積電極用スルーホールの合わせ余裕が必要ない分メモリセル面積を小さくすることができる。

【００２２】

このようにして、少ないリソグラフィー工程数で、合わせ余裕が少なく高集積化が可能な半導体記憶装置を製造することが試みられている。

【発明の開示】

【発明が解決しようとする課題】

【００２３】

特開昭６１－１７６１４８号公報記載の半導体記憶装置では、多結晶シリコン膜を堆積してキャパシタ蓄積電極４６を形成すると同時に、スルーホール３８内に多結晶シリコンを埋め込むことにより、上記構造を形成している。このようにスルーホール３８を完全に埋め込んでいるのは次に理由による。

【００２４】

即ち、前記公報に開示されているように、ビット線６２がアルミ（Ａｌ）により形成されていること、そのビット線６２が最上層の配線層であること、さらに、周辺回路のソース／ドレイン又はゲート電極にＡｌがコンタクトするためにはビット線コンタクト部より遥かに厚い絶縁膜をエッチングする必要があるが、ビット線コンタクト部の層間絶縁膜３６にエッチングされた形跡がみられないことから、周辺回路のスルーホールにおいてもスルーホール３８と同じく多結晶シリコンにより完全に埋め込まれていると考えられる。

【００２５】

このように周辺回路のスルーホールが完全に埋め込まれているのは、周辺回路におけるコンタクト抵抗は回路の動作速度等の性能を大きく左右し、スルーホールを完全に埋め込んで可能な限りコンタクト抵抗を下げることが望ましいためである。従って、周辺回路のスルーホールと同時に埋め込まれるビット線コンタクトホールも完全に埋め込む必要があるからである。

【００２６】

しかしながら、特開昭６１－１７６１４８号公報記載の半導体記憶装置では、周辺回路のスルーホールに埋め込む多結晶シリコン膜は、スルーホール径の半径以上に厚く形成す

る必要があるが、この多結晶シリコン膜により同時にキャパシタ蓄積電極４６も形成するので、多結晶シリコン膜厚が厚すぎると、スルーホール４０の内壁面積が減少し、セル容量が低下するという問題があった。

【００２７】

また、スルーホール３８、４０を形成する際には、ゲート電極２０に対する合わせ余裕を考慮しなければいけないため、その分セル面積が増加したり、キャパシタ容量形成部分が小さくなるといった問題があった。

【００２８】

また、図６０に示す半導体記憶装置では、上述したように自己整合コンタクトを形成しているのでスルーホール９８、１００を形成する際のゲート電極２０に対する合わせ余裕を考慮する必要はない。また、スルーホール４０とビット線コンタクトホール５８とを別々に形成し、ビット線コンタクトホール５８は多結晶シリコン膜で埋め込まないので、特開昭６１－１７６１４８号公報記載の半導体記憶装置のようにキャパシタ容量が低下することはない。

【００２９】

しかし、図６０の半導体記憶装置では、ソース拡散層２４とキャパシタ蓄積電極４６、ドレイン拡散層２６とビット線６２とを接続する為に、スルーホール９８、１００内に多結晶シリコンを埋め込んでいるので、埋め込み部分のスルーホール９８、１００を開口するためのリソグラフィー工程が別途必要となる。従って、特開昭６１－１７６１４８号公報記載の半導体記憶装置と比較するとリソグラフィー工程が１工程増加するといった問題があった。

【００３０】

本発明の目的は、リソグラフィー工程における合わせ余裕を小さくすることによりメモリセル面積を小さくできるとともに、リソグラフィー工程数を削減することができる半導体記憶装置及びその製造方法を提供することにある。

【００３１】

本発明の他の目的は、キャパシタ蓄積電極用のコンタクトホールのエッチングを簡便に行い、且つ製造工程数を減少できる半導体記憶装置及びその製造方法を提供することにある。

【課題を解決するための手段】

【００３２】

上記目的は、半導体基板上に形成されたソース拡散層とドレイン拡散層と、前記ソース拡散層と前記ドレイン拡散層との間の前記半導体基板上に、ゲート絶縁膜を介して形成されたゲート電極とを有するメモリセルトランジスタと、前記ゲート電極の上面及び側面を覆う絶縁膜と、前記メモリセルトランジスタ上を覆い、前記ソース拡散層上に開口した第１のスルーホールと、前記ドレイン拡散層上に開口した第２のスルーホールとが形成された第１の層間絶縁膜と、前記第１のスルーホールの内壁及び底部に形成され、前記ソース拡散層に接続されたキャパシタ蓄積電極と、前記キャパシタ蓄積電極を覆うように形成されたキャパシタ誘電体膜と、前記キャパシタ誘電体膜を覆うように形成されたキャパシタ対向電極とを有するキャパシタと、前記第２のスルーホール内壁及び底部に形成され、前記ドレイン拡散層と接続された第１のコンタクト用導電膜とを有するメモリセルと、前記メモリセル上に形成され、ビット線コンタクトホールが形成された第２の層間絶縁膜と、前記第２の層間絶縁膜上に形成され、前記ビット線コンタクトホールを介して前記メモリセルの前記第１のコンタクト用導電膜に接続されたビット線とを有することを特徴とする半導体記憶装置によって達成される。このように半導体記憶装置を構成することにより、ソース拡散層上に開口した第１のスルーホールと、ドレイン拡散層上に開口した第２のスルーホールとを形成する際にゲート電極との合わせ余裕を確保する必要がないので、メモリセル面積の小さい半導体記憶装置を構成することができる。また、第１のコンタクト用導電膜は、第２のスルーホール内に完全に埋め込む必要はないので、同時に形成するキャパシタ蓄積電極の膜厚を必要以上に厚くする必要はなく、キャパシタ容量の低下を防止す

ることができる。

【００３３】

また、半導体基板上に形成されたソース拡散層とドレイン拡散層と、前記ソース拡散層と前記ドレイン拡散層との間の前記半導体基板上に、ゲート絶縁膜を介して形成されたゲート電極とを有するメモリセルトランジスタと、前記ゲート電極の上面及び側面を覆う絶縁膜と、前記メモリセルトランジスタ上を覆い、前記ソース拡散層上に開口された第１のスルーホールと、前記ドレイン拡散層上に開口された第２のスルーホールとが形成された第１の層間絶縁膜と、前記第１のスルーホールの底部に埋め込まれ、前記ソース拡散層に接続された第１の埋め込み導電体と、前記第２のスルーホールの底部に埋め込まれ、前記ドレイン拡散層に接続された第２の埋め込み導電体と、前記第１のスルーホールの内壁と、前記第１の埋め込み導電体の上面とに形成され、前記第１の埋め込み導電体を介して前記ソース拡散層に接続されたキャパシタ蓄積電極と、前記キャパシタ蓄積電極を覆うように形成されたキャパシタ誘電体膜と、前記キャパシタ誘電体膜を覆うように形成されたキャパシタ対向電極とを有するキャパシタと、前記第２のスルーホールの内壁と、前記第２の埋め込み導電体の上面とに形成され、前記第２の埋め込み導電体を介して前記ドレイン拡散層と接続された第１のコンタクト用導電膜とを有するメモリセルと、前記メモリセル上に形成され、ビット線コンタクトホールが形成された第２の層間絶縁膜と、前記第２の層間絶縁膜上に形成され、前記ビット線コンタクトホールを介して前記メモリセルの前記第１のコンタクト用導電膜に接続されたビット線とを有することを特徴とする半導体記憶装置によっても達成される。このように半導体記憶装置を構成することにより、アスペクト比の大きいスルーホール等を形成する際に、予め半導体基板基板と接する領域に抵抗の低い埋め込み導電体を形成してオーミックコンタクトを形成するので、素子の集積化が進み、スルーホールのアスペクト比が増大した場合にも、スルーホール底部でのコンタクト特性を確保することができる。

【００３４】

また、半導体基板上に形成されたソース拡散層とドレイン拡散層と、前記ソース拡散層と前記ドレイン拡散層との間の前記半導体基板上に、ゲート絶縁膜を介して形成されたゲート電極とを有するメモリセルトランジスタと、前記メモリセルトランジスタ上を覆い、前記ソース拡散層上に開口した第１のスルーホールと、前記ドレイン拡散層上に開口した第２のスルーホールと、前記半導体基板より離間した領域の前記第１のスルーホールを囲うように形成され、前記第１のスルーホールより開口径が広い開口と、が形成された第１の層間絶縁膜と、前記開口の内壁及び底部、前記第１のスルーホールの内壁及び底部に形成され、前記ソース拡散層に接続されたキャパシタ蓄積電極と、前記キャパシタ蓄積電極を覆うように形成されたキャパシタ誘電体膜と、前記キャパシタ誘電体膜を覆うように形成されたキャパシタ対向電極とを有するキャパシタと、前記第２のスルーホール内壁及び底部に形成され、前記ドレイン拡散層と接続された第１のコンタクト用導電膜とを有するメモリセルと、前記メモリセル上に形成され、ビット線コンタクトホールが形成された第２の層間絶縁膜と、前記第２の層間絶縁膜上に形成され、前記ビット線コンタクトホールを介して前記メモリセルの前記第１のコンタクト用導電膜に接続されたビット線とを有することを特徴とする半導体記憶装置によっても達成される。このように半導体記憶装置を構成することにより、キャパシタ容量を減少することなくスルーホールの開口径を極めて小さくすることができる。これにより、ゴミの付着等に起因するビット線とワード線との間の短絡を防止することができる。

【００３５】

また、上記の半導体記憶装置において、前記キャパシタ蓄積電極は、前記第１のスルーホールの内部に、前記第１のスルーホール内壁とは離間して形成された第１の柱状導電体を有し、前記コンタクト用導電膜は、前記第２のスルーホールの内部に、前記第２のスルーホール内壁とは離間して形成された第２の柱状導電体を有することが望ましい。こうすることにより、第１の柱状導電体をもキャパシタ蓄積電極として機能するので、キャパシタ容量を大幅に増加することができる。また、ドレイン拡散層とビット線との配線を、第

１のコンタクト用導電膜と、第２の柱状導電体とにより形成できるので、ドレイン拡散層－ビット線間の配線抵抗を減少することができる。

【００３６】

また、上記の半導体記憶装置において、前記絶縁膜と接する領域の前記第１の層間絶縁膜は、前記絶縁膜とはエッチング特性が異なる材料により構成されていることが望ましい。このように半導体記憶装置を構成することにより、スルーホールを開口する際に絶縁膜をエッチングストッパーとして用いることができ、基板開口部を自己整合で形成することができる。従って、スルーホールを形成する際にゲート電極との合わせ余裕を確保する必要がないので、メモリセル面積の小さい半導体記憶装置を構成することができる。

【００３７】

また、上記の半導体記憶装置において、前記絶縁膜はシリコン窒化膜であり、前記絶縁膜とエッチング特性が異なる前記材料は、シリコン酸化膜又は不純物を添加したシリコン酸化膜であることが望ましい。

【００３８】

また、上記の半導体記憶装置において、前記キャパシタ蓄積電極は、前記第１のスルーホールより前記開口内に柱状に突出する柱状導電体を更に有することが望ましい。こうすることにより柱状導電体の分だけキャパシタ蓄積電極の表面積が増加するので、キャパシタ容量を増加することができる。

【００３９】

また、上記の半導体記憶装置において、前記ビット線コンタクトホールの内壁に形成されたサイドウォール絶縁膜を更に有し、前記ビット線は、前記サイドウォール絶縁膜により前記キャパシタ対向電極と絶縁されていることが望ましい。このように半導体記憶装置を構成することにより、キャパシタ対向電極を形成するリソグラフィー工程と、ビット線コンタクトホールを形成するリソグラフィー工程とを一度に行うことができる。

【００４０】

また、上記の半導体記憶装置において、前記メモリセルが形成されたメモリセル領域の周辺の前記半導体基板上に形成された周辺回路用トランジスタと、前記第１の層間絶縁膜上に形成され、前記ビット線と同一導電層からなる配線層とを更に有し、前記配線層は、前記周辺回路用トランジスタのゲート電極、ソース拡散層又はドレイン拡散層に直接接続されていることが望ましい。このように半導体記憶装置を構成することにより、周辺回路の動作速度を犠牲にすることなく上記の半導体記憶装置を構成することができる。

【００４１】

また、上記の半導体記憶装置において、前記メモリセルが形成されたメモリセル領域の周辺の前記半導体基板上に形成された周辺回路用トランジスタと、前記ビット線上に形成された第３の層間絶縁膜と、前記第３の層間絶縁膜上に形成された配線層とを更に有し、前記配線層は、前記周辺回路用トランジスタのゲート電極、ソース拡散層又はドレイン拡散層に直接接続されていることが望ましい。このように半導体記憶装置を構成することにより、製造工程数を増加せず、周辺回路の動作速度を犠牲にすることなく上記の半導体記憶装置を構成することができる。

【００４２】

また、上記の半導体記憶装置において、前記配線層は、前記周辺回路用トランジスタのゲート電極、ソース拡散層若しくはドレイン拡散層、前記キャパシタ対向電極、又は前記ビット線に直接接続されていることが望ましい。こうすることにより、製造工程数を増加せず、且つ周辺回路の動作速度を犠牲にすることなく上記の半導体記憶装置を構成することができる。

【００４３】

また、上記の半導体記憶装置において、前記ビット線と前記配線層とを接続する領域の前記ビット線直下に、前記キャパシタ対向電極と、前記第２の層間絶縁膜との積層膜と同一の構造よりなるエッチング保護パターンを更に有することが望ましい。こうすることにより、周辺回路領域に形成する深いスルーホールと、ビット線又はキャパシタ対向電極上

に形成する浅いスルーホールとを、ビット線と半導体基板との短絡を発生せずに同時に開口することができる。

【００４４】

また、上記の半導体記憶装置において、前記メモリセルが形成されたメモリセル領域の周辺の前記半導体基板上に形成された周辺回路用トランジスタと、前記第２の層間絶縁膜上に形成され、前記ビット線と同一導電層からなる配線層とを更に有し、前記キャパシタ対向電極及び前記第２の層間絶縁膜は、前記周辺回路用トランジスタの形成された領域に延在して形成されており、前記配線層は、前記周辺回路用トランジスタのゲート電極、ソース拡散層又はドレイン拡散層に直接接続されていることが望ましい。このように半導体記憶装置を構成することにより、製造工程数を増加することなく周辺回路の配線層を形成することができる。

【００４５】

また、上記の半導体記憶装置において、前記メモリセルが形成されたメモリセル領域の周辺の前記半導体基板上に形成された周辺回路用トランジスタと、前記周辺回路用トランジスタのゲート電極、ソース拡散層、又はドレイン拡散層上の前記第１の層間絶縁膜に形成された第３のスルーホールの内壁及び底部に形成された第２のコンタクト用導電膜とを更に有し、前記周辺回路用トランジスタのゲート電極、ソース拡散層又はドレイン拡散層は、前記第２のコンタクト用導電膜を介して前記第１の層間絶縁膜上に形成された配線層に接続されていることが望ましい。このように半導体記憶装置を構成することにより、製造工程数を増加することなく上記の半導体記憶装置を構成することができる。

【００４６】

また、上記の半導体記憶装置において、前記第３のスルーホールの底部に形成された第３の埋め込み導電体を更に有し、前記第２のコンタクト用導電膜は、前記第３の埋め込み導電体を介して前記周辺回路用トランジスタのゲート電極、ソース拡散層又はドレイン拡散層に接続されていることが望ましい。このように半導体記憶装置を構成することにより、アスペクト比の大きいスルーホール等を形成する際に、予め半導体基板基板と接する領域に抵抗の低い埋め込み導電体を形成してオーミックコンタクトを形成するので、素子の集積化が進み、スルーホールのアスペクト比が増大した場合にも、スルーホール底部でのコンタクト特性を確保することができる。

【００４７】

また、上記の半導体記憶装置において、前記第１の層間絶縁膜は、エッチング特性が異なる複数の絶縁材料を積層した積層膜であることが望ましい。このように半導体記憶装置を構成すれば、アスペクト比の大きいスルーホールを開口する際にも容易に行うことができる。

【００４８】

また、上記の半導体記憶装置において、前記積層膜は、シリコン窒化膜をシリコン酸化膜により挟んで積層されていることが望ましい。

【００４９】

また、上記の半導体記憶装置において、前記積層膜は、シリコン酸化膜上にシリコン窒化膜が積層された膜であることが望ましい。

【００５０】

また、半導体基板上に形成されたソース拡散層とドレイン拡散層と、前記ソース拡散層と前記ドレイン拡散層との間の前記半導体基板上に、ゲート絶縁膜を介して形成されたゲート電極とを有するメモリセルトランジスタと、前記ゲート電極の上面及び側面を覆う絶縁膜と、前記メモリセルトランジスタ上を覆い、前記ソース拡散層上に開口した第１のスルーホールが形成された第１の層間絶縁膜と、前記第１のスルーホールの内壁及び底部に形成され、前記ソース拡散層に接続されたコンタクト部と、前記コンタクト部に接続され、前記第１の層間絶縁膜上に突出して形成された突出部とを有するキャパシタ蓄積電極と、前記キャパシタ蓄積電極を覆うように形成されたキャパシタ誘電体膜と、前記キャパシタ誘電体膜を覆うように形成されたキャパシタ対向電極と、を有するキャパシタとを有す

るメモリセルを有することを特徴とする半導体記憶装置によっても達成される。こうすることにより、突出部の表裏を用いてキャパシタを構成できるので、キャパシタ容量を増加することができる。

【００５１】

また、上記の半導体記憶装置において、前記メモリセル上に形成され、前記第１の層間絶縁膜を介して前記ドレイン拡散層に達するビット線コンタクトホールが形成された第２の層間絶縁膜と、前記第２の層間絶縁膜上に形成され、前記ビット線コンタクトホールを介して前記メモリセルの前記ドレイン拡散層に接続されたビット線とを更に有することが望ましい。

【００５２】

また、上記の半導体記憶装置において、前記第１の層間絶縁膜には、前記ドレイン拡散層上に開口された第２のスルーホールが形成されており、前記第２のスルーホール内壁及び底部に形成され、前記ドレイン拡散層と接続されたコンタクト用導電膜と、前記メモリセル上に、第２の層間絶縁膜を介して形成され、前記コンタクト用導電膜接続されたビット線とを更に有することが望ましい。

【００５３】

また、上記の半導体記憶装置において、前記第１の層間絶縁膜は、シリコン窒化膜とシリコン酸化膜とを有し、前記シリコン窒化膜は、前記ゲート電極上に形成されており、前記シリコン酸化膜は、前記シリコン窒化膜上に形成されており、前記第２の層間絶縁膜はシリコン酸化膜により形成されていることが望ましい。こうすることにより、突出部を容易に形成することができる。また、キャパシタ容量のばらつきを小さくすることができる。

【００５４】

また、上記の半導体記憶装置において、前記第１のコンタクト用導電膜、前記第２のコンタクト用導電膜又は前記キャパシタ蓄積電極は、Ｎ形シリコン及びＰ形シリコンにコンタクトする導電材料であることが望ましい。このように半導体記憶装置を構成することにより、シリコン基板とのコンタクト特性を向上することができる。

【００５５】

また、上記の半導体記憶装置において、前記ビット線コンタクトホールは、ビット線の延在する方向に長く伸びた形状であることが望ましい。このように半導体記憶装置を構成することにより、最小加工寸法でビット線とワード線を配置できるので、メモリセル面積を大幅に縮小することができる。

【００５６】

また、上記の半導体記憶装置において、前記ビット線は、前記ビット線間の間隔の半分以下の膜厚であることが望ましい。このように半導体記憶装置を構成することにより、ビット線間の容量カップリングを抑えることができる。

【００５７】

また、並行に配された複数のビット線と複数の前記ビット線に交差する方向に並行に配された複数のワード線と、それぞれの前記ビット線の一方の端に設けられたセンスアンプとそれぞれの前記ワード線の一方の端に設けられたデコーダと前記ビット線と前記ワード線のそれぞれの交差部に設けられた上記いずれかに記載のメモリセルとを有し、複数の前記センスアンプは２組に分けられ、前記メモリセルが形成されたメモリセル領域の対向する側部にそれぞれの組が設けられており、複数の前記デコーダは２組に分けられ、前記メモリセル領域の他の対向する側部にそれぞれの組が設けられていることを特徴とする半導体記憶装置によっても達成される。このように半導体記憶装置を構成することにより、最小加工寸法で配置したビット線とワード線に接続する周辺回路を構成することができる。

【００５８】

また、半導体基板上に形成されたソース拡散層とドレイン拡散層と、前記ソース拡散層と前記ドレイン拡散層との間の前記半導体基板上に、ゲート絶縁膜を介して形成されたゲート電極とを有するメモリセルトランジスタと、前記メモリセルトランジスタ上を覆い、

前記ソース拡散層上に開口した第１のスルーホールと、前記ドレイン拡散層上に開口した第２のスルーホールとが形成された第１の層間絶縁膜と、前記第１のスルーホール内に埋め込まれた埋め込み導電体と、前記第１の層間絶縁膜上に形成され、前記埋め込み導電体を介して前記ソース拡散層に接続されたキャパシタ蓄積電極と、前記キャパシタ蓄積電極を覆うように形成されたキャパシタ誘電体膜と、前記キャパシタ誘電体膜を覆うように形成されたキャパシタ対向電極とを有するキャパシタとを有するメモリセルと、前記第１の層間絶縁膜上に形成され、前記第２のスルーホールを介して前記ドレイン拡散層に接続されたビット線とを有し、前記埋め込み導電体と前記ビット線は、同一の導電層により形成されていることを特徴とする半導体記憶装置によっても達成される。こうすることにより、製造工程において、キャパシタ蓄積電極のコンタクト用のスルーホールを開口するのに要するエッチング時間を減少できるので、このエッチングの際に、ビット線が露出することを防止することができる。

【００５９】

また、上記の半導体記憶装置において、前記埋め込み導電体は、前記第１のスルーホールの側壁及び底部に形成されていることが望ましい。

【００６０】

また、上記の半導体記憶装置において、前記第１のスルーホール及び前記第２のスルーホールは、前記ゲート電極の外側に離間して形成されていることが望ましい。

【００６１】

また、上記の半導体記憶装置において、前記ビット線の上面及び側面は、前記ビット線上に形成する第２の層間絶縁膜に対してエッチングストッパとして機能する絶縁膜により覆われていることが望ましい。こうすることにより、キャパシタ蓄積電極のコンタクト用のスルーホールを開口する際にビット線に与えるダメージを小さくすることができる。

【００６２】

また、上記の半導体記憶装置において、前記第２の層間絶縁膜には、その内部に前記埋め込み導電体が露出する第３のスルーホールが形成されており、前記キャパシタ誘電体膜は、前記第３のスルーホールの側壁及び底面に形成されていることが望ましい。こうすることにより、周辺回路領域とメモリセル領域との高低差を小さくすることができるので、その上層に形成する配線層のルールを縮小することができる。

【００６３】

また、半導体基板上に、第１の導電膜と第１の絶縁膜を積層して堆積した後、前記第１の導電膜と前記第１の絶縁膜をパターニングし、上面が前記第１の絶縁膜で覆われた前記第１の導電膜からなるゲート電極を形成するゲート電極形成工程と、前記ゲート電極をマスクとして前記半導体基板に不純物を導入し、ソース拡散層及びドレイン拡散層を形成する拡散層形成工程と、前記ゲート電極の側壁に第１のサイドウォール絶縁膜を形成する第１のサイドウォール絶縁膜形成工程と、前記ソース拡散層上に開口された第１のスルーホールと、前記ドレイン拡散層上に開口された第２のスルーホールが形成された第１の層間絶縁膜を形成する第１の層間絶縁膜形成工程と、前記第１の層間絶縁膜が形成された前記半導体基板上に第２の導電膜を堆積する第２の導電膜堆積工程と、前記第１のスルーホールと前記第２のスルーホールの内部に前記第２の導電膜を残存させるように前記第１の層間絶縁膜上の前記第２の導電膜を除去し、前記第１のスルーホール内に形成された前記第２の導電膜からなるキャパシタ蓄積電極と、前記第２のスルーホール内に形成された第２の導電膜からなる第１のコンタクト用導電膜を形成する導電膜除去工程と、前記キャパシタ蓄積電極と、前記第１のコンタクト用導電膜とが形成された前記半導体基板上に、キャパシタ誘電体膜となる第２の絶縁膜と、キャパシタ対向電極となる第３の導電膜とを堆積した後、前記第３の導電膜をパターニングし、前記キャパシタ対向電極を形成するキャパシタ対向電極形成工程とを有することを特徴とする半導体記憶装置の製造方法によっても達成される。このようにして半導体記憶装置を製造することにより、メモリセル面積の小さい半導体記憶装置を、ビット線－ドレイン拡散層間の電気抵抗が増加せず、且つキャパシタ容量を減少することなく形成することができる。

【００６４】
また、上記の半導体記憶装置の製造方法において、前記キャパシタ対向電極形成工程では、前記第３の導電膜上に堆積した第３の絶縁膜と前記第３の導電膜をパターニングし、前記キャパシタ対向電極と、前記第２のスルーホール上に開口されたビット線コンタクトホールを形成し、前記キャパシタ対向電極形成工程の後、第４の絶縁膜を堆積し、前記第４の絶縁膜を異方性エッチングすることにより前記ビット線コンタクトホールの内壁に第２のサイドウォール絶縁膜を形成すると同時に、前記ビット線コンタクトホール底部の前記第２の絶縁膜を除去する第２のサイドウォール絶縁膜形成工程と、前記第３の絶縁膜上に形成され、前記ビット線コンタクトホール内に露出した前記第１のコンタクト用導電膜と接続されたビット線を形成するビット線形成工程とを更に有することが望ましい。このように半導体記憶装置を製造すれば、キャパシタ対向電極を形成するリソグラフィー工程と、ビット線コンタクトホールを形成するリソグラフィー工程とを一度に行うことができる。

【００６５】
また、半導体基板上に、第１の導電膜と第１の絶縁膜を積層して堆積した後、前記第１の導電膜と前記第１の絶縁膜をパターニングし、メモリセルトランジスタを形成する第１の領域に、上面が前記第１の絶縁膜で覆われた前記第１の導電膜からなる第１のゲート電極を、周辺回路用トランジスタを形成する第２の領域に、上面が前記第１の絶縁膜で覆われた前記第１の導電膜からなる第２のゲート電極を形成するゲート電極形成工程と、前記ゲート電極をマスクとして前記半導体基板に不純物を導入し、前記第１の領域に前記メモリセルトランジスタのソース拡散層及びドレイン拡散層を形成し、前記第２の領域に前記周辺回路用トランジスタのソース拡散層及びドレイン拡散層を形成する拡散層形成工程と、前記ゲート電極の側壁に第１のサイドウォール絶縁膜を形成する第１のサイドウォール絶縁膜形成工程と、前記メモリセルトランジスタの前記ソース拡散層上に開口された第１のスルーホールと、前記メモリセルトランジスタの前記ドレイン拡散層上に開口された第２のスルーホールとが形成された第１の層間絶縁膜を形成する第１の層間絶縁膜形成工程と、前記第１の層間絶縁膜が形成された前記半導体基板上に第２の導電膜を堆積する第２の導電膜堆積工程と、前記第１のスルーホールと、前記第２のスルーホールとの内部に前記第２の導電膜を残存させるように前記第１の層間絶縁膜上の前記第２の導電膜を除去し、前記第１のスルーホール内に形成された前記第２の導電膜からなるキャパシタ蓄積電極と、前記第２のスルーホール内に形成された第２の導電膜からなる第１のコンタクト用導電膜を形成する導電膜除去工程と、前記キャパシタ蓄積電極と、前記第１のコンタクト用導電膜上に、キャパシタ誘電体膜となる第２の絶縁膜と、キャパシタ対向電極となる第３の導電膜と、第３の絶縁膜とを堆積した後、前記第３の絶縁膜と前記第３の導電膜をパターニングし、前記キャパシタ対向電極と、前記第２のスルーホール上に開口されたビット線コンタクトホールとを形成するビット線コンタクトホール形成工程と、前記ビット線コンタクトホールが形成された前記第３の絶縁膜上に第４の絶縁膜を堆積した後、前記第４の絶縁膜を異方性エッチングすることにより前記ビット線コンタクトホールの内壁に第２のサイドウォール絶縁膜を形成すると同時に、前記ビット線コンタクトホール底部の前記第２の絶縁膜を除去する第２のサイドウォール絶縁膜形成工程と、前記キャパシタ対向電極上の前記第３の絶縁膜に開口された第３のスルーホールと、前記周辺回路用トランジスタの前記ソース拡散層、前記ドレイン拡散層、又は前記第２のゲート電極上の前記第１の層間絶縁膜に開口された第４のスルーホールとを形成する第２のスルーホール形成工程と、前記ビット線コンタクトホール内に露出した前記第１のコンタクト用導電膜と接続されたビット線と、前記第３のスルーホールを介して前記キャパシタ対向電極と接続された第１の配線層と、前記第４のスルーホールを介して前記周辺回路用トランジスタと接続された第２の配線層とを形成する配線層形成工程とを有することを特徴とする半導体記憶装置の製造方法によっても達成される。このように半導体記憶装置を製造すれば、周辺回路の動作速度を犠牲にすることなく上記の半導体記憶装置を構成することができる。

【００６６】

また、上記の半導体記憶装置の製造方法において、前記第２のサイドウォール絶縁膜形成工程の後に、前記ビット線コンタクトホール内に露出した前記コンタクト用導電膜と接続されたビット線を形成するビット線形成工程と、前記ビット線が形成された前記半導体基板上に第２の層間絶縁膜を形成する第２の層間絶縁膜形成工程と、を更に有し、前記第２のスルーホール形成工程では、前記第２の層間絶縁膜と前記第３の絶縁膜に、前記キャパシタ対向電極に達する第３のスルーホールを形成するとともに、前記第２の層間絶縁膜と前記第１の層間絶縁膜に、前記周辺回路用トランジスタの前記ソース拡散層、前記ドレイン拡散層、又は前記第２のゲート電極に達する第４のスルーホールを形成し、前記配線層形成工程では、前記第３のスルーホールを介して前記キャパシタ対向電極と接続された第１の配線層と、前記第４のスルーホールを介して前記周辺回路用トランジスタと接続された第２の配線層を形成することが望ましい。このように半導体記憶装置を製造すれば、製造工程数を増加せず、周辺回路の動作速度を犠牲にすることなく上記の半導体記憶装置を構成することができる。

【００６７】

また、上記の半導体記憶装置の製造方法において、前記第２のスルーホール形成工程において、前記ビット線と前記配線層とを接続する第５のスルーホールを形成する場合には、前記ビット線コンタクトホール形成工程において、前記ビット線と前記配線層とを接続するコンタクトホールを形成する領域の前記第１の層間絶縁膜上に、前記第３の導電膜と前記第３の絶縁膜との積層膜よりなるエッチング保護パターンを形成することが望ましい。このように半導体記憶装置を製造すれば、周辺回路領域に形成する深いスルーホールを開口する際にも、ビット線直下の第１の層間絶縁膜がエッチングされるのを防止できるので、ビット線と、半導体基板との短絡を防止することができる。

【００６８】

また、半導体基板上に、第１の導電膜と第１の絶縁膜を積層して堆積した後、前記第１の導電膜と前記第１の絶縁膜をパターニングし、メモリセルトランジスタを形成する第１の領域に、上面が前記第１の絶縁膜で覆われた前記第１の導電膜からなる第１のゲート電極を、周辺回路用トランジスタを形成する第２の領域に、上面が前記第１の絶縁膜で覆われた前記第１の導電膜からなる第２のゲート電極を形成するゲート電極形成工程と、前記ゲート電極をマスクとして前記半導体基板に不純物を導入し、前記第１の領域に前記メモリセルトランジスタのソース拡散層及びドレイン拡散層を形成し、前記第２の領域に前記周辺回路用トランジスタのソース拡散層及びドレイン拡散層を形成する拡散層形成工程と、前記ゲート電極の側壁に第１のサイドウォール絶縁膜を形成する第１のサイドウォール絶縁膜形成工程と、前記メモリセルトランジスタの前記ソース拡散層上に開口された第１のスルーホールと、前記メモリセルトランジスタの前記ドレイン拡散層上に開口された第２のスルーホールとが形成された第１の層間絶縁膜を形成する第１の層間絶縁膜形成工程と、前記第１の層間絶縁膜が形成された前記半導体基板上に第２の導電膜を堆積する第２の導電膜堆積工程と、前記第１のスルーホールと、前記第２のスルーホールとの内部に前記第２の導電膜を残存させるように前記第１の層間絶縁膜上の前記第２の導電膜を除去し、前記第１のスルーホール内に形成された前記第２の導電膜からなるキャパシタ蓄積電極と、前記第２のスルーホール内に形成された第２の導電膜からなる第１のコンタクト用導電膜を形成する導電膜除去工程と、前記キャパシタ蓄積電極と、前記第１のコンタクト用導電膜上に、キャパシタ誘電体膜となる第２の絶縁膜と、キャパシタ対向電極となる第３の導電膜と、第３の絶縁膜とを堆積した後、前記第３の絶縁膜と前記第３の導電膜をパターニングし、前記キャパシタ対向電極と、前記第２のスルーホール上に開口されたビット線コンタクトホールとを形成し、前記周辺回路用トランジスタの前記ソース拡散層、前記ドレイン拡散層、又は前記第２のゲート電極上に開口する第３のスルーホールを前記第２の絶縁膜上まで開口するビット線コンタクトホール形成工程と、前記ビット線コンタクトホールを覆うフォトレジストを選択的に形成した後、前記第３のスルーホール内の前記第２の絶縁膜と、前記第１の層間絶縁膜とをエッチングし、前記周辺回路用トランジスタの前記ソース拡散層、前記ドレイン拡散層、又は前記第２のゲート電極上まで達する前記第

３のスルーホールを形成する第２のスルーホール形成工程とを有することを特徴とする半導体記憶装置の製造方法によっても達成される。このように半導体記憶装置を製造すれば、周辺回路部にスルーホールを開口する際に、微細な位置合わせをする必要がないので、リソグラフィー工程を簡略化することができる。

【００６９】

また、上記の半導体記憶装置の製造方法において、前記ビット線コンタクトホール形成工程では、前記キャパシタ蓄積電極と、前記第２の導電膜上に、キャパシタ誘電体膜となる前記第２の絶縁膜と、キャパシタ対向電極となる前記第３の導電膜と、前記第３の絶縁膜と、エッチングストッパーとして機能するマスク膜を連続して堆積した後、前記マスク膜、前記第３の絶縁膜と前記第３の導電膜をパターニングし、前記キャパシタ対向電極と、前記第２のスルーホール上に開口されたビット線コンタクトホールとを形成し、前記周辺回路用トランジスタの前記ソース拡散層、前記ドレイン拡散層、又は前記第２のゲート電極上に開口する前記第３のスルーホールを前記第２の絶縁膜上まで開口し、前記第２のスルーホール形成工程では、前記ビット線コンタクトホールを覆うフォトレジストを選択的に形成した後、前記マスク膜と前記フォトレジストをエッチングマスクとして前記第３のスルーホール内の前記第２の絶縁膜と、前記第１の層間絶縁膜とをエッチングし、前記周辺回路用トランジスタの前記ソース拡散層、前記ドレイン拡散層、又は前記第２のゲート電極上まで達する前記第３のスルーホールを形成することが望ましい。このように半導体記憶装置を製造すれば、リソグラフィー工程を簡略化することができる。

【００７０】

また、上記の半導体記憶装置の製造方法において、前記マスク膜は、シリコン膜であることが望ましい。

【００７１】

また、半導体基板上に、第１の導電膜と第１の絶縁膜を積層して堆積した後、前記第１の導電膜と前記第１の絶縁膜をパターニングし、メモリセルトランジスタを形成する第１の領域に、上面が前記第１の絶縁膜で覆われた前記第１の導電膜からなる第１のゲート電極を、周辺回路用トランジスタを形成する第２の領域に、上面が前記第１の絶縁膜で覆われた前記第１の導電膜からなる第２のゲート電極を形成するゲート電極形成工程と、前記ゲート電極をマスクとして前記半導体基板に不純物を導入し、前記第１の領域に前記メモリセルトランジスタのソース拡散層及びドレイン拡散層を形成し、前記第２の領域に前記周辺回路用トランジスタのソース拡散層及びドレイン拡散層を形成する拡散層形成工程と、前記ゲート電極の側壁に第１のサイドウォール絶縁膜を形成する第１のサイドウォール絶縁膜形成工程と、前記メモリセルトランジスタの前記ソース拡散層上に開口された第１のスルーホールと、前記メモリセルトランジスタの前記ドレイン拡散層上に開口された第２のスルーホールと、前記周辺回路用トランジスタの前記ソース拡散層、前記ドレイン拡散層又は前記第２のゲート電極上に開口する第３のスルーホールとが形成された第１の層間絶縁膜を形成する第１の層間絶縁膜形成工程と、前記第１の層間絶縁膜が形成された前記半導体基板上に第２の導電膜を堆積する第２の導電膜堆積工程と、前記第１のスルーホールと、前記第２のスルーホールと、前記第３のスルーホールの内部に前記第２の導電膜を残存させるように前記第１の層間絶縁膜上の前記第２の導電膜を除去し、前記第１のスルーホール内に形成された前記第２の導電膜からなるキャパシタ蓄積電極と、前記第２のスルーホール内に形成された前記第２の導電膜からなる第１のコンタクト用導電膜と、前記第３のスルーホール内に形成された第２の導電膜からなる第２のコンタクト用導電膜とを形成する導電膜除去工程と、前記キャパシタ蓄積電極と、前記第１のコンタクト用導電膜と、前記第２のコンタクト用導電膜とが形成された前記半導体基板上に、キャパシタ誘電体膜となる第２の絶縁膜と、キャパシタ対向電極となる第３の導電膜と、第３の絶縁膜とを堆積した後、前記第３の絶縁膜と前記第３の導電膜をパターニングし、前記キャパシタ対向電極と、前記第２のスルーホール上に開口されたビット線コンタクトホールを形成するビット線コンタクトホール形成工程と、前記ビット線コンタクトホールが形成された前記第３の絶縁膜上に第４の絶縁膜を堆積した後、前記第４の絶縁膜を異方性エッチング

することにより前記ビット線コンタクトホールの内壁に第２のサイドウォール絶縁膜を形成すると同時に、前記ビット線コンタクトホール底部の前記第２の絶縁膜を除去する第２のサイドウォール絶縁膜形成工程と、前記ビット線コンタクトホール内に露出した前記第１のコンタクト用導電膜と接続されたビット線と、前記第３のスルーホール内に形成された前記第２のコンタクト用導電膜に接続された配線層を形成する配線層形成工程とを有することを特徴とする半導体記憶装置の製造方法によっても達成される。このように半導体記憶装置を製造すれば、製造工程数を増加することなく上記の半導体記憶装置を構成することができる。

【００７２】

また、上記の半導体記憶装置の製造方法において、前記キャパシタ対向電極形成工程では、前記第３の導電膜表面が平坦になるように、前記第３の導電膜を前記第１のスルーホール又は前記第２のスルーホール内に埋め込むことが望ましい。このように半導体記憶装置を製造すれば、キャパシタ対向電極を形成するリソグラフィー工程と、ビット線コンタクトホールを形成するリソグラフィー工程とを一度に行うことができる。

【００７３】

また、上記の半導体記憶装置の製造方法において、前記第２の導電膜堆積工程の後に、第５の絶縁膜を堆積して前記第５の絶縁膜を異方性エッチングすることにより、前記第２の導電膜が形成された前記第１のスルーホール及び前記第２のスルーホールの内壁に第３のサイドウォール絶縁膜を形成する第３のサイドウォール絶縁膜形成工程と、前記第３のサイドウォール絶縁膜が形成された前記第１のスルーホール及び前記第２のスルーホールを埋め込む第４の導電膜を堆積する第４の導電膜堆積工程とを、前記導電膜除去工程の後に、前記第３のサイドウォール絶縁膜を除去することにより前記第１のスルーホール内に前記第４の導電膜よりなる第１の柱状導電体を、前記第２のスルーホール内に前記第４の導電膜よりなる第２の柱状導電体を形成する柱状導電体形成工程とを更に有し、前記導電膜除去工程では、前記第３のサイドウォール絶縁膜が表面に露出するまで、前記第４の導電膜、前記第２の導電膜、前記第１の層間絶縁膜を除去することが望ましい。このように半導体記憶装置を製造すれば、第１のスルーホール内壁とは離間して形成された第１の柱状導電体を有するキャパシタ蓄積電極と、第２のスルーホール内壁とは離間して形成された第２の柱状導電体を有する第１のコンタクト用導電膜を形成することができるので、キャパシタ容量を大幅に増加するとともに、ドレイン拡散層とビット線間の配線抵抗を減少することができる。また、上記の半導体記憶装置の製造方法では、第２の導電膜を除去する際にスルーホール内が埋め込まれているので、研磨剤等がスルーホール内に入り込むことが防止できる。これにより、研磨剤等による歩留りの低下を防止することができる。

【００７４】

また、上記の半導体記憶装置の製造方法において、前記第１の層間絶縁膜形成工程では、前記第１の層間絶縁膜を堆積後、前記スルーホール形成前に、前記第１の層間絶縁膜の表面を研磨により平坦化することが望ましい。このように半導体記憶装置を製造すれば、層間絶縁膜上のグローバル平坦性が改善されるので、スルーホールを開口する際のフォーカス深度を浅くでき、微細なパターニングを行うことが可能となる。

【００７５】

また、上記の半導体記憶装置の製造方法において、前記導電膜除去工程では、前記半導体基板表面を研磨し、前記第１の層間絶縁膜上の前記第２の導電膜を除去することが望ましい。このように半導体記憶装置を製造すれば、スルーホールの形状の整合したキャパシタ蓄積電極、コンタクト用導電膜を容易に形成することができる。

【００７６】

また、上記の半導体記憶装置の製造方法において、前記第１の層間絶縁膜形成工程では、エッチング特性の異なる複数の絶縁材料を積層した積層膜により前記第１の層間絶縁膜を形成し、前記絶縁材料を一層づつエッチングすることにより前記スルーホールを開口することが望ましい。このように半導体記憶装置を製造すれば、アスペクト比の大きいスルーホールを開口する際にも容易に行うことができる。

【００７７】
また、上記の半導体記憶装置の製造方法において、前記第２の導電膜堆積工程の後に、前記第２の導電膜上にフォトレジストを塗布し、前記第１のスルーホール、前記第２のスルーホール、又は前記第３のスルーホール内に埋め込むフォトレジスト塗布工程を、前記導電膜除去工程の後に、前記第１のスルーホール、前記第２のスルーホール、又は前記第３のスルーホール内に埋め込まれた前記フォトレジストを剥離するフォトレジスト剥離工程を更に有し、前記導電膜除去工程では、前記第１のスルーホール、前記第２のスルーホール、又は前記第３のスルーホール内部に前記第２の導電膜及び前記フォトレジストを残存させるように、前記第１の層間絶縁膜上の前記第２の導電膜及び前記フォトレジストを除去することが望ましい。このように半導体記憶装置を製造すれば、第２の導電膜を研磨により除去する際に研磨剤等がスルーホール内に入り込むことがないので、これに起因する歩留り低下を防止することができる。

【００７８】
また、上記の半導体記憶装置の製造方法において、前記第２の導電膜堆積工程の後に、前記第１の層間絶縁膜とはエッチング特性の異なる第６の絶縁膜を堆積し、前記第１のスルーホール、前記第２のスルーホール、又は前記第３のスルーホール内に埋め込む絶縁膜堆積工程を、前記導電膜除去工程の後に、前記第１のスルーホール、前記第２のスルーホール、又は前記第３のスルーホール内に埋め込まれた前記第６の絶縁膜を除去する第６の絶縁膜除去工程を更に有し、前記導電膜除去工程では、前記第１のスルーホール、前記第２のスルーホール、又は前記第３のスルーホール内部に前記第２の導電膜及び前記第６の絶縁膜を残存させるように、前記第１の層間絶縁膜上の前記第２の導電膜及び前記第６の絶縁膜を除去することが望ましい。このように半導体記憶装置を製造すれば、第２の導電膜を研磨により除去する際に研磨剤等がスルーホール内に入り込むことがないので、これに起因する歩留り低下を防止することができる。

【００７９】
また、上記の半導体記憶装置の製造方法において、前記第１の層間絶縁膜は、その表面に、前記第６の絶縁膜とエッチング特性が異なる絶縁膜を有する積層膜であることが望ましい。こうすることにより、研磨の後に、スルーホール内に埋め込まれた絶縁膜のみを選択的に除去することができる。

【００８０】
また、上記の半導体記憶装置の製造方法において、前記第２の導電膜堆積工程の後に、前記第１の層間絶縁膜とエッチング特性がほぼ等しい第６の絶縁膜を堆積し、前記第１のスルーホール、前記第２のスルーホール、又は前記第３のスルーホール内に埋め込む絶縁膜堆積工程を、前記導電膜除去工程の後に、前記第１のスルーホール、前記第２のスルーホール、又は前記第３のスルーホール内に埋め込まれた前記第６の絶縁膜及び前記第１の層間絶縁膜を除去する絶縁膜除去工程を更に有し、前記導電膜除去工程では、前記第１のスルーホール、前記第２のスルーホール、又は前記第３のスルーホール内部に前記第２の導電膜及び前記第６の絶縁膜を残存させるように、前記第１の層間絶縁膜上の前記第２の導電膜及び前記第６の絶縁膜を除去することが望ましい。このように半導体記憶装置を製造すれば、第２の導電膜を研磨により除去する際に研磨剤等がスルーホール内に入り込むことがないので、これに起因する歩留り低下を防止することができる。

【００８１】
また、上記の半導体記憶装置の製造方法において、前記第１の層間絶縁膜は、前記第６の絶縁膜とはエッチング特性の異なる絶縁膜上に、前記第６の絶縁膜とエッチング特性がほぼ等しい絶縁膜が堆積された積層膜であり、前記絶縁膜除去工程では、前記第６の絶縁膜及び前記第６の絶縁膜とエッチング特性がほぼ等しい絶縁膜を除去することが望ましい。こうすることにより、絶縁膜除去工程において、第６の絶縁膜及び第６の絶縁膜とエッチング特性がほぼ等しい絶縁膜を選択的に除去することができる。

【００８２】
また、半導体基板上に、第１の導電膜と第１の絶縁膜を積層して堆積した後、前記第１

の導電膜と前記第１の絶縁膜をパターニングし、メモリセルトランジスタを形成する第１の領域に、上面が前記第１の絶縁膜で覆われた前記第１の導電膜からなる第１のゲート電極を、周辺回路用トランジスタを形成する第２の領域に、上面が前記第１の絶縁膜で覆われた前記第１の導電膜からなる第２のゲート電極を形成するゲート電極形成工程と、前記ゲート電極をマスクとして前記半導体基板に不純物を導入し、前記第１の領域に前記メモリセルトランジスタのソース拡散層及びドレイン拡散層を形成し、前記第２の領域に前記周辺回路用トランジスタのソース拡散層及びドレイン拡散層を形成する拡散層形成工程と、前記ゲート電極の側壁に第１のサイドウォール絶縁膜を形成する第１のサイドウォール絶縁膜形成工程と、前記第１のサイドウォールが形成された前記半導体基板上に第１の層間絶縁膜を堆積した後、前記第１の層間絶縁膜の表面を平坦化する第１の層間絶縁膜形成工程と、平坦化した前記第１の層間絶縁膜上に、前記第１の層間絶縁膜とはエッチング特性が異なる第２の絶縁膜を形成する第２の絶縁膜形成工程と、前記第１の層間絶縁膜と前記第２の絶縁膜をパターニングし、前記ソース拡散層上に開口された第１のスルーホールと、前記ドレイン拡散層上に開口された第２のスルーホールと、前記周辺回路用トランジスタの前記ソース拡散層、前記ドレイン拡散層、又は前記第２のゲート電極上に開口する第３のスルーホールとを形成するスルーホール形成工程と、前記スルーホールが開口された前記半導体基板上に第２の導電膜を堆積する第２の導電膜堆積工程と、前記第２の導電膜の表面を、前記第２の絶縁膜が表面に露出するまで研磨し、前記第１のスルーホールに埋め込まれた第１の埋め込み導電体と、前記第２のスルーホールに埋め込まれた第２の埋め込み導電体と、前記第３のスルーホールに埋め込まれた第３の埋め込み導電体とを形成する埋め込み導電体形成工程と、前記第１の埋め込み導電体上に開口された第４のスルーホールと、前記第２の埋め込み導電体上に開口された第５のスルーホールと、前記第３の埋め込み導電体上に開口する第６のスルーホールとが形成された、第２の層間絶縁膜を形成する第２の層間絶縁膜形成工程と、前記第２の層間絶縁膜が形成された前記半導体基板上に第３の導電膜を堆積する第３の導電膜堆積工程と、前記第４のスルーホールと、前記第５のスルーホールと、前記第６のスルーホールの内部に前記第２の導電膜を残存させるように前記第２の層間絶縁膜上の前記第３の導電膜を除去し、前記第４のスルーホール内に形成された前記第３の導電膜からなるキャパシタ蓄積電極と、前記第５のスルーホール内に形成された前記第３の導電膜からなる第１のコンタクト用導電膜と、前記第６のスルーホール内に形成された前記第３の導電膜からなる第２のコンタクト用導電膜とを形成する導電膜除去工程とを有することを特徴とする半導体記憶装置の製造方法によっても達成される。このように半導体記憶装置を製造すれば、素子の集積化が進み、スルーホールのアスペクト比が増大した場合にも、スルーホール底部でのコンタクト特性を確保することができる。

【００８３】

また、上記の半導体記憶装置の製造方法において、前記導電膜除去工程では、前記半導体基板表面を研磨し、前記第２の層間絶縁膜表面の前記第３の導電膜を除去することが望ましい。このように半導体記憶装置を製造すれば、層間絶縁膜を平坦化すると同時に埋め込み導電体を形成することができる。

【００８４】

また、上記の半導体記憶装置の製造方法において、前記第１の絶縁膜及び前記第１のサイドウォールは、前記スルーホールを形成する際にエッチングストッパーとして機能し、前記スルーホールは、前記第１の絶縁膜及び前記第１のサイドウォール絶縁膜に自己整合で形成することが望ましい。このように半導体記憶装置を製造すれば、スルーホールの底部に、ソース拡散層及びドレイン拡散層を容易に露出することができる。

【００８５】

また、半導体基板上に、第１の導電膜を堆積してパターニングし、前記第１の導電膜からなるゲート電極を形成するゲート電極形成工程と、前記ゲート電極をマスクとして前記半導体基板に不純物を導入し、ソース拡散層及びドレイン拡散層を形成する拡散層形成工程と、前記ソース拡散層上に開口された第１のスルーホールと、前記ドレイン拡散層上に

開口された第２のスルーホールが形成された層間絶縁膜を形成する層間絶縁膜形成工程と、前記第１のスルーホールより開口径が広く、前記半導体基板上に達しない開口を、前記第１のスルーホールを囲うように前記層間絶縁膜に形成する開口形成工程と、前記層間絶縁膜が形成された前記半導体基板上に第２の導電膜を堆積する第２の導電膜堆積工程と、前記第２のスルーホール及び前記開口の内部に前記第２の導電膜を残存させるように前記層間絶縁膜上の前記第２の導電膜を除去し、前記開口内に形成された前記第２の導電膜からなるキャパシタ蓄積電極と、前記第２のスルーホール内に形成された前記第２の導電膜からなる第１のコンタクト用導電膜を形成する導電膜除去工程と、前記キャパシタ蓄積電極と、前記第１のコンタクト用導電膜とが形成された前記半導体基板上に、キャパシタ誘電体膜となる絶縁膜と、キャパシタ対向電極となる第３の導電膜とを堆積した後、前記第３の導電膜をパターニングし、前記キャパシタ対向電極を形成するキャパシタ対向電極形成工程とを有することを特徴とする半導体記憶装置の製造方法によっても達成される。このように半導体記憶装置を製造すれば、ゲート電極とスルーホールとの間隔を開けることができるので、製造工程で発生するゴミ等の影響によりビット線とワード線が短絡することを防止することができる。また、開口径の小さいスルーホールの他に、キャパシタ誘電体膜を形成する開口を設けるので、キャパシタ容量を低下することはない。

【００８６】

また、上記の半導体記憶装置の製造方法において、前記層間絶縁膜形成工程の後に、第４の導電膜を堆積して前記第１のスルーホール及び前記第２のスルーホールを埋め込む第４の導電膜堆積工程を更に有し、前記開口形成工程では、前記第１のスルーホール内に埋め込まれた前記第４の導電膜よりなる柱状導電体が、前記開口内に突出した状態で残留するように前記開口を形成することが望ましい。このように半導体記憶装置を製造すれば、開口を形成する際に第１のスルーホール内に露出する半導体基板にダメージを与えることを防止することができる。また、柱状導電体を覆ってキャパシタ蓄積電極が形成されるので、キャパシタ容量を増加することができる。

【００８７】

また、上記の半導体記憶装置の製造方法において、前記層間絶縁膜形成工程において、前記第１のスルーホール及び前記第２のスルーホールは同時に形成することが望ましい。

【００８８】

また、上記の半導体記憶装置の製造方法において、前記層間絶縁膜形成工程では、前記層間絶縁膜は、エッチング特性の異なる２層以上の絶縁膜よりなる積層膜により形成し、前記開口形成工程では、前記開口は、前記エッチング特性の異なる絶縁膜間の界面まで開口することが望ましい。こうすることにより、開口の深さを再現性よく制御できるので、キャパシタ容量のばらつきを小さくすることができる。

【００８９】

また、半導体基板上に、第１の導電膜を堆積してパターニングし、前記第１の導電膜からなるゲート電極を形成するゲート電極形成工程と、前記ゲート電極をマスクとして前記半導体基板に不純物を導入し、ソース拡散層及びドレイン拡散層を形成する拡散層形成工程と、前記ソース拡散層上に開口された第１のスルーホールと、前記ドレイン拡散層上に開口された第２のスルーホールが形成された層間絶縁膜を形成する層間絶縁膜形成工程と、前記層間絶縁膜が形成された前記半導体基板上に第２の導電膜を堆積する第２の導電膜堆積工程と、前記第２の導電膜をパターニングし、前記第１のスルーホールを介して前記ドレイン拡散層に接続されたビット線と、前記第２のスルーホールに埋め込まれた埋め込み導電体とを形成する第２の導電膜パターニング工程と、前記層間絶縁膜上に、前記埋め込み導電体を介して前記ソース拡散層に接続されたキャパシタ蓄積電極と、前記キャパシタ蓄積電極を覆うキャパシタ誘電体膜と、前記キャパシタ誘電体膜を覆うキャパシタ対向電極とを有するキャパシタを形成するキャパシタ形成工程とを有することを特徴とする半導体記憶装置の製造方法によっても達成される。このように半導体記憶装置を製造すれば、キャパシタ蓄積電極を、ビット線コンタクト用の第１のスルーホールと同時に形成された第２のスルーホール内にビット線形成と同時に埋め込まれた埋め込み導電体を介してソ

ース拡散層に接続することができる。従って、新たな工程を追加することなく、キャパシタ蓄積電極コンタクト用のスルーホールを形成するためのエッチング時間を減少することができるので、このエッチングの際にビット線上の絶縁膜がエッチングされてビット線が露出することを防止できる。

【００９０】

また、上記の半導体記憶装置の製造方法において、前記第２の導電膜堆積工程の後に、前記第２の導電膜上に第１の絶縁膜を堆積する第１の絶縁膜堆積工程を、前記第２の導電膜パターニング工程の後に、前記ビット線側壁にサイドウォール絶縁膜を形成するサイドウォール絶縁膜形成工程を、更に有し、前記第２の導電膜パターニング工程では、前記第１の絶縁膜と前記第２の導電膜を同一パターンに加工することが望ましい。このように半導体記憶装置を製造すれば、これと同時に埋め込み導電体が表面に露出するので、従来のようにキャパシタ蓄積電極コンタクト用のスルーホールをマスク工程を用いて形成する必要がない。即ち、マスク工程を１工程削減することができる。

【００９１】

また、上記の半導体記憶装置の製造方法において、前記第２の導電膜パターニング工程の後に、前記埋め込み導電体上に開口が形成された第２の絶縁膜を形成する第２の絶縁膜形成工程を更に有し、前記キャパシタ形成工程では、前記キャパシタ蓄積電極を、前記開口の側壁及び底部に選択的に形成することが望ましい。こうすることによりメモリセル領域と周辺回路領域との高低差が小さくなるので、上層に形成する配線層の配線ルールを厳しく設計することができる。

【００９２】

また、上記の半導体記憶装置の製造方法において、前記層間絶縁膜形成工程は、前記半導体基板上に、層間絶縁膜を堆積する層間絶縁膜形成工程と、前記層間絶縁膜上に、前記第１のスルーホール及び前記第２のスルーホールを形成すべき領域に開口が形成され、前記層間絶縁膜とはエッチング特性が異なるエッチングストッパ膜を形成するエッチングストッパ膜形成工程と、前記エッチングストッパ膜の側壁部に、前記層間絶縁膜とはエッチング特性の異なるサイドウォールを形成するサイドウォール形成工程と、前記エッチングストッパ膜と前記サイドウォールをマスクとして、前記第２層間絶縁膜をエッチングし、前記第１のスルーホールと、前記第２のスルーホールが形成された前記層間絶縁膜を形成するスルーホール開口工程とを有することが望ましい。このように半導体記憶装置を製造すれば、露光装置の解像限界以下の開口径を有するスルーホールを開口することができる。

【００９３】

また、上記の半導体記憶装置の製造方法において、前記層間絶縁膜形成工程では、前記半導体基板上に前記層間絶縁膜を堆積した後、電子線描画法を用いてパターニングされたフォトレジストをマスクとして前記層間絶縁膜をエッチングし、前記第１のスルーホール及び前記第２のスルーホールを開口することが望ましい。このように半導体記憶装置を製造すれば、通常の露光装置の解像限界以下の開口径を有する第１のスルーホール及び第２のスルーホールを開口することができる。

【発明の効果】

【００９４】

以上の通り、本発明によれば、半導体基板上に形成されたソース拡散層とドレイン拡散層と、ソース拡散層とドレイン拡散層との間の半導体基板上に、ゲート絶縁膜を介して形成されたゲート電極とを有するメモリセルトランジスタと、ゲート電極の上面及び側面を覆う絶縁膜と、メモリセルトランジスタ上を覆い、ソース拡散層上に開口した第１のスルーホールと、ドレイン拡散層上に開口した第２のスルーホールとが形成された第１の層間絶縁膜と、第１のスルーホールの内壁及び底部に形成され、ソース拡散層に接続されたキャパシタ蓄積電極と、キャパシタ蓄積電極を覆うように形成されたキャパシタ誘電体膜と、キャパシタ誘電体膜を覆うように形成されたキャパシタ対向電極とを有するキャパシタと、第２のスルーホール内壁及び底部に形成され、ドレイン拡散層と接続された第１のコ

ンタクト用導電膜とを有するメモリセルと、メモリセル上に形成され、ビット線コンタクトホールが形成された第２の層間絶縁膜と、第２の層間絶縁膜上に形成され、ビット線コンタクトホールを介してメモリセルの第１のコンタクト用導電膜に接続されたビット線とにより半導体記憶装置を構成するので、ソース拡散層上に開口した第１のスルーホールと、ドレイン拡散層上に開口した第２のスルーホールとを形成する際にゲート電極との合わせ余裕を確保する必要がなく、メモリセル面積を小さくすることができる。また、第１のコンタクト用導電膜は、第２のスルーホール内に完全に埋め込む必要はないので、同時に形成するキャパシタ蓄積電極の膜厚を必要以上に厚くする必要はなく、キャパシタ容量の低下を防止することができる。

【００９５】

また、半導体基板上に形成されたソース拡散層とドレイン拡散層と、ソース拡散層とドレイン拡散層との間の半導体基板上に、ゲート絶縁膜を介して形成されたゲート電極とを有するメモリセルトランジスタと、ゲート電極の上面及び側面を覆う絶縁膜と、メモリセルトランジスタ上を覆い、ソース拡散層上に開口された第１のスルーホールと、ドレイン拡散層上に開口された第２のスルーホールとが形成された第１の層間絶縁膜と、第１のスルーホールの底部に埋め込まれ、ソース拡散層に接続された第１の埋め込み導電体と、第２のスルーホールの底部に埋め込まれ、ドレイン拡散層に接続された第２の埋め込み導電体と、第１のスルーホールの内壁と、第１の埋め込み導電体の上面とに形成され、第１の埋め込み導電体を介してソース拡散層に接続されたキャパシタ蓄積電極と、キャパシタ蓄積電極を覆うように形成されたキャパシタ誘電体膜と、キャパシタ誘電体膜を覆うように形成されたキャパシタ対向電極とを有するキャパシタと、第２のスルーホールの内壁と、第２の埋め込み導電体の上面とに形成され、第２の埋め込み導電体を介してドレイン拡散層と接続された第１のコンタクト用導電膜とを有するメモリセルと、メモリセル上に形成され、ビット線コンタクトホールが形成された第２の層間絶縁膜と、第２の層間絶縁膜上に形成され、ビット線コンタクトホールを介してメモリセルの第１のコンタクト用導電膜に接続されたビット線とにより半導体記憶装置を構成するので、キャパシタ蓄積電極又はコンタクト用導電膜と半導体基板とが接する領域には、抵抗の低い埋め込み導電体によるオーミックコンタクトが形成される。これにより、素子の集積化が進み、スルーホールのアスペクト比が増大した場合にも、スルーホール底部でのコンタクト特性を確保することができる。

【００９６】

また、半導体基板上に形成されたソース拡散層とドレイン拡散層と、ソース拡散層とドレイン拡散層との間の半導体基板上に、ゲート絶縁膜を介して形成されたゲート電極とを有するメモリセルトランジスタと、メモリセルトランジスタ上を覆い、ソース拡散層上に開口した第１のスルーホールと、ドレイン拡散層上に開口した第２のスルーホールと、半導体基板より離間した領域の第１のスルーホールを囲うように形成され、第１のスルーホールより開口径が広い開口と、が形成された第１の層間絶縁膜と、開口の内壁及び底部、第１のスルーホールの内壁及び底部に形成され、ソース拡散層に接続されたキャパシタ蓄積電極と、キャパシタ蓄積電極を覆うように形成されたキャパシタ誘電体膜と、キャパシタ誘電体膜を覆うように形成されたキャパシタ対向電極とを有するキャパシタと、第２のスルーホール内壁及び底部に形成され、ドレイン拡散層と接続された第１のコンタクト用導電膜とを有するメモリセルと、メモリセル上に形成され、ビット線コンタクトホールが形成された第２の層間絶縁膜と、第２の層間絶縁膜上に形成され、ビット線コンタクトホールを介してメモリセルの第１のコンタクト用導電膜に接続されたビット線とにより半導体記憶装置を構成するので、キャパシタ容量を減少することなくスルーホールの開口径を極めて小さくすることができる。これにより、ゴミの付着等に起因するビット線とワード線との間の短絡を防止することができる。

【００９７】

また、上記の半導体記憶装置において、第１のスルーホールの内部に、第１のスルーホール内壁とは離間して形成された第１の柱状導電体をキャパシタ電極に設け、第２のスル

ーホールの内部に、第２のスルーホール内壁とは離間して形成された第２の柱状導電体を第１のコンタクト用導電膜に設ければ、第１の柱状導電体をもキャパシタ蓄積電極として機能するので、キャパシタ容量を大幅に増加することができる。また、ドレイン拡散層とビット線との配線を、第１のコンタクト用導電膜と、第２の柱状導電体とにより形成できるので、ドレイン拡散層－ビット線間の配線抵抗を減少することができる。

【００９８】

また、上記の半導体記憶装置において、ゲート電極を覆う絶縁膜と接する領域の第１の層間絶縁膜を、ゲート電極を覆う絶縁膜とはエッチング特性が異なる材料により構成すれば、スルーホールを開口する際に絶縁膜をエッチングストッパーとして用いることができ、基板開口部を自己整合で形成することができる。従って、スルーホールを形成する際にゲート電極との合わせ余裕を確保する必要がないので、メモリセル面積を小さくすることができる。

【００９９】

また、上記の半導体記憶装置において、ゲート電極を覆う絶縁膜にはシリコン窒化膜を、ゲート電極を覆う絶縁膜とはエッチング特性が異なる材料にはシリコン酸化膜又は不純物を添加したシリコン酸化膜を適用することができる。

【０１００】

また、上記の半導体記憶装置において、キャパシタ蓄積電極に、第１のスルーホールより開口内に柱状に突出する柱状導電体を更に設ければ、柱状導電体の分だけキャパシタ蓄積電極の表面積が増加するので、キャパシタ容量を増加することができる。

【０１０１】

また、ビット線コンタクトホールの内壁にサイドウォール絶縁膜を設けることによりビット線とキャパシタ対向電極とを絶縁すれば、キャパシタ対向電極を形成するリソグラフィー工程と、ビット線コンタクトホールを形成するリソグラフィー工程とを一度に行うことができる。

【０１０２】

また、メモリセルが形成されたメモリセル領域の周辺の半導体基板上に形成された周辺回路用トランジスタと、第１の層間絶縁膜上に形成され、ビット線と同一導電層からなる配線層とを設け、配線層を、周辺回路用トランジスタのゲート電極、ソース拡散層又はドレイン拡散層に直接接続すれば、周辺回路の動作速度を犠牲にすることなく上記の半導体記憶装置を構成することができる。

【０１０３】

また、メモリセルが形成されたメモリセル領域の周辺の半導体基板上に形成された周辺回路用トランジスタと、ビット線上に形成された第３の層間絶縁膜と、第３の層間絶縁膜上に形成された配線層とを設け、配線層を、周辺回路用トランジスタのゲート電極、ソース拡散層又はドレイン拡散層に直接接続すれば、製造工程数を増加せず、且つ周辺回路の動作速度を犠牲にすることなく上記の半導体記憶装置を構成することができる。

【０１０４】

また、上記の半導体記憶装置において、配線層を、周辺回路用トランジスタのゲート電極、ソース拡散層若しくはドレイン拡散層、前記キャパシタ対向電極、又は前記ビット線に直接接続すれば、製造工程数を増加せず、且つ周辺回路の動作速度を犠牲にすることなく上記の半導体記憶装置を構成することができる。

【０１０５】

また、ビット線と配線層とを接続する領域のビット線直下に、キャパシタ対向電極と、第２の層間絶縁膜との積層膜と同一の構造よりなるエッチング保護パターンを設ければ、周辺回路領域に形成する深いスルーホールと、ビット線又はキャパシタ対向電極上に形成する浅いスルーホールとを、ビット線と半導体基板との短絡を発生せずに同時に開口することができる。

【０１０６】

また、メモリセルが形成されたメモリセル領域の周辺の半導体基板上に形成された周辺

回路用トランジスタと、第２の層間絶縁膜上に形成され、ビット線と同一導電層からなる配線層とを設け、キャパシタ対向電極及び第２の層間絶縁膜を周辺回路用トランジスタの形成された領域に延在して形成し、配線層を、周辺回路用トランジスタのゲート電極、ソース拡散層又はドレイン拡散層に直接接続すれば、製造工程数を増加することなく周辺回路の配線層を形成することができる。

【０１０７】

また、メモリセルが形成されたメモリセル領域の周辺の半導体基板上に形成された周辺回路用トランジスタと、周辺回路用トランジスタのゲート電極、ソース拡散層、又はドレイン拡散層上の第１の層間絶縁膜に形成された第３のスルーホールの内壁及び底部に形成された第２のコンタクト用導電膜とを設け、周辺回路用トランジスタのゲート電極、ソース拡散層又はドレイン拡散層を、第２のコンタクト用導電膜を介して第１の層間絶縁膜上に形成された配線層に接続すれば、製造工程数を増加することなく上記の半導体記憶装置を構成することができる。

【０１０８】

また、第３のスルーホールの底部に形成された第３の埋め込み導電体を設け、第２のコンタクト用導電膜を、第３の埋め込み導電体を介して周辺回路用トランジスタのゲート電極、ソース拡散層又はドレイン拡散層に接続すれば、第２のコンタクト用導電膜と半導体基板とが接する領域には、抵抗の低い第３の埋め込み導電体によるオーミックコンタクトが形成される。これにより、素子の集積化が進み、スルーホールのアスペクト比が増大した場合にも、スルーホール底部でのコンタクト特性を確保することができる。

【０１０９】

また、エッチング特性の異なる複数の絶縁材料を積層した積層体により層間絶縁膜を構成すれば、アスペクト比の大きいスルーホールを開口する際にも制御性よく容易に行うことができる。

【０１１０】

また、上記の積層膜には、シリコン窒化膜をシリコン酸化膜により挟んで積層した積層体を適用することができる。

【０１１１】

また、上記の積層膜には、シリコン酸化膜上にシリコン窒化膜が積層された積層体を適用することができる。

【０１１２】

また、半導体基板上に形成されたソース拡散層とドレイン拡散層と、ソース拡散層とドレイン拡散層との間の半導体基板上に、ゲート絶縁膜を介して形成されたゲート電極とを有するメモリセルトランジスタと、ゲート電極の上面及び側面を覆う絶縁膜と、メモリセルトランジスタ上を覆い、ソース拡散層上に開口した第１のスルーホールが形成された第１の層間絶縁膜と、第１のスルーホールの内壁及び底部に形成され、ソース拡散層に接続されたコンタクト部と、コンタクト部に接続され、第１の層間絶縁膜上に突出して形成された突出部とを有するキャパシタ蓄積電極と、キャパシタ蓄積電極を覆うように形成されたキャパシタ誘電体膜と、キャパシタ誘電体膜を覆うように形成されたキャパシタ対向電極と、を有するキャパシタと、を有するメモリセルにより半導体記憶装置を構成すれば、突出部の表裏を用いてキャパシタを構成できるので、キャパシタ容量を増加することができる。

【０１１３】

また、上記の半導体記憶装置には、メモリセル上に形成され、第１の層間絶縁膜を介してドレイン拡散層に達するビット線コンタクトホールが形成された第２の層間絶縁膜と、第２の層間絶縁膜上に形成され、ビット線コンタクトホールを介してメモリセルのドレイン拡散層に接続されたビット線とを設けることができる。

【０１１４】

また、上記の半導体記憶装置には、第１の層間絶縁膜には、ドレイン拡散層上に開口された第２のスルーホールが形成されており、第２のスルーホール内壁及び底部に形成され

、ドレイン拡散層と接続されたコンタクト用導電膜と、メモリセル上に、第２の層間絶縁膜を介して形成され、コンタクト用導電膜と接続されたビット線とを設けることができる。

【０１１５】

また、上記の半導体記憶装置において、第１の層間絶縁膜を、シリコン窒化膜とシリコン酸化膜とにより構成し、シリコン窒化膜をゲート電極上に形成し、シリコン酸化膜をシリコン窒化膜上に形成すれば、突出部を容易に形成することができる。これにより、キャパシタ容量のばらつきを小さくすることができる。

【０１１６】

また、第１のコンタクト用導電膜、第２のコンタクト用導電膜又はキャパシタ蓄積電極として、Ｎ形シリコン及びＰ形シリコンにコンタクトする導電材料を用いれば、シリコン基板とのコンタクト特性を向上することができる。

【０１１７】

また、上記の半導体記憶装置において、ビット線コンタクトホールを、ビット線の延在する方向に長く伸びた形状にすれば、最小加工寸法でビット線とワード線を配置できるので、メモリセル面積を大幅に縮小することができる。

【０１１８】

また、ビット線を、ビット線間の間隔の半分以下の膜厚にすれば、ビット線間の容量カップリングを抑えることができる。

【０１１９】

また、並行に配された複数のビット線と複数のビット線に交差する方向に並行に配された複数のワード線と、それぞれのビット線の一方の端に設けられたセンスアンプとそれぞれのワード線の一方の端に設けられたデコーダと、ビット線とワード線のそれぞれの交差部に設けられた上記いずれかに記載のメモリセルとにより半導体記憶装置を構成し、複数のセンスアンプを２組に分けてメモリセルが形成されたメモリセル領域の対向する側部にそれぞれの組を設け、複数のデコーダを２組に分け、メモリセル領域の他の対向する側部にそれぞれの組を設ければ、最小加工寸法で配置したビット線とワード線に接続する周辺回路を構成することができる。

【０１２０】

また、半導体基板上に形成されたソース拡散層とドレイン拡散層と、ソース拡散層とドレイン拡散層との間の半導体基板上に、ゲート絶縁膜を介して形成されたゲート電極とを有するメモリセルトランジスタと、メモリセルトランジスタ上を覆い、ソース拡散層上に開口した第１のスルーホールと、ドレイン拡散層上に開口した第２のスルーホールとが形成された第１の層間絶縁膜と、第１のスルーホール内に埋め込まれた埋め込み導電体と、第１の層間絶縁膜上に形成され、埋め込み導電体を介してソース拡散層に接続されたキャパシタ蓄積電極と、キャパシタ蓄積電極を覆うように形成されたキャパシタ誘電体膜と、キャパシタ誘電体膜を覆うように形成されたキャパシタ対向電極とを有するキャパシタと、を有するメモリセルと、第１の層間絶縁膜上に形成され、第２のスルーホールを介してドレイン拡散層に接続されたビット線とを設け、埋め込み導電体とビット線を、同一の導電層により形成すれば、製造工程において、キャパシタ蓄積電極のコンタクト用のスルーホールを開口するのに要するエッチング時間を減少できるので、このエッチングの際に、ビット線が露出することを防止することができる。

【０１２１】

また、上記の半導体記憶装置において、埋め込み導電体は、第１のスルーホールの側壁及び底部にのみ形成してもよい。

【０１２２】

また、上記の半導体記憶装置では、第１のスルーホール及び第２のスルーホールは、ゲート電極の外側に離間して形成することができる。

【０１２３】

また、ビット線の上面及び側面を、ビット線上に形成する第２の層間絶縁膜に対してエ

ッチングストッパとして機能する絶縁膜により覆えば、キャパシタ蓄積電極のコンタクト用のスルーホールを開口する際にビット線に与えるダメージを小さくすることができる。

【０１２４】

また、第２の層間絶縁膜に、その内部に埋め込み導電体が露出する第３のスルーホールを形成し、キャパシタ誘電体膜を、第３のスルーホールの側壁及び底面に形成すれば、周辺回路領域とメモリセル領域との高低差を小さくすることができるので、その上層に形成する配線層のルールを縮小することができる。

【０１２５】

また、半導体基板上に、第１の導電膜と第１の絶縁膜を積層して堆積した後、第１の導電膜と第１の絶縁膜をパターニングし、上面が第１の絶縁膜で覆われた第１の導電膜からなるゲート電極を形成するゲート電極形成工程と、ゲート電極をマスクとして半導体基板に不純物を導入し、ソース拡散層及びドレイン拡散層を形成する拡散層形成工程と、ゲート電極の側壁に第１のサイドウォール絶縁膜を形成する第１のサイドウォール絶縁膜形成工程と、ソース拡散層上に開口された第１のスルーホールと、ドレイン拡散層上に開口された第２のスルーホールが形成された第１の層間絶縁膜を形成する第１の層間絶縁膜形成工程と、第１の層間絶縁膜が形成された半導体基板上に第２の導電膜を堆積する第２の導電膜堆積工程と、第１のスルーホールと第２のスルーホールの内部に第２の導電膜を残存させるように第１の層間絶縁膜上の第２の導電膜を除去し、第１のスルーホール内に形成された第２の導電膜からなるキャパシタ蓄積電極と、第２のスルーホール内に形成された第２の導電膜からなる第１のコンタクト用導電膜を形成する導電膜除去工程と、キャパシタ蓄積電極と、第１のコンタクト用導電膜とが形成された半導体基板上に、キャパシタ誘電体膜となる第２の絶縁膜と、キャパシタ対向電極となる第３の導電膜とを堆積した後、第３の導電膜をパターニングし、キャパシタ対向電極を形成するキャパシタ対向電極形成工程とにより半導体記憶装置を製造方法するので、メモリセル面積の小さい半導体記憶装置を、ビット線－ドレイン拡散層間の電気抵抗を増加し、又はキャパシタ容量を低下することなく形成することができる。

【０１２６】

また、キャパシタ対向電極形成工程において、第３の導電膜上に堆積した第３の絶縁膜と第３の導電膜をパターニングし、キャパシタ対向電極と、第２のスルーホール上に開口されたビット線コンタクトホールを形成し、キャパシタ対向電極形成工程の後、第４の絶縁膜を堆積し、第４の絶縁膜を異方性エッチングすることによりビット線コンタクトホールの内壁に第２のサイドウォール絶縁膜を形成すると同時に、ビット線コンタクトホール底部の第２の絶縁膜を除去する第２のサイドウォール絶縁膜形成工程と、第３の絶縁膜上に形成され、ビット線コンタクトホール内に露出した第１のコンタクト用導電膜と接続されたビット線を形成するビット線形成工程とを行えば、キャパシタ対向電極を形成するリソグラフィー工程と、ビット線コンタクトホールを形成するリソグラフィー工程とを一度に行うことができる。これにより、製造工程数を削減することができる。

【０１２７】

また、半導体基板上に、第１の導電膜と第１の絶縁膜を積層して堆積した後、第１の導電膜と第１の絶縁膜をパターニングし、メモリセルトランジスタを形成する第１の領域に、上面が第１の絶縁膜で覆われた第１の導電膜からなる第１のゲート電極を、周辺回路用トランジスタを形成する第２の領域に、上面が第１の絶縁膜で覆われた第１の導電膜からなる第２のゲート電極を形成するゲート電極形成工程と、ゲート電極をマスクとして半導体基板に不純物を導入し、第１の領域にメモリセルトランジスタのソース拡散層及びドレイン拡散層を形成し、第２の領域に周辺回路用トランジスタのソース拡散層及びドレイン拡散層を形成する拡散層形成工程と、ゲート電極の側壁に第１のサイドウォール絶縁膜を形成する第１のサイドウォール絶縁膜形成工程と、メモリセルトランジスタのソース拡散層上に開口された第１のスルーホールと、メモリセルトランジスタのドレイン拡散層上に開口された第２のスルーホールとが形成された第１の層間絶縁膜を形成する第１の層間絶縁膜形成工程と、第１の層間絶縁膜が形成された半導体基板上に第２の導電膜を堆積する

第２の導電膜堆積工程と、第１のスルーホールと、第２のスルーホールとの内部に第２の導電膜を残存させるように第１の層間絶縁膜上の第２の導電膜を除去し、第１のスルーホール内に形成された第２の導電膜からなるキャパシタ蓄積電極と、第２のスルーホール内に形成された第２の導電膜からなる第１のコンタクト用導電膜を形成する導電膜除去工程と、キャパシタ蓄積電極と、第１のコンタクト用導電膜上に、キャパシタ誘電体膜となる第２の絶縁膜と、キャパシタ対向電極となる第３の導電膜と、第３の絶縁膜とを堆積した後、第３の絶縁膜と第３の導電膜をパターニングし、キャパシタ対向電極と、第２のスルーホール上に開口されたビット線コンタクトホールとを形成するビット線コンタクトホール形成工程と、ビット線コンタクトホールが形成された第３の絶縁膜上に第４の絶縁膜を堆積した後、第４の絶縁膜を異方性エッチングすることによりビット線コンタクトホールの内壁に第２のサイドウォール絶縁膜を形成すると同時に、ビット線コンタクトホール底部の第２の絶縁膜を除去する第２のサイドウォール絶縁膜形成工程と、キャパシタ対向電極上の第３の絶縁膜に開口された第３のスルーホールと、周辺回路用トランジスタのソース拡散層、ドレイン拡散層、又は第２のゲート電極上の第１の層間絶縁膜に開口された第４のスルーホールとを形成する第２のスルーホール形成工程と、ビット線コンタクトホール内に露出した第１のコンタクト用導電膜と接続されたビット線と、第３のスルーホールを介してキャパシタ対向電極と接続された第１の配線層と、第４のスルーホールを介して周辺回路用トランジスタと接続された第２の配線層とを形成する配線層形成工程とにより半導体記憶装置を製造方法するので、周辺回路の動作速度を犠牲にすることなく上記の半導体記憶装置を構成することができる。

【０１２８】

また、第２のサイドウォール絶縁膜形成工程の後に、ビット線コンタクトホール内に露出したコンタクト用導電膜と接続されたビット線を形成するビット線形成工程と、ビット線が形成された半導体基板上に第２の層間絶縁膜を形成する第２の層間絶縁膜形成工程とを行い、第２のスルーホール形成工程では、第２の層間絶縁膜と第３の絶縁膜に、キャパシタ対向電極に達する第３のスルーホールを形成するとともに、第２の層間絶縁膜と第１の層間絶縁膜に、周辺回路用トランジスタのソース拡散層、ドレイン拡散層、又は第２のゲート電極に達する第４のスルーホールを形成し、配線層形成工程では、第３のスルーホールを介してキャパシタ対向電極と接続された第１の配線層と、第４のスルーホールを介して周辺回路用トランジスタと接続された第２の配線層を形成すれば、製造工程数を増加せず、周辺回路の動作速度を犠牲にすることなく上記の半導体記憶装置を構成することができる。

【０１２９】

また、第２のスルーホール形成工程においてビット線と配線層とを接続する第５のスルーホールを形成する場合には、ビット線コンタクトホール形成工程において、ビット線と配線層とを接続するコンタクトホールを形成する領域の第１の層間絶縁膜上に、第３の導電膜と第３の絶縁膜との積層膜よりなるエッチング保護パターンを形成すれば、周辺回路領域に形成する深いスルーホールを開口する際にも、ビット線直下の第１の層間絶縁膜がエッチングされるのを防止できるので、ビット線と、半導体基板との短絡を防止することができる。

【０１３０】

また、半導体基板上に、第１の導電膜と第１の絶縁膜を積層して堆積した後、第１の導電膜と第１の絶縁膜をパターニングし、メモリセルトランジスタを形成する第１の領域に、上面が第１の絶縁膜で覆われた第１の導電膜からなる第１のゲート電極を、周辺回路用トランジスタを形成する第２の領域に、上面が第１の絶縁膜で覆われた第１の導電膜からなる第２のゲート電極を形成するゲート電極形成工程と、ゲート電極をマスクとして半導体基板に不純物を導入し、第１の領域にメモリセルトランジスタのソース拡散層及びドレイン拡散層を形成し、第２の領域に周辺回路用トランジスタのソース拡散層及びドレイン拡散層を形成する拡散層形成工程と、ゲート電極の側壁に第１のサイドウォール絶縁膜を形成する第１のサイドウォール絶縁膜形成工程と、メモリセルトランジスタのソース拡散

層上に開口された第１のスルーホールと、メモリセルトランジスタのドレイン拡散層上に開口された第２のスルーホールとが形成された第１の層間絶縁膜を形成する第１の層間絶縁膜形成工程と、第１の層間絶縁膜が形成された半導体基板上に第２の導電膜を堆積する第２の導電膜堆積工程と、第１のスルーホールと、第２のスルーホールとの内部に第２の導電膜を残存させるように第１の層間絶縁膜上の第２の導電膜を除去し、第１のスルーホール内に形成された第２の導電膜からなるキャパシタ蓄積電極と、第２のスルーホール内に形成された第２の導電膜からなる第１のコンタクト用導電膜を形成する導電膜除去工程と、キャパシタ蓄積電極と、第１のコンタクト用導電膜上に、キャパシタ誘電体膜となる第２の絶縁膜と、キャパシタ対向電極となる第３の導電膜と、第３の絶縁膜とを堆積した後、第３の絶縁膜と第３の導電膜をパターニングし、キャパシタ対向電極と、第２のスルーホール上に開口されたビット線コンタクトホールとを形成し、周辺回路用トランジスタのソース拡散層、ドレイン拡散層、又は第２のゲート電極上に開口する第３のスルーホールを第２の絶縁膜上まで開口するビット線コンタクトホール形成工程と、ビット線コンタクトホールを覆うフォトレジストを選択的に形成した後、第３のスルーホール内の第２の絶縁膜と、第１の層間絶縁膜とをエッチングし、周辺回路用トランジスタのソース拡散層、ドレイン拡散層、又は第２のゲート電極上まで達する第３のスルーホールを形成する第２のスルーホール形成工程とにより半導体記憶装置を製造するので、周辺回路部にスルーホールを開口する際には微細な位置合わせをする必要がなく、リソグラフィー工程を簡略化することができる。

【０１３１】

また、上記の半導体記憶装置の製造方法において、ビット線コンタクトホール形成工程では、キャパシタ蓄積電極と、第２の導電膜上に、キャパシタ誘電体膜となる第２の絶縁膜と、キャパシタ対向電極となる第３の導電膜と、第３の絶縁膜と、エッチングストッパーとして機能するマスク膜を連続して堆積した後、マスク膜、第３の絶縁膜と第３の導電膜をパターニングし、キャパシタ対向電極と、第２のスルーホール上に開口されたビット線コンタクトホールとを形成し、周辺回路用トランジスタのソース拡散層、ドレイン拡散層、又は第２のゲート電極上に開口する第３のスルーホールを第２の絶縁膜上まで開口し、第２のスルーホール形成工程では、ビット線コンタクトホールを覆うフォトレジストを選択的に形成した後、マスク膜とフォトレジストをエッチングマスクとして第３のスルーホール内の第２の絶縁膜と、第１の層間絶縁膜とをエッチングし、周辺回路用トランジスタのソース拡散層、ドレイン拡散層、又は第２のゲート電極上まで達する第３のスルーホールを形成することによってもリソグラフィー工程を簡略化することができる。

【０１３２】

また、上記の半導体記憶装置の製造方法において、マスク膜にはシリコン膜を適用することができる。

【０１３３】

また、半導体基板上に、第１の導電膜と第１の絶縁膜を積層して堆積した後、第１の導電膜と第１の絶縁膜をパターニングし、メモリセルトランジスタを形成する第１の領域に、上面が第１の絶縁膜で覆われた第１の導電膜からなる第１のゲート電極を、周辺回路用トランジスタを形成する第２の領域に、上面が第１の絶縁膜で覆われた第１の導電膜からなる第２のゲート電極を形成するゲート電極形成工程と、ゲート電極をマスクとして半導体基板に不純物を導入し、第１の領域にメモリセルトランジスタのソース拡散層及びドレイン拡散層を形成し、第２の領域に周辺回路用トランジスタのソース拡散層及びドレイン拡散層を形成する拡散層形成工程と、ゲート電極の側壁に第１のサイドウォール絶縁膜を形成する第１のサイドウォール絶縁膜形成工程と、メモリセルトランジスタのソース拡散層上に開口された第１のスルーホールと、メモリセルトランジスタのドレイン拡散層上に開口された第２のスルーホールと、周辺回路用トランジスタのソース拡散層、ドレイン拡散層又は第２のゲート電極上に開口する第３のスルーホールとが形成された第１の層間絶縁膜を形成する第１の層間絶縁膜形成工程と、第１の層間絶縁膜が形成された半導体基板上に第２の導電膜を堆積する第２の導電膜堆積工程と、第１のスルーホールと、第２のス

ルーホールと、第３のスルーホールの内部に第２の導電膜を残存させるように第１の層間絶縁膜上の第２の導電膜を除去し、第１のスルーホール内に形成された第２の導電膜からなるキャパシタ蓄積電極と、第２のスルーホール内に形成された第２の導電膜からなる第１のコンタクト用導電膜と、第３のスルーホール内に形成された第２の導電膜からなる第２のコンタクト用導電膜とを形成する導電膜除去工程と、キャパシタ蓄積電極と、第１のコンタクト用導電膜と、第２のコンタクト用導電膜とが形成された半導体基板上に、キャパシタ誘電体膜となる第２の絶縁膜と、キャパシタ対向電極となる第３の導電膜と、第３の絶縁膜とを堆積した後、第３の絶縁膜と第３の導電膜をパターニングし、キャパシタ対向電極と、第２のスルーホール上に開口されたビット線コンタクトホールを形成するビット線コンタクトホール形成工程と、ビット線コンタクトホールが形成された第３の絶縁膜上に第４の絶縁膜を堆積した後、第４の絶縁膜を異方性エッチングすることによりビット線コンタクトホールの内壁に第２のサイドウォール絶縁膜を形成すると同時に、ビット線コンタクトホール底部の第２の絶縁膜を除去する第２のサイドウォール絶縁膜形成工程と、ビット線コンタクトホール内に露出した第１のコンタクト用導電膜と接続されたビット線と、第３のスルーホール内に形成された第２のコンタクト用導電膜に接続された配線層を形成する配線層形成工程とにより半導体記憶装置を製造し、周辺回路用トランジスタに直接接続する導電膜を、キャパシタ蓄積電極、又はビット線コンタクト部のコンタクト用導電膜と同様の構造にするので、製造工程数を増加することなく周辺回路のコンタクトを形成することができる。

【０１３４】

また、キャパシタ対向電極となる導電膜を堆積する際に、導電膜表面が平坦になるようにスルーホール内に埋め込めば、ビット線コンタクト部において予期せぬ段差が発生することを防止でき、コンタクト特性への信頼性を向上することができる。

【０１３５】

また、上記の半導体記憶装置の製造方法において、第２の導電膜堆積工程の後に、第５の絶縁膜を堆積して第５の絶縁膜を異方性エッチングすることにより、第２の導電膜が形成された第１のスルーホール及び第２のスルーホールの内壁に第３のサイドウォール絶縁膜を形成する第３のサイドウォール絶縁膜形成工程と、第３のサイドウォール絶縁膜が形成された第１のスルーホール及び第２のスルーホールを埋め込む第４の導電膜を堆積する第４の導電膜堆積工程とを、導電膜除去工程の後に、第３のサイドウォール絶縁膜を除去することにより第１のスルーホール内に第４の導電膜よりなる第１の柱状導電体を、第２のスルーホール内に第４の導電膜よりなる第２の柱状導電体を形成する柱状導電体形成工程とを行い、導電膜除去工程において、第３のサイドウォール絶縁膜が表面に露出するまで、第４の導電膜、第２の導電膜、第１の層間絶縁膜を除去すれば、第１のスルーホール内壁とは離間して形成された第１の柱状導電体を有するキャパシタ蓄積電極と、第２のスルーホール内壁とは離間して形成された第２の柱状導電体を有する第１のコンタクト用導電膜を形成することができるので、キャパシタ容量を大幅に増加するとともに、ドレイン拡散層とビット線間の配線抵抗を減少することができる。また、上記の半導体記憶装置の製造方法では、第２の導電膜を除去する際にスルーホール内が埋め込まれているので、研磨剤等がスルーホール内に入り込むことが防止できる。これにより、研磨剤等による歩留りの低下を防止することができる。

【０１３６】

また、上記の半導体記憶装置の製造方法において、第１の層間絶縁膜を堆積後、スルーホール形成前に第１の層間絶縁膜の表面を研磨により平坦化すれば、層間絶縁膜上のグローバル平坦性が改善されるので、スルーホールを開口する際のフォーカス深度を浅くでき、微細なパターニングを行うことが可能となる。

【０１３７】

また、上記の半導体記憶装置の製造方法において、半導体基板の表面を研磨することにより第１の層間絶縁膜上の第２の導電膜を除去すれば、スルーホールの形状の整合したキャパシタ蓄積電極、コンタクト用導電膜を容易に形成することができる。

【０１３８】
また、エッチング特性の異なる複数の絶縁材料を積層した積層膜により第１の層間絶縁膜を形成し、絶縁材料を一層づつエッチングすることによりスルーホールを開口すれば、アスペクト比の大きいスルーホールを開口する際にも容易に行うことができる。
【０１３９】
また、上記の半導体記憶装置の製造方法において、第２の導電膜堆積工程の後に、第２の導電膜上にフォトレジストを塗布し、第１のスルーホール、第２のスルーホール、又は第３のスルーホール内に埋め込むフォトレジスト塗布工程を、導電膜除去工程の後に、第１のスルーホール、第２のスルーホール、又は第３のスルーホール内に埋め込まれたフォトレジストを剥離するフォトレジスト剥離工程を行い、導電膜除去工程では、第１のスルーホール、第２のスルーホール、又は第３のスルーホール内部に第２の導電膜及びフォトレジストを残存させるように、第１の層間絶縁膜上の第２の導電膜及びフォトレジストを除去すれば、第２の導電膜を研磨により除去する際に研磨剤等がスルーホール内に入り込むことがないので、これに起因する歩留り低下を防止することができる。
【０１４０】
また、上記の半導体記憶装置の製造方法において、第２の導電膜堆積工程の後に、第１の層間絶縁膜とはエッチング特性の異なる第６の絶縁膜を堆積し、第１のスルーホール、第２のスルーホール、又は第３のスルーホール内に埋め込む絶縁膜堆積工程を、導電膜除去工程の後に、第１のスルーホール、第２のスルーホール、又は第３のスルーホール内に埋め込まれた第６の絶縁膜を除去する第６の絶縁膜除去工程を行い、導電膜除去工程では、第１のスルーホール、第２のスルーホール、又は第３のスルーホール内部に第２の導電膜及び第６の絶縁膜を残存させるように、第１の層間絶縁膜上の第２の導電膜及び第６の絶縁膜を除去すれば、第２の導電膜を研磨により除去する際に研磨剤等がスルーホール内に入り込むことがないので、これに起因する歩留り低下を防止することができる。
【０１４１】
また、上記の半導体記憶装置の製造方法において、第１の層間絶縁膜の表面に、第６の絶縁膜とエッチング特性が異なる絶縁膜を設ければ、研磨の後に、スルーホール内に埋め込まれた絶縁膜のみを選択的に除去することができる。
【０１４２】
また、上記の半導体記憶装置の製造方法において、第２の導電膜堆積工程の後に、第１の層間絶縁膜とエッチング特性がほぼ等しい第６の絶縁膜を堆積し、第１のスルーホール、第２のスルーホール、又は第３のスルーホール内に埋め込む絶縁膜堆積工程を、導電膜除去工程の後に、第１のスルーホール、第２のスルーホール、又は第３のスルーホール内に埋め込まれた第６の絶縁膜及び第１の層間絶縁膜を除去する絶縁膜除去工程を行い、導電膜除去工程では、第１のスルーホール、第２のスルーホール、又は第３のスルーホール内部に第２の導電膜及び第６の絶縁膜を残存させるように、第１の層間絶縁膜上の第２の導電膜及び第６の絶縁膜を除去すれば、第２の導電膜を研磨により除去する際に研磨剤等がスルーホール内に入り込むことがないので、これに起因する歩留り低下を防止することができる。
【０１４３】
また、上記の半導体記憶装置の製造方法において、第１の層間絶縁膜には、第６の絶縁膜とはエッチング特性の異なる絶縁膜上に、第６の絶縁膜とエッチング特性がほぼ等しい絶縁膜が堆積された積層膜を適用すれば、絶縁膜除去工程において、第６の絶縁膜及び第６の絶縁膜とエッチング特性がほぼ等しい絶縁膜を選択的に除去することができる。
【０１４４】
また、半導体基板上に、第１の導電膜と第１の絶縁膜を積層して堆積した後、第１の導電膜と第１の絶縁膜をパターニングし、メモリセルトランジスタを形成する第１の領域に、上面が第１の絶縁膜で覆われた第１の導電膜からなる第１のゲート電極を、周辺回路用トランジスタを形成する第２の領域に、上面が第１の絶縁膜で覆われた第１の導電膜からなる第２のゲート電極を形成するゲート電極形成工程と、ゲート電極をマスクとして半導

体基板に不純物を導入し、第１の領域にメモリセルトランジスタのソース拡散層及びドレイン拡散層を形成し、第２の領域に周辺回路用トランジスタのソース拡散層及びドレイン拡散層を形成する拡散層形成工程と、ゲート電極の側壁に第１のサイドウォール絶縁膜を形成する第１のサイドウォール絶縁膜形成工程と、第１のサイドウォールが形成された半導体基板上に第１の層間絶縁膜を堆積した後、第１の層間絶縁膜の表面を平坦化する第１の層間絶縁膜形成工程と、平坦化した第１の層間絶縁膜上に、第１の層間絶縁膜とはエッチング特性が異なる第２の絶縁膜を形成する第２の絶縁膜形成工程と、第１の層間絶縁膜と第２の絶縁膜をパターニングし、ソース拡散層上に開口された第１のスルーホールと、ドレイン拡散層上に開口された第２のスルーホールと、周辺回路用トランジスタのソース拡散層、ドレイン拡散層、又は第２のゲート電極上に開口する第３のスルーホールとを形成するスルーホール形成工程と、スルーホールが開口された半導体基板上に第２の導電膜を堆積する第２の導電膜堆積工程と、第２の導電膜の表面を、第２の絶縁膜が表面に露出するまで研磨し、第１のスルーホールに埋め込まれた第１の埋め込み導電体と、第２のスルーホールに埋め込まれた第２の埋め込み導電体と、第３のスルーホールに埋め込まれた第３の埋め込み導電体とを形成する埋め込み導電体形成工程と、第１の埋め込み導電体上に開口された第４のスルーホールと、第２の埋め込み導電体上に開口された第５のスルーホールと、第３の埋め込み導電体上に開口する第６のスルーホールとが形成された、第２の層間絶縁膜を形成する第２の層間絶縁膜形成工程と、第２の層間絶縁膜が形成された半導体基板上に第３の導電膜を堆積する第３の導電膜堆積工程と、第４のスルーホールと、第５のスルーホールと、第６のスルーホールの内部に第２の導電膜を残存させるように第２の層間絶縁膜上の第３の導電膜を除去し、第４のスルーホール内に形成された第３の導電膜からなるキャパシタ蓄積電極と、第５のスルーホール内に形成された第３の導電膜からなる第１のコンタクト用導電膜と、第６のスルーホール内に形成された第３の導電膜からなる第２のコンタクト用導電膜とを形成する導電膜除去工程とによりスルーホールの底部に埋め込み導電体を設けるので、素子の集積化が進み、スルーホールのアスペクト比が増大した場合にも、スルーホール底部でのコンタクト特性を確保することができる。

【０１４５】

また、上記の半導体記憶装置の製造方法において、埋め込み導電体を形成する際に、半導体基板表面を研磨し、第２の層間絶縁膜表面の第３の導電膜を除去すれば、層間絶縁膜を平坦化すると同時に埋め込み導電体を形成することができる。

【０１４６】

また、ゲート電極を覆う第１の絶縁膜及び第１のサイドウォールは、半導体基板上に開口するスルーホールを形成する際の、エッチングストッパーとして用いれば、スルーホールの底部に、ソース拡散層及びドレイン拡散層を自己整合で容易に露出することができる。

【０１４７】

また、半導体基板上に、第１の導電膜を堆積してパターニングし、第１の導電膜からなるゲート電極を形成するゲート電極形成工程と、ゲート電極をマスクとして半導体基板に不純物を導入し、ソース拡散層及びドレイン拡散層を形成する拡散層形成工程と、ソース拡散層上に開口された第１のスルーホールと、ドレイン拡散層上に開口された第２のスルーホールが形成された層間絶縁膜を形成する層間絶縁膜形成工程と、第１のスルーホールより開口径が広く、半導体基板上に達しない開口を、第１のスルーホールを囲うように層間絶縁膜に形成する開口形成工程と、層間絶縁膜が形成された半導体基板上に第２の導電膜を堆積する第２の導電膜堆積工程と、第２のスルーホール及び開口の内部に第２の導電膜を残存させるように層間絶縁膜上の第２の導電膜を除去し、開口内に形成された第２の導電膜からなるキャパシタ蓄積電極と、第２のスルーホール内に形成された第２の導電膜からなる第１のコンタクト用導電膜を形成する導電膜除去工程と、キャパシタ蓄積電極と、第１のコンタクト用導電膜とが形成された半導体基板上に、キャパシタ誘電体膜となる絶縁膜と、キャパシタ対向電極となる第３の導電膜とを堆積した後、第３の導電膜をパターニングし、キャパシタ対向電極を形成するキャパシタ対向電極形成工程とにより半導体

記憶装置を製造すれば、ゲート電極とスルーホールとの間隔を開けることができるので、製造工程で発生するゴミ等の影響によりビット線とワード線が短絡することを防止することができる。また、開口径の小さいスルーホールの他に、キャパシタ誘電体膜を形成する開口を設けるので、キャパシタ容量を低下することはない。

【０１４８】

また、上記の半導体記憶装置の製造方法において、層間絶縁膜形成工程の後に、第４の導電膜を堆積して第１のスルーホール及び第２のスルーホールを埋め込む第４の導電膜堆積工程を行い、開口形成工程では、第１のスルーホール内に埋め込まれた第４の導電膜よりなる柱状導電体が、開口内に突出した状態で残留するように開口を形成すれば、開口を形成する際に第１のスルーホール内に露出する半導体基板にダメージを与えることを防止することができる。また、柱状導電体を覆ってキャパシタ蓄積電極が形成されるので、キャパシタ容量を増加することができる。

【０１４９】

また、上記の半導体記憶装置の製造方法では、層間絶縁膜形成工程において、第１のスルーホール及び第２のスルーホールを同時に形成することできる。

【０１５０】

また、上記の半導体記憶装置の製造方法において、層間絶縁膜形成工程では、層間絶縁膜を、エッチング特性の異なる２層以上の絶縁膜よりなる積層膜により形成し、開口形成工程では、開口を、エッチング特性の異なる絶縁膜間の界面まで開口すれば、開口の深さを再現性よく制御できるので、キャパシタ容量のばらつきを小さくすることができる。

【０１５１】

また、半導体基板上に、第１の導電膜を堆積してパターニングし、第１の導電膜からなるゲート電極を形成するゲート電極形成工程と、ゲート電極をマスクとして半導体基板に不純物を導入し、ソース拡散層及びドレイン拡散層を形成する拡散層形成工程と、ソース拡散層上に開口された第１のスルーホールと、ドレイン拡散層上に開口された第２のスルーホールが形成された層間絶縁膜を形成する層間絶縁膜形成工程と、層間絶縁膜が形成された半導体基板上に第２の導電膜を堆積する第２の導電膜堆積工程と、第２の導電膜をパターニングし、第１のスルーホールを介してドレイン拡散層に接続されたビット線と、第２のスルーホールに埋め込まれた埋め込み導電体とを形成する第２の導電膜パターニング工程と、層間絶縁膜上に、埋め込み導電体を介してソース拡散層に接続されたキャパシタ蓄積電極と、キャパシタ蓄積電極を覆うキャパシタ誘電体膜と、キャパシタ誘電体膜を覆うキャパシタ対向電極とを有するキャパシタを形成するキャパシタ形成工程とにより半導体記憶装置を製造すれば、キャパシタ蓄積電極を、ビット線コンタクト用の第１のスルーホールと同時に形成された第２のスルーホール内にビット線形成と同時に埋め込まれた埋め込み導電体を介してソース拡散層に接続することができる。従って、新たな工程を追加することなく、キャパシタ蓄積電極コンタクト用のスルーホールを形成するためのエッチング時間を減少することができるので、このエッチングの際にビット線上の絶縁膜がエッチングされてビット線が露出することを防止できる。

【０１５２】

また、上記の半導体記憶装置の製造方法において、第２の導電膜堆積工程の後に、第２の導電膜上に第１の絶縁膜を堆積する第１の絶縁膜堆積工程を、第２の導電膜パターニング工程の後に、ビット線側壁にサイドウォール絶縁膜を形成するサイドウォール絶縁膜形成工程を行い、第２の導電膜パターニング工程において第１の絶縁膜と第２の導電膜とを同一パターンに加工することにより、ビット線の上部及び側壁を絶縁膜で覆えば、これと同時に埋め込み導電体が表面に露出するので、従来のようにキャパシタ蓄積電極コンタクト用のスルーホールをマスク工程を用いて形成する必要がない。即ち、マスク工程を１工程削減することができる。

【０１５３】

また、上記の半導体記憶装置の製造方法において、第２の導電膜パターニング工程の後に、埋め込み導電体上に開口が形成された第２の絶縁膜を形成する第２の絶縁膜形成工程

を行い、キャパシタ形成工程において、キャパシタ蓄積電極を、開口の側壁及び底部に選択的に形成すれば、メモリセル領域と周辺回路領域との高低差が小さくなるので、上層に形成する配線層の配線ルールを厳しく設計することができる。

【０１５４】

また、半導体基板上に、層間絶縁膜を堆積する層間絶縁膜形成工程と、層間絶縁膜上に、第１のスルーホール及び第２のスルーホールを形成すべき領域に開口が形成され、層間絶縁膜とはエッチング特性が異なるエッチングストッパ膜を形成するエッチングストッパ膜形成工程と、エッチングストッパ膜の側壁部に、層間絶縁膜とはエッチング特性の異なるサイドウォールを形成するサイドウォール形成工程と、エッチングストッパ膜とサイドウォールをマスクとして、第２層間絶縁膜をエッチングし、第１のスルーホールと、第２のスルーホールが形成された層間絶縁膜を形成するスルーホール開口工程とにより層間絶縁膜形成工程を構成し、第１のスルーホール及び第２のスルーホールを有する層間絶縁膜を形成すれば、露光装置の解像限界以下の開口径を有するスルーホールを開口することができる。

【０１５５】

また、層間絶縁膜形成工程において、半導体基板上に層間絶縁膜を堆積した後、電子線描画法を用いてパターニングされたフォトレジストをマスクとして層間絶縁膜をエッチングすれば、通常の露光装置の解像限界以下の開口径を有する第１のスルーホール及び第２のスルーホールを開口することができる。

【発明を実施するための最良の形態】

【０１５６】

［第１実施形態］

本発明の第１実施形態による半導体記憶装置及びその製造方法を、図１乃至図７を用いて説明する。

【０１５７】

図１は本実施形態による半導体記憶装置の構造を示す平面図であり、図２は図１の半導体記憶装置のＡ－Ａ′部の断面を示す概略図、図３乃至図６は本実施形態による半導体記憶装置の製造方法を説明する工程断面図、図７は本実施形態の変形例による半導体記憶装置の概略断面図である。

【０１５８】

始めに、本実施形態による半導体記憶装置の構造を図１及び図２を用いて説明する。

【０１５９】

シリコン基板１０には、素子分離膜１２により画定された素子領域１４、１５が形成されている。素子領域１４には、ソース拡散層２４とドレイン拡散層２６が独立に形成されている。ソース拡散層２４とドレイン拡散層２６間の半導体基板１０上には、ゲート酸化膜１６を介してゲート電極２０が形成されている。こうして、ゲート電極２０、ソース拡散層２４、ドレイン拡散層２６からなるメモリセルトランジスタが構成されている。

【０１６０】

なお、ゲート電極２０は、素子領域１４と直行する方向に配されており、他の複数のメモリセルにおけるメモリセルトランジスタのゲート電極としても機能するワード線を構成している。

【０１６１】

メモリセルトランジスタが形成された半導体基板１０上には、ドレイン拡散層２６上に開口されたスルーホール３８と、ソース拡散層２４上に開口されたスルーホール４０とが形成された層間絶縁膜３６が形成されている。なお、ゲート電極２０には、ゲート電極２０を囲うように自己整合で形成された絶縁膜４２が形成されており、スルーホール３８、４０は、その絶縁膜４２に自己整合で形成されている。

【０１６２】

スルーホール４０の内壁及びソース拡散層２４上には、多結晶シリコンからなるキャパシタ蓄積電極４６が形成されており、スルーホール４０の底部においてソース拡散層２４

と接続されている。キャパシタ蓄積電極４６の内面及び上面にはキャパシタ誘電体膜４８が形成されている。キャパシタ蓄積電極４６及びキャパシタ誘電体膜４８が形成されたスルーホール４０内と、層間絶縁膜３６上とにはキャパシタ対向電極５４が形成されている。こうして、キャパシタ蓄積電極４６、キャパシタ誘電体４８、キャパシタ対向電極５４からなるキャパシタが構成されている。

【０１６３】

スルーホール３８内壁には、多結晶シリコンからなるコンタクト用導電膜４４が形成されており、キャパシタ対向電極５４上に形成された層間絶縁膜５３を介してワード線と直交する方向に配されたビット線６２と接続されている。

【０１６４】

さらに、ビット線６２上部には層間絶縁膜６４を介して配線層７０が形成されており、１トランジスタ、１キャパシタからなるＤＲＡＭが構成されている。

【０１６５】

一方、メモリセル領域と隣接する周辺回路領域の素子領域１５には、ソース拡散層（図示せず）とドレイン拡散層３４が独立に形成されている。ソース拡散層とドレイン拡散層３４間の半導体基板１０上には、ゲート酸化膜１６を介してゲート電極２２が形成されている。こうして、ゲート電極２２、ソース拡散層、ドレイン拡散層３４からなる周辺回路用トランジスタが構成されている。

【０１６６】

ドレイン拡散層３４上の層間絶縁膜３６にはスルーホール６０が形成されており、スルーホール６０内に埋め込まれた配線層６８を介して、層間絶縁膜６４上に形成された配線層７０と接続されている。

【０１６７】

次に、本実施形態による半導体記憶装置の製造方法を説明する。

【０１６８】

まず、Ｐ型シリコン基板１０の主表面上に、例えば通常のＬＯＣＯＳ法により膜厚約３００ｎｍの素子分離膜１２を形成し、素子領域１４、１５を画定する。次いで、熱酸化法により、素子領域１４、１５に膜厚約１０ｎｍのゲート酸化膜１６を形成する（図３（ａ））。

【０１６９】

続いて、化学気相成長（ＣＶＤ：Chemical Vapor Deposition）法により、膜厚約１５０ｎｍの燐（Ｐ）を高濃度に含んだ多結晶シリコン膜と、膜厚約２００ｎｍのシリコン窒化膜を連続して成膜した後、通常のリソグラフィー技術とエッチング技術を用いてシリコン窒化膜と多結晶シリコン膜を同時にパターニングする。

こうして、上面がシリコン窒化膜１８で覆われたゲート電極２０、２２を形成する。

【０１７０】

その後、シリコン窒化膜１８とゲート電極２０、２２をマスクとして、例えばＰイオンを加速エネルギー４０ｋｅＶ、注入量$2\times10^{13}cm^{-2}$の条件でイオン注入し、メモリセルトランジスタのソース拡散層２４、ドレイン拡散層２６、周辺回路用トランジスタの低濃度拡散層２８を形成する。なお、低濃度拡散層２８は、ＬＤＤ（Lightly Doped Drain）構造のn^-層となる（図３（ｂ））。

【０１７１】

次いで、ＣＶＤ法により膜厚約１００ｎｍのシリコン窒化膜を成膜した後、CHF_3／H_2ガスを用いた異方性エッチングを行い、パターニングされたシリコン窒化膜１８とゲート電極２０、２２の側壁にシリコン窒化膜からなるサイドウォール窒化膜３０を自己整合で形成する。これにより、ゲート電極２０、２２の側壁及び上面は、シリコン窒化膜１８、サイドウォール窒化膜３０により覆われる。なお、以下では、説明の便宜上、ゲート電極２０、２２を覆うシリコン窒化膜１８及びサイドウォール窒化膜３０を、一括して絶縁膜４２と呼ぶ。

【０１７２】

続いて、通常のリソグラフィー技術を用い、周辺回路のＮ型トランジスタ領域に、例えば砒素（Ａｓ）イオンを加速エネルギー４０ｋｅＶ、注入量４×１０^{15}ｃｍ$^{-2}$の条件で選択的にイオン注入し、周辺回路のＮ形トランジスタのソース拡散層、ドレイン拡散層３４を形成する。これにより、ＬＤＤ構造からなる周辺回路用トランジスタを形成する（図３（ｃ））。

【０１７３】

その後、ＣＶＤ法によりシリコン酸化膜を約２μｍ堆積し、化学的機械的研磨（ＣＭＰ：Chemical Mechanical Polishing）法によりその表面を研磨して平坦化する。ここで、ＣＭＰ法により研磨する量は、ゲート電極２０、２２と素子分離膜１２による段差を除去できれば十分であり、本実施形態では５００ｎｍとした。

【０１７４】

なお、シリコン酸化膜の代わりにシリコン酸化膜とＢＰＳＧ膜の積層膜を堆積し、ＢＰＳＧ膜をリフローすることにより表面を平坦化しても良いが、グローバルな平坦性を考慮するとＣＭＰ法による平坦化が望ましい。

【０１７５】

次いで、通常のリソグラフィー工程によりフォトレジストのパターニングを行った後、C_2F_6等のエッチングガスを用いてシリコン酸化膜をエッチングする。その後、フォトレジストを除去し、メモリセルトランジスタのドレイン拡散層２６上に開口されたスルーホール３８と、メモリセルトランジスタのソース拡散層２４上に開口されたスルーホール４０が形成された層間絶縁膜３６を形成する（図３（ｄ））。

【０１７６】

なお、このエッチングの際には、シリコン酸化膜とシリコン窒化膜とのエッチング選択性を十分確保できるようにし、層間絶縁膜３６のエッチングを、絶縁膜４２でストップできるようにする。

【０１７７】

このようにして形成したスルーホール３８、４０の底面部には、それぞれ、ドレイン拡散層２６、ソース拡散層２４が露出するが、これらドレイン拡散層２６と、ソース拡散層２４とが露出する領域は絶縁膜４２に対して自己整合で形成されるので、スルーホール３８、４０をパターニングする際にはゲート電極２０に対する合わせ余裕を考慮する必要がない。従って、合わせ余裕分だけメモリセル面積を小さくすることができる。

【０１７８】

また、スルーホール４０の深さは、セル容量を決定する重要なパラメータであるが、本実施形態では、スルーホール４０の深さは約１．５μｍであるので、例えばスルーホール４０の開口部の大きさを０．３×０．６μｍとすれば、スルーホール４０の底面積と側壁面積の和は［０．３×０．６＋１．５×（０．３＋０．６）×２］μｍ^2、即ち、約２．８８μｍ^{2}確保することができる。従って、キャパシタ誘電体の膜厚を、酸化膜換算で４．５ｎｍ形成すれば、約２２ｆＦの容量をもつ十分なキャパシタを形成することができる。

【０１７９】

続いて、Ｐを高濃度に含んだ多結晶シリコン膜をＣＶＤ法により膜厚約５０ｎｍ成膜した後、層間絶縁膜３６上の多結晶シリコン膜をＣＭＰ法により完全に除去する。これにより、スルーホール３８内にコンタクト用導電膜４４を、スルーホール４０内にはキャパシタ蓄積電極４６を、ともに自己整合で形成する（図４（ａ））。

【０１８０】

なお、層間絶縁膜３６の堆積直後にはＣＭＰ法による平坦化を行わず、コンタクト用導電膜４４、キャパシタ蓄積電極４６を自己整合で形成すると同時に一括して平坦化してもよい。このようにすれば、ＣＭＰ法による研磨工程を一工程削減することが可能である。

【０１８１】

また、キャパシタ蓄積電極４６及びコンタクト用導電膜４４を、表面凹凸を有する多結晶シリコン膜により形成してもよい（例えば、H.Watanabe, Ext. Abstract of 22nd SSDM

，p869（1990））。この様にすれば、キャパシタ蓄積電極４６の表面積は、通常の方法により形成した場合の約２倍程度に増加するので、スルーホール４０の深さを約半分の０．８μｍ程度にまで浅くしても、同様のキャパシタ容量を確保することができる。

【０１８２】

その後、ＣＶＤ法により、膜厚約５ｎｍのシリコン窒化膜を成膜した後、８００℃ウェット雰囲気中でシリコン窒化膜の表面を酸化し、酸化膜換算で膜厚約４．５ｎｍのキャパシタ誘電体膜４８を形成する。

【０１８３】

次いで、ＣＶＤ法により、膜厚約１５０ｎｍのＰを高濃度に含んだ多結晶シリコン膜５０と、膜厚約２００ｎｍのＢＰＳＧ膜５２を連続して成膜した後、リフローまたはＣＭＰ法により、ＢＰＳＧ膜５２の表面を平坦化する。この際スルーホール３８内は多結晶シリコン膜５０により完全に埋め込まれる（図４（ｂ））。

【０１８４】

続いて、通常のリソグラフィー工程及びエッチング工程により、ＢＰＳＧ膜５２と多結晶シリコン膜５０を同時にパターニングし、キャパシタ対向電極５４を形成する。

【０１８５】

その後、ＣＶＤ法により膜厚約１００ｎｍのシリコン酸化膜を堆積した後、全面を異方性エッチングしてキャパシタ対向電極４６の側壁にサイドウォール酸化膜５６を形成すると同時に、スルーホール３８上のキャパシタ誘電体膜４８を除去する。

【０１８６】

これにより、キャパシタ対向電極５４はサイドウォール酸化膜５６と、ＢＰＳＧ膜とからなる層間絶縁膜５３により覆われるので、スルーホール３８上に形成した開口部はビット線コンタクトホール５８として用いることができる。即ち、サイドウォール酸化膜５６を形成すると同時に、ビット線コンタクトホール５８を自己整合で形成することができる（図５（ａ））

次いで、通常のリソグラフィー工程及びエッチング工程により、キャパシタ対向電極５４のコンタクトホール５９と、周辺回路用トランジスタ等のスルーホール６０とを開口する（図５（ｂ））。

【０１８７】

続いて、コリメータを用いたスパッタ法により膜厚約５０ｎｍのチタン（Ｔｉ）膜、ＣＶＤ法により膜厚約５０ｎｍのＴｉＮ膜、膜厚約２００ｎｍのタングステン（Ｗ）膜を連続して成膜する。その後、通常のリソグラフィー工程及びエッチング工程により、Ｗ膜／ＴｉＮ膜／Ｔｉ膜からなる積層膜をパターニングし、ビット線６２と配線層６８を形成する。

【０１８８】

次いで、ＣＶＤ法により膜厚約１μｍのシリコン酸化膜からなる層間絶縁膜６４を堆積し、必要に応じてＣＭＰ法等により表面の平坦化を行った後、ビアホール６６を開口する。

【０１８９】

続いて、ＣＶＤ法によりＷ膜を堆積した後にパターニングし、配線層７０を形成する。なお、配線層７０には、スパッタ法により堆積したアルミ（Ａｌ）膜を用いてもよい。

【０１９０】

このようにして、１トランジスタ、１キャパシタからなるＤＲＡＭを形成することができる（図６）。

【０１９１】

このように、本実施形態によれば、精密なパターン形成を必要とするリソグラフィー工程は、素子分離領域画定、ゲート電極、キャパシタ蓄積電極用スルーホール及びビット線コンタクト用スルーホール開口、対向電極、周辺回路のスルーホール開口、ビット線、ビアホール、配線層の計８工程である。従って、図６０に示す従来例と比較すると、リソグラフィー工程を１工程削減することができる。

【０１９２】
一方、図５９に示す従来例と比較した場合には、リソグラフィー工程数は同じであるが、本実施形態ではキャパシタ蓄積電極用スルーホール及びビット線コンタクト用スルーホールをゲート電極に対して自己整合で形成したので、合わせ余裕を小さくすることができる。
【０１９３】
また、ビット線コンタクト用スルーホール及びキャパシタ蓄積電極用スルーホールは、ゲート電極の周囲に自己整合で形成された絶縁膜に自己整合で形成されているため、ビット線コンタクト用スルーホール及びキャパシタ蓄積電極用スルーホールを形成する際の合わせ余裕は必要なく、その分メモリセル面積を小さくすることができる。
【０１９４】
また、キャパシタ蓄積電極とビット線のコンタクト用導電膜は同時に形成するが、周辺回路のスルーホール内に埋め込む配線層と、コンタクト用導電膜は別々に形成するので、周辺回路のスルーホールを完全に埋め込むために、キャパシタ蓄積電極の容量を犠牲にすることはない。
【０１９５】
なお、上記実施形態における周辺回路部では、スルーホール６０内に埋め込まれた配線層６８を介して、ビアホール６６に埋め込まれた配線層７０を形成するので、周辺回路のスルーホール６０を形成するためのリソグラフィー工程が別途必要であったが、図７に示す構造とすることにより、このリソグラフィー工程を削減することができる。
【０１９６】
この場合、キャパシタ対向電極５４用のコンタクトホール５９と、周辺回路用のスルーホール６０を、層間絶縁膜６４を形成した後に開口し、配線層７０がキャパシタ対向電極５４と、周辺回路用トランジスタのソース／ドレイン拡散層３４とに直接コンタクトするように構成すればよい。
［第２実施形態］
次に、本発明の第２実施形態による半導体記憶装置及びその製造方法を、図８乃至図１４を用いて説明する。なお、図３乃至図６に示す第１実施形態の半導体記憶装置の製造方法と同一の構成要素には同一の符号を付して説明を省略又は簡略にする。
【０１９７】
図８は本実施形態による半導体記憶装置の構造を示す平面図、図９は図８の半導体記憶装置のＡ－Ａ´部の断面を示す概略図、図１０乃至図１３は本実施形態による半導体記憶装置の製造方法を説明する工程断面図、図１４は本実施形態の変形例による半導体記憶装置の製造方法を説明する工程断面図である。
【０１９８】
図７に示す第１実施形態の変形例による半導体記憶装置では、周辺回路のスルーホール６０を配線層７０により埋め込むことにより工程簡略化を行った。しかし、この場合、スルーホール６０の深さが３μｍ程度にまで達することがあるため、スルーホールを完全に埋め込むことが困難な場合がある。
【０１９９】
本実施形態では、この点を考慮した上で製造工程を簡略化できる半導体記憶装置の構造及びその製造方法を提供する。
【０２００】
始めに、本実施形態による半導体記憶装置の構造を説明する。
【０２０１】
シリコン基板１０には、素子分離膜１２により画定された素子領域１４、１５が形成されている。素子領域１４には、ソース拡散層２４とドレイン拡散層２６が独立に形成されている。ソース拡散層２４とドレイン拡散層２６間の半導体基板１０上には、ゲート酸化膜１６を介してゲート電極２０が形成されている。こうして、ゲート電極２０、ソース拡散層２４、ドレイン拡散層２６からなるメモリセルトランジスタが構成されている。

【０２０２】
メモリセルトランジスタが形成された半導体基板１０上には、ドレイン拡散層２６上に開口されたスルーホール３８と、ソース拡散層２４上に開口されたスルーホール４０とが形成された層間絶縁膜３６が形成されている。なお、ゲート電極２０には、ゲート電極２０を囲うように自己整合で形成された絶縁膜４２が形成されており、スルーホール３８、スルーホール４０は、その絶縁膜４２に自己整合で形成されている。
【０２０３】
スルーホール４０の内壁及びソース拡散層２４上には、多結晶シリコンからなるキャパシタ蓄積電極４６が形成されており、スルーホール４０の底部においてソース拡散層２４と接続されている。キャパシタ蓄積電極４６の内面及び上面にはキャパシタ誘電体膜４８が形成されている。キャパシタ蓄積電極４６及びキャパシタ誘電体膜４８が形成されたスルーホール４０内と、層間絶縁膜３６上とにはキャパシタ対向電極５４が形成されている。こうして、キャパシタ蓄積電極４６、キャパシタ誘電体４８、キャパシタ対向電極５４からなるキャパシタが構成されている。
【０２０４】
スルーホール３８内壁には、多結晶シリコンからなるコンタクト用導電膜４４が形成されており、キャパシタ対向電極５４上に形成された層間絶縁膜５３を介してワード線と直行する方向に配されたビット線６２と接続されている。
【０２０５】
さらに、ビット線６２上部には層間絶縁膜６４を介して配線層７０が形成されており、１トランジスタ、１キャパシタからなるＤＲＡＭが構成されている。
【０２０６】
一方、メモリセル領域と隣接する周辺回路領域の素子領域１５には、ソース拡散層（図示せず）、ドレイン拡散層３４が独立に形成されている。ソース拡散層、ドレイン拡散層３４間の半導体基板１０上には、ゲート酸化膜１６を介してゲート電極２２が形成されている。こうして、ゲート電極２２、ソース拡散層３２、ドレイン拡散層３４からなる周辺回路用トランジスタが構成されている。
【０２０７】
ドレイン拡散層３４上の層間絶縁膜３６にはスルーホール６０が形成されており、スルーホール６０内に埋め込まれた配線層６８を介して、層間絶縁膜６４上に形成された配線層７０と接続されている。
【０２０８】
なお、本実施形態による半導体記憶装置が第１実施形態による半導体記憶装置と異なる点は、キャパシタ対向電極５４を構成する多結晶シリコン膜５０と、その上層の層間絶縁膜５３とが周辺回路領域にまで延在していることにある。
【０２０９】
キャパシタ対向電極５４及び層間絶縁膜５３をこのように構成する利点は、主として製造工程の簡略化できることにある。以下に、本実施形態による半導体記憶装置の製造方法を示すとともに詳細に説明する。
【０２１０】
まず、Ｐ型シリコン基板１０の主表面上に、例えば通常のＬＯＣＯＳ法により膜厚約３００ｎｍの素子分離膜１２を形成し、素子領域１４、１５を画定する。次いで、熱酸化法により、素子領域１４、１５に膜厚約１０ｎｍのゲート酸化膜１６を形成する（図１０（ａ））。
【０２１１】
続いて、ＣＶＤ法により、Ｐを高濃度に含んだ多結晶シリコン膜を膜厚約１５０ｎｍ、シリコン窒化膜を膜厚約２００ｎｍ、連続して成膜した後、通常のリソグラフィー技術とエッチング技術を用いてシリコン窒化膜と多結晶シリコン膜を同時にパターニングする。こうして、上面がシリコン窒化膜１８で覆われたゲート電極２０、２２を形成する。
【０２１２】

その後、シリコン窒化膜１８とゲート電極２０、２２をマスクとして、例えばＰイオンを加速エネルギー４０ｋｅＶ、注入量$2\times10^{13}cm^{-2}$の条件でイオン注入し、メモリセルトランジスタのソース拡散層２４、ドレイン拡散層２６、周辺回路用トランジスタの低濃度拡散層２８を形成する（図１０（ｂ））。

【０２１３】

次いで、ＣＶＤ法により膜厚約１００ｎｍのシリコン窒化膜を成膜した後、CHF_3／H_2ガスを用いた異方性エッチングを行い、パターニングされたシリコン窒化膜１８とゲート電極２０、２２の側壁にシリコン窒化膜からなるサイドウォール窒化膜３０を自己整合で形成する。これにより、ゲート電極２０、２２の側壁及び上面は、シリコン窒化膜１８、サイドウォール窒化膜３０により覆われる。　続いて、通常のリソグラフィー技術を用い、周辺回路のＮ型トランジスタ領域に、例えばＡｓイオンを加速エネルギー４０ｋｅＶ、注入量$4\times10^{15}cm^{-2}$の条件で選択的にイオン注入し、周辺回路のＮ形トランジスタのソース拡散層、ドレイン拡散層３４を形成する。これにより、ＬＤＤ構造からなる周辺回路用トランジスタを形成する（図１０（ｃ））。

【０２１４】

その後、ＣＶＤ法によりシリコン酸化膜を約２μｍ堆積し、ＣＭＰ法によりその表面を研磨して平坦化する。ここで、ＣＭＰ法により研磨する量は、ゲート電極２０、２２と素子分離膜１２による段差を除去できれば十分であり、本実施形態では５００ｎｍとした。

【０２１５】

次いで、通常のリソグラフィー工程によりフォトレジストのパターニングを行った後、C_2F_6等のエッチングガスを用いてシリコン酸化膜をエッチングする。その後、フォトレジストを除去し、メモリセルトランジスタのドレイン拡散層２６上に開口されたスルーホール３８と、メモリセルトランジスタのソース拡散層２４上に開口されたスルーホール４０が形成された層間絶縁膜３６を形成する（図１０（ｄ））。

【０２１６】

続いて、Ｐを高濃度に含んだ多結晶シリコン膜をＣＶＤ法により膜厚約５０ｎｍ成膜した後、層間絶縁膜３６上の多結晶シリコン膜をＣＭＰ法により完全に除去する。これにより、スルーホール３８内にコンタクト用導電膜４４を、スルーホール４０内にはキャパシタ蓄積電極４６を、ともに自己整合で形成する（図１１（ａ））。

【０２１７】

その後、ＣＶＤ法により、膜厚約５ｎｍのシリコン窒化膜を成膜した後、８００℃ウェット雰囲気中でシリコン窒化膜の表面を酸化し、酸化膜換算で膜厚約４．５ｎｍのキャパシタ誘電体膜４８を形成する。

【０２１８】

次いで、ＣＶＤ法により、膜厚約１５０ｎｍのＰを高濃度に含んだ多結晶シリコン膜５０と、膜厚約２００ｎｍのＢＰＳＧ膜５２を連続して成膜した後、リフローまたはＣＭＰ法により、ＢＰＳＧ膜５２の表面を平坦化する。この際スルーホール３８内は多結晶シリコン膜５０により完全に埋め込まれる（図１１（ｂ））。

【０２１９】

続いて、通常のリソグラフィー工程により、ポジ型のフォトレジストを用いてフォトレジスト７２のパターニングを行った後、ＢＰＳＧ膜５２と多結晶シリコン膜５０を連続してエッチングし、キャパシタ対向電極５４を形成する。この際、周辺回路領域の多結晶シリコン膜５０とＢＰＳＧ膜５２は、周辺回路用のスルーホール６０の形成領域のみキャパシタ誘電体膜４８上まで開口し、他の領域は除去しない（図１２（ａ））。

【０２２０】

その後、フォトレジスト７２を除去せずに、ネガ型のフォトレジストを用いたレジストパターニングを行い、メモリセル領域を覆うフォトレジスト７４を形成する。フォトレジスト７４のパターニングでは、メモリセル領域が覆われればよいので、微細な合わせ精度は必要とせず、リソグラフィー工程を著しく簡略化することができる。

【０２２１】

なお、ネガ型のフォトレジストを用いてフォトレジスト７４を形成したのは、フォトレジスト７４を現像する際に、下地のフォトレジスト７２が同時の剥がれる等の不都合を防止するためである。従って、フォトレジスト７２をパターニングした直後にＵＶキュア等を行ってフォトレジスト７２を硬化したうえで、ポジ型のレジストを用いてパターニングを行ってもよい。

【０２２２】

続いて、フォトレジスト７２、７４をマスクとしてエッチングを行い、周辺回路用のスルーホール６０を完全に開口する（図１２（ｂ））。

【０２２３】

フォトレジスト７２、７４を除去した後、ＣＶＤ法により膜厚約１００ｎｍのシリコン酸化膜を堆積し、全面を異方性エッチングする。これにより、キャパシタ対向電極４６の側壁にサイドウォール酸化膜５６を形成し、スルーホール６０の内壁にはサイドウォール酸化膜７６を形成する。同時に、スルーホール３８上のキャパシタ誘電体膜４８を除去する。

【０２２４】

これにより、キャパシタ対向電極５４はサイドウォール酸化膜５６とＢＰＳＧ膜からなる層間絶縁膜５３により覆われるので、スルーホール３８上に形成した開口部はビット線コンタクトホール５８として用いることができる。即ち、サイドウォール酸化膜５６を形成すると同時に、ビット線コンタクトホール５８を自己整合で形成することができる（図１３（ａ））

続いて、コリメータを用いたスパッタ法により膜厚約５０ｎｍのＴｉ膜、ＣＶＤ法により膜厚約５０ｎｍのＴｉＮ膜、膜厚約２００ｎｍのW膜を連続して成膜する。その後、通常のリソグラフィー工程及びエッチング工程により、W膜／ＴｉＮ膜／Ｔｉ膜からなる積層膜をパターニングし、ビット線６２及び配線層６８を形成する。

【０２２５】

次いで、ＣＶＤ法により膜厚約１μｍのシリコン酸化膜からなる層間絶縁膜６４を堆積し、必要に応じてＣＭＰ法等により表面の平坦化を行った後、ビアホール６６を開口する。

【０２２６】

続いて、ＣＶＤ法によりW膜を堆積した後にパターニングし、配線層７０を形成する。

【０２２７】

このようにして、１トランジスタ、１キャパシタからなるＤＲＡＭを形成することができる（図１３（ｂ））。

【０２２８】

このように、本実施形態によれば、半導体記憶装置を製造する際に、精密なパターン形成を必要とするリソグラフィー工程は、素子分離領域画定、ゲート電極、キャパシタ蓄積電極用スルーホール及びビット線コンタクト用スルーホール開口、対向電極、ビット線、ビアホール、配線層の計７工程である。また、本実施形態により簡略化できるリソグラフィー工程は周辺回路のスルーホール開口工程である。従って、図６０に示す従来例と比較すると、リソグラフィー工程を１工程削減、１工程簡略化することができる。

【０２２９】

一方、図５９に示す従来例と比較した場合には、第１実施形態と同様に、キャパシタ蓄積電極用スルーホール及びビット線コンタクト用スルーホールのゲート電極に対する合わせ余裕を小さくすることができる。

【０２３０】

なお、上記実施形態では、周辺回路領域のスルーホールを開口する際に、フォトレジスト７２を形成してキャパシタ誘電体膜４８まで開口した後、フォトレジスト７２を除去せずにフォトレジスト７４を形成し、スルーホール６０を完全に開口することにより行ったが、以下に示す製造方法によりスルーホール６０を開口しても良い。

【０２３１】

まず、図１１（ｂ）に示すようにＢＰＳＧ膜を堆積した後、ＣＶＤ法により膜厚約１００ｎｍの多結晶シリコン膜７８を堆積する。

【０２３２】

次いで、通常のリソグラフィー工程によりフォトレジスト７２のパターニングを行った後、多結晶シリコン膜７８、ＢＰＳＧ膜５２、多結晶シリコン膜５０を連続してエッチングし、キャパシタ対向電極５４を形成する。この際、周辺回路領域の多結晶シリコン膜５０とＢＰＳＧ膜５２は除去せずに、周辺回路用のスルーホール６０の形成領域のみ、キャパシタ誘電体膜４８まで開口する（図１４（ａ））。

【０２３３】

フォトレジスト７２を除去した後、再度通常のリソグラフィー工程によりフォトレジスト７４のパターニングを行い、メモリセル領域をフォトレジスト７４で覆う。

【０２３４】

続いて、フォトレジスト７４をマスクとしてキャパシタ誘電体膜４８と層間絶縁膜３６をエッチングし、スルーホール６０を完全に開口する。このとき、層間絶縁膜５３上には多結晶シリコン膜７８を形成しているので、スルーホール６０をエッチングする際には層間絶縁膜５３がエッチングされることはない。従って、フォトレジスト７４のパターニングには微細な合わせ精度は必要なく、ソグラフィー工程を簡略化することができる（図１４（ｂ））。

【０２３５】

なお、スルーホールを開口した後にも多結晶シリコン膜７８が残存するが、上層に形成するビット線６２と同時にパターニングすれば何等不都合はない。

［第３実施形態］

本発明の第３実施形態による半導体記憶装置及びその製造方法を、図１５乃至図１８を用いて説明する。なお、図１乃至図１４に示す第１及び第２実施形態による半導体記憶装置及びその製造方法と同一の構成要素には同一の符号を付して説明を省略又は簡略にする。

【０２３６】

図１５は本実施形態による半導体記憶装置の概略断面図、図１６乃至図１８は本実施形態による半導体記憶装置の製造方法を説明する工程断面図である。

【０２３７】

本実施形態では、ビット線コンタクト部と周辺回路領域のコンタクト部に同一の構造を用いることにより、第１実施形態及び第２実施形態による半導体記憶装置の製造方法を更に簡略化できる半導体記憶装置及びその製造方法を提供する。

【０２３８】

始めに、本実施形態による半導体記憶装置の構造を説明する。

【０２３９】

シリコン基板１０には、素子分離膜１２により画定された素子領域１４、１５が形成されている。素子領域１４には、ソース拡散層２４とドレイン拡散層２６が独立に形成されている。ソース拡散層２４とドレイン拡散層２６間の半導体基板１０上には、ゲート酸化膜１６を介してゲート電極２０が形成されている。こうして、ゲート電極２０、ソース拡散層２４、ドレイン拡散層２６からなるメモリセルトランジスタが構成されている。

【０２４０】

なお、ゲート電極２０は、他の複数のメモリセルにおけるメモリセルトランジスタのゲート電極としても機能するワード線を構成している。

【０２４１】

メモリセルトランジスタが形成された半導体基板１０上には、ドレイン拡散層２６上に開口されたスルーホール３８と、ソース拡散層２４上に開口されたスルーホール４０とが形成された層間絶縁膜３６が形成されている。なお、ゲート電極２０には、ゲート電極２０を囲うように自己整合で形成された絶縁膜４２が形成されており、スルーホール３８及びスルーホール４０は、その絶縁膜４２に自己整合で形成されている。

【０２４２】
スルーホール４０の内壁及びソース拡散層２４上には、ＴｉＮ膜からなるキャパシタ蓄積電極４６が形成されており、スルーホール４０の底部においてソース拡散層２４と接続されている。キャパシタ蓄積電極４６の内面及び上面にはキャパシタ誘電体膜４８が形成されている。キャパシタ蓄積電極４６とキャパシタ誘電体膜４８が形成されたスルーホール４０内と、層間絶縁膜３６上とにはキャパシタ対向電極５４が形成されている。こうして、キャパシタ蓄積電極４６、キャパシタ誘電体４８、キャパシタ対向電極５４からなるキャパシタが構成されている。
【０２４３】
スルーホール３８内壁には、ＴｉＮ膜からなるコンタクト用導電膜４４が形成されており、キャパシタ対向電極５４上に形成された層間絶縁膜５３を介してワード線と直行する方向に配されたビット線６２と接続されている。
【０２４４】
さらに、ビット線６２上部には層間絶縁膜６４を介して配線層７０が形成されており、１トランジスタ、１キャパシタからなるＤＲＡＭが構成されている。
【０２４５】
一方、メモリセル領域と隣接する周辺回路領域の素子領域１５には、ソース拡散層（図示せず）とドレイン拡散層３４が独立に形成されている。ソース拡散層３２とドレイン拡散層３４間の半導体基板１０上には、ゲート酸化膜１６を介してゲート電極２２が形成されている。こうして、ゲート電極２２、ソース拡散層３２、ドレイン拡散層３４からなる周辺回路用トランジスタが構成されている。
【０２４６】
ドレイン拡散層３４上及びゲート電極２２上の層間絶縁膜３６にはスルーホール６０が形成されている。また、スルーホール６０の内壁及び底面には、ＴｉＮ膜からなる導電膜８０が形成されており、この導電膜８０を介してドレイン拡散層３４と、ゲート電極２２とが配線層６８に接続されている。
【０２４７】
次に、本実施形態による半導体記憶装置の製造方法を説明する。
【０２４８】
まず、Ｐ型シリコン基板１０の主表面上に、例えば通常のＬＯＣＯＳ法により膜厚約３００ｎｍの素子分離膜１２を形成し、素子領域１４、１５を画定する。次いで、熱酸化法により、素子領域１４、１５に膜厚約１０ｎｍのゲート酸化膜１６を形成する。
【０２４９】
続いて、ＣＶＤ法により、Ｐを高濃度に含んだ多結晶シリコン膜を膜厚約１５０ｎｍ、シリコン窒化膜を膜厚約２００ｎｍ、連続して成膜した後、通常のリソグラフィー技術とエッチング技術を用いて周辺回路領域の一部のシリコン窒化膜を除去する。なお、この領域が、後にゲート電極２２から配線を引き出す際のゲートコンタクト部８２となる。
【０２５０】
次いで、通常のリソグラフィー技術とエッチング技術を用いてシリコン窒化膜と多結晶シリコン膜を同時にパターニングし、メモリセルトランジスタのゲート電極２０及び周辺回路のゲート電極２２を形成する。
【０２５１】
なお、このようにして形成したゲート電極２０、２２の上面は、周辺回路部のゲートコンタクト部８２を除いてシリコン窒化膜１８で覆われている。
【０２５２】
その後、シリコン窒化膜１８とゲート電極２０、２２をマスクとして、例えばＰイオンを加速エネルギー４０ｋｅＶ、注入量$2\times10^{13}cm^{-2}$の条件でイオン注入し、メモリセルトランジスタのソース拡散層２４、ドレイン拡散層２６、周辺回路用トランジスタの低濃度拡散層２８を形成する。なお、低濃度拡散層２８は、ＬＤＤ構造のn^-層となる（図１６（ａ））。

【０２５３】
次いで、ＣＶＤ法により膜厚約１００ｎｍのシリコン窒化膜を成膜した後、CHF_3／H_2ガスを用いた異方性エッチングを行い、パターニングされたシリコン窒化膜１８とゲート電極２０、２２の側壁にシリコン窒化膜からなるサイドウォール窒化膜３０を自己整合で形成する。これにより、ゲート電極２０、２２の側壁及び上面は、シリコン窒化膜１８、サイドウォール窒化膜３０により覆われる。なお、以下では、説明の便宜上、ゲート電極２０、２２を覆うシリコン窒化膜１８及びサイドウォール窒化膜３０を、一括して絶縁膜４２と呼ぶ。
【０２５４】
続いて、通常のリソグラフィー技術を用い、周辺回路のＮ型トランジスタ領域に、例えばＡｓイオンを加速エネルギー４０ｋｅＶ、注入量$4\times10^{15}cm^{-2}$の条件で選択的にイオン注入し、周辺回路のＮ形トランジスタのソース拡散層３２、ドレイン拡散層３４を形成する。これにより、ＬＤＤ構造からなる周辺回路用トランジスタを形成する（図１６（ｂ））。
【０２５５】
その後、ＣＶＤ法によりシリコン酸化膜を約２．５μｍ堆積し、ＣＭＰ法によりその表面を約０．５μｍ研磨して平坦化する。
【０２５６】
なお、２．５μｍのシリコン酸化膜の代わりに、例えば、シリコン酸化膜５０ｎｍとＢＰＳＧ膜２μｍの積層膜を堆積し、８５０℃窒素雰囲気中で１５分程度、ＢＰＳＧ膜をリフローすることにより表面を平坦化しても良い。
【０２５７】
次いで、通常のリソグラフィー工程によりフォトレジストのパターニングを行った後、C_2F_6等のエッチングガスを用いてシリコン酸化膜をエッチングする。
【０２５８】
その後、フォトレジストを除去し、メモリセルトランジスタのドレイン拡散層２６上に開口されたスルーホール３８、メモリセルトランジスタのソース拡散層２４上に開口されたスルーホール４０、周辺回路領域のスルーホール６０が形成された層間絶縁膜３６を形成する（図１６（ｃ））。
【０２５９】
このようにして形成したスルーホール３８及びスルーホール４０の底面部には、それぞれ、ドレイン拡散層２６、ソース拡散層２４が露出するが、これらドレイン拡散層２６及びソース拡散層２４が露出する領域は絶縁膜４２に対して自己整合で形成されるので、スルーホール３８、４０をパターニングする際にはゲート電極２０に対する合わせ余裕を考慮する必要がない。従って、合わせ余裕分だけメモリセル面積を小さくすることができる。
【０２６０】
一方、スルーホール６０の底面部には周辺回路用トランジスタのゲート電極２２と、ドレイン拡散層３４とが露出する。なお、スルーホール６０を開口するゲートコンタクト部８２においては、ゲート電極２２上の絶縁膜４２を予め除去しているので、スルーホール３８、スルーホール４０と同時にスルーホール６０を開口することにより、スルーホール６０内にゲート電極２２を露出することができる。
【０２６１】
続いて、膜厚約１０ｎｍのＴｉ膜と膜厚約２０ｎｍのＴｉＮ膜をＣＶＤ法により連続して成膜した後、層間絶縁膜３６上のＴｉＮ膜及びＴｉ膜をＣＭＰ法により完全に除去する。これにより、スルーホール３８内にコンタクト用導電膜４４を、スルーホール４０内にキャパシタ蓄積電極４６を、周辺回路部のスルーホール６０内には導電膜８０を、ともに自己整合で形成する（図１７（ａ））。
【０２６２】
なお、導電膜８０を形成する際に、垂直方向のスパッタ成分が多いコリメーテッドスパ

ッタ法により、主にスルーホール底部にＴｉ膜を堆積した後、ＣＶＤ法によりＴｉＮ膜を成長しても良い。

【０２６３】

また、コンタクト用導電膜４４、キャパシタ蓄積電極４６、導電膜８０を形成する際に、ＣＭＰ法の代わりにリソグラフィー技術を用い、スルーホール３８、スルーホール４０、スルーホール６０内にフォトレジストを残存させた後、このフォトレジストをマスクとしてＴｉ膜及びＴｉＮ膜をエッチング除去しても良い。

【０２６４】

周辺回路部のスルーホール６０内に埋め込まれた導電膜８０の電気抵抗は、周辺回路の動作速度を左右するため非常に重要である。しかし、このようにして形成した導電膜８０のシート抵抗は約３０Ω／□、スルーホール６０の深さが約２μｍ、スルーホール６０の周縁長が約０．８μｍであるので、導電膜８０の電気抵抗は約７５Ωと、十分に低い値となっている。

【０２６５】

次いで、ＣＶＤ法により膜厚約５ｎｍのシリコン窒化膜を６５０℃程度の低温で成膜した後、７００℃４気圧のウェット雰囲気中で１０分間熱処理し、シリコン窒化膜の表面を酸化し、キャパシタ誘電体膜４８を形成する。

【０２６６】

この熱処理により、スルーホール３８、スルーホール４０、スルーホール６０底部のＴｉ膜は下地のソース／ドレイン拡散層２４、２６、３２、３４又はゲート電極２２とシリサイド化反応し、これら接続部のコンタクト抵抗は低減される。

【０２６７】

なお、キャパシタ誘電体膜４８を形成する熱処理には、上述のように低温での高圧酸化を用いた。これは、高温熱処理によりＴｉＮ膜とシリコン窒化膜が反応した場合には、キャパシタ誘電体膜４８の耐圧劣化が生じる虞があるので、熱処理温度を低温化できる高圧酸化が望ましいからである。

【０２６８】

次いで、ＣＶＤ法により、Ｐを高濃度に含んだ多結晶シリコン膜５０を膜厚約１５０ｎｍ、シリコン酸化膜５２を膜厚約２００ｎｍ、連続して成膜する。こうして、スルーホール３８、スルーホール４０、スルーホール６０内を埋め込む。

【０２６９】

続いて、通常のリソグラフィー工程及びエッチング工程により、シリコン酸化膜５２と多結晶シリコン膜５０を同時にパターニングし、キャパシタ対向電極５４を形成する（図１７（ｂ））。

【０２７０】

なお、スルーホール３８、６０内には、シリコン酸化膜５２と多結晶シリコン膜５０が埋め込まれた状態で残存するが、これらの膜は平坦化に寄与するのみであり、これによる弊害はない。

【０２７１】

また、キャパシタ対向電極５４の材料としては、ＣＶＤ法により堆積したＴｉＮ膜を用いてもよいが、本実施形態では、塩素系の反応ガスを用いるＴｉＮ膜成長の際に誘電体膜が損傷を受ける虞があるため多結晶シリコン膜５０とした。

【０２７２】

その後、ＣＶＤ法により膜厚約１００ｎｍのシリコン酸化膜を堆積し、全面を異方性エッチングしてキャパシタ対向電極５４の側壁にサイドウォール酸化膜５６を形成すると同時に、スルーホール３８上のキャパシタ誘電体膜４８を除去する。

【０２７３】

これにより、キャパシタ対向電極５４はサイドウォール酸化膜５６及び層間絶縁膜５３により覆われるので、スルーホール３８上に形成した開口部はビット線コンタクトホール５８として用いることができる。即ち、サイドウォール酸化膜５６を形成すると同時に、

ビット線コンタクトホール５８を自己整合で形成することができる（図１８（ａ））
続いて、コリメータを用いたスパッタ法により膜厚約５０ｎｍのチタンＴｉ膜、ＣＶＤ法により膜厚約５０ｎｍのＴｉＮ膜、膜厚約２００ｎｍのW膜を連続して成膜する。その後、通常のリソグラフィー工程及びエッチング工程により、W膜／ＴｉＮ膜／Ｔｉ膜からなる積層膜をパターニングし、ビット線６２及び配線層６８を形成する。
【０２７４】
次いで、ＣＶＤ法により膜厚約１μｍのシリコン酸化膜からなる層間絶縁膜６４を堆積し、必要に応じてＣＭＰ法等により表面の平坦化を行った後、ビアホール６６を開口する。
【０２７５】
続いて、ＣＶＤ法によりW膜を堆積した後にパターニングし、配線層７０を形成する。
【０２７６】
このようにして、１トランジスタ、１キャパシタからなるＤＲＡＭを形成することができる（図１８（ｂ））。
【０２７７】
このように、本実施形態によれば、ビット線とメモリセルトランジスタとを接続するスルーホールを埋め込む導電膜に低抵抗の材料を用いることにより、周辺回路のスルーホールとメモリセル領域のスルーホールの構造を同一にすることができるので、リソグラフィー工程を１工程削減することができる。
【０２７８】
従って、精密なパターン形成を必要とするリソグラフィー工程は、素子分離領域画定、ゲート電極、スルーホールの開口、対向電極、ビット線、ビアホール、配線層の計７工程である。従って、図６０に示す従来例と比較すると、リソグラフィー工程を２工程削減することができる。
【０２７９】
一方、図５９に示す従来例と比較した場合には、リソグラフィー工程数を一工程削減できる上、本実施形態ではキャパシタ蓄積電極用スルーホール及びビット線コンタクト用スルーホールをゲート電極に対して自己整合で形成したので、合わせ余裕を小さくすることができる。また、キャパシタ蓄積電極の厚さを薄くできるので、キャパシタ容量の低下を防ぐことができる。
【０２８０】
なお、上記実施形態では、キャパシタ蓄積電極としてＴｉＮ膜を、キャパシタ誘電体膜としてＳｉＮ膜を、キャパシタ対向電極として多結晶シリコン膜を用いて半導体記憶装置を構成したが、例えばK.Koyama（Technical Digest IEDM 1992, p.823 (1992)）、H.Shinriki（IEEE Trans., Electron Devices, Vol.38 No.3, p.455 (1991)）が開示しているように、Ta_2O_5膜や（Ba_xSr_{1-x}）TiO_3膜等の高・強誘電体膜をキャパシタ誘電体膜として用い、それら誘電体膜に用いることができる電極材料であるWやＰｔによりキャパシタ蓄積電極及びキャパシタ対向電極を用いてキャパシタを構成してもよい。
【０２８１】
この様にして高・強誘電体膜によりキャパシタを構成すれば、キャパシタ電極の表面積を減少してもキャパシタ容量を十分確保できるので、上記の誘電体材料のうちで最も誘電率の高いものを用いた場合には、スルーホールの深さを約０．２μｍ程度まで浅くすることができ、極めて効果的である。
【０２８２】
また、上記実施形態ではキャパシタ蓄積電極及びキャパシタ対向電極としてＴｉ膜とＴｉＮ膜との積層膜を用いたが、コンタクト抵抗を十分に低くできる導電膜であれば他の材料であってもよい。
［第４実施形態］
本発明の第４実施形態による半導体記憶装置及びその製造方法を、図１９乃至図２１を用いて説明する。なお、図１５乃至図１８に示す第３実施形態の半導体記憶装置及びその

製造方法と同一の構成要素には同一の符号を付して説明を省略又は簡略にする。

【０２８３】

図１９は本実施形態による半導体記憶装置の概略断面図、図２０及び図２１は本実施形態による半導体記憶装置の製造方法を説明する工程断面図である。

【０２８４】

上記第１乃至第３実施形態では、スルーホール３８、スルーホール４０等を開口する際に、膜厚が２μｍ程度の層間絶縁膜３６を一度のエッチング工程により行っていた。実際の製造プロセスでは、成膜時の膜厚ばらつきなどを考慮して、層間絶縁膜の膜厚に見合ったオーバーエッチングを行うのが通常である。従って、膜厚２μｍほどの層間絶縁膜３６をエッチングするにはかなりのオーバーエッチングが必要となる。

【０２８５】

一方、スルーホール３８、スルーホール４０等を開口する際には、絶縁膜４２をエッチングストッパーとして用いることにより自己整合コンタクトを形成する。しかし、絶縁膜４２のように段差部に形成されたシリコン窒化膜は、平坦部に形成されたシリコン窒化膜と比較してシリコン酸化膜に対するエッチング選択性が低くなる。特に、ゲート電極２０、２２のエッジ部等では絶縁膜４２のエッチングが進行し易くなる。

【０２８６】

従って、厚い層間絶縁膜にスルーホール３８、スルーホール４０等を開口する場合には、過度のオーバーエッチングにより絶縁膜４２がエッチングされてゲート電極２０、２２が露出し、例えばスルーホール３８内に埋め込むコンタクト用導電膜とゲート電極２０が短絡する虞がある。

【０２８７】

このように、スルーホール３８やスルーホール４０の形成は、本願発明の中でも最も困難な製造工程の一つである。

【０２８８】

本実施形態では、上記問題点を考慮し、スルーホール３８、スルーホール４０の形成を容易にできる半導体記憶装置及びその製造方法を説明する。

【０２８９】

本実施形態による半導体記憶装置は、ビット線６２とシリコン基板１０間との間に形成された層間絶縁膜が、三層構造の絶縁膜であるところに特徴がある。

【０２９０】

即ち、ゲート電極２０、ソース拡散層２４、ドレイン拡散層２６からなるメモリセルトランジスタが形成された半導体基板１０上には、シリコン酸化膜８４、シリコン窒化膜８６、シリコン酸化膜８８が順次積層された層間絶縁膜３６が形成されている。

【０２９１】

層間絶縁膜３６には、ドレイン拡散層２６上に開口されたスルーホール３８と、ソース拡散層２４上に開口されたスルーホール４０とが形成されている。

【０２９２】

スルーホール４０の内壁及びソース拡散層２４上には、ＴｉＮ膜からなるキャパシタ蓄積電極４６が形成されており、スルーホール４０の底部においてソース拡散層２４と接続されている。キャパシタ蓄積電極４６の内面及び上面にはキャパシタ誘電体膜４８が形成されている。キャパシタ蓄積電極４６及びキャパシタ誘電体膜４８が形成されたスルーホール４０内と、層間絶縁膜３６上とにはキャパシタ対向電極５４が形成されている。こうして、キャパシタ蓄積電極４６、キャパシタ誘電体４８、キャパシタ対向電極５４からなるキャパシタが構成されている。

【０２９３】

スルーホール３８内壁には、ＴｉＮ膜からなるコンタクト用導電膜４４が形成されており、キャパシタ対向電極５４上に形成された層間絶縁膜５３を介してワード線と直行する方向に配されたビット線６２と接続されている。

【０２９４】

さらに、ビット線６２上部には層間絶縁膜６４を介して配線層７０が形成されており、１トランジスタ、１キャパシタからなるＤＲＡＭが構成されている。

【０２９５】

次に、本実施形態による半導体記憶装置の製造方法を説明する。

【０２９６】

まず、Ｐ型シリコン基板１０の主表面上に、例えば通常のＬＯＣＯＳ法により膜厚約３００ｎｍの素子分離膜１２を形成し、素子領域１４を画定する。次いで、熱酸化法により、素子領域１４に膜厚約１０ｎｍのゲート酸化膜１６を形成する。

【０２９７】

続いて、ＣＶＤ法により、膜厚約１５０ｎｍのＰを高濃度に含んだ多結晶シリコン膜と、膜厚約２００ｎｍのシリコン窒化膜を連続して成膜した後、通常のリソグラフィー技術とエッチング技術を用いて周辺回路領域の一部のシリコン窒化膜を除去する。なお、この領域が、後にゲート電極２２から配線を引き出す際のゲートコンタクト部８２となる。

【０２９８】

次いで、通常のリソグラフィー技術とエッチング技術を用いてシリコン窒化膜と多結晶シリコン膜を同時にパターニングし、メモリセルトランジスタのゲート電極２０と周辺回路のゲート電極２２を形成する。

【０２９９】

その後、シリコン窒化膜１８とゲート電極２０、２２をマスクとして、例えばＰイオンを加速エネルギー４０ｋｅＶ、注入量$2\times10^{13}cm^{-2}$の条件でイオン注入し、メモリセルトランジスタのソース拡散層２４、ドレイン拡散層２６、周辺回路用トランジスタの低濃度拡散層２８を形成する（図２０（ａ））。

【０３００】

次いで、ＣＶＤ法により膜厚約１００ｎｍのシリコン窒化膜を成膜した後、CHF_3/H_2ガスを用いた異方性エッチングを行い、パターニングされたシリコン窒化膜１８とゲート電極２０、２２の側壁にシリコン窒化膜からなるサイドウォール窒化膜３０を自己整合で形成する。

【０３０１】

続いて、通常のリソグラフィー技術を用い、周辺回路のＮ型トランジスタ領域に、例えばＡｓイオンを加速エネルギー４０ｋｅＶ、注入量$4\times10^{15}cm^{-2}$の条件で選択的にイオン注入し、周辺回路のＮ形トランジスタのソース拡散層３２、ドレイン拡散層３４を形成する（図２０（ｂ））。

【０３０２】

その後、ＣＶＤ法によりシリコン酸化膜８４を約１μｍ堆積し、ＣＭＰ法によりその表面を約０．７μｍ研磨して平坦化する。次いで、ＣＶＤ法によりシリコン窒化膜８６を２０ｎｍ、シリコン酸化膜８８を１．８μｍ、連続して成長する。

【０３０３】

次いで、通常のリソグラフィー工程によりフォトレジスト９０のパターニングを行った後、C_2F_6等のエッチングガスを用いてシリコン酸化膜８８をエッチングする。ここで、シリコン窒化膜８６は、平坦化したシリコン酸化膜８４上に堆積することによりシリコン酸化膜に対する選択比を１００程度確保できたので、シリコン酸化膜８８をエッチングする際のエッチングストッパーとして十分に用いることができる（図２０（ｃ））。

【０３０４】

続いて、同一のフォトレジスト９０をマスクとして用い、$CHF_3/CF_4/Ar$をエッチングガスとしてシリコン窒化膜８６をエッチングし、次いで、C_2F_6をエッチングガスとしてシリコン酸化膜８４をエッチングする。

【０３０５】

その後、フォトレジストを除去し、メモリセルトランジスタのドレイン拡散層２６上に開口されたスルーホール３８、メモリセルトランジスタのソース拡散層２４上に開口されたスルーホール４０、周辺回路領域のスルーホール６０が形成された層間絶縁膜３６を形

成する（図２１（ａ））。
【０３０６】
この後、例えば第３実施形態の図１７（ａ）以降に示す製造工程により、キャパシタ、ビット線、配線層等を形成し、図２１（ｂ）に示す１トランジスタ、１キャパシタからなるＤＲＡＭを構成する。
【０３０７】
このように、本実施形態によれば、非常に深い開口部のエッチングを２段階に分割したため、１回ごとのエッチングは比較的容易に行うことができる。特に、ソース拡散層２４、３２、ドレイン拡散層２６、３４を拡散するシリコン酸化膜８４のエッチング工程でエッチングするシリコン酸化膜８４の膜厚を格段に薄くできるので、ゲート電極２０、２２側面の絶縁膜４２、リソグラフィー工程でのの合わせズレ等によって開口部内に素子分離膜１２が露出した場合の素子分離膜１２の膜減りを抑制することができる。
［第５実施形態］
本発明の第５実施形態による半導体記憶装置及びその製造方法を、図２２乃至図２４を用いて説明する。なお、図１５乃至図１８に示す第３実施形態の半導体記憶装置及びその製造方法と同一の構成要素には同一の符号を付して説明を省略又は簡略にする。
【０３０８】
図２２は本実施形態による半導体記憶装置の概略断面図、図２３及び２４は本実施形態による半導体記憶装置の製造方法を説明する工程断面図である。
【０３０９】
上記第３実施形態では、層間絶縁膜３６に、スルーホール３８、スルーホール４０、スルーホール６０を開口後、ＣＶＤ法又はコリメーテッドスパッタ法によりＴｉ膜、ＴｉＮ膜を堆積し、キャパシタ蓄積電極５４等を形成した。
【０３１０】
ここで、堆積したＴｉ膜は、後の熱処理により下地のシリコン基板１０と反応してチタンシリサイド膜を形成することから、オーミックコンタクトを可能にするために必要不可欠であり、確実にスルーホール３８、スルーホール４０、スルーホール６０の底部に堆積しなければならない。
【０３１１】
しかしながら、素子の集積化が進み、これらスルーホールが微細かつ深くなった場合には、このようにＴｉ膜を埋め込むことは困難である。
【０３１２】
本実施形態では、上記問題点を解決できる半導体記憶装置及びその製造方法を説明する。
【０３１３】
本実施形態による半導体記憶装置は、スルーホール３８、スルーホール４０、スルーホール６０スルーホールの底部に、埋め込み導電体９２が形成されているところに特徴がある。
【０３１４】
即ち、ゲート電極２０、ソース拡散層２４、ドレイン拡散層２６からなるメモリセルトランジスタが形成された半導体基板１０上には、シリコン酸化膜８４、シリコン窒化膜８６、シリコン酸化膜８８が順次積層された層間絶縁膜３６が形成されている。
【０３１５】
層間絶縁膜３６には、ドレイン拡散層２６上に開口されたスルーホール３８と、ソース拡散層２４上に開口されたスルーホール４０とが形成されている。
【０３１６】
スルーホール３８、スルーホール４０の底部には、Ｔｉ及びＴｉＮからなる埋め込み導電体９２が形成されている。
【０３１７】
スルーホール４０の内壁及び埋め込み導電体９２上には、ＴｉＮ膜からなるキャパシタ

蓄積電極４６が形成されており、埋め込み導電体９２を介してソース拡散層２４と接続されている。キャパシタ蓄積電極４６の内面及び上面にはキャパシタ誘電体膜４８が形成されている。キャパシタ蓄積電極４６及びキャパシタ誘電体膜４８が形成されたスルーホール４０内と、層間絶縁膜３６上とにはキャパシタ対向電極５４が形成されている。こうして、キャパシタ蓄積電極４６、キャパシタ誘電体４８、キャパシタ対向電極５４からなるキャパシタが構成されている。

【０３１８】

スルーホール３８内壁及び埋め込み導電体９２上には、ＴｉＮ膜からなるコンタクト用導電膜４４が形成されており、埋め込み導電体９２を介して、ドレイン拡散層２６とビット線６２が接続されている。

【０３１９】

さらに、ビット線６２上部には層間絶縁膜６４を介して配線層７０が形成されており、１トランジスタ、１キャパシタからなるＤＲＡＭが構成されている。

【０３２０】

次に、本実施形態による半導体記憶装置の製造方法を説明する。

【０３２１】

まず、Ｐ型シリコン基板１０の主表面上に、例えば通常のＬＯＣＯＳ法により膜厚約３００ｎｍの素子分離膜１２を形成し、素子領域１４を画定する。次いで、熱酸化法により、素子領域１４に膜厚約１０ｎｍのゲート酸化膜１６を形成する。

【０３２２】

続いて、ＣＶＤ法により、膜厚約１５０ｎｍのＰを高濃度に含んだ多結晶シリコン膜と、膜厚約２００ｎｍのシリコン窒化膜を連続して成膜した後、通常のリソグラフィー技術とエッチング技術を用いて周辺回路領域の一部のシリコン窒化膜を除去する。なお、この領域が、後にゲート電極２２から配線を引き出す際のゲートコンタクト部８２となる。

【０３２３】

次いで、通常のリソグラフィー技術とエッチング技術を用いてシリコン窒化膜と多結晶シリコン膜を同時にパターニングし、メモリセルトランジスタのゲート電極２０及び周辺回路のゲート電極２２を形成する。

【０３２４】

その後、シリコン窒化膜１８とゲート電極２０、２２をマスクとして、例えばＰイオンを加速エネルギー４０ｋｅＶ、注入量$2\times10^{13}cm^{-2}$の条件でイオン注入し、メモリセルトランジスタのソース拡散層２４、ドレイン拡散層２６、周辺回路用トランジスタの低濃度拡散層２８を形成する（図２３（ａ））。

【０３２５】

次いで、ＣＶＤ法により膜厚約１００ｎｍのシリコン窒化膜を成膜した後、CHF_3／H_2ガスを用いた異方性エッチングを行い、パターニングされたシリコン窒化膜１８とゲート電極２０、２２の側壁にシリコン窒化膜からなるサイドウォール窒化膜３０を自己整合で形成する。

【０３２６】

続いて、通常のリソグラフィー技術を用い、周辺回路のＮ型トランジスタ領域に、例えばＡｓイオンを加速エネルギー４０ｋｅＶ、注入量$4\times10^{15}cm^{-2}$の条件で選択的にイオン注入し、周辺回路のＮ形トランジスタのソース拡散層３２、ドレイン拡散層３４を形成する（図２３（ｂ））。

【０３２７】

その後、ＣＶＤ法によりシリコン酸化膜８４を約１μｍ堆積し、ＣＭＰ法によりその表面を約０．７μｍ研磨して平坦化する。次いで、ＣＶＤ法によりシリコン窒化膜８６を膜厚約１００ｎｍ成長する。

【０３２８】

次いで、通常のリソグラフィー工程によりフォトレジスト（図示せず）のパターニングを行った後、CHF_3／CF_4／Ａｒをエッチングガスとしてシリコン窒化膜８６をエッチ

ングし、次いで、C_2F_6をエッチングガスとしてシリコン酸化膜８４をエッチングする。これによりソース拡散層２４、３２、ドレイン拡散層２６、３４を露出する。

【０３２９】

続いて、コリメーテッドスパッタ法によりＴｉ膜を１０ｎｍ、ＣＶＤ法によりＴｉＮ膜を２００ｎｍ、連続して成膜し、ソース拡散層２４、３２、ドレイン拡散層２６、３４上に埋め込む。その後、ＣＭＰ法によりシリコン窒化膜８６上のＴｉ膜及びＴｉＮ膜を除去し、埋め込み導電体９２を形成する（図２３（ｃ））。

【０３３０】

次いで、ＣＶＤ法により膜厚約２μｍのシリコン酸化膜８８を成長し、通常のリソグラフィー工程によりフォトレジストのパターニングを行った後、C_2F_6等のエッチングガスを用いてシリコン酸化膜８８をエッチングする。このとき、エッチングガスにC_2F_6ガスを用いれば、埋め込み導電体９２又はシリコン窒化膜８６でエッチングを自動的に停止することができる。

【０３３１】

続いて、フォトレジストを除去し、メモリセルトランジスタのドレイン拡散層２６上の埋め込み導電体９２上に開口されたスルーホール３８、メモリセルトランジスタのソース拡散層２４上の埋め込み導電体９２上に開口されたスルーホール４０、底部に埋め込み導電体９２が形成された周辺回路領域のスルーホール６０が形成された層間絶縁膜３６を形成する（図２４（ａ））。

【０３３２】

この後、第３実施形態の図１７（ａ）以降に示す製造工程と同様にして、キャパシタ、ビット線、配線層等を形成し、図２４（ｂ）に示す１トランジスタ、１キャパシタからなるＤＲＡＭを構成する。

【０３３３】

このように、本実施形態によれば、アスペクト比の大きいスルーホール等を形成する際に、予めシリコン基板と接する領域に埋め込み導電体を形成してオーミックコンタクトを形成したので、素子の集積化が進み、これらスルーホールが微細かつ深くなった場合にも、スルーホール底部でのコンタクト特性を確保することができる。

【０３３４】

なお、上記実施形態では、リソグラフィー工程を１工程追加して埋め込み導電体９２を形成したが、例えばJ.R.Pfiesterが開示しているサリサイドプロセス（SALICIDE：Self-ALIgned siliCIDE； Technical Digest IEDM 1990, p.241 (1990)）を用いれば、リソグラフィー工程を追加することなくコンタクト用の導電体をスルーホール底部に形成することができる。

【０３３５】

即ち、ゲート電極２０、２２を覆う絶縁膜４２を形成後、半導体基板１０全面に、スパッタ法により、例えばＴｉ膜を堆積する。その後熱処理を行うと、半導体基板１０のシリコンと、堆積したＴｉ膜とが直接接触した領域、例えばソース拡散層２４、ドレイン拡散層２６、３４上においてのみ、シリサイド化反応が生ずる。

【０３３６】

次いで、未反応のＴｉ膜を、例えば王水により除去すれば、ソース拡散層２４、ドレイン拡散層２６、３４上に自己整合的にチタンシリサイド膜を形成することができる。

【０３３７】

この様にしてソース／ドレイン拡散層上にチタンシリサイド膜を形成した後、第１乃至第４実施形態のいずれかに記載した半導体記憶装置の製造方法と同様にして半導体基板装置を製造すれば、アスペクト比の大きいスルーホール等を形成する際にも、スルーホール底部でのコンタクト特性を確保することができる。

【０３３８】

なお、サリサイドプロセスに適用できる他の金属膜としては、例えば、Ｔａ（タンタル）、Ｗ（タングステン）、Ｍｏ（モリブデン）等を用いることができる。

［第６実施形態］
本発明の第６実施形態による半導体記憶装置及びその製造方法を、図２５乃至図２８を用いて説明する。図１乃至図６に示す第１実施形態の半導体記憶装置及びその製造方法と同一の構成要素には同一の符号を付して説明を省略又は簡略にする。
【０３３９】
図２５は本実施形態による半導体記憶装置の構造を示す概略断面図、図２６乃至図２８は本実施形態による半導体記憶装置の製造方法を示す工程断面図である。
【０３４０】
第１実施形態による半導体記憶装置の製造方法では、図４（ａ）に示すように、コンタクト用導電膜４４及びキャパシタ蓄積電極４６を形成する際には、Ｐを高濃度に含んだ多結晶シリコン膜を成膜した後、層間絶縁膜３６上の多結晶シリコン膜をＣＭＰ法により除去することにより行った。
【０３４１】
しかしながら、単に研磨したのでは、研磨時に発生する紛状物がスルーホール３８、４０内に入り込んでしまい、歩留りを低下させる虞がある。
【０３４２】
また、第１実施形態による半導体記憶装置では、コンタクト用導電膜４４とキャパシタ蓄積電極４６を同一膜により形成するので、コンタクト用導電膜４４をを厚くすればキャパシタ蓄積電極４６のスルーホール４０内面の表面積が減少してしまう。このため、コンタクト用導電膜４４の抵抗値を下げるためにはキャパシタ容量が犠牲となってしまう。
【０３４３】
２５６ＭＤＲＡＭ程度までであれば、スルーホール４０の深さを２μｍ以下に設定することができるので、コンタクト用導電膜４４の抵抗は問題とならないが、更に集積度が向上してスルーホール４０を深く、コンタクト用導電膜４４の厚さを薄くすると、それに伴うコンタクト用導電膜４４の抵抗増大が深刻な問題となる。
【０３４４】
本実施形態では、コンタクト用導電膜４４、キャパシタ蓄積電極４６を形成する際の研磨工程において、スルーホール３８、４０内に紛状物が残留することを防止でき、且つ、キャパシタ容量を犠牲にすることなくコンタクト用導電膜４４を低抵抗化できる半導体記憶装置及びその製造方法を提供する。
【０３４５】
本実施形態による半導体記憶装置は、スルーホール３８、４０内に、柱状導電体１１２、１１４がそれぞれ形成されていることに特徴がある。
【０３４６】
即ち、スルーホール３８内には、底部においてコンタクト用導電膜４４と接続され、その側壁部にキャパシタ誘電体膜４８が形成された柱状導電体１１２が形成されており、スルーホール４０内には、底部においてキャパシタ蓄積電極４６と接続され、その側壁部にキャパシタ誘電体膜４８が形成された柱状導電体１１４が形成されている。
【０３４７】
このように柱状導電体を設けることにより、スルーホール３８では、ドレイン拡散層２６とビット線６２とを接続する電気経路が、コンタクト用導電膜４４と、柱状導電体１１２とにより構成されるので、ビット線コンタクト部における電気抵抗を大幅に減少することができる。
【０３４８】
また、スルーホール４０内に柱状導電体１１４を設けることにより、その側壁部にもキャパシタ誘電体膜４８が形成されるので、キャパシタの面積が増加され、キャパシタ容量を大幅に増加することができる。
【０３４９】
次に、本実施形態による半導体記憶装置の製造方法を説明する。
【０３５０】

まず、図３（ａ）乃至図３（ｄ）に記載の第１実施形態による半導体記憶装置の製造方法と同様にして、ドレイン拡散層２６上にスルーホール３８が形成され、ソース拡散層２４上にスルーホール４０が形成された層間絶縁膜３６を形成する（図２６（ａ））。スルーホール３８のサイズは、例えば０．３×０．３μｍ、スルーホール４０のサイズは、例えば０．３×０．６μｍとする。

【０３５１】

次いで、Ｐを高濃度に含んだ多結晶シリコン膜１０６をＣＶＤ法により膜厚約３０ｎｍ成膜する。

【０３５２】

続いて、例えばＴＥＯＳ（tetraethoxysilane：オルトケイ酸エチル）を主原料ガスとして用いたＣＶＤ法によりシリコン酸化膜を膜厚約８０ｎｍ成長した後、全面をＲＩＥ法により垂直方向にエッチングして、サイドウォール１０８を形成する（図２６（ｂ））。

【０３５３】

この結果、スルーホール３８内には、［３００－２×（３０＋８０）］×［３００－２×（３０＋８０）］ｎｍ、即ち、８０×８０ｎｍの隙間が残り、スルーホール４０内には、［３００－２×（３０＋８０）］×［６００－２×（３０＋８０）］ｎｍ、即ち、８０×３８０ｎｍの隙間が残っている。

【０３５４】

この後、膜厚約２００ｎｍの多結晶シリコン膜１１０をＣＶＤ法により堆積する（図２７（ａ））。堆積する多結晶シリコン膜１１０の膜厚は、スルーホール３８、４０内の隙間が完全に埋め込まれ、全体がほぼ平坦になるように設定することが望ましい。

【０３５５】

次いで、ＣＭＰ法により表面全体を研磨する。この際、サイドウォール１０８の上面が完全に露出するように、多少のオーバー研磨を行う。これにより、スルーホール３８内には、多結晶シリコン膜１０６よりなるコンタクト用導電膜４４と、多結晶シリコン膜１１０よりなる柱状導電体１１２と、サイドウォール１０８とが完全に埋め込まれ、スルーホール４０内には、多結晶シリコン膜１０６よりなるキャパシタ蓄積電極４６と、多結晶シリコン膜１１０よりなる柱状導電体１１４と、サイドウォール１０８とが完全に埋め込まれた状態で、表面が平坦化される（図２７（ｂ））。

【０３５６】

続いて、例えばＨＦ：NH_4F＝１：５の溶液に基板を浸漬することにより、サイドウォール１０８を選択的に除去する。これにより、スルーホール３８、４０内には、空隙１１６が形成される（図２８（ａ））。

【０３５７】

この後、例えば、図４（ｂ）乃至図６（ｂ）に示す第１実施形態による半導体記憶装置の製造方法と同様の手順により、キャパシタ誘電体膜４８、キャパシタ対向電極５４、ビット線６２、配線７０等を形成する（図２８（ｂ））。

【０３５８】

このように、本実施形態によれば、スルーホール４０内に柱状導電体１１４を形成することにより、キャパシタ蓄積電極４６の他に、柱状導電体１１４もキャパシタ蓄積電極として機能するので、柱状導電体１１４の表面積の分だけキャパシタ表面積を増加することができる。従って、図１に示す半導体記憶装置と同一の容量値を得る場合にも、スルーホール４０の深さを浅くすることができる。

【０３５９】

また、ビット線コンタクト部の引き出し電極は、コンタクト用導電膜４４と柱状導電体１１２とにより形成されるので、引き出し電極の低抵抗化を図ることができる。また、上述のようにキャパシタ容量を増加できることから、スルーホール３８を浅くすることも可能となり、引き出し電極の更なる低抵抗化を図ることができる。

【０３６０】

なお、本実施形態による半導体記憶装置では、図７に示す第１実施形態の変形例による

半導体記憶装置と同様の構造により、周辺回路用コンタクトホール６０を形成しているが、他の構造であってもよい。例えば、図２に示す第１実施形態による半導体記憶装置のように、配線層６８上にビアホール６６を開口し、配線層７０を形成してもよい。

［第７実施形態］

本発明の第７実施形態による半導体記憶装置及びその製造方法を、図２９乃至図３１を用いて説明する。図１乃至図７に示す第１実施形態の半導体記憶装置及びその製造方法と同一の構成要素には同一の符号を付して説明を省略又は簡略にする。

【０３６１】

図２９は本実施形態による半導体記憶装置の構造を示す概略断面図、図３０及び図３１は本実施形態による半導体記憶装置の製造方法を示す工程断面図である。

【０３６２】

図７に示す第１実施形態の変形例による半導体記憶装置では、周辺回路のスルーホール６０を層間絶縁膜６４の形成後に開口し、配線層７０がキャパシタ対向電極５４と、周辺回路用トランジスタのソース／ドレイン拡散層３４とに直接コンタクトするように構成することにより、リソグラフィー工程の削減を図っている。

【０３６３】

しかしながら、配線層７０は、周辺回路用トランジスタのソース／ドレイン拡散層３４、キャパシタ対向電極５４、ビット線６２等に同時に接続する必要があるため、スルーホール６０やコンタクトホール５９等の深さは非常に深いものから浅いものまで様々となっている。

【０３６４】

こうした深さの顕著に異なるするホールエッチングにおいては、ビット線６２及び対向電極５４表面が露出してから、周辺回路用トランジスタのソース／ドレイン拡散層３４が露出するまでに長時間を要し、この間ビット線６２及び対向電極表面はエッチングガスに曝され続ける。特に、ビット線６２をタングステン等の柱状結晶金属薄膜で形成した場合、結晶間の隙間を通して下地絶縁膜がエッチングされる等のダメージが入り、結果としてビット線６２とシリコン基板１０とがショートしてしまう虞がある。

【０３６５】

本実施形態では、様々な深さのスルーホールを同時に形成できる半導体記憶装置及びその製造方法について提供する。

【０３６６】

本実施形態による半導体記憶装置は、キャパシタ対向電極５４上に、層間絶縁膜６４、３６とはエッチング特性の異なる膜よりなる層間絶縁膜５３が形成されており、ビット線６２と上層の配線層７０とを接続するコンタクトホール１２０を形成する領域のビット線６２下部には、導電膜１２４と、層間絶縁膜６４、３６とはエッチング特性の異なる絶縁膜１２６との積層膜１１８よりなるエッチングストッパが配置されていることに特徴がある。

【０３６７】

即ち、層間絶縁膜６４上に形成された配線層７０は、スルーホール１２２を介して周辺回路用トランジスタのゲート電極２２に接続され、スルーホール６０を介して周辺回路用トランジスタのソース／ドレイン拡散層３４に接続され、コンタクトホール５９を介してキャパシタ対向電極５４に接続され、コンタクトホール１２０を介してビット線６２に接続されている。キャパシタ対向電極５４上には、シリコン窒化膜よりなる層間絶縁膜５３が形成されている。ビット線６２上に開口するコンタクトホール１２０の下部には、導電膜１２４と、シリコン窒化膜よりなる絶縁膜１２６により構成された積層膜１１８が配置されている。

【０３６８】

次に、本実施形態による半導体記憶装置の製造方法について図３０及び図３１を用いて説明する。

【０３６９】

まず、図３（ａ）乃至図５（ａ）に示す第１実施形態による半導体記憶装置の製造方法と同様の手順により、キャパシタ対向電極５４を形成する。このとき、ビット線と上層の配線層とのコンタクトを形成すべき領域には、キャパシタ対向電極５４と同一膜により形成された導電膜１２４と、層間絶縁膜５３と同一膜により形成された絶縁膜１２６とよりなる積層膜１１８を予め配置しておく（図３０（ａ））。なお、層間絶縁膜５３は、層間絶縁膜３６及び上層に堆積する層間絶縁膜６４とエッチング特性の異なる材料、例えばシリコン窒化膜により形成する。

【０３７０】

次いで、全面に層間絶縁膜６４を堆積して表面の平坦化を行った後、通常のリソグラフィー技術により、スルーホール及びコンタクトホールのパターンが形成されたフォトレジスト７２を形成する。

【０３７１】

続いて、フォトレジスト７２をマスクとして層間絶縁膜６４及び層間絶縁膜３６をエッチングする。層間絶縁膜６４、３６のエッチングの際には、層間絶縁膜５３に対して十分選択比がとれる条件にて行う。

【０３７２】

このとき、キャパシタ対向電極５４上に形成するコンタクトホール５９と、ビット線６２上に形成するコンタクトホール１２０は、周辺回路用トランジスタのソース／ドレイン拡散層３６上に開口するスルーホール６０及び周辺回路用トランジスタのゲート電極２２上に開口するスルーホール１２２と比較して浅いので、スルーホール６０、１２２が完全に開口する前にビット線６２上の層間絶縁膜６４が完全に除去され、ビット線６２表面がエッチングガスに曝される。キャパシタ対向電極５４上には層間絶縁膜５３が露出するが、層間絶縁膜５３は、シリコン酸化膜よりなる層間絶縁膜６４とはエッチング特性の異なるシリコン窒化膜により形成されているため、ほとんどエッチングされない（図３０（ｂ））。

【０３７３】

更にエッチングを継続することにより、周辺回路用トランジスタのソース／ドレイン拡散層３６が露出する（図３１（ａ））。このとき、ビット線６２が柱状結晶よりなる材料、例えばタングステン膜により形成されていると、結晶境界ではエッチングが下層膜にまで達することがある。図３１（ａ）では、これを強調して、ビット線６２自体が消失してしまうように表現したが、ビット線６２下部には、シリコン窒化膜よりなる絶縁膜１２６が形成されているため、層間絶縁膜３６がダメージを受けることはない。

【０３７４】

次いで、例えばCF_4／CHF_3／Ｈｅガスを用いたエッチングにより、シリコン窒化膜を除去する。これにより、キャパシタ対向電極５４上の層間絶縁膜５３、周辺回路用トランジスタのゲート電極２２上の絶縁膜４２が除去され、スルーホール６０、１２２、コンタクトホール５９、１２０が完全に開口される（図３１（ｂ））。このときビット線６２下の絶縁膜１２６も除去されるが、エッチングは、その下層の導電膜１２４により停止する。

【０３７５】

なお、ここで用いるエッチングガスは、シリコンのエッチング速度は遅く、また、残存するシリコン窒化膜も厚くないため、エッチング時間を短く設定できる。従って、既に露出している周辺回路用トランジスタのソース／ドレイン拡散層３６部のエッチングは無視できるほどである。

【０３７６】

このようにして全てのスルーホール及びコンタクトホールを、不都合なく形成することができる。

【０３７７】

このように、本実施形態によれば、ビット線６２と上層の配線層とのコンタクトを形成する領域に、予め積層膜１１８を形成しておくことにより、周辺回路の深いスルーホール

６０、１２０を形成する際にも、ビット線６２下の層間絶縁膜３６がエッチングされることがなく、ビット線６２と半導体基板１０等とのショートを防止することができる。

［第８実施形態］

本発明の第８実施形態による半導体記憶装置及びその製造方法を、図３２乃至図３８を用いて説明する。図１乃至図７に示す第１実施形態の半導体記憶装置及びその製造方法と同一の構成要素には同一の符号を付して説明を省略又は簡略にする。

【０３７８】

図３２は第１実施形態による半導体記憶装置の製造方法における課題を説明する図、図３３は本実施形態による半導体記憶装置の構造を示す平面図、図３４は本実施形態による半導体記憶装置の構造を示す概略断面図、図３５乃至図３８は本実施形態による半導体記憶装置の製造方法を示す工程断面図である。

【０３７９】

図３乃至図６に示す第１実施形態による半導体記憶装置の製造方法では、コンタクト用導電膜４４及びキャパシタ蓄積電極４６が、メモリセルトランジスタのゲート電極２０に自己整合で形成されている。この方法によれば、ゲート電極２０とスルーホール３８との間の位置合わせ余裕を考慮する必要がなく、従って、メモリセル面積を小さくできるという利点がある。

【０３８０】

しかしながら、メモリセルが微細化すると、スルーホール３８の深さが急激に増大し、スルーホールのエッチングも急激に難しくなる。以下に、第１実施形態による半導体記憶装置における問題点を説明する。

【０３８１】

図３（ａ）～（ｂ）に示す半導体記憶装置の製造方法の過程において、ゲート電極２０となる多結晶シリコン膜１２８上にシリコン窒化膜１８を堆積する際に、多結晶シリコン膜１２８上にゴミ１３０が付着していたとすると、その上に成長したシリコン窒化膜１８は、ゴミ１３０が付着した領域において膨らんだ状態となる（図３２（ａ））。

【０３８２】

ゲート電極２０のパターンに加工されたフォトレジスト７２をマスクとしてシリコン窒化膜１８をエッチングすると、ゴミ１３０周辺の膜が膨れているため、その一部が残渣１３２として残留する（図３２（ｂ））。

【０３８３】

この状態で下地の多結晶シリコン膜１２８をエッチングすると、残渣１３２がマスクとして作用し、多結晶シリコン膜１２８の一部が残渣１３４として残留してしまう（図３２（ｃ））。

【０３８４】

この後、図３（ｂ）乃至図３（ｄ）に示す半導体記憶装置の製造方法と同様にしてスルーホール３８、４０を形成すると、残渣１３４がスルーホール３８内に露出してしまい、最終的にコンタクト用導電膜４４と短絡することになる（図３２（ｄ））。

【０３８５】

このように、第１実施形態による半導体記憶装置の構造はゴミに非常に敏感であり、これによって歩留りの低下をもたらす虞がある。単に歩留りが低下するのみであれば冗長等の方法によって救済が可能であるが、ビット線６２とワード線２０との短絡は深刻な問題となる。即ち、待機時において、ビット線６２の電位は電源電圧の半分に設定され、ワード線２０の電位は零に設定されているので、ビット線６２からワード線２０に定常的に電流が流れることになる。これにより、待機時の消費電流が増大してしまい、通常の冗長では救済ができなくなってしまう。

【０３８６】

本実施形態では、上述のような第１実施形態の課題を解決できる半導体記憶装置及び製造方法を提供する。

【０３８７】

本実施形態による半導体記憶装置は、図３３の平面図及び図３４の断面図に示すように、ビット線６２とドレイン拡散層２６とを接続する微細なスルーホール３８と、キャパシタ蓄積電極４６のコンタクト用の微細なスルーホール４０とが形成されており、キャパシタ蓄積電極３６は、スルーホール４０上に開口された大きな開口１４２内に形成されていることに特徴がある。

【０３８８】

このように構成することにより、スルーホール３８内に埋め込まれたコンタクト用導電膜４４は、ゲート電極２０と十分離間して形成することができるので、ゲート電極２０とビット線６２との短絡を大幅に減少することができる。

【０３８９】

また、スルーホール４０内に埋め込まれた多結晶シリコン膜１４０は開口１４２内に柱状の突起物として存在するので、キャパシタ容量を増加することができる。

【０３９０】

次に、本実施形態による半導体記憶装置の製造方法を説明する。

【０３９１】

まず、シリコン基板１０の主表面上に、例えば通常のＬＯＣＯＳ法により膜厚約３００ｎｍの素子分離膜１２を形成し、素子領域１４を画定する。次いで、熱酸化法により、素子領域１４に膜厚約１０ｎｍのゲート酸化膜１６を形成する。

【０３９２】

続いて、Ｐを高濃度に含んだ膜厚約１５０ｎｍの多結晶シリコン膜をＣＶＤ法により成膜した後、通常のリソグラフィー技術とエッチング技術を用いて多結晶シリコン膜をパターニングし、ゲート電極２０を形成する。

【０３９３】

なお、本実施形態では多結晶シリコン膜単層のみをパターニングしてゲート電極２０を形成したが、第１実施形態に示したように、多結晶シリコン膜とシリコン窒化膜を連続して成膜し、この積層膜を同時にパターニングしてもよい。この場合、後にスルーホール３８、４０を形成する際に、誤ってゲート電極２０がスルーホール３８、４０内に露出することを防止することができる。

【０３９４】

この後、ゲート電極２０をマスクとして、例えばＰイオンを加速エネルギー２０ｋｅＶ、注入量$2\times10^{13}cm^{-2}$の条件でイオン注入し、メモリセルトランジスタのソース拡散層２４、ドレイン拡散層２６を形成する。なお、本実施形態では図示しないが、このように形成した拡散層は、周辺回路用Ｎ型トランジスタにおけるＬＤＤ構造のn^-層となる（図３５（ａ））。

【０３９５】

次いで、ＣＶＤ法により膜厚約１００ｎｍのシリコン窒化膜を成膜した後に異方性エッチングを行い、ゲート電極２０の側壁にサイドウォール窒化膜３０を自己整合で形成する（図３５（ｂ））。なお、形成するサイドウォールはシリコン酸化膜であってもよい。

【０３９６】

続いて、周辺回路のＮ型トランジスタ領域（図示せず）に、例えばＡｓイオンを加速エネルギー４０ｋｅＶ、注入量$4\times10^{15}cm^{-2}$の条件で選択的にイオン注入し、周辺回路のＮ形トランジスタのソース／ドレイン拡散層を形成する。これにより、ＬＤＤ構造の周辺回路用トランジスタを形成する。

【０３９７】

その後、ＣＶＤ法によりＢＰＳＧ膜を約２μｍ堆積し、層間絶縁膜３６を形成する。

【０３９８】

次いで、層間絶縁膜３６上に、膜厚約１００ｎｍの多結晶シリコン膜をＣＶＤ法により堆積した後、。通常のリソグラフィー技術とエッチング技術を用いて多結晶シリコン膜をパターニングし、多結晶シリコンパターン１３６を形成する。

【０３９９】

続いて、膜厚約１５０ｎｍの多結晶シリコン膜を堆積した後にＲＩＥ法によりエッチングし、パターニングされた多結晶シリコンパターン１３６の側壁に多結晶シリコンサイドウォール１３８を形成する（図３５（ｃ））。

【０４００】

この後、このように形成した多結晶シリコンパターン１３６と、多結晶シリコンサイドウォール１３８をマスクとして層間絶縁膜３６をエッチングし、ソース拡散層２４上に開口されたスルーホール４０と、ドレイン拡散層２６上に開口されたスルーホール３８を形成する（図３６（ａ））。

【０４０１】

このように形成したスルーホール３８、４０は多結晶シリコンパターン１３６と多結晶シリコンサイドウォール１３８とをマスクとして開口するので、露光装置の最小解像寸法以下のサイズ、例えば０．１μｍの微細な開口を形成することができる。

【０４０２】

なお、スルーホール３８、４０を形成する上記の方法では、相当の工程数が必要であるが、このようなスルーホール３８、４０を使用する箇所を、例えばメモリセルのみに限定すれば、電子線描画法を用いたリソグラフィー技術によって形成することも可能となる。一般に、電子線描画によるリソグラフィーではスループットが長くなるが、使用する箇所を限定することにより、上記の方法による工程数の差と相殺され、スループットを短縮できる可能性がある。

【０４０３】

次いで、膜厚約１００ｎｍの多結晶シリコン膜１４０をＣＶＤ法により堆積し、スルーホール３８、４０を埋め込む（図３６（ｂ））。なお、この工程は必ずしも必要ではないが、キャパシタ容量を増加するうえで、また、エッチングの際のダメージから下地基板を保護するうえで有効である。これに関しては後述する。

【０４０４】

続いて、通常のリソグラフィー技術及びエッチング技術により多結晶シリコン膜１４０、多結晶シリコンパターン１３６、多結晶シリコンサイドウォール１３８、層間絶縁膜３６をパターニングし、キャパシタを形成する領域に開口１４２を形成する（図３７（ａ））。このとき、スルーホール４０に埋め込まれていた多結晶シリコン膜１４０は柱状の突起として残留するので、スルーホール４０下のシリコン基板１０表面はエッチングダメージを直接受けることはない。

【０４０５】

なお、層間絶縁膜３６のエッチングでは、膜の途中でエッチングを停止する必要がある。エッチングの精度を十分に得られない場合等には、層間絶縁膜３６を、例えばシリコン窒化膜とＢＰＳＧ膜よりなる積層膜として、開口１４２のエッチングをシリコン窒化膜でストップするようにしてもよい。こうすることにより工程数が増加するが、開口１４２の深さ制御が容易になり、キャパシタ容量のばらつきが減少し、特性を安定化することができる。

【０４０６】

この後、膜厚約２０ｎｍの多結晶シリコン膜をＣＶＤ法により堆積し、表面に層間絶縁膜３６が露出するまでＣＭＰ法により研磨する。こうすることにより、開口１４２部にはキャパシタ蓄積電極４６が形成され、スルーホール３８部にはコンタクト用導電膜４４が形成される（図３７（ｂ））。

【０４０７】

なお、開口１４２内には、柱状の突起として残留した多結晶シリコン膜１４０が存在するため、キャパシタ蓄積電極４６の表面積は増加する。これにより、キャパシタ容量を増加することができる。

【０４０８】

このようにしてコンタクト用導電膜４４、キャパシタ蓄積電極４６を形成した後、例えば図３（ｂ）乃至図６に示す第１実施形態による半導体記憶装置の製造方法と同様にして

、キャパシタ誘電体膜４８、キャパシタ対向電極５４、ビット線６２、配線７０等を形成する（図３８）。

【０４０９】

このように、本実施形態によれば、ソース拡散層２４上に開口するスルーホール４０、ドレイン拡散層２６上に開口するスルーホール３８の開口径を極めて小さくすることができるので、ゲート電極２０のエッチング残渣が生じた場合にも、ビット線６２とゲート電極２０との短絡を大きく減少することができる。

【０４１０】

また、キャパシタ蓄積電極５４の面積は、別途形成される開口１４２によって決定されるので、蓄積電極５４面積を減少することなく上記の効果を得ることができる。

【０４１１】

また、開口１４２を形成する前に多結晶シリコン膜１４０を堆積することにより、柱状の突起物を開口１４２内に残留するので、キャパシタ容量を増加することができる。これにより、一定の蓄積容量を達成するためのスルーホールの深さを減少することができる。

【０４１２】

なお、上記実施形態では、スルーホール３８、４０に埋め込む導電膜として多結晶シリコン膜を用いたが、例えば、第３実施形態に示したような種々の導電体を用いてもよい。

［第９実施形態］

本発明の第９実施形態による半導体記憶装置の製造方法を、図３９及び図４０を用いて説明する。図１乃至図７に示す第１実施形態、又は図１５乃至図１８に示す第３実施形態の半導体記憶装置及びその製造方法と同一の構成要素には同一の符号を付して説明を省略又は簡略にする。

【０４１３】

図３９及び図４０は本実施形態による半導体記憶装置の製造方法を示す工程断面図である。

【０４１４】

第１実施形態による半導体記憶装置の製造方法では、図４（ａ）に示すように、コンタクト用導電膜４４及びキャパシタ蓄積電極４６を形成する際には、Ｐを高濃度に含んだ多結晶シリコン膜を成膜した後、層間絶縁膜３６上の多結晶シリコン膜をＣＭＰ法により除去することにより行った。

【０４１５】

また、第３実施形態による半導体記憶装置の製造方法では、図１７（ａ）に示すように、コンタクト用導電膜４４、キャパシタ蓄積電極４６、導電膜８０を形成する際には、Ｔｉ膜とＴｉＮ膜とを連続して成膜した後、層間絶縁膜３６上のＴｉＮ膜及びＴｉ膜をＣＭＰ法により除去することにより行った。

【０４１６】

しかしながら、第６実施形態において示したように、このようにしてスルーホール３８、４０、６０内にコンタクト用導電膜４４、キャパシタ蓄積電極４６、導電膜８０を形成すると、研磨時に発生する紛状物等がスルーホール３８、４０、６０内に入り込んでしまい、歩留りを低下させる虞がある。

【０４１７】

また、スルーホール４０内に紛状物等が入り込むと、スルーホール４０が埋め尽くされ、容量を確保することができなくなるばかりか、耐圧まで劣化してしまう。

【０４１８】

更に、ＣＭＰ法の代わりにリソグラフィー技術を用い、スルーホール３８、スルーホール４０、スルーホール６０内にフォトレジストを残存させた後、このフォトレジストをマスクとしてＴｉ膜及びＴｉＮ膜をエッチング除去する方法を第３実施形態において示したが、この方法では、エンドポイントでエッチングを制御することができない。

【０４１９】

また、時間による制御では、スルーホール３８、４０、６０内以外での場所に残渣が残

ると、例えばビット線６２とキャパシタ蓄積電極４６が短絡するため、オーバーエッチングを必要とするが、オーバーエッチングを行うとスルーホール４０側壁のキャパシタ蓄積電極４６までもがエッチングされるため、キャパシタ容量が減少してしまう。

【０４２０】

本実施形態では、スルーホール３８、４０、６０内に紛状物等が入り込むことなく、ＣＭＰ法によりコンタクト用導電膜４４、キャパシタ蓄積電極４６、導電膜８０を形成できる半導体記憶装置の製造方法を提供する。

【０４２１】

以下の説明では、第３実施形態による半導体記憶装置の製造方法に適用する場合の実施形態を示すが、他の実施形態による半導体記憶装置の製造方法に適用することもできる。

【０４２２】

まず、図１６（ａ）乃至図１６（ｃ）に示す第３実施形態による半導体記憶装置の製造方法と同様にして、層間絶縁膜３６にスルーホール３８、４０、６０を形成する。

【０４２３】

次いで、膜厚約１０ｎｍのＴｉ膜と膜厚約３０ｎｍのＴｉＮ膜をＣＶＤ法により連続して成膜し、導電膜１４４を形成する（図３９（ａ））。

【０４２４】

続いて、顔料入りのレジストを表面に塗布し、膜厚約２μｍのフォトレジスト７２を形成する。これにより、スルーホール３８、４０、６０内はフォトレジスト７２によって完全に埋め込まれる（図３９（ｂ））。なお、フォトレジスト７２の代わりに感光性ポリイミドを用いてもよい。

【０４２５】

この後、フォトレジスト７２表面を全面露光し、スルーホール３８、４０、６０内のみにフォトレジスト７２を残す（図４０（ａ））。

【０４２６】

次いで、層間絶縁膜３６上の導電膜１４４をＣＭＰ法により除去する。このときには、スルーホール３８、４０、６０内にはフォトレジスト７２が埋め込まれているため、研磨により発生する紛状物等はスルーホール３８、４０、６０内には入り込まない。こうして、コンタクト用導電膜４４、キャパシタ蓄積電極４６、導電膜８０を形成する。

【０４２７】

なお、フォトレジスト７２を全面露光せずに、フォトレジスト７２、ＴｉＮ膜及びＴｉ膜をＣＭＰ法により除去してもよい。

【０４２８】

続いて、スルーホール３８、４０、６０内に残留するフォトレジスト７２を過酸化水素水により除去する（図４０（ｂ））。

【０４２９】

この後、図１７（ａ）乃至図１８（ｂ）に示す製造方法により半導体記憶装置を形成する。

【０４３０】

このように、本実施形態によれば、コンタクト用導電膜４４、キャパシタ蓄積電極４６、導電膜８０を形成する際の研磨工程前において、スルーホール３８、４０、６０内にフォトレジスト７２を埋め込んだので、研磨の際に発生する紛状物や研磨剤がスルーホール３８、４０、６０内に入り込むことはなく、これに起因する歩留り低下を防止することができる。

【０４３１】

なお、上記実施形態では、第３実施形態による半導体記憶装置と同様にして、ビット線コンタクト部と周辺回路領域のコンタクト部とを同一の構造で形成したが、第１実施形態又は第２実施形態による半導体記憶装置のように周辺回路領域のコンタクトを形成してもよい。

【０４３２】

また、上記実施形態による半導体記憶装置の構造は、本発明による他の実施形態にも適用することができる。

［第１０実施形態］

本発明の第１０実施形態による半導体記憶装置及びその製造方法を、図４１乃至図４３を用いて説明する。第９実施形態の半導体記憶装置及びその製造方法と同一の構成要素には同一の符号を付して説明を省略又は簡略にする。

【０４３３】

図４１は本実施形態による半導体記憶装置の構造を示す概略断面図、図４２及び図４３は本実施形態による半導体記憶装置の製造方法を示す工程断面図である。

【０４３４】

本実施形態では、第９実施形態と同様に、スルーホール内に紛状物等が入り込むことなく、ＣＭＰ法によりコンタクト用導電膜、キャパシタ蓄積電極等を形成できる半導体記憶装置の製造方法を提供する。

【０４３５】

本実施形態による半導体記憶装置は、層間絶縁膜３６の最上部に、層間絶縁膜３６とはエッチング特性の異なる絶縁膜が形成されていることに特徴がある。

【０４３６】

次に、本実施形態による半導体記憶装置の製造方法を説明する。

【０４３７】

まず、図１６（ａ）及び図１６（ｂ）に示す第３実施形態による半導体記憶装置の製造方法と同様にして、半導体基板１０上にメモリセルトランジスタ及び周辺回路用トランジスタを形成する。

【０４３８】

次いで、膜厚約２μｍのシリコン酸化膜と膜厚約５０ｎｍのシリコン窒化膜を、ＣＶＤ法により連続して成膜し、最上部にシリコン窒化膜１４６が形成された層間絶縁膜３６を形成する。

【０４３９】

続いて、シリコン窒化膜とシリコン酸化膜よりなる二層構造の層間絶縁膜３６にスルーホール３８、４０、６０を開口する（図４２（ａ））。

【０４４０】

この後、膜厚約１０ｎｍのＴｉ膜、膜厚約３０ｎｍのＴｉＮ膜よりなる導電膜１４４、膜厚約０．１５μｍのシリコン酸化膜１４８をＣＶＤ法により堆積する（図４２（ｂ））。スルーホール３８、４０、６０内は、シリコン酸化膜１４８により完全に埋め込まれる。

【０４４１】

次いで、ＣＭＰ法により、シリコン酸化膜１４８を導電膜１４４上まで除去し、続いて、導電膜１４４をシリコン窒化膜１４６上まで除去する（図４３（ａ））。こうして、コンタクト用導電膜４４、キャパシタ蓄積電極４６、導電膜８０を形成する。

【０４４２】

このようにしてコンタクト用導電膜４４、キャパシタ蓄積電極４６、導電膜８０を形成すれば、導電膜１４４研磨時に発生する紛状物や研磨剤がスルーホール３８、４０、６０内に入り込むことはない。

【０４４３】

続いて、例えば弗酸系水溶液を用いたウェットエッチングによりシリコン酸化膜１４８を除去する（図４３（ｂ））。

【０４４４】

この後、図１７（ａ）乃至図１８（ｂ）に示す製造方法により半導体記憶装置を形成する。

【０４４５】

このように、本実施形態によれば、コンタクト用導電膜４４、キャパシタ蓄積電極４６

、導電膜８０を形成する際の研磨工程前において、スルーホール３８、４０、６０内にシリコン酸化膜１４８を埋め込んだので、研磨の際に発生する紛状物や研磨剤がスルーホール３８、４０、６０内に入り込むことはなく、これに起因する歩留り低下を防止することができる。

［第１１実施形態］

本発明の第１１実施形態による半導体記憶装置及びその製造方法を、図４４乃至図４７を用いて説明する。

【０４４６】

図４４は本実施形態による半導体記憶装置の構造を示す概略断面図、図４５乃至図４７は本実施形態による半導体記憶装置の製造方法を示す工程断面図である。

【０４４７】

本実施形態による半導体記憶装置及びその製造法では、第４及び第１０実施形態による半導体記憶装置の製造方法を、両面シリンダキャパシタを有する半導体記憶装置に応用している。

【０４４８】

即ち、図４４に示すように、キャパシタ蓄積電極４６は、シリコン酸化膜８４、シリコン窒化膜８６よりなる層間絶縁膜に形成されたスルーホール４０の内壁及び底部に形成されたコンタクト部４６ａと、その上部に連続して形成された突出部４６ｂとにより構成されている。キャパシタ誘電体膜４８は、キャパシタ蓄積電極４６の内部と、突出部４６ｂの外壁を覆うように形成されている。キャパシタ対向電極は、キャパシタ誘電体膜４８を覆うように形成されている。このようにして、両面シリンダキャパシタが形成されている。

【０４４９】

スルーホール４０が形成された層間絶縁膜３６は、エッチング特性の異なる膜よりなる積層膜により形成されている。即ち、本実施形態による半導体記憶装置では、シリコン酸化膜８４、シリコン窒化膜８６により層間絶縁膜３６が形成されている。

【０４５０】

次に、本実施形態による半導体記憶装置の製造方法を説明する。

【０４５１】

まず、図２０（ａ）乃至図２１（ａ）に示す第４実施形態による半導体記憶装置の製造方法と同様の手順により、シリコン酸化膜８４、シリコン窒化膜８６、シリコン酸化膜８８の三層構造よりなる層間絶縁膜を形成し、スルーホール４０を開口する。なお、第４実施形態による半導体記憶装置の製造方法では、ドレイン拡散層２６上に開口するスルーホール３８を同時に形成するが、本実施形態では形成しない（図４５（ａ））。

【０４５２】

次いで、膜厚約５０ｎｍの、高濃度にＰをドープした多結晶シリコン膜よりなる導電膜１４４と、膜厚約０．１５μｍのシリコン酸化膜１４８をＣＶＤ法により堆積する（図４５（ｂ））。これにより、スルーホール４０内は、シリコン酸化膜１４８により完全に埋め込まれる。

【０４５３】

続いて、ＣＭＰ法により、シリコン酸化膜１４８を導電膜１４４上まで除去し、続いて、導電膜１４４をシリコン酸化膜８８上まで除去する（図４６（ａ））。こうして、キャパシタ蓄積電極４６を形成する。

【０４５４】

このようにしてキャパシタ蓄積電極４６を形成すれば、導電膜１４４研磨時に発生する紛状物や研磨剤がスルーホール４０内に入り込むことはない。

【０４５５】

この後、例えば弗酸系水溶液を用いたウェットエッチングを行う。これにより、シリコン酸化膜１４８と、シリコン酸化膜８８とがエッチングされ、キャパシタ蓄積電極４６はシリンダ状の突起物として露出する（図４６（ｂ））。

【０４５６】
次いで、キャパシタ誘電体膜４８、キャパシタ対向電極５４を形成して両面シリンダ構造のキャパシタを形成し、層間絶縁膜６４を堆積する。
【０４５７】
続いて、層間絶縁膜６４、シリコン窒化膜８６、シリコン酸化膜８４を貫通するスルーホール３８を開口し、スルーホール３８を埋め込むようにビット線６２を形成する（図４７）。
【０４５８】
このようにして半導体記憶装置を製造することにより、両面シリンダ構造のキャパシタを有するＤＲＡＭセルを形成することができる。
【０４５９】
このように、本実施形態によれば、キャパシタ蓄積電極４６を形成する際の研磨工程前において、スルーホール４０内にシリコン酸化膜１４８を埋め込むことにより、研磨の際に発生する紛状物や研磨剤がスルーホール４０内に入り込むことはないので、シリンダキャパシタを有する半導体記憶装置においても、これに起因する歩留り低下を防止することができる。
【０４６０】
なお、上記実施形態では、層間絶縁膜６４上に形成したビット線６２を直接ドレイン拡散層２６と接続したが、第１実施形態による半導体記憶装置と同様にして、キャパシタ蓄積電極４６と同時に形成したコンタクト用導電膜４４を介して接続してもよい。
［第１２実施形態］
本発明の第１２実施形態による半導体記憶装置の構造を、図４８及び図４９を用いて説明する。なお、上記第１乃至第３実施形態の半導体記憶装置と同一の構成要素には同一の符号を付して説明を省略又は簡略にする。
【０４６１】
図４８は本実施形態による半導体記憶装置の構造を示す平面図及び部分断面図、図４９は本実施形態による半導体記憶装置の周辺回路構成例を示す図である。
【０４６２】
上記第１乃至第３実施形態では、自己整合プロセスを駆使することにより種々の合わせ余裕を不要とした。従って、ワード線及びビット線を最小加工寸法のラインアンドスペース（Ｌ／Ｓ）で配置することは可能である。
【０４６３】
しかし、最小加工寸法のＬ／Ｓでワード線やビット線を加工するとすれば、コンタクトホールと配線層とのオーバーラップ余裕等が確保できず、また、配線を折り曲げることもできない。従って、このようなメモリセルを実現するためには、上記実施形態で示した他に、周辺回路の配置等を考慮してパターンレイアウトを行う必要がある。
【０４６４】
本実施形態では、周辺回路のレイアウトを考慮した上で、第１乃至第３実施形態による半導体記憶装置を実現できる半導体記憶装置の構造を説明する。
【０４６５】
図４８（ａ）に示すように、本実施形態による半導体記憶装置は、最小加工寸法でパターニングされたビット線６２とワード線２０が互いに直交するように配置されている。このように配置した際に問題となるのは、ビット線コンタクトホールとビット線とのオーバーラップ余裕等である。
【０４６６】
図４８（ａ）のＸ－Ｘ′部の断面図である図４８（ｂ）に示すように、ビット線６２はコンタクト用導電膜４４にコンタクトする必要があるので、コンタクト用導電膜４４はビット線コンタクトホール５８内に露出する必要がある。
【０４６７】
しかしながら、ビット線６２をパターニングする際の合わせズレによりビット線６２の

パターン端がビット線コンタクトホール５８内に形成されてしまうと、ビット線６２形成の際のエッチングによりコンタクト用導電膜４４等がエッチングされてしまい、段差が増大するなどの不都合が生ずる。従って、図４８（ａ）のＹ－Ｙ´部の断面図である図４８（ｃ）に示すように、ビット線コンタクトホール５８の幅はビット線６２の幅よりも狭いことが要求される。

【０４６８】

一方、ビット線６２は、スルーホール３８に埋め込まれた多結晶シリコン膜５０と接続されるので、スルーホール３８内に埋め込まれた多結晶シリコン膜５０とキャパシタ対向電極５４が接続されたままにならないように、キャパシタ対向電極５４をパターニングする際には、スルーホール３８から十分に離間して形成する必要がある。従って、ビット線コンタクトホール５８は広いことが望ましい。

【０４６９】

ビット線コンタクトホール５８に対する、こうした相反する要請を満たす為には、コンタクト用導電膜４４の厚さとサイドウォール酸化膜５６の幅を最適化する必要がある。

【０４７０】

例えば、ビット線６２を０．３μｍのＬ／Ｓでパターニングし、スルーホールを０．３μｍで開口する場合には、ビット線コンタクトホール５８に対するビット線６２の合わせズレを考慮してビット線６２のオーバーラップを例えば０．０７μｍとし、多結晶シリコン膜５０とキャパシタ対向電極５４との間隔を例えば０．１μｍ確保する。

【０４７１】

次いで、コンタクト用導電体膜４４の膜厚とサイドウォール酸化膜５６の幅をを最適化して、上記のパラメータを満足するようにする。例えば、コンタクト用導電膜４４の膜厚を０．０５μｍ、サイドウォール酸化膜５６の幅を０．１２μｍとすれば、ワード線２０方向のキャパシタ対向電極５４の間隔が０．４μｍ、ビット線コンタクトホール５８の幅が０．１６μｍとなる。

【０４７２】

なお、ここに述べたビット線コンタクトホール５８については、ビット線６２形成のエッチングの際にコンタクト用導電膜４４等がエッチングされてしまうのを防ぐのが目的であり、エッチングの制御を精密に行えば図４８（ｃ）に示すビット線コンタクトホール５８の幅がビット線６２の幅より広くてもかまわないことは勿論である。

【０４７３】

このように、図４８（ｂ）、（ｃ）に示すようなビット線６２方向に伸びる長方形のビット線コンタクトホール５８を形成することにより、最小のセル面積を実現することができる。なお、このときのセル面積は、０．７２μｍ^{2}となる。

【０４７４】

次に、周辺回路の構成例を示す。

【０４７５】

図４９に示すように、デコーダ９４及びセンスアンプ９６をメモリセル領域の両側に形成する。デコーダ９４及びセンスアンプ９６をこのように配置することにより、合わせ余裕を一切排除してメモリセル面積を縮小した場合にも、周辺回路を問題なく配置することができる。

【０４７６】

なお、本実施形態では、最小加工寸法のＬ／Ｓでワード線やビット線を配置したので、ビット線６２を途中で折り曲げることができない。従って、ペアになっているビット線を途中でツイストすることによりビット線間の干渉を抑えるツイストビット線構造を採用することはできない。また、ビット線上にシールド板を設けてビット線間の干渉を抑えるシールドビット線構造を採用するためには、製造工程の増加を避けられない。

【０４７７】

しかし、ビット線の膜厚をビット線間隔よりも十分に薄くすれば、ビット線間の容量カップリングを抑えることができるので、ビット線間の干渉を抑制することが可能である。

例えば、ビット線の構造をW膜（５０ｎｍ）／ＴｉＮ膜（５０ｎｍ）／Ｔｉ膜（３０ｎｍ）として、トータル膜厚を０．１３μｍとすれば、ビット線間隔の０．３μｍの半分より小さくできるので、ビット線間の干渉に対処することができる。

【０４７８】

このように、本実施形態によれば、ビット線コンタクトホールの構造を最適化することにより、最小加工寸法でビット線を配置した場合にも、ビット線コンタクトホールとビット線とのオーバーラップ余裕を確保することができたので、メモリセル面積を大幅に縮小した半導体記憶装置を構成することができる。

【０４７９】

また、デコーダ及びセンスアンプを、メモリセル領域の両側にそれぞれ設けたので、合わせ余裕を一切排除してメモリセル面積を縮小した場合にも、周辺回路を問題なく配置することができる。

［第１３実施形態］

本発明の第１３実施形態による半導体記憶装置及びその製造方法を図５０乃至図５６を用いて説明する。

【０４８０】

図５０は本実施形態による半導体記憶装置の構造を示す平面図、図５１は図５０の半導体記憶装置のＡ－Ａ´部の断面を示す概略図、図５２乃至図５５は本実施形態による半導体記憶装置の製造方法を示す工程断面図、図５６は本実施形態の変形例による半導体記憶装置の構造を示す概略断面図である。

【０４８１】

本実施形態では、第８実施形態による半導体記憶装置及びその製造方法に、ビット線及びキャパシタの他の形成方法を応用した半導体記憶装置及びその製造方法を示す。

【０４８２】

始めに本実施形態による半導体記憶装置の構造を、図５０の平面図及び図５１の断面図を用いて説明する。図５１は、基本的には図５０のＡ－Ａ´部の断面を表したものであるが、ビット線６２及びスルーホール３８の一部を仮想的に移動して示してある。即ち、図５１では、図５０のＢ－Ｂ´部の断面と、Ａ－Ａ´部の断面図とを同時に示してある。

【０４８３】

シリコン基板１０には、素子分離膜１２により画定された素子領域１４が形成されている。素子領域１４には、ソース拡散層２４とドレイン拡散層２６が独立に形成されている。ソース拡散層２４とドレイン拡散層２６間の半導体基板１０上には、ゲート酸化膜１６を介してゲート電極２０が形成されている。こうして、ゲート電極２０、ソース拡散層２４、ドレイン拡散層２６からなるメモリセルトランジスタが構成されている。

【０４８４】

ゲート電極２０と交差する方向にはビット線６２が配されており、スルーホール３８を介してドレイン拡散層２６と接続されている。ソース拡散層２４上には、スルーホール４０を介してキャパシタ蓄積電極４６が接続されており、キャパシタ蓄積電極４６上に形成されたキャパシタ誘電体膜４８、キャパシタ対向電極５４とによりキャパシタが形成されている。キャパシタ上部には層間絶縁膜６４を介して配線層７０が形成されており、１トランジスタ、１キャパシタからなるＤＲＡＭが構成されている。

【０４８５】

ここで、ゲート電極２０、すなわちワード線の幅は０．２μｍであり、０．３μｍ間隔で配置されている。スルーホール３８、４０は、開口径０．１μｍであり、ゲート電極２０から０．１μｍ離間して形成されている。ビット線６２の幅は０．２μｍであり、０．３μｍ間隔で配置されている。スルーホール３８とのオーバーラップは約０．０５μｍであり、スルーホール４０との距離は約０．１μｍである。こうして、セル面積０．５μｍ^{2}を有するメモリセルが形成されている。

【０４８６】

次に、本実施形態による半導体記憶装置の製造方法を説明する。

【０４８７】
まず、シリコン基板１０の主表面上に、例えば通常のＬＯＣＯＳ法により膜厚約３００ｎｍの素子分離膜１２を形成し、素子領域１４を画定する。次いで、熱酸化法により、素子領域１４に膜厚約１０ｎｍのゲート酸化膜１６を形成する。
【０４８８】
続いて、ＣＶＤ法により、膜厚約１５０ｎｍの、Ｐを高濃度に含んだ多結晶シリコン膜を成長した後、通常のリソグラフィー技術とエッチング技術を用いて多結晶シリコン膜をパターンニングし、ゲート電極２０を形成する。
【０４８９】
この後、素子分離膜１２及びゲート電極２０をマスクとして、例えばＰイオンを加速エネルギー２０ｋｅＶ、注入量$2\times10^{13}cm^{-2}$の条件でイオン注入し、メモリセルトランジスタのソース拡散層２４、ドレイン拡散層２６を形成する（図５２（ａ））。
【０４９０】
次いで、ＣＶＤ法により膜厚約５０ｎｍのシリコン酸化膜と、膜厚約２００ｎｍのＢＰＳＧ膜を順次成長した後、リフローによりその表面を平坦化して層間絶縁膜１５０を形成する。
【０４９１】
続いて、膜厚約５０ｎｍの多結晶シリコン膜１５８をＣＶＤ法により堆積し、通常のリソグラフィー技術とエッチング技術を用いて幅約０．３μｍにパターニングする（図５２（ｂ））。
【０４９２】
この後、膜厚約１００ｎｍの多結晶シリコン膜をＣＶＤ法により堆積し、ＲＩＥ法により垂直方向にエッチングし、パターニングした多結晶シリコン膜１５８の側壁に多結晶シリコンサイドウォール１６０を形成する。幅０．３μｍの間隔に形成された多結晶シリコンサイドウォール１６０により、その間に露出する層間絶縁膜１５０の幅は約０．１μｍとなる（図５２（ｃ））。
【０４９３】
次いで、多結晶シリコン膜１５８及び多結晶シリコンサイドウォール１６０をマスクとして層間絶縁膜１５０をエッチングし、ドレイン拡散層２６上に開口されたスルーホール３８と、ソース拡散層２４上に開口されたスルーホール４０とを形成する（図５２（ｄ））。
【０４９４】
このように形成したスルーホール３８、４０の開口径は、多結晶シリコンサイドウォール１６０の間隔とほぼ等しくなるので、前述の通り約０．１μｍとなる。
【０４９５】
なお、本実施形態では、多結晶シリコン膜１５８及び多結晶シリコンサイドウォール１６０をマスクとしてスルーホール３８、４０を開口することにより、露光装置の解像限界以下の加工を可能としているが、第８実施形態による半導体記憶装置の製造方法において示したように、電子線描画法を用いてスルーホール３８、４０を開口してもよい。いずれの方法を用いることによっても、通常のリソグラフィーによって形成できない寸法のスルーホールを開口することができる。
【０４９６】
続いて、膜厚約６０ｎｍの多結晶シリコン膜と、膜厚約１００ｎｍのタングステンシリサイド膜と、シリコン窒化膜とをＣＶＤ法により堆積し、通常のリソグラフィー技術及びエッチング技術によりパターニングする。これにより、上層がシリコン窒化膜１５６により覆われた、タングステンポリサイド構造のビット線６２を形成する。
【０４９７】
ビット線６２をパターニングする際には、多結晶シリコン膜１５８、多結晶シリコンサイドウォール１６０を同時にパターニングし、スルーホール４０内には多結晶シリコン膜よりなる埋め込み導電体１６２が残留するようにする（図５３（ａ））。

【０４９８】
なお、スルーホール４０は、多結晶シリコンのみで埋め込まなくてもよい。例えば、多結晶シリコン膜とタングステンシリサイド膜とによって埋め込んでもよいし、図５５に示すように、多結晶シリコン膜とタングステンシリサイド膜とシリコン窒化膜とによって埋め込んでもよい。いずれの構造であっても、コンタクトはスルーホール４０の底部全体でとることができるので問題はない。
【０４９９】
また、ビット線６２上に形成する絶縁膜は、寄生容量を減らすためには誘電率の低いシリコン酸化膜を用いることが望ましいが、ビット線６２上の絶縁膜をエッチングストッパ膜として用いるときには適用が困難となる。従って、エッチングストッパ膜として用いる際には、シリコン酸化膜とシリコン窒化膜との積層膜をビット線６２上に形成することも効果的である。
【０５００】
この後、膜厚約８０ｎｍのシリコン窒化膜をＣＶＤ法により堆積し、ＲＩＥ法により垂直方向にエッチングする。これにより、ビット線６２の側壁にサイドウォール１６４が形成され、ビット線６２はシリコン窒化膜１５６及びサイドウォール１６４により完全に覆われる（図５３（ｂ））。
【０５０１】
次いで、膜厚約５００ｎｍの多結晶シリコン膜をＣＶＤ法により堆積し、通常のリソグラフィー技術及びエッチング技術によりパターニングし、キャパシタ蓄積電極４６を形成する（図５４（ａ））。このようにしてキャパシタ蓄積電極４６を形成することにより、マスク工程を用いることなく、キャパシタ蓄積電極４６をソース拡散層２４に接続することができるので、従来の方法に比べてマスク工程を一工程削減することができる。
【０５０２】
続いて、膜厚約５ｎｍのシリコン窒化膜をＣＶＤ法により堆積した後にその表面を酸化し、キャパシタ誘電体膜４８を形成する。
【０５０３】
この後、膜厚約１００ｎｍの多結晶シリコン膜をＣＶＤ法により堆積し、通常のリソグラフィー技術及びエッチング技術によりパターニングし、キャパシタ対向電極５４を形成する（図５４（ｂ））。
【０５０４】
次いで、膜厚約３００ｎｍのＢＰＳＧ膜をＣＶＤ法により堆積した後にリフローし、層間絶縁膜１５４を形成する。
【０５０５】
続いて、周辺回路領域（図示せず）にスルーホールを形成した後、タングステン等の金属材料を堆積してパターニングし、配線層７０を形成する（図５５）。
【０５０６】
このようにして、１トランジスタ、１キャパシタよりなるＤＲＡＭを構成する。
【０５０７】
なお、上記実施形態では、メモリセルキャパシタの高さが大きく、周辺回路領域とメモリセル領域との間の高低差が大きくなっているため、メモリセル上の配線層７０はリラックスした線幅及び間隔としている。
【０５０８】
このように、本実施形態によれば、キャパシタ蓄積電極４６は、スルーホール３８と同時に形成されたスルーホール４０内にビット線６２形成と同時に埋め込まれた埋め込み導電体１６２を介してソース拡散層２４に接続されている。このため、スルーホール４０の形成に新たな工程を追加することなく、ビット線６２上のシリコン窒化膜１５６がエッチング雰囲気に曝される時間を減少することができる。
【０５０９】
また、ビット線６２の上部及び側壁を絶縁膜で覆う際に、埋め込み導電体１６２が露出

するようにするので、従来の製造方法のように、キャパシタ蓄積電極４６のコンタクト用スルーホールをマスク工程を用いて形成する必要がなくなる。従って、マスク工程を１工程削減することができる。

［第１４実施形態］

本発明の第１４実施形態による半導体記憶装置及びその製造方法を図５６乃至図５８を用いて説明する。

【０５１０】

図５６は本実施形態による半導体記憶装置の構造を示す概略断面図、図５７及び図５８は本実施形態による半導体記憶装置の製造方法を示す工程断面図である。

【０５１１】

第１３実施形態による半導体記憶装置では、メモリセルキャパシタの高さが大きく、周辺回路領域とメモリセル領域との間の高低差が大きくなっているため、メモリセル上の配線層７０はリラックスした配線ルールで設計しなければならない。本実施形態では、これを解決する半導体記憶装置及びその製造方法を提供する。

【０５１２】

本実施形態による半導体記憶装置は、周辺回路領域に層間絶縁膜が形成されており、メモリセル領域と周辺回路領域との高低差が小さくなっていることに特徴がある。

【０５１３】

即ち、周辺回路領域では、層間絶縁膜１５０、１５２、１５４よりなる三層構造により層間絶縁膜が構成されており、メモリセル領域では、層間絶縁膜１５０、１５４により層間絶縁膜が構成されている。このため、周辺回路領域では、層間絶縁膜１５２の分だけ層間絶縁膜が厚くなっており、メモリセル領域と周辺回路領域との高低差が小さくなっている。

【０５１４】

次に、本実施形態による半導体記憶装置の製造方法を説明する。

【０５１５】

まず、図５２（ａ）乃至図５３（ｂ）に示す第１３実施形態による半導体記憶装置の製造方法と同様の手順により、ビット線６２、埋め込み導電体１６２まで形成する（図５７（ａ））。

【０５１６】

次いで、膜厚約３００ｎｍのＢＰＳＧ膜をＣＶＤ法により堆積し、リフロー又は研磨により表面の平坦な層間絶縁膜１５２を形成する。

【０５１７】

続いて、通常のリソグラフィー技術と、シリコン窒化膜でストップするエッチング方法を用いて層間絶縁膜１５２に開口１６６を形成し、ビット線６２をシリコン窒化膜１５６、サイドウォール１６４で覆った状態で埋め込み導電体１６２を露出する（図５７（ｂ））。

【０５１８】

この後、膜厚約２０ｎｍの多結晶シリコン膜をＣＶＤ法により成長して表面を研磨し、開口１６６内にキャパシタ蓄積電極４６を形成する。キャパシタ蓄積電極４６は、スルーホール４０上部で埋め込み導電体１６２と接続される（図５８（ａ））。

【０５１９】

なお、研磨の際には、開口１６６内に紛状物や研磨剤が入り込まないように、第９乃至第１１実施形態による半導体記憶装置の製造方法を適用してもよい。

【０５２０】

次いで、例えば弗酸系水溶液を用いたウェットエッチングにより、層間絶縁膜１５２を５０ｎｍエッチングする。このように層間絶縁膜１５２の上部をすると、キャパシタ蓄積電極４６の露出する面積が増加するのでキャパシタ容量は増加するが、メモリセル領域と周辺回路領域との高低差は増加する。従って、高低差を特に問題とするときには、エッチングを行わないことが望ましい。

【０５２１】
続いて、キャパシタ誘電体膜４８、キャパシタ対向電極５４、層間絶縁膜１５４、配線層７０を形成し、１トランジスタ、１キャパシタよりなるＤＲＡＭを構成する（図５８（ｂ））。
【０５２２】
なお、本実施形態による半導体記憶装置の製造方法では、メモリセル領域と周辺回路領域とにおける層間絶縁膜１５４の表面段差を少なくすることができるので、配線層７０は、第１３実施形態による半導体記憶装置よりも厳しいルールで配置することができる。
【０５２３】
このように、本実施形態によれば、周辺回路領域とメモリセル領域との高低差を小さくすることができるので、製造工程数を増加することなく配線層７０の設計ルールを微細にすることができる。
【図面の簡単な説明】
【０５２４】
【図１】本発明の第１実施形態による半導体記憶装置の構造を示す平面図である。
【図２】本発明の第１実施形態による半導体記憶装置の構造を示す概略断面図である。
【図３】本発明の第１実施形態による半導体記憶装置の製造方法を示す工程断面図（その１）である。
【図４】本発明の第１実施形態による半導体記憶装置の製造方法を示す工程断面図（その２）である。
【図５】本発明の第１実施形態による半導体記憶装置の製造方法を示す工程断面図（その３）である。
【図６】本発明の第１実施形態による半導体記憶装置の製造方法を示す工程断面図（その４）である。
【図７】本発明の第１実施形態の変形例による半導体記憶装置の構造を示す概略断面図である。
【図８】本発明の第２実施形態による半導体記憶装置の構造を示す平面図である。
【図９】本発明の第２実施形態による半導体記憶装置の構造を示す概略断面図である。
【図１０】本発明の第２実施形態による半導体記憶装置の製造方法を示す工程断面図（その１）である。
【図１１】本発明の第２実施形態による半導体記憶装置の製造方法を示す工程断面図（その２）である。
【図１２】本発明の第２実施形態による半導体記憶装置の製造方法を示す工程断面図（その３）である。
【図１３】本発明の第２実施形態による半導体記憶装置の製造方法を示す工程断面図（その４）である。
【図１４】本発明の第２実施形態の変形例による半導体記憶装置の製造方法を示す工程断面図である。
【図１５】本発明の第３実施形態による半導体記憶装置の構造を示す概略断面図である。
【図１６】本発明の第３実施形態による半導体記憶装置の製造方法を示す工程断面図（その１）である。
【図１７】本発明の第３実施形態による半導体記憶装置の製造方法を示す工程断面図（その２）である。
【図１８】本発明の第３実施形態による半導体記憶装置の製造方法を示す工程断面図（その３）である。
【図１９】本発明の第４実施形態による半導体記憶装置の構造を示す概略断面図である。
【図２０】本発明の第４実施形態による半導体記憶装置の製造方法を示す工程断面図（その１）である。
【図２１】本発明の第４実施形態による半導体記憶装置の製造方法を示す工程断面図（その２）である。

【図２２】本発明の第５実施形態による半導体記憶装置の構造を示す概略断面図である。
【図２３】本発明の第５実施形態による半導体記憶装置の製造方法を示す工程断面図（その１）である。
【図２４】本発明の第５実施形態による半導体記憶装置の製造方法を示す工程断面図（その２）である。
【図２５】本発明の第６実施形態による半導体記憶装置の構造を示す概略断面図である。
【図２６】本発明の第６実施形態による半導体記憶装置の製造方法を示す工程断面図（その１）である。
【図２７】本発明の第６実施形態による半導体記憶装置の製造方法を示す工程断面図（その２）である。
【図２８】本発明の第６実施形態による半導体記憶装置の製造方法を示す工程断面図（その３）である。
【図２９】本発明の第７実施形態による半導体記憶装置の構造を示す概略断面図である。
【図３０】本発明の第７実施形態による半導体記憶装置の製造方法を示す工程断面図（その１）である。
【図３１】本発明の第７実施形態による半導体記憶装置の製造方法を示す工程断面図（その２）である。
【図３２】第１実施形態による半導体記憶装置の製造方法における課題を説明する図である。
【図３３】本発明の第８実施形態による半導体記憶装置の構造を示す平面図である。
【図３４】本発明の第８実施形態による半導体記憶装置の構造を示す概略断面図である。
【図３５】本発明の第８実施形態による半導体記憶装置の製造方法を示す工程断面図（その１）である。
【図３６】本発明の第８実施形態による半導体記憶装置の製造方法を示す工程断面図（その２）である。
【図３７】本発明の第８実施形態による半導体記憶装置の製造方法を示す工程断面図（その３）である。
【図３８】本発明の第８実施形態による半導体記憶装置の製造方法を示す工程断面図（その４）である。
【図３９】本発明の第９実施形態による半導体記憶装置の製造方法を示す工程断面図（その１）である。
【図４０】本発明の第９実施形態による半導体記憶装置の製造方法を示す工程断面図（その２）である。
【図４１】本発明の第１０実施形態による半導体記憶装置の構造を示す概略断面図である。
【図４２】本発明の第１０実施形態による半導体記憶装置の製造方法を示す工程断面図（その１）である。
【図４３】本発明の第１０実施形態による半導体記憶装置の製造方法を示す工程断面図（その２）である。
【図４４】本発明の第１１実施形態による半導体記憶装置の構造を示す概略断面図である。
【図４５】本発明の第１１実施形態による半導体記憶装置の製造方法を示す工程断面図（その１）である。
【図４６】本発明の第１１実施形態による半導体記憶装置の製造方法を示す工程断面図（その２）である。
【図４７】本発明の第１１実施形態による半導体記憶装置の製造方法を示す工程断面図（その３）である。
【図４８】本発明の第１２実施形態による半導体記憶装置の構造を示す平面図及び部分断面図である。
【図４９】本発明の第１２実施形態による半導体記憶装置における周辺回路構成例を示す

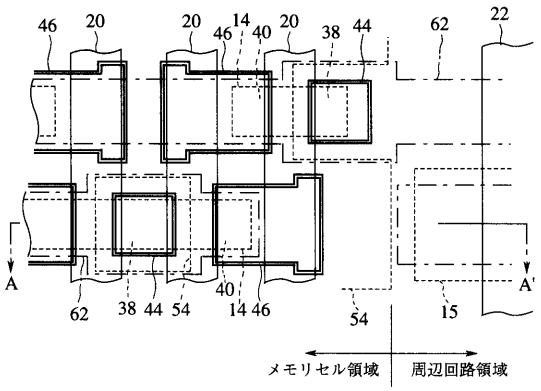
図である。
【図５０】本発明の第１３実施形態による半導体記憶装置の構造を示す平面図である。
【図５１】本発明の第１３実施形態による半導体記憶装置の構造を示す概略断面図である。
【図５２】本発明の第１３実施形態による半導体記憶装置の製造方法を示す工程断面図（その１）である。
【図５３】本発明の第１３実施形態による半導体記憶装置の製造方法を示す工程断面図（その２）である。
【図５４】本発明の第１３実施形態による半導体記憶装置の製造方法を示す工程断面図（その３）である。
【図５５】本発明の第１３実施形態の変形例による半導体記憶装置の構造を示す概略断面図である。
【図５６】本発明の第１４実施形態による半導体記憶装置の構造を示す概略断面図である。
【図５７】本発明の第１４実施形態による半導体記憶装置の製造方法を示す工程断面図（その１）である。
【図５８】本発明の第１４実施形態による半導体記憶装置の製造方法を示す工程断面図（その２）である。
【図５９】従来の半導体記憶装置の構造を示す概略断面図（その１）である。
【図６０】従来の半導体記憶装置の構造を示す概略断面図（その２）である。
【符号の説明】
【０５２５】
１０…半導体基板
１２…素子分離膜
１４…素子領域
１５…素子領域
１６…ゲート酸化膜
１８…シリコン窒化膜
２０…ゲート電極（ワード線）
２２…ゲート電極
２４…ソース拡散層
２６…ドレイン拡散層
２８…低濃度拡散層
３０…サイドウォール窒化膜
３２…ソース拡散層
３４…ドレイン拡散層
３６…層間絶縁膜
３８…スルーホール
４０…スルーホール
４２…絶縁膜
４４…コンタクト用導電膜
４６…キャパシタ蓄積電極
４８…キャパシタ誘電体膜
５０…多結晶シリコン膜
５２…ＢＰＳＧ膜
５３…層間絶縁膜
５４…キャパシタ対向電極
５６…サイドウォール酸化膜
５８…ビット線コンタクトホール
５９…コンタクトホール

６０…スルーホール
６２…ビット線
６４…層間絶縁膜
６６…ビアホール
６８…配線層
７０…配線層
７２…フォトレジスト
７４…フォトレジスト
７６…サイドウォール酸化膜
７８…多結晶シリコン膜
８０…導電膜
８２…ゲートコンタクト部
８４…シリコン酸化膜
８６…シリコン窒化膜
８８…ＢＰＳＧ膜
９０…フォトレジスト
９２…埋め込み導電体
９４…デコーダ
９６…センスアンプ
９８…スルーホール
１００…スルーホール
１０２…層間絶縁膜
１０４…多結晶シリコン膜
１０６…多結晶シリコン膜
１０８…サイドウォール
１１０…多結晶シリコン膜
１１２…柱状導電体
１１４…柱状導電体
１１６…空隙
１１８…積層膜
１２０…コンタクトホール
１２２…スルーホール
１２４…導電膜
１２６…絶縁膜
１２８…多結晶シリコン膜
１３０…ゴミ
１３２…残渣
１３４…残渣
１３６…多結晶シリコンパターン
１３８…多結晶シリコンサイドウォール
１４０…多結晶シリコン膜
１４２…開口
１４４…導電膜
１４６…シリコン窒化膜
１４８…シリコン酸化膜
１５０…層間絶縁膜
１５２…層間絶縁膜
１５４…層間絶縁膜
１５６…シリコン窒化膜
１５８…多結晶シリコン膜

１６０…多結晶シリコンサイドウォール
１６２…埋め込み導電体
１６４…サイドウォール
１６６…開口

【図１】

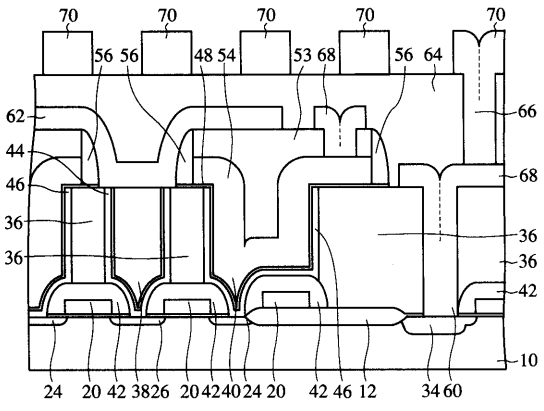
本発明の第1実施形態による半導体記憶装置の構造を示す平面図



14、15…素子領域
20…ゲート電極（ワード線）
22…ゲート電極（周辺回路）
38、40…スルーホール
44…コンタクト用導電膜
46…キャパシタ蓄積電極
54…キャパシタ対向電極
62…ビット線

【図２】

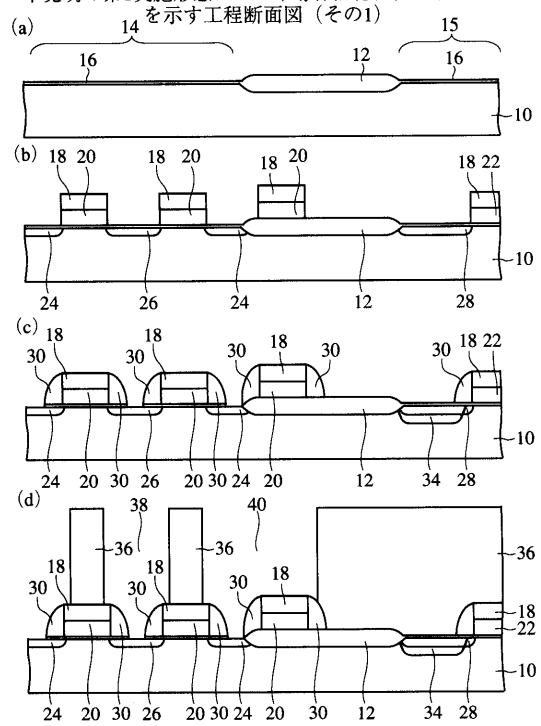
本発明の第1実施形態による半導体記憶装置の構造を示す概略断面図



10…半導体基板
12…素子分離膜
14…素子領域
15…素子領域
16…ゲート酸化膜
20、22…ゲート電極
24…ソース拡散層
26、34…ドレイン拡散層
28…低濃度拡散層
36、53、64…層間絶縁膜
38、40、60…スルーホール
42…絶縁膜
44…コンタクト用導電膜
46…キャパシタ蓄積電極
48…キャパシタ誘電体膜
54…キャパシタ対向電極
56…サイドウォール酸化膜
58…ビット線コンタクトホール
59…コンタクトホール
62…ビット線
66…ビアホール
68、70…配線層

【図３】

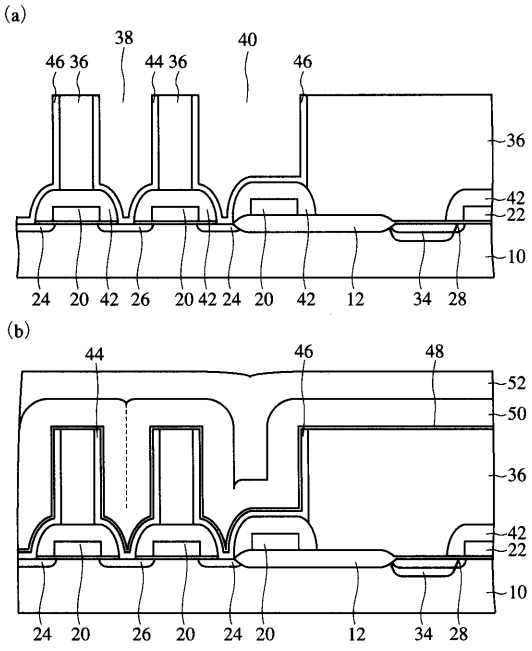
本発明の第1実施形態による半導体記憶装置の製造方法を示す工程断面図（その1）



10…半導体基板
12…素子分離膜
14…素子領域
15…素子領域
16…ゲート酸化膜
20、22…ゲート電極
24…ソース拡散層
26、34…ドレイン拡散層
28…低濃度拡散層
30…サイドウォール窒化膜
36…層間絶縁膜
38、40…スルーホール

【図４】

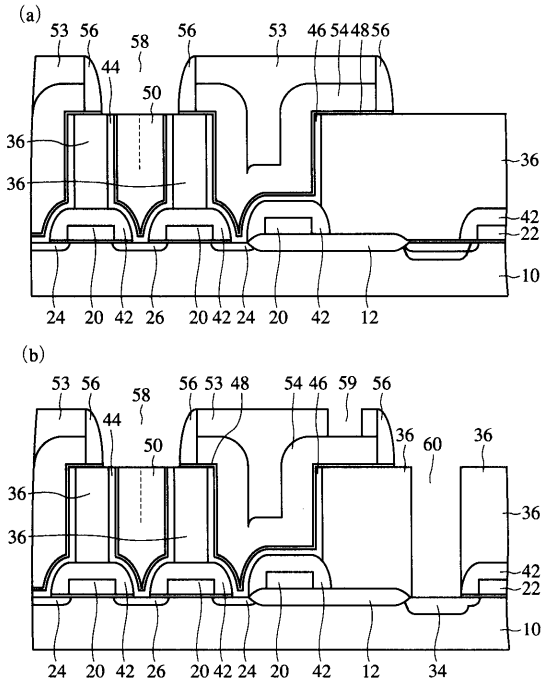
本発明の第1実施形態による半導体記憶装置の製造方法を示す工程断面図（その2）



42…絶縁膜
44…コンタクト用導電膜
46…キャパシタ蓄積電極
48…キャパシタ誘電体膜
50…多結晶シリコン膜
52…BPSG膜

【図５】

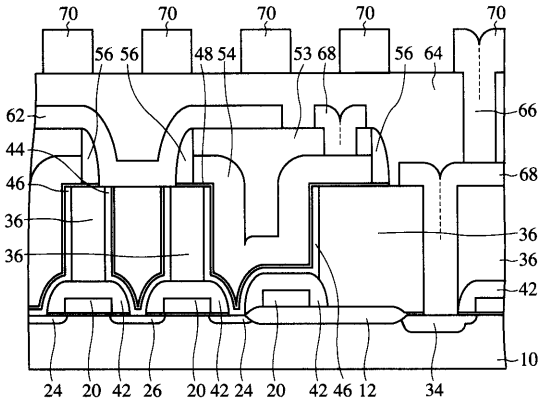
本発明の第1実施形態による半導体記憶装置の製造方法を示す工程断面図（その3）



53…層間絶縁膜
54…キャパシタ対向電極
56…サイドウォール酸化膜
58…ビット線コンタクトホール
59…コンタクトホール
60…スルーホール

【図６】

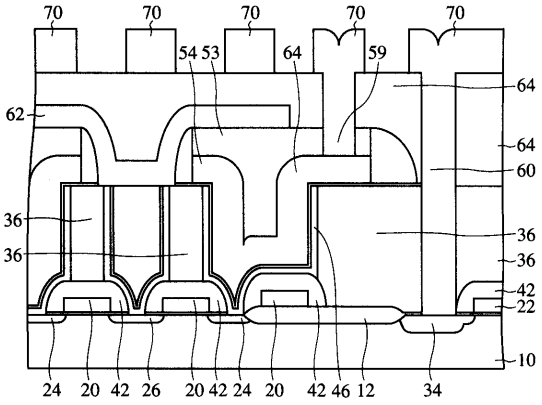
本発明の第1実施形態による半導体記憶装置の製造方法を示す工程断面図（その4）



62…ビット線
64…層間絶縁膜
66…ビアホール
68…配線層
70…配線層

【図７】

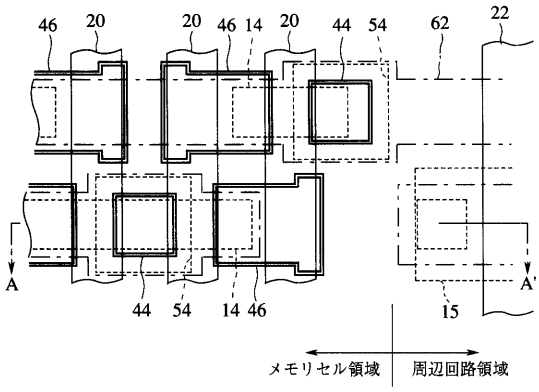
本発明の第1実施形態の変形例による半導体記憶装置の構造を示す概略断面図



10…半導体基板
12…素子分離膜
14、15…素子領域
16…ゲート酸化膜
20、22…ゲート電極
24…ソース拡散層
26、34…ドレイン拡散層
28…低濃度拡散層
36、53、64…層間絶縁膜
38、40、60…スルーホール
42…絶縁膜
44…コンタクト用導電膜
46…キャパシタ蓄積電極
48…キャパシタ誘電体膜
54…キャパシタ対向電極
56…サイドウォール酸化膜
58…ビット線コンタクトホール
59…コンタクトホール
62…ビット線
70…配線層

【図８】

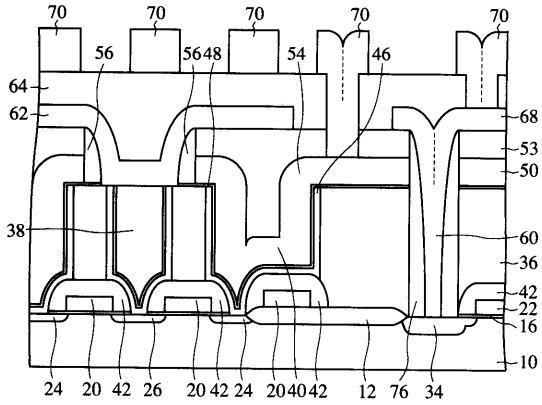
本発明の第2実施形態による半導体記憶装置の構造を示す平面図



14、15…素子領域
20…ゲート電極（ワード線）
22…ゲート電極（周辺回路）
44…コンタクト用導電膜
46…キャパシタ蓄積電極
54…キャパシタ対向電極
62…ビット線

【図９】

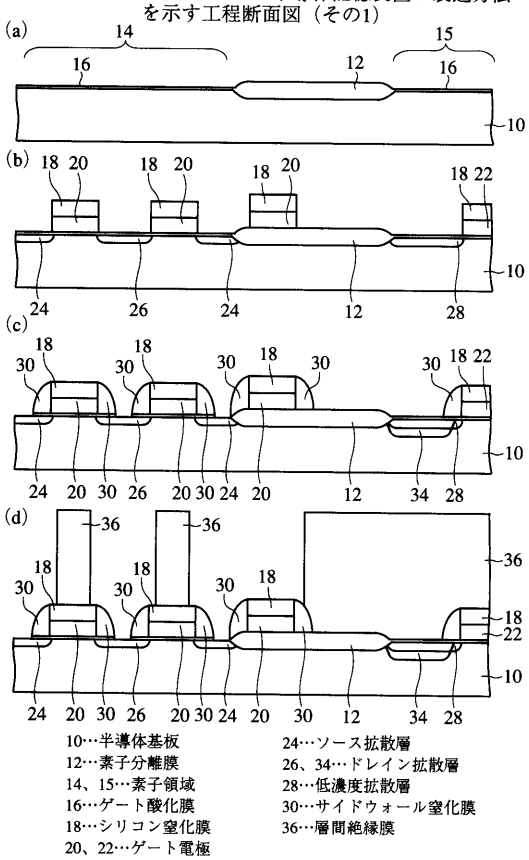
本発明の第2実施形態による半導体記憶装置の構造を示す概略断面図



10…半導体基板
12…素子分離膜
14、15…素子領域
16…ゲート酸化膜
20、22…ゲート電極
24…ソース拡散層
26、34…ドレイン拡散層
28…低濃度拡散層
36、53、64…層間絶縁膜
38、40、60…スルーホール
42…絶縁膜
44…コンタクト用導電膜
46…キャパシタ蓄積電極
48…キャパシタ誘電体膜
54…キャパシタ対向電極
56…サイドウォール酸化膜
58…ビット線コンタクトホール
59…コンタクトホール
62…ビット線
66…ビアホール
68…配線層
70…配線層
76…サイドウォール酸化膜

【図１０】

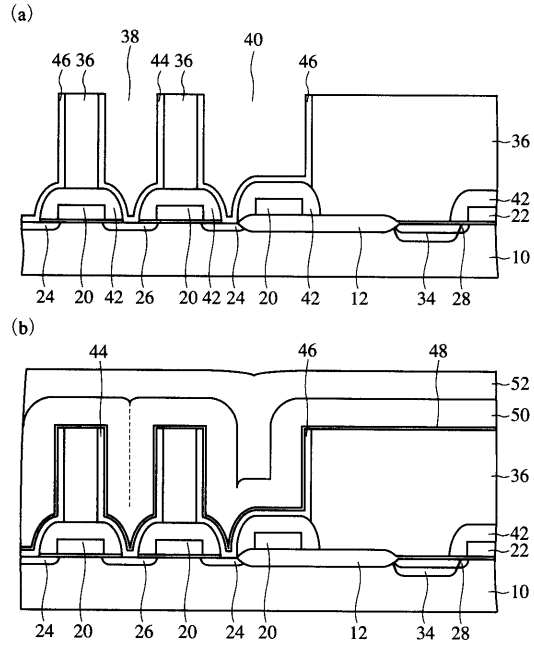
本発明の第2実施形態による半導体記憶装置の製造方法を示す工程断面図（その1）



10…半導体基板
12…素子分離膜
14、15…素子領域
16…ゲート酸化膜
18…シリコン窒化膜
20、22…ゲート電極
24…ソース拡散層
26、34…ドレイン拡散層
28…低濃度拡散層
30…サイドウォール窒化膜
36…層間絶縁膜

【図１１】

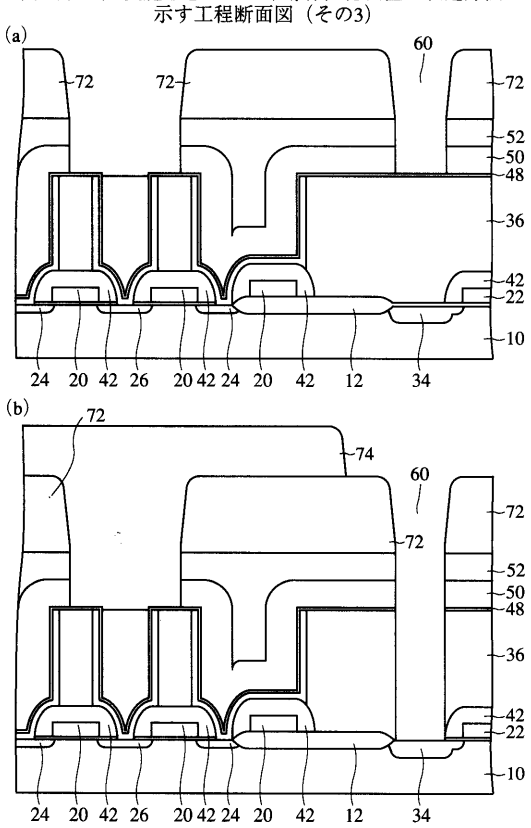
本発明の第2実施形態による半導体記憶装置の製造方法を示す工程断面図（その2）



38、40…スルーホール
42…絶縁膜
44…コンタクト用導電膜
46…キャパシタ蓄積電極
48…キャパシタ誘電体膜
50…多結晶シリコン膜
52…BPSG膜

【図１２】

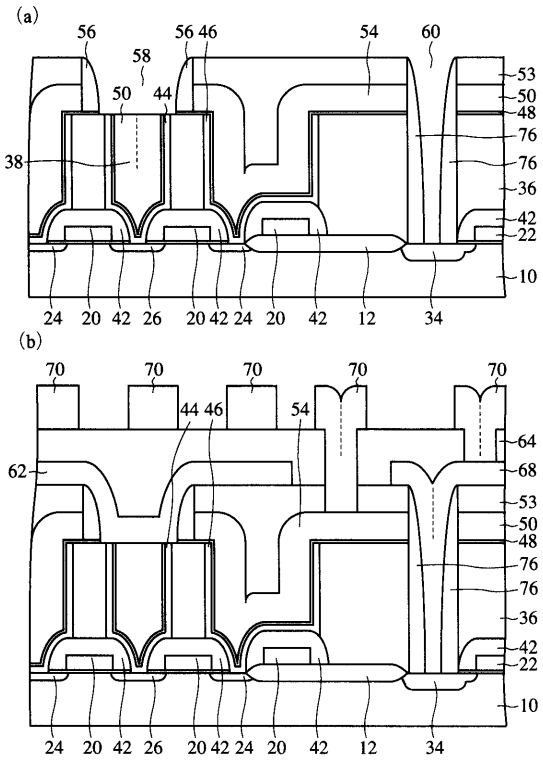
本発明の第2実施形態による半導体記憶装置の製造方法を示す工程断面図（その3）



72、74…フォトレジスト

【図１３】

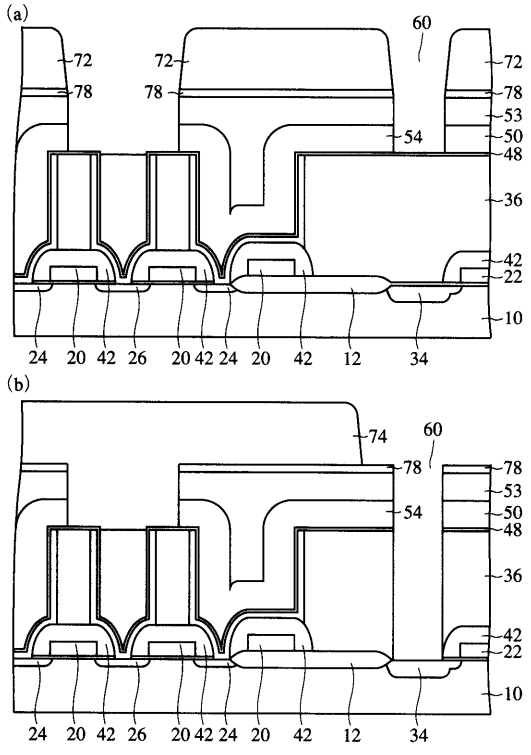
本発明の第2実施形態による半導体記憶装置の製造方法を示す工程断面図（その4）



60…スルーホール
62…ビット線
64…層間絶縁膜
68…配線層
70…配線層
76…サイドウォール酸化膜

【図１４】

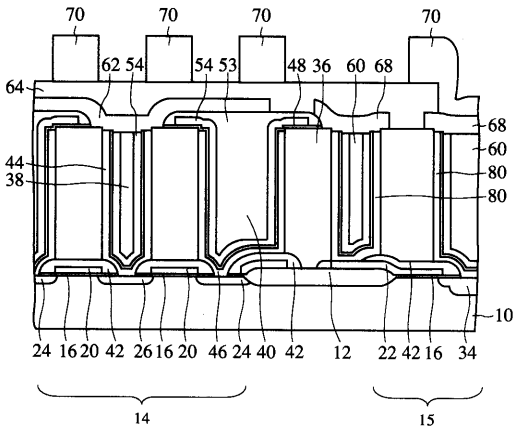
本発明の第2実施形態の変形例による半導体記憶装置の製造方法を示す工程断面図



74…フォトレジスト
78…多結晶シリコン膜

【図１５】

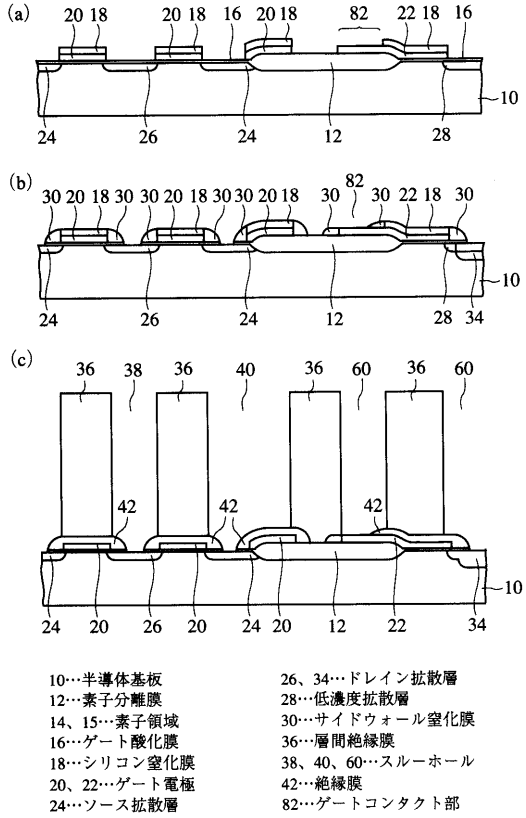
本発明の第3実施形態による半導体記憶装置の構造を示す概略断面図



10…半導体基板
12…素子分離膜
14、15…素子領域
16…ゲート酸化膜
20、22…ゲート電極
24…ソース拡散層
26、34…ドレイン拡散層
28…低濃度拡散層
36、53、64…層間絶縁膜
38、40、60…スルーホール
42…絶縁膜
44…コンタクト用導電膜
46…キャパシタ蓄積電極
48…キャパシタ誘電体膜
54…キャパシタ対向電極
56…サイドウォール酸化膜
62…ビット線
64…層間絶縁膜
68、70…配線層
80…導電膜

【図１６】

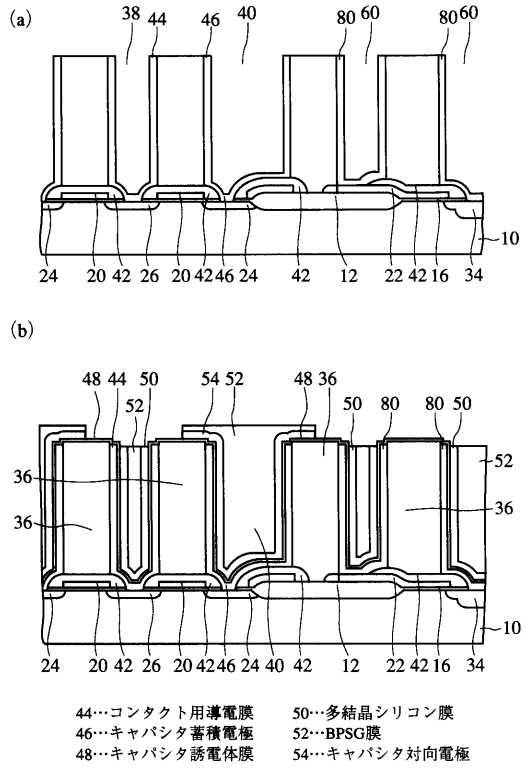
本発明の第3実施形態による半導体記憶装置の製造方法を示す工程断面図（その1）



10…半導体基板
12…素子分離膜
14、15…素子領域
16…ゲート酸化膜
18…シリコン窒化膜
20、22…ゲート電極
24…ソース拡散層
26、34…ドレイン拡散層
28…低濃度拡散層
30…サイドウォール窒化膜
36…層間絶縁膜
38、40、60…スルーホール
42…絶縁膜
82…ゲートコンタクト部

【図１７】

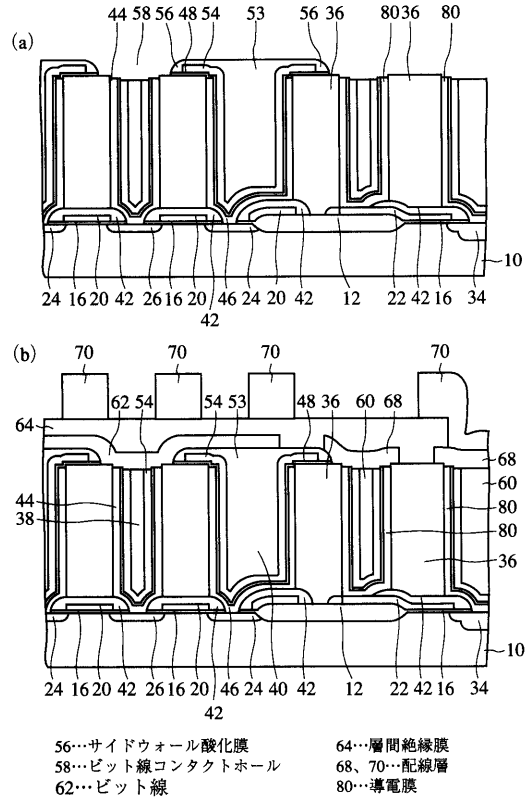
本発明の第3実施形態による半導体記憶装置の製造方法を示す工程断面図（その2）



44…コンタクト用導電膜
46…キャパシタ蓄積電極
48…キャパシタ誘電体膜
50…多結晶シリコン膜
52…BPSG膜
54…キャパシタ対向電極

【図１８】

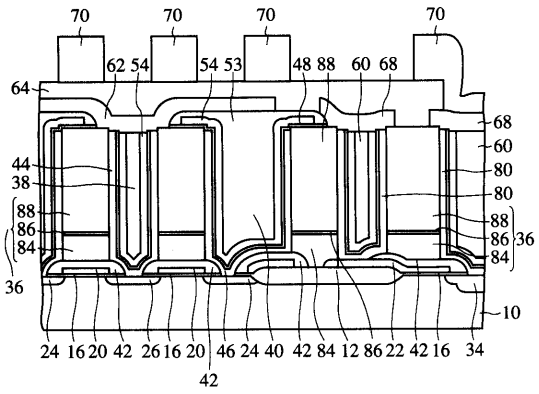
本発明の第3実施形態による半導体記憶装置の製造方法を示す工程断面図（その3）



56…サイドウォール酸化膜
58…ビット線コンタクトホール
62…ビット線
64…層間絶縁膜
68、70…配線層
80…導電膜

【図１９】

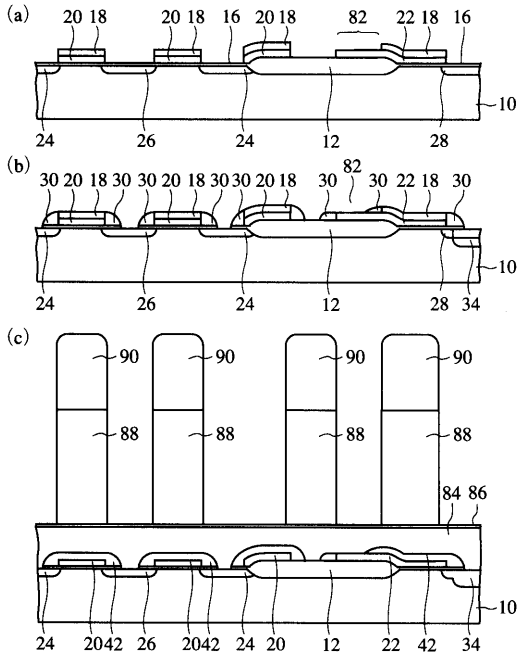
本発明の第4実施形態による半導体記憶装置の構造を示す概略断面図



10…半導体基板
12…素子分離膜
14、15…素子領域
16…ゲート酸化膜
18…シリコン窒化膜
20、22…ゲート電極
24…ソース拡散層
26、34…ドレイン拡散層
28…低濃度拡散層
30…サイドウォール窒化膜
36、53、64…層間絶縁膜
38、40、60…スルーホール
42…絶縁膜
44…コンタクト用導電膜
46…キャパシタ蓄積電極
48…キャパシタ誘電体膜
54…キャパシタ対向電極
56…サイドウォール酸化膜
58…ビット線コンタクトホール
62…ビット線
64…層間絶縁膜
68、70…配線層
80…導電膜
82…ゲートコンタクト部
84…シリコン酸化膜
86…シリコン窒化膜
88…BPSG膜

【図２０】

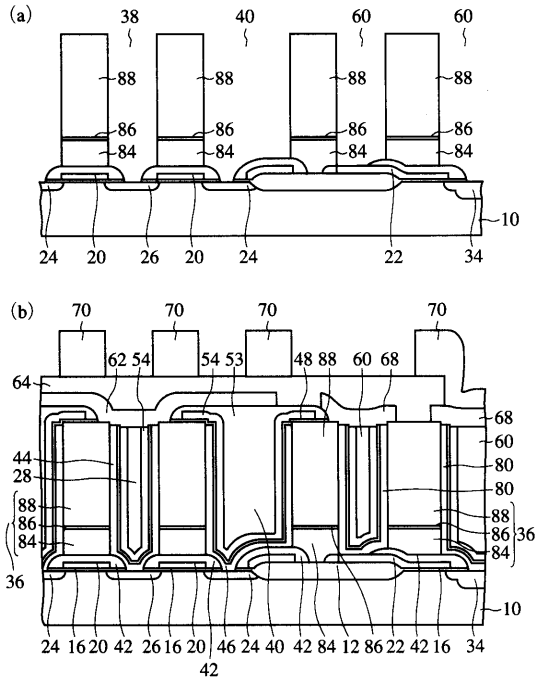
本発明の第4実施形態による半導体記憶装置の製造方法を示す工程断面図（その1）



10…半導体基板
12…素子分離膜
14…素子領域
15…素子領域
16…ゲート酸化膜
18…シリコン窒化膜
20、22…ゲート電極
24…ソース拡散層
26、34…ドレイン拡散層
28…低濃度拡散層
30…サイドウォール窒化膜
42…絶縁膜
82…ゲートコンタクト部
84…シリコン酸化膜
86…シリコン窒化膜
88…BPSG膜
90…フォトレジスト

【図２１】

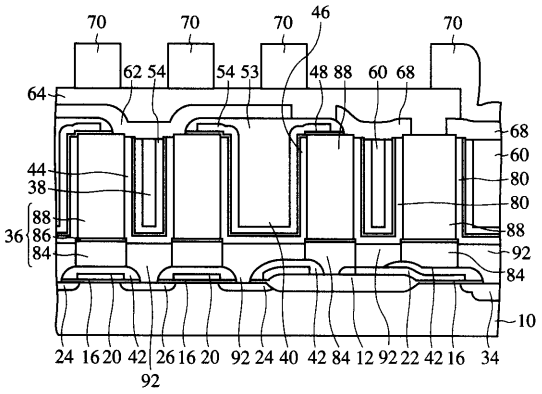
本発明の第4実施形態による半導体記憶装置の製造方法を示す工程断面図（その2）



36、53、64…層間絶縁膜
38、40、60…スルーホール
44…コンタクト用導電膜
46…キャパシタ蓄積電極
48…キャパシタ誘電体膜
54…キャパシタ対向電極
56…サイドウォール酸化膜
58…ビット線コンタクトホール
62…ビット線
64…層間絶縁膜
68、70…配線層
80…導電膜

【図２２】

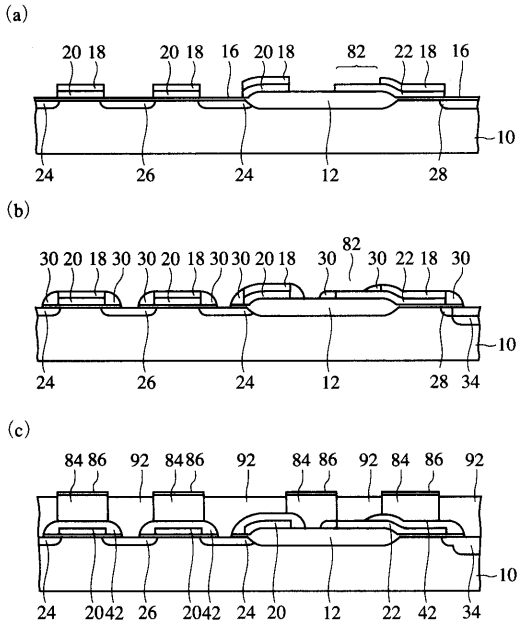
本発明の第5実施形態による半導体記憶装置の構造を示す概略断面図



10…半導体基板
12…素子分離膜
14、15…素子領域
16…ゲート酸化膜
18…シリコン窒化膜
20、22…ゲート電極
24…ソース拡散層
26、34…ドレイン拡散層
28…低濃度拡散層
30…サイドウォール窒化膜
36、53、64…層間絶縁膜
38、40、60…スルーホール
42…絶縁膜
44…コンタクト用導電膜
46…キャパシタ蓄積電極
48…キャパシタ誘電体膜
54…キャパシタ対向電極
56…サイドウォール酸化膜
58…ビット線コンタクトホール
59…コンタクトホール
62…ビット線
66…ビアホール
68、70…配線層
80…導電膜
82…ゲートコンタクト部
84…シリコン酸化膜
86…シリコン窒化膜
88…BPSG膜
92…埋め込み導電体

【図２３】

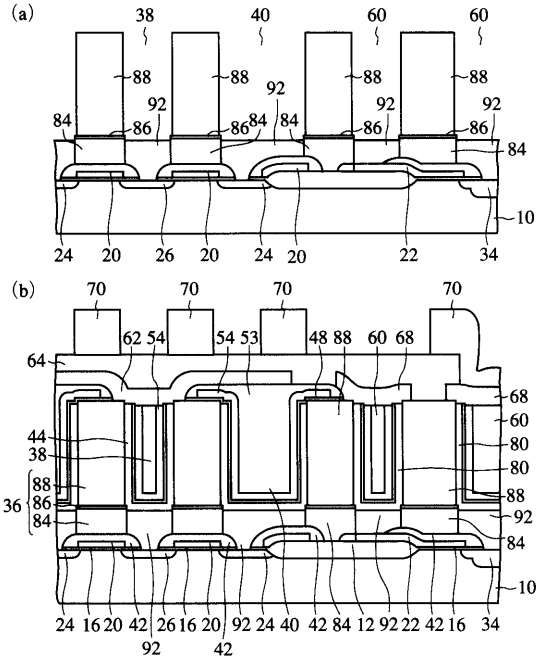
本発明の第5実施形態による半導体記憶装置の製造方法を示す工程断面図（その1）



10…半導体基板
12…素子分離膜
14…素子領域
15…素子領域
16…ゲート酸化膜
18…シリコン窒化膜
20、22…ゲート電極
24…ソース拡散層
26、34…ドレイン拡散層
28…低濃度拡散層
30…サイドウォール窒化膜
42…絶縁膜
82…ゲートコンタクト部
84…シリコン酸化膜
86…シリコン窒化膜
92…埋め込み導電体

【図２４】

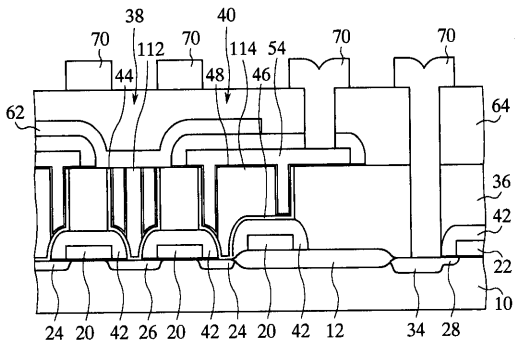
本発明の第5実施形態による半導体記憶装置の製造方法を示す工程断面図（その2）



36、53、64…層間絶縁膜
38、40、60…スルーホール
44…コンタクト用導電膜
46…キャパシタ蓄積電極
48…キャパシタ誘電体膜
54…キャパシタ対向電極
56…サイドウォール酸化膜
58…ビット線コンタクトホール
62…ビット線
64…層間絶縁膜
68、70…配線層
80…導電膜
88…BPSG膜

【図２５】

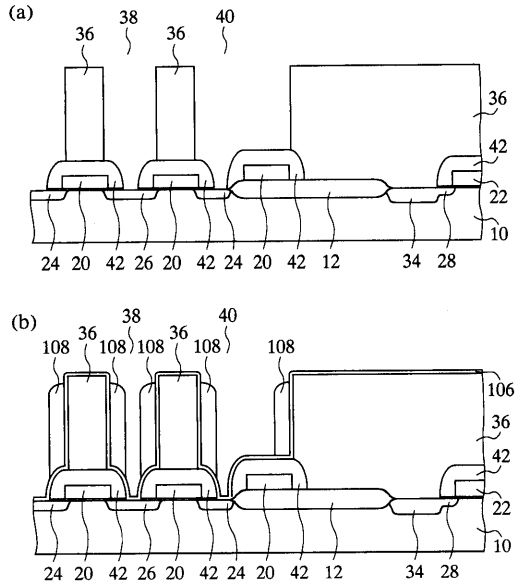
本発明の第6実施形態による半導体記憶装置の構造を示す概略断面図



10…半導体基板
12…素子分離膜
16…ゲート酸化膜
20…ゲート電極（ﾜｰﾄﾞ線）
22…ゲート電極
24…ソース拡散層
26…ドレイン拡散層
28…低濃度拡散層
34…ドレイン拡散層
36…層間絶縁膜
38…スルーホール
40…スルーホール
42…絶縁膜
44…コンタクト用導電膜
46…キャパシタ蓄積電極
48…キャパシタ誘電体膜
54…キャパシタ対向電極
62…ビット線
64…層間絶縁膜
70…配線層
112…柱状導電体
114…柱状導電体

【図２６】

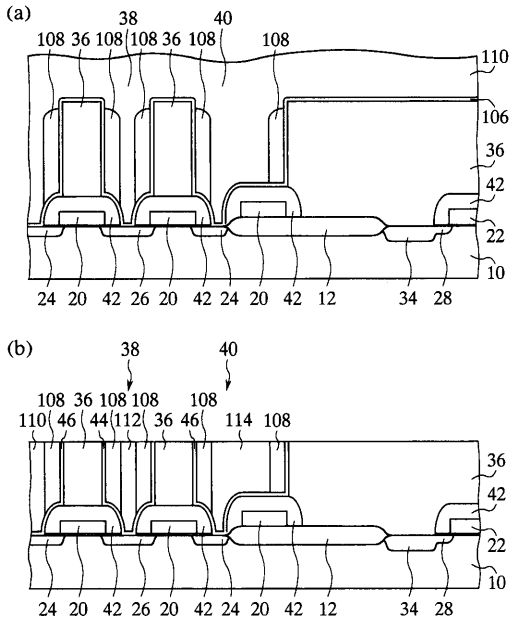
本発明の第6実施形態による半導体記憶装置の製造方法を示す工程断面図（その1）



10…半導体基板
12…素子分離膜
16…ゲート酸化膜
20…ゲート電極（ﾜｰﾄﾞ線）
22…ゲート電極
24…ソース拡散層
26…ドレイン拡散層
28…低濃度拡散層
34…ドレイン拡散層
36…層間絶縁膜
38…スルーホール
40…スルーホール
42…絶縁膜
106…結晶シリコン膜
108…サイドウォール

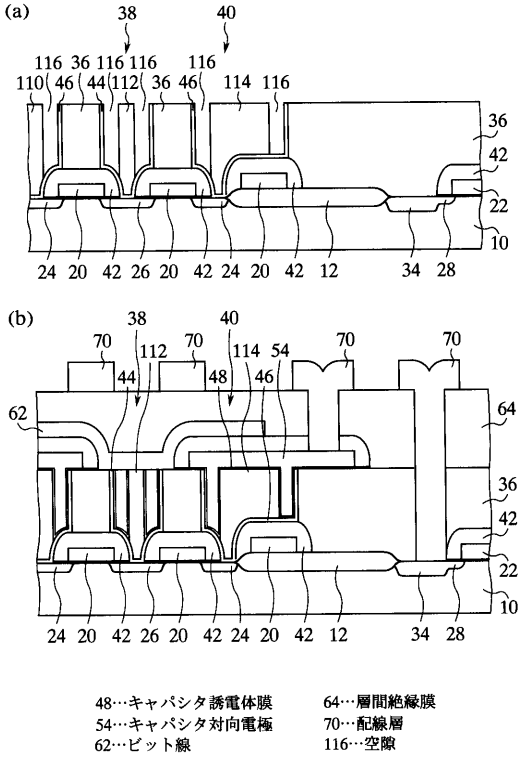
【図２７】

本発明の第6実施形態による半導体記憶装置の製造方法を示す工程断面図（その2）



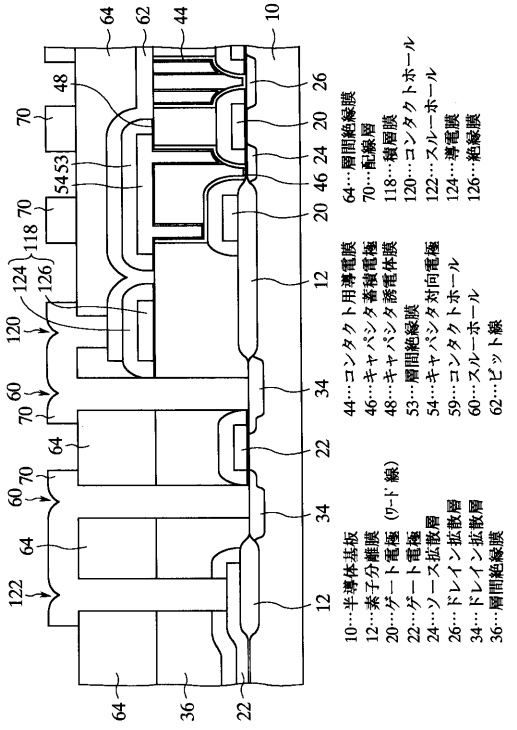
【図２８】

本発明の第6実施形態による半導体記憶装置の製造方法を示す工程断面図（その3）



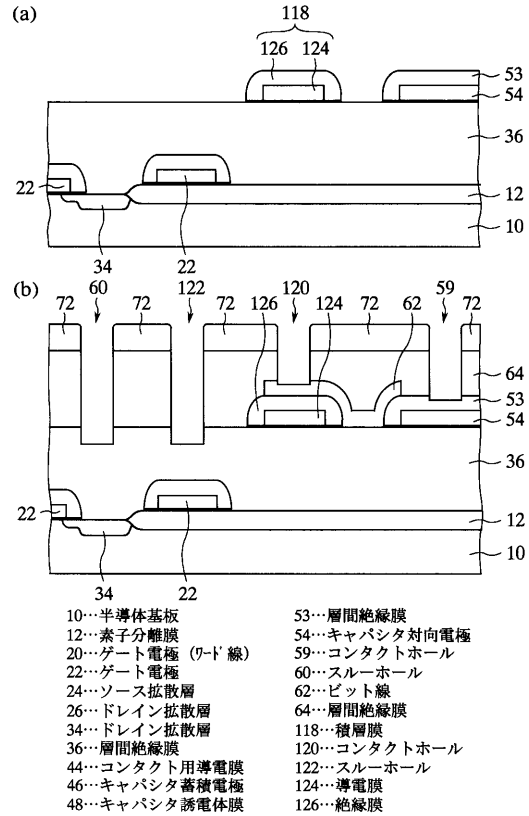
【図２９】

本発明の第7実施形態による半導体記憶装置の構造を示す概略断面図



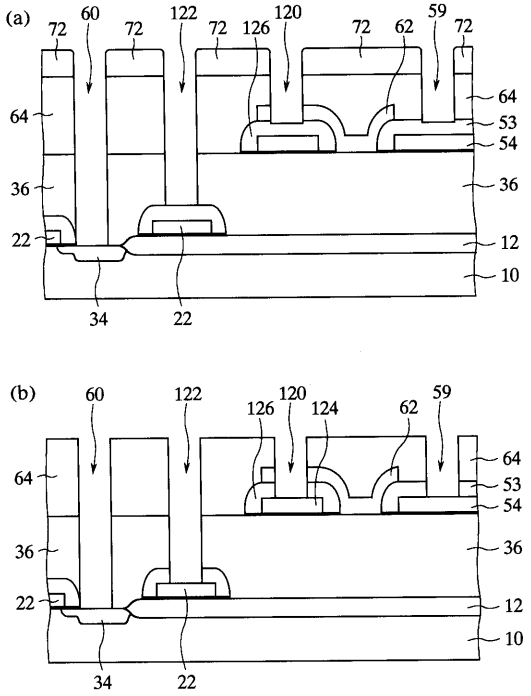
【図３０】

本発明の第7実施形態による半導体記憶装置の製造方法を示す工程断面図（その1）



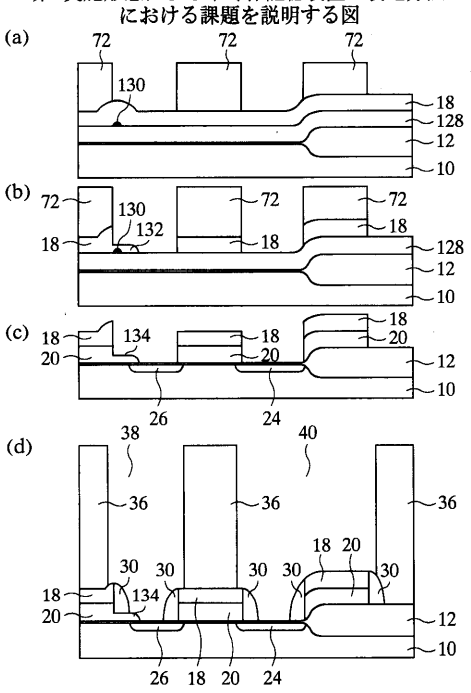
【図３１】

本発明の第7実施形態による半導体記憶装置の製造方法を示す工程断面図（その2）



【図３２】

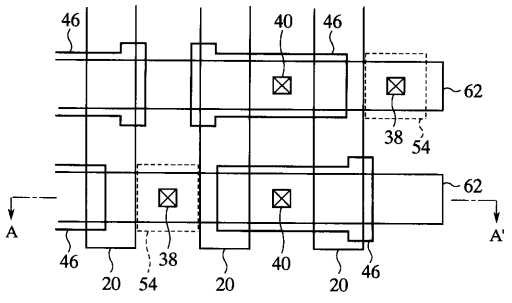
第1実施形態による半導体記憶装置の製造方法における課題を説明する図



10…半導体基板
12…素子分離膜
18…シリコン窒化膜
20…ゲート電極（ﾜｰﾄﾞ線）
22…ゲート電極
24…ソース拡散層
26…ドレイン拡散層
30…サイドウォール窒化膜
36…層間絶縁膜
38…スルーホール
40…スルーホール
128…多結晶シリコン膜
130…ゴミ
132…残渣
134…残渣

【図３３】

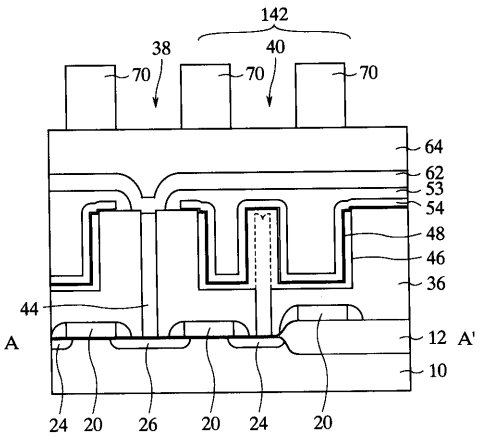
本発明の第8実施形態による半導体記憶装置の構造を示す平面図



20…ゲート電極（ワード線）
38…スルーホール
40…スルーホール
46…キャパシタ蓄電体膜
54…キャパシタ対向電極
62…ビット線

【図３４】

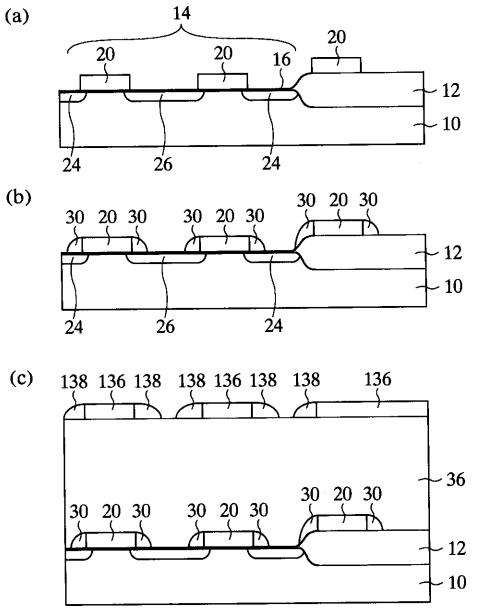
本発明の第8実施形態による半導体記憶装置の構造を示す概略断面図



10…半導体基板
12…素子分離膜
20…ゲート電極（ﾜｰﾄﾞ線）
24…ソース拡散層
26…ドレイン拡散層
36…層間絶縁膜
38…スルーホール
40…スルーホール
44…コンタクト用導電膜
46…キャパシタ蓄積電極
48…キャパシタ誘電体膜
53…層間絶縁膜
54…キャパシタ対向電極
62…ビット線
64…層間絶縁膜
70…配線層
142…開口

【図３５】

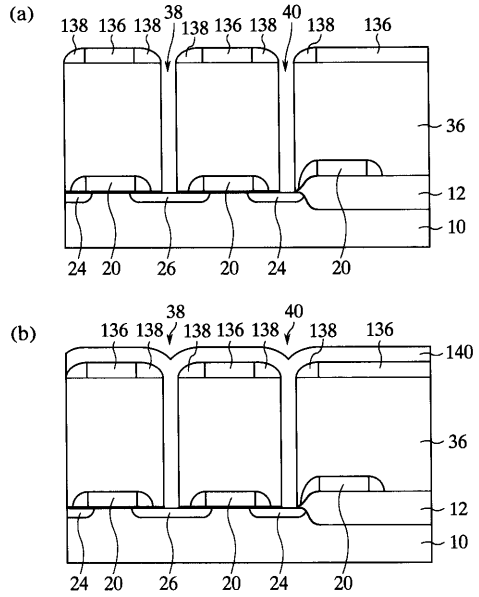
本発明の第8実施形態による半導体記憶装置の
製造方法を示す工程断面図（その1）



10…半導体基板
12…素子分離膜
14…素子領域
16…ゲート酸化膜
20…ゲート電極（ワード線）
24…ソース拡散層
26…ドレイン拡散層
30…サイドウォール窒化膜
36…層間絶縁膜
136…多結晶シリコンパターン
138…多結晶シリコンサイドウォール

【図３６】

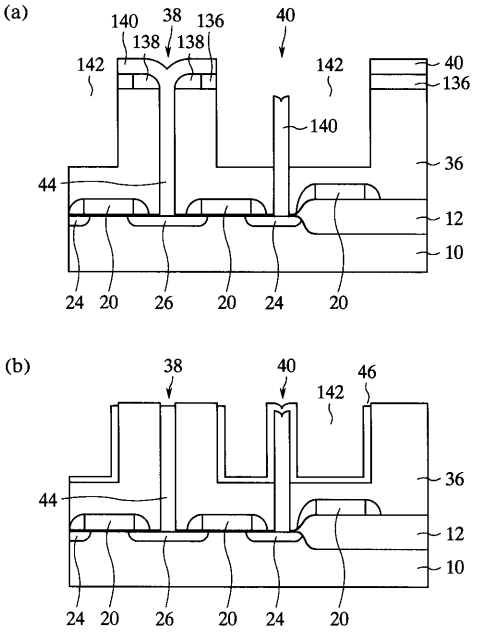
本発明の第8実施形態による半導体記憶装置の
製造方法を示す工程断面図（その2）



38…スルーホール
40…スルーホール
140…多結晶シリコン膜

【図３７】

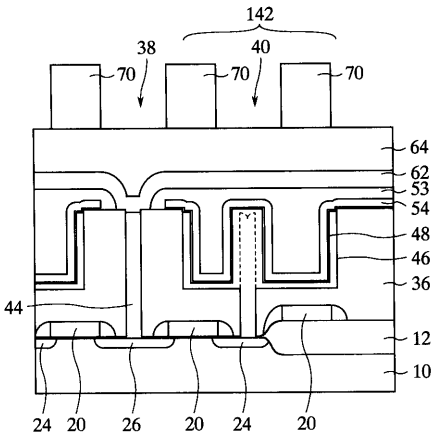
本発明の第8実施形態による半導体記憶装置の
製造方法を示す工程断面図（その3）



44…コンタクト用導電膜
46…キャパシタ蓄積電極
142…開口

【図３８】

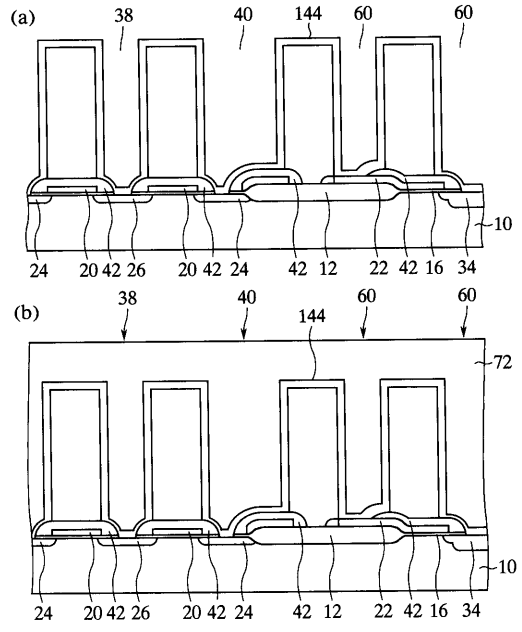
本発明の第8実施形態による半導体記憶装置の
製造方法を示す工程断面図（その4）



48…キャパシタ誘電体膜
53…層間絶縁膜
54…キャパシタ対向電極
62…ビット線
64…層間絶縁膜
70…配線層

【図３９】

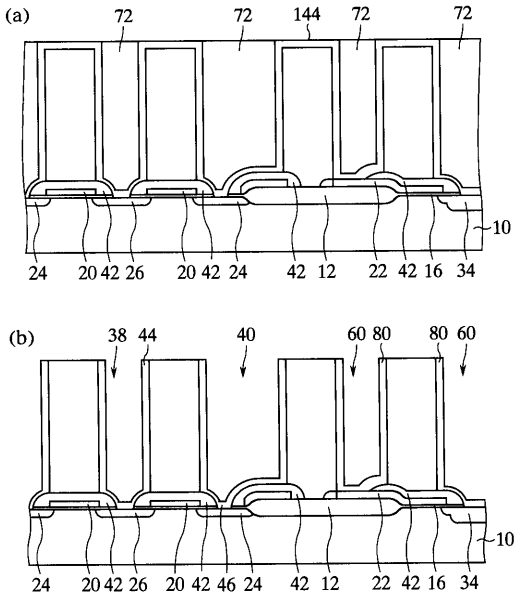
本発明の第9実施形態による半導体記憶装置の製造方法を示す工程断面図（その1）



10…半導体基板
12…素子分離膜
20…ゲート電極（ﾜｰﾄﾞ線）
22…ゲート電極
24…ソース拡散層
26…ドレイン拡散層
34…ドレイン拡散層
36…層間絶縁膜
38…スルーホール
40…スルーホール
42…絶縁膜
60…スルーホール
72…フォトレジスト
144…導電膜

【図４０】

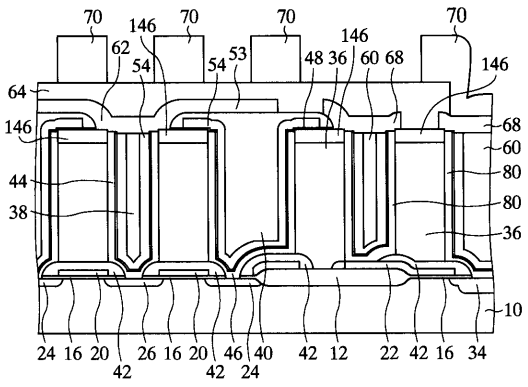
本発明の第9実施形態による半導体記憶装置の製造方法を示す工程断面図（その2）



44…コンタクト用導電膜
46…キャパシタ蓄積電極
80…導電膜

【図４１】

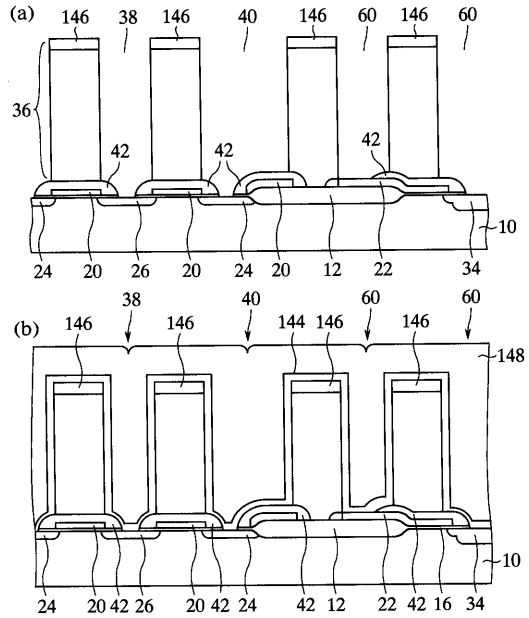
本発明の第10実施形態による半導体記憶装置の構造を示す概略断面図



10…半導体基板
12…素子分離膜
16…ゲート酸化膜
20…ゲート電極（ﾜｰﾄﾞ線）
22…ゲート電極
24…ソース拡散層
26…ドレイン拡散層
34…ドレイン拡散層
36…層間絶縁膜
38…スルーホール
40…スルーホール
42…絶縁膜
44…コンタクト用導電膜
46…キャパシタ蓄積電極
48…キャパシタ誘電体膜
53…層間絶縁膜
54…キャパシタ対向電極
60…スルーホール
62…ビット線
64…層間絶縁膜
68…配線層
70…配線層
80…導電膜
146…シリコン窒化膜

【図４２】

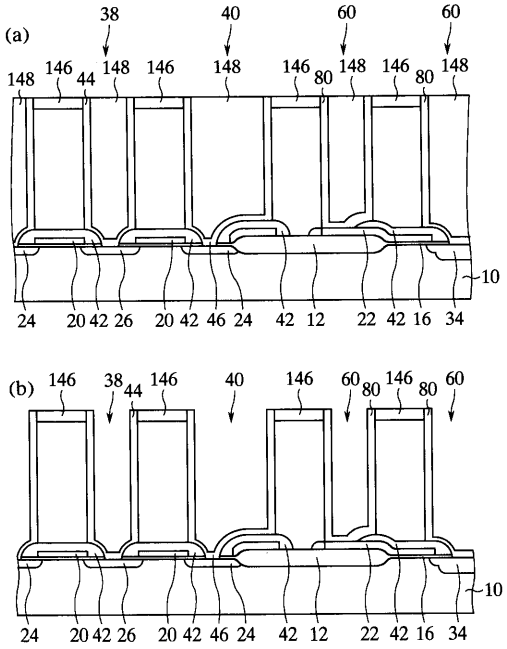
本発明の第10実施形態による半導体記憶装置の製造方法を示す工程断面図（その1）



10…半導体基板
12…素子分離膜
16…ゲート酸化膜
20…ゲート電極（ﾜｰﾄﾞ線）
22…ゲート電極
24…ソース拡散層
26…ドレイン拡散層
34…ドレイン拡散層
36…層間絶縁膜
38…スルーホール
40…スルーホール
42…絶縁膜
60…スルーホール
144…導電膜
146…シリコン窒化膜
148…シリコン酸化膜

【図４３】

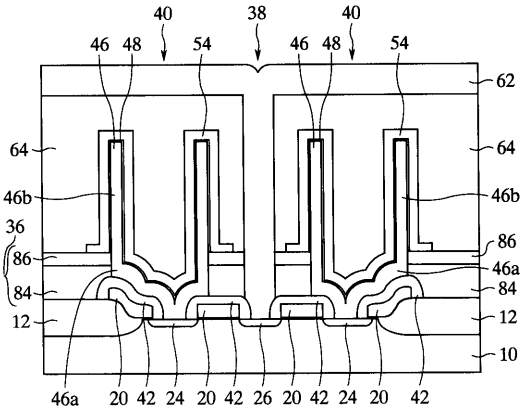
本発明の第10実施形態による半導体記憶装置の
製造方法を示す工程断面図（その2）



44…コンタクト用導電膜
46…キャパシタ蓄積電極
80…導電膜

【図４４】

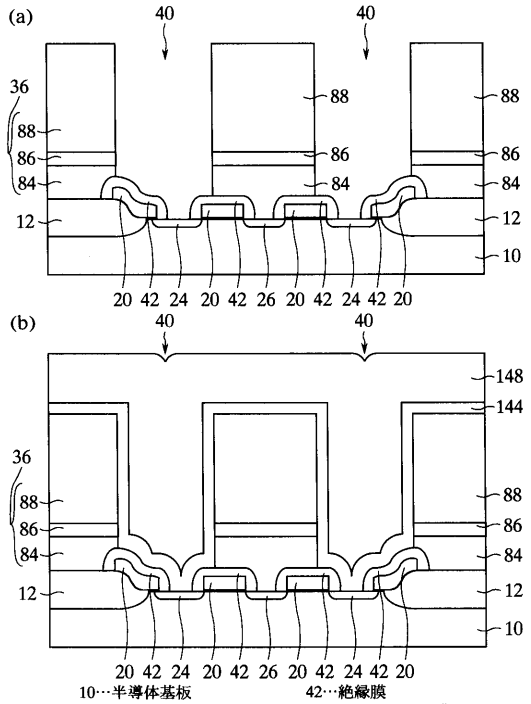
本発明の第11実施形態による半導体記憶装置の
構造を示す概略断面図



10…半導体基板
12…素子分離膜
20…ゲート電極（ﾜｰﾄﾞ線）
24…ソース拡散層
26…ドレイン拡散層
36…層間絶縁膜
38…スルーホール
40…スルーホール
42…絶縁膜
46…キャパシタ蓄積電極
48…キャパシタ誘電体膜
54…キャパシタ対向電極
62…ビット線
64…層間絶縁膜
84…シリコン酸化膜
86…シリコン窒化膜

【図４５】

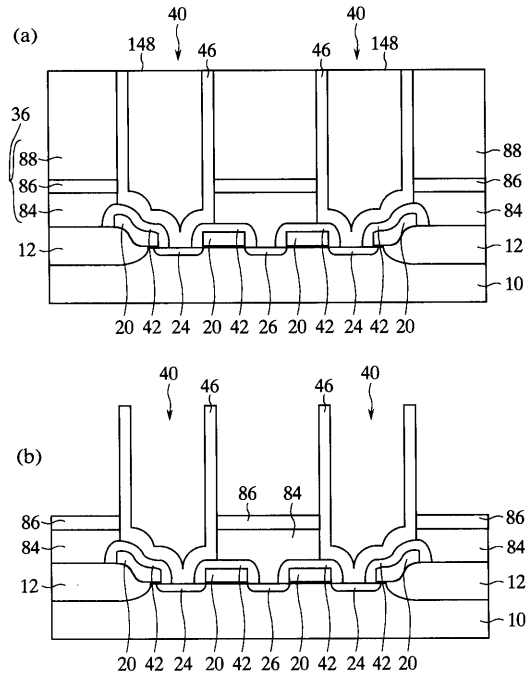
本発明の第11実施形態による半導体記憶装置の
製造方法を示す工程断面図（その1）



10…半導体基板
12…素子分離膜
20…ゲート電極（ﾜｰﾄﾞ線）
24…ソース拡散層
26…ドレイン拡散層
36…層間絶縁膜
40…スルーホール
42…絶縁膜
84…シリコン酸化膜
86…シリコン窒化膜
88…BPSG膜
144…導電膜
148…シリコン酸化膜

【図４６】

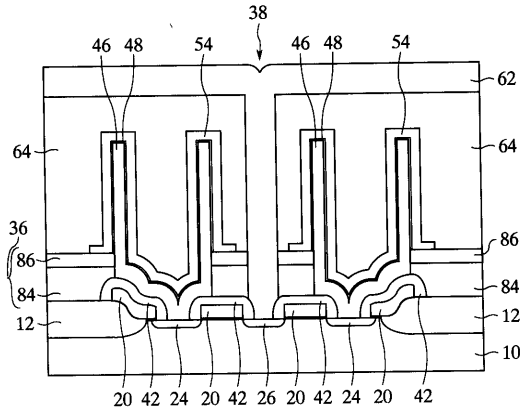
本発明の第11実施形態による半導体記憶装置の
製造方法を示す工程断面図（その2）



46…キャパシタ蓄積電極

【図４７】

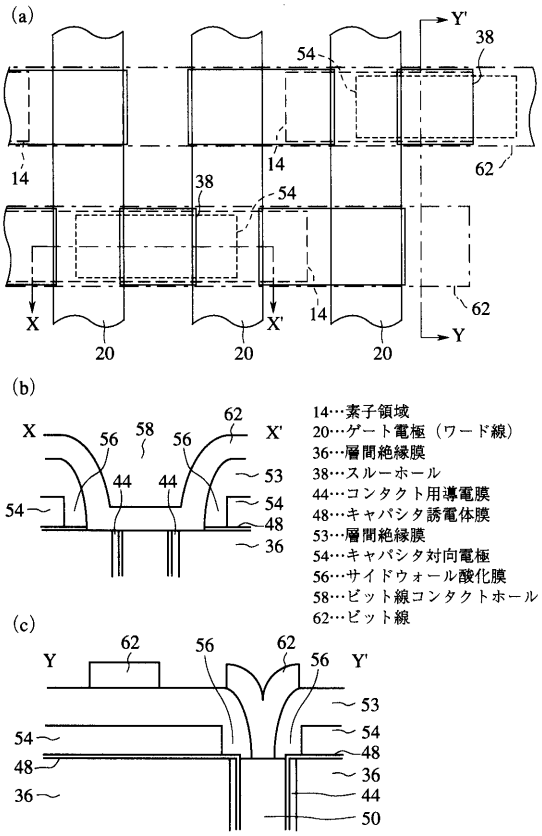
本発明の第11実施形態による半導体記憶装置の製造方法を示す工程断面図（その3）



38…スルーホール
48…キャパシタ誘電体膜
54…キャパシタ対向電極
62…ビット線
64…層間絶縁膜

【図４８】

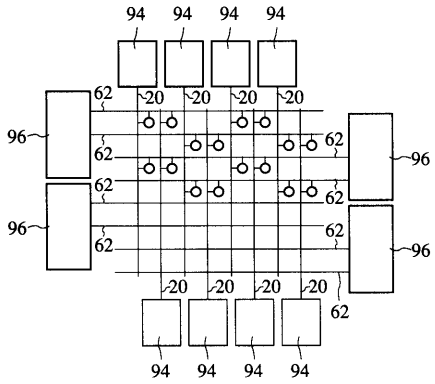
本発明の第12実施形態による半導体記憶装置の構造を示す平面図及び部分断面図



14…素子領域
20…ゲート電極（ワード線）
36…層間絶縁膜
38…スルーホール
44…コンタクト用導電膜
48…キャパシタ誘電体膜
53…層間絶縁膜
54…キャパシタ対向電極
56…サイドウォール酸化膜
58…ビット線コンタクトホール
62…ビット線

【図４９】

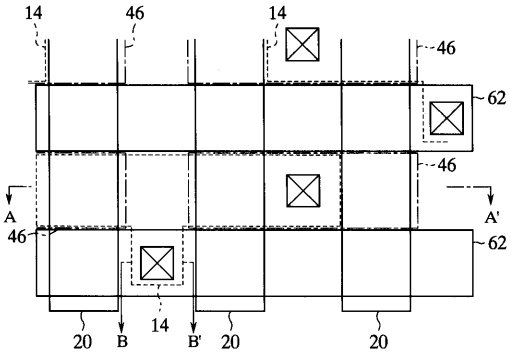
本発明の第12実施形態による半導体記憶装置における周辺回路構成例を示す図



20…ワード線
62…ビット線
94…デコーダ
96…センスアンプ

【図５０】

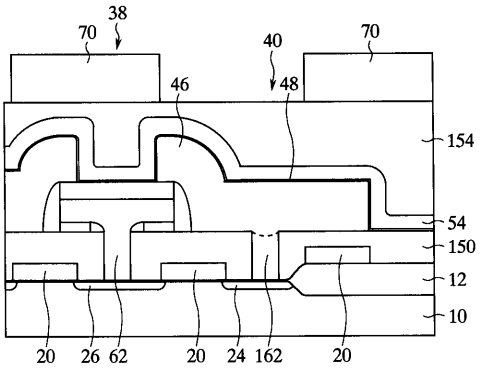
本発明の第13実施形態による半導体記憶装置の構造を示す平面図



14…素子領域
20…ゲート電極（ﾜｰﾄﾞ線）
46…キャパシタ蓄積電極
62…ビット線

【図５１】

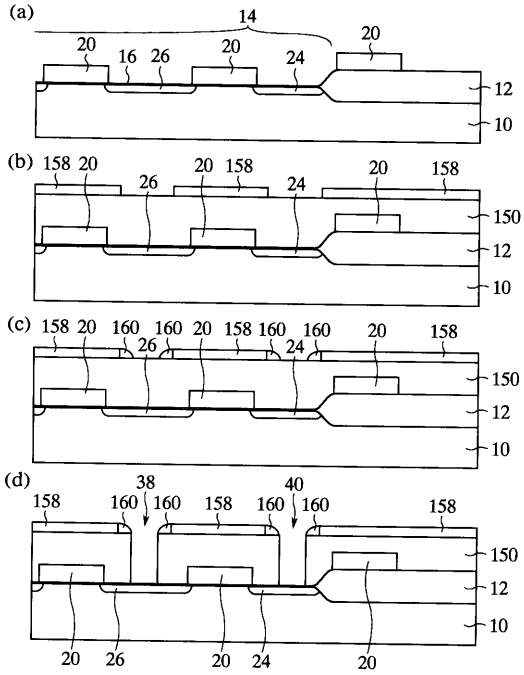
本発明の第13実施形態による半導体記憶装置の構造を示す概略断面図



10…半導体基板
12…素子分離膜
20…ゲート電極（ﾜｰﾄﾞ線）
24…ソース拡散層
26…ドレイン拡散層
38…スルーホール
40…スルーホール
46…キャパシタ蓄積電極
48…キャパシタ誘電体膜
54…キャパシタ対向電極
62…ビット線
70…配線層
162…埋め込み導体

【図５２】

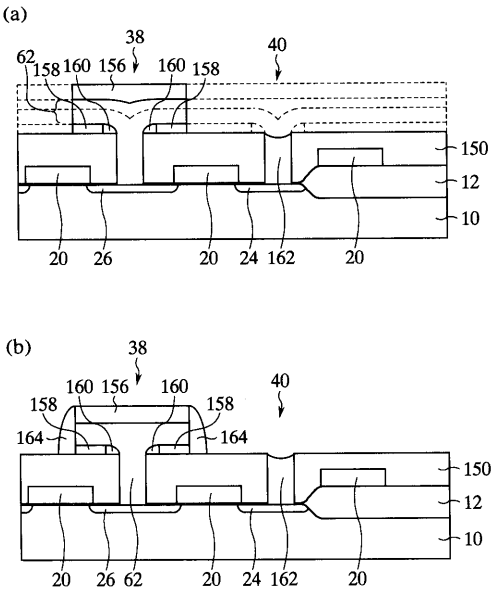
本発明の第13実施形態による半導体記憶装置の製造方法を示す工程断面図（その1）



10…半導体基板
12…素子分離膜
14…素子領域
16…ゲート酸化膜
20…ゲート電極（ﾜｰﾄﾞ線）
24…ソース拡散層
26…ドレイン拡散層
38…スルーホール
40…スルーホール
150…層間絶縁膜
158…多結晶シリコン膜
160…多結晶シリコンサイドウォール

【図５３】

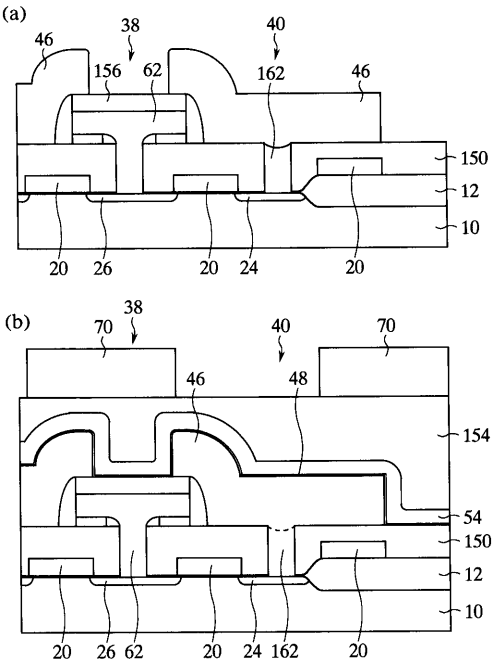
本発明の第13実施形態による半導体記憶装置の製造方法を示す工程断面図（その2）



62…ビット線
162…埋め込み導体
164…サイドウォール

【図５４】

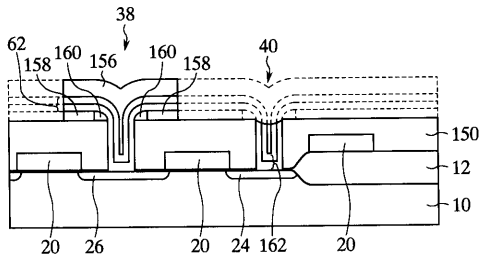
本発明の第13実施形態による半導体記憶装置の製造方法を示す工程断面図（その3）



46…キャパシタ蓄積電極
48…キャパシタ誘電体膜
54…キャパシタ対向電極
154…層間絶縁膜

【図５５】

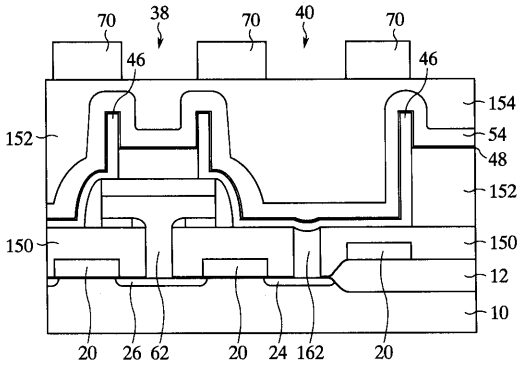
本発明の第13実施形態による半導体記憶装置の構造を示す概略断面図



62…ビット線
162…埋め込み導電体
164…サイドウォール

【図５６】

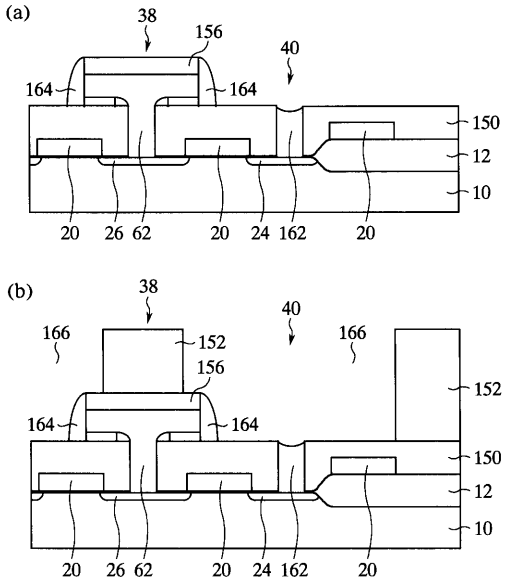
本発明の第14実施形態による半導体記憶装置の構造を示す概略断面図



10…半導体基板
12…素子分離膜
20…ゲート電極（ﾜｰﾄﾞ線）
24…ソース拡散層
26…ドレイン拡散層
38…スルーホール
40…スルーホール
46…キャパシタ蓄積電極
48…キャパシタ誘電体膜
54…キャパシタ対向電極
62…ビット線
70…配線層
150…層間絶縁膜
152…層間絶縁膜
154…層間絶縁膜
162…埋め込み導電体

【図５７】

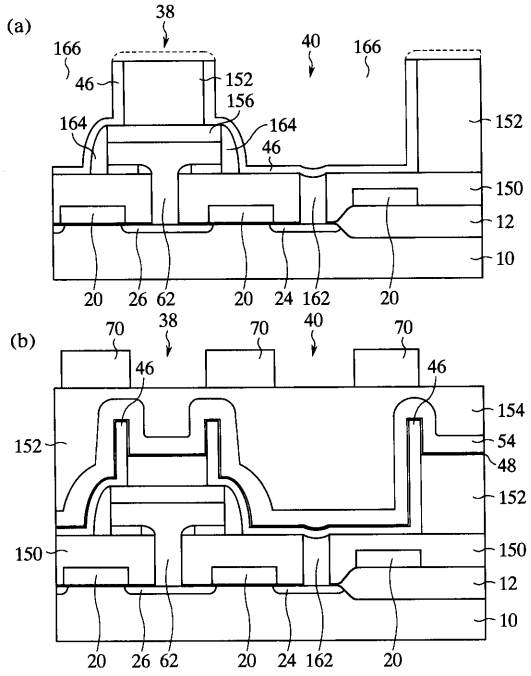
本発明の第14実施形態による半導体記憶装置の製造方法を示す工程断面図（その1）



10…半導体基板
12…素子分離膜
20…ゲート電極（ﾜｰﾄﾞ線）
24…ソース拡散層
26…ドレイン拡散層
38…スルーホール
40…スルーホール
62…ビット線
150…層間絶縁膜
152…層間絶縁膜
156…シリコン窒化膜
162…埋め込み導電体
164…サイドウォール
166…開口

【図５８】

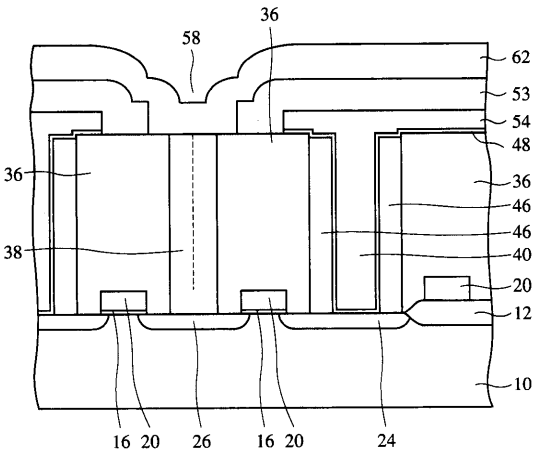
本発明の第14実施形態による半導体記憶装置の製造方法を示す工程断面図（その2）



46…キャパシタ蓄積電極
48…キャパシタ誘電体膜
54…キャパシタ対向電極
70…配線層
154…層間絶縁膜

【図５９】

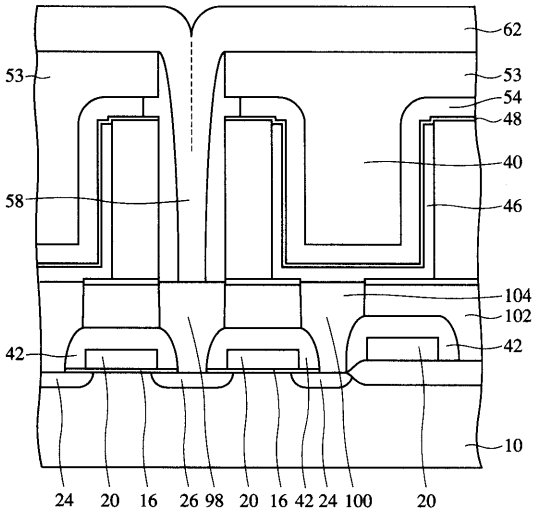
従来の半導体記憶装置の構造を示す概略断面図



10…半導体基板
12…素子分離膜
16…ゲート酸化膜
20…ゲート電極
24…ソース拡散層
26…ドレイン拡散層
36…層間絶縁膜
38…スルーホール
40…スルーホール
44…コンタクト用導電膜
46…キャパシタ蓄積電極
48…キャパシタ誘電体膜
53…層間絶縁膜
54…キャパシタ対向電極
58…ビット線コンタクトホール
62…ビット線

【図６０】

従来の半導体記憶装置の構造を示す概略断面図



10…半導体基板
12…素子分離膜
16…ゲート酸化膜
20…ゲート電極
24…ソース拡散層
26…ドレイン拡散層
36…層間絶縁膜
38…スルーホール
40…スルーホール
44…コンタクト用導電膜
46…キャパシタ蓄積電極
48…キャパシタ誘電体膜
53…層間絶縁膜
54…キャパシタ対向電極
58…ビット線コンタクトホール
62…ビット線
98…スルーホール
100…スルーホール
102…層間絶縁膜
104…多結晶シリコン層

【手続補正書】
【提出日】平成24年2月10日(2012.2.10)
【手続補正１】
【補正対象書類名】特許請求の範囲
【補正対象項目名】全文
【補正方法】変更
【補正の内容】
【特許請求の範囲】
【請求項１】
半導体基板上に導電体パターンを形成する工程と、
前記導電体パターンをマスクとして前記半導体基板に不純物を導入し、拡散層を形成する工程と、
前記導電体パターン上に、第一の絶縁膜を形成する工程と、
前記第一の絶縁膜上に、表面が平坦化され、前記第一の絶縁膜とはエッチング特性が異なる第二の絶縁膜を形成する工程と、
前記第二の絶縁膜上に、前記第二の絶縁膜とはエッチング特性が異なる第三の絶縁膜を形成する工程と、
前記第三の絶縁膜上に、前記第三の絶縁膜とはエッチング特性が異なる第四の絶縁膜を形成する工程と、
前記第四の絶縁膜上に、マスク層を形成する工程と、
前記マスク層をマスクとして、及び前記第三の絶縁膜をストッパーとして、第一のエッチング条件で前記第四の絶縁膜に開口部を形成する工程と、
前記第二の絶縁膜をストッパーとして、前記第一のエッチング条件とは異なる第二のエッチング条件で前記第三の絶縁膜をエッチングし、前記開口部を前記第二の絶縁膜まで開口する工程と、

前記第一の絶縁膜をストッパーとして、前記第二のエッチング条件とは異なる第三のエッチング条件で前記第二の絶縁膜をエッチングする工程と、
前記第二の絶縁膜、前記第三の絶縁膜、前記第四の絶縁膜に形成された開口部と前記第四の絶縁膜上に、前記拡散層と電気的にコンタクトする導電パターンを形成する工程と
を有することを特徴とする半導体装置の製造方法。

【請求項２】
請求項１記載の半導体装置の製造方法において、
前記第二の絶縁膜は酸化シリコンを含む
ことを特徴とする半導体装置の製造方法。

【請求項３】
請求項１記載の半導体装置の製造方法において、
前記第三の絶縁膜は窒化シリコンを含む
ことを特徴とする半導体装置の製造方法。

【請求項４】
請求項１記載の半導体装置の製造方法において、
前記第四の絶縁膜は酸化シリコンを含む
ことを特徴とする半導体装置の製造方法。

フロントページの続き

Ｆターム(参考) 5F083 AD10 AD24 AD25 AD31 AD42 AD48 AD49 AD56 AD60 AD62
FR02 GA01 GA02 GA06 GA09 GA27 GA28 GA29 JA04 JA06
JA14 JA35 JA36 JA38 JA39 JA40 JA53 JA56 KA05 LA21
MA03 MA06 MA16 MA17 MA18 MA19 MA20 PR03 PR05 PR06
PR07 PR09 PR29 PR40 PR43 PR44 PR45 PR53 PR54 PR55
ZA06