

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.

G11C 16/34 (2006.01)

G11C 11/56 (2006.01)



# [12] 发明专利申请公布说明书

[21] 申请号 200680016299.3

[43] 公开日 2008年6月4日

[11] 公开号 CN 101194323A

[22] 申请日 2006.5.11

[21] 申请号 200680016299.3

[30] 优先权

[32] 2005.5.12 [33] US [31] 11/127,743

[86] 国际申请 PCT/US2006/018278 2006.5.11

[87] 国际公布 WO2006/124525 英 2006.11.23

[85] 进入国家阶段日期 2007.11.12

[71] 申请人 桑迪士克股份有限公司

地址 美国加利福尼亚州

[72] 发明人 万钧 杰弗里·卢策 东谷正昭

格里特·简·赫民克 大和田健

陈健 杰弗里·S·冈韦尔

[74] 专利代理机构 北京律盟知识产权代理有限责任  
公司

代理人 刘国伟

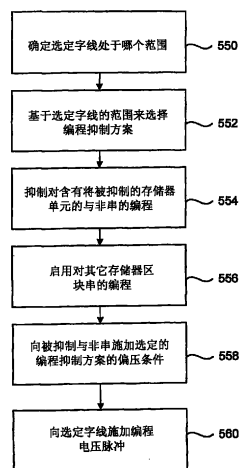
权利要求书5页 说明书17页 附图11页

## [54] 发明名称

非易失性存储器中的编程抑制方案的选择性应用

## [57] 摘要

对非易失性存储器系统进行编程以便降低或避免编程干扰。根据一个实施例，针对单个非易失性存储器系统采用多种编程抑制方案。基于正被编程的字线来选择编程抑制方案。已经发现某些编程抑制方案能较好地最小化或消除选择字线处的编程干扰。在一个实施例中，选择编程抑制方案包括选择编程电压脉冲斜坡率。已经发现不同的斜坡率能应用于选择字线时较好地最小化编程干扰。在另一实施例中，在编程操作之前或期间检测存储器系统的温度。可基于所述系统的温度来选择编程抑制方案。



1. 一种对非易失性存储装置进行编程的方法，其包含：

确定多个字线中的哪一者将接收用于编程的编程电压信号，将所述字线耦合到第一非易失性存储元件群组的第一非易失性存储元件和第二非易失性存储元件群组的第二非易失性存储元件，将抑制编程所述第一非易失性存储元件，且将编程所述第二非易失性存储元件；

基于所述将接收所述编程电压信号的字线来选择编程抑制方案；

使用所述选定的编程抑制方案将所述第一非易失性存储元件群组的沟道升压到某一电压电位；以及

启用对所述第二非易失性存储元件群组的编程。
2. 根据权利要求1所述的方法，其中所述选择编程抑制方案的步骤包括：

基于所述多个字线的编程次序来选择所述编程抑制方案。
3. 根据权利要求2所述的方法，其中基于编程次序来选择所述编程抑制方案包括：

确定所述将接收所述编程电压信号的字线是在所述多个字线的第一范围还是第二范围内，在所述第二范围之前编程所述第一范围；以及

如果所述字线在所述第一范围内，那么选择第一编程抑制方案，且如果所述字线在所述第二范围内，那么选择第二编程抑制方案。
4. 根据权利要求3所述的方法，其中：

所述第一编程抑制方案是自升压编程抑制方案；且

所述第二编程抑制方案是擦除区域自升压方案。
5. 根据权利要求4所述的方法，其中：

所述字线在所述第一范围内；且

所述使用所述自升压编程抑制方案对所述沟道的所述电压电位进行升压的步骤包括：

向所述将接收所述编程电压信号的字线施加所述编程电压信号，以及

向所述多个字线中的每一未选定字线施加通过电压。
6. 根据权利要求3所述的方法，其中：

所述字线在所述第二范围内；

所述多个字线包括在源极侧方向上邻近于所述字线的相邻字线；且

所述使用所述第二编程抑制方案对所述第一群组的所述沟道的所述电压电位进

行升压的步骤包括：

向所述将接收所述编程电压信号的字线施加所述编程电压，  
向所述源极侧邻近字线施加零伏，以及  
向所述多个字线中的每一剩余未选定字线施加通过电压。

7. 根据权利要求 3 所述的方法，其中：

所述字线在所述第二范围内；

所述多个字线包括在源极侧方向上邻近于所述字线的字线和在漏极侧方向上邻近于所述字线的字线；且

所述使用所述第二编程抑制方案对所述第一群组的所述沟道的所述电压电位进行升压的步骤包括：

向所述将接收所述编程电压信号的字线施加所述编程电压，  
向所述源极侧邻近字线施加零伏，  
向所述漏极侧邻近字线施加零伏，以及  
向所述多个字线中的每一剩余未选定字线施加通过电压。

8. 根据权利要求 3 所述的方法，其中：

所述字线在所述第二范围内；

所述多个字线包括在源极侧方向上邻近于所述字线的第二字线；

所述多个字线包括在所述源极侧方向上邻近于所述第二字线的第三字线；且

所述使用所述第二编程抑制方案对所述第一群组的所述沟道的所述电压电位进行升压的步骤包括：

向所述将接收所述编程电压信号的字线施加所述编程电压，  
向所述第二字线施加第一电压，所述第一电压大于零伏，  
向所述第三字线施加零伏，以及  
向所述多个字线中的每一剩余未选定字线施加通过电压。

9. 根据权利要求 1 所述的方法，其中：

所述基于所述将接收所述编程电压信号的字线来选择编程抑制方案的步骤包括选择所述编程电压信号的脉冲的斜坡率。

10. 根据权利要求 9 所述的方法，其中所述选择编程抑制方案的步骤包含：

如果所述字线在所述多个字线的第一范围内，那么为所述编程电压信号的所述脉冲选择第一斜坡率，或者如果所述字线在所述多个字线的第二范围内，那么选择第

二斜坡率。

11. 根据权利要求 10 所述的方法，其中：
  - 在所述第二范围之前编程所述第一范围；且
  - 所述第一斜坡率比所述第二斜坡率慢。
12. 根据权利要求 1 所述的方法，其中：
  - 所述第一群组 and 所述第二群组是非易失性存储元件阵列的一部分；
  - 所述阵列与主机系统通信；且
  - 所述阵列可从所述主机系统移除。
13. 根据权利要求 1 所述的方法，其中：
  - 所述第一群组 and 所述第二群组是非易失性存储元件阵列的一部分；
  - 所述阵列与主机系统通信；且
  - 所述阵列嵌入在所述主机系统中。
14. 根据权利要求 1 所述的方法，其中：
  - 所述第一非易失性存储元件群组 and 所述第二非易失性存储元件群组是多状态非易失性存储元件的群组。
15. 根据权利要求 1 所述的方法，其中：
  - 所述第一非易失性存储元件群组 and 所述第二非易失性存储元件群组是二进制非易失性存储元件的群组
16. 根据权利要求 1 所述的方法，其中：
  - 所述第一非易失性存储元件群组是第一与非串；且
  - 所述第二非易失性存储元件群组是第二与非串。
17. 一种非易失性存储器系统，其包含：
  - 多个字线；
  - 具有将被抑制编程的第一非易失性存储元件的第一非易失性存储元件群组，所述第一非易失性存储元件耦合到第一字线；
  - 具有将被编程的第二非易失性存储元件的第二非易失性存储元件群组，所述第二非易失性存储元件耦合到所述第一字线；
  - 温度传感器；以及
  - 管理电路，其与所述多个字线、所述第一及第二非易失性存储元件群组 and 所述温度传感器通信，所述管理电路通过以下步骤来编程所述第二非易失性存储元件：

从所述温度传感器确定所述非易失性存储器系统的温度，

基于所述温度来选择编程抑制方案，

使用所述选定的编程抑制方案对所述第一非易失性存储元件群组的沟道的电压电位进行升压，以及

启用对所述第二非易失性存储元件群组的编程。

18. 根据权利要求 17 所述的非易失性存储器系统，其中所述选择编程抑制方案的步骤包括：

确定所述温度是否高于断点水平；

如果所述温度高于所述断点水平，那么选择第一编程抑制方案；以及

如果所述温度低于所述断点水平，那么选择第二编程抑制方案。

19. 根据权利要求 18 所述的非易失性存储器系统，其中：

所述第一编程抑制方案是自升压编程抑制方案；且

所述第二编程抑制方案是经修改的擦除区域自升压方案。

20. 根据权利要求 18 所述的非易失性存储器系统，其中所述使用所述第一编程抑制方案对所述沟道区的所述电压电位进行升压的步骤包含：

向所述第一字线施加所述编程电压信号，以及

向所述多个字线中的每一未选定字线施加通过电压。

21. 根据权利要求 18 所述的非易失性存储器系统，其中：

所述多个字线包括在源极侧方向上邻近于所述第一字线的第二字线和在源极侧方向上邻近于所述第二字线的第三字线；

所述使用所述第二编程抑制方案对所述沟道区的所述电压电位进行升压的步骤包含：

向所述第一字线施加所述编程电压，

向所述第二字线施加第一电压，所述第一电压大于零伏，

向所述第三字线施加零伏，

向所述多个字线中的每一剩余未选定字线施加通过电压。

22. 根据权利要求 17 所述的非易失性存储器系统，其中：

所述第一群组和所述第二群组是非易失性存储元件阵列的一部分；

所述阵列与主机系统通信；且

所述阵列可从所述主机系统移除。

23. 根据权利要求 17 所述的非易失性存储器系统，其中：

所述第一非易失性存储元件群组 and 所述第二非易失性存储元件群组是多状态非易失性存储元件的群组。

24. 根据权利要求 17 所述的非易失性存储器系统，其中：

所述第一非易失性存储元件群组是第一与非串；且

所述第二非易失性存储元件群组是第二与非串。

25. 根据权利要求 17 所述的非易失性存储器系统，其中：

所述管理电路包括处理器、控制器和状态机中的至少一者。

## 非易失性存储器中的编程抑制方案的选择性应用

### 技术领域

本发明大体上涉及用于对非易失性存储器装置进行编程的技术。

### 背景技术

半导体存储器装置已经变得较普遍地用于各种电子装置中。举例来说，非易失性半导体存储器用于蜂窝式电话、数码相机、个人数字助理、移动计算装置、非移动计算装置和其它装置中。电可擦除可编程只读存储器（EEPROM）（包括快闪 EEPROM）和电可编程只读存储器（EPROM）是最普遍的非易失性半导体存储器。

快闪存储器系统的一个实例使用与非结构，其包括将多个晶体管夹在两个选择栅极之间串联排列。串联的晶体管和选择栅极被称为与非串。图 1 是展示一个与非串的俯视图。图 2 是其等效电路。图 1 和 2 中所描绘的与非串包括四个晶体管 100、102、104 和 106，其串联并夹在第一选择栅极 120 与第二选择栅极 122 之间。选择栅极 120 通过位线端子 126 将与非串连接到位线。选择栅极 122 通过源极线端子 128 将与非串连接到源极线。通过向选择栅极 120 的控制栅极 120CG 施加恰当电压来控制选择栅极 120。通过向选择栅极 122 的控制栅极 122CG 施加恰当电压来控制选择栅极 122。晶体管 100、102、104 和 106 中的每一者包括控制栅极和浮动栅极。举例来说，晶体管 100 具有控制栅极 100CG 和浮动栅极 100FG。晶体管 102 包括控制栅极 102CG 和浮动栅极 102FG。晶体管 104 包括控制栅极 104CG 和浮动栅极 104FG。晶体管 106 包括控制栅极 106CG 和浮动栅极 106FG。控制栅极 100CG 连接到字线 WL3，控制栅极 102CG 连接到字线 WL2，控制栅极 104CG 连接到字线 WL1，且控制栅极 106CG 连接到字线 WL0。

图 3 提供上文描述的与非串的横截面图。如图 3 所描绘，与非串的晶体管（也称为单元或存储器单元）形成在 p 阱区 140 中。每一晶体管包括堆叠栅极结构，其由控制栅极（100CG、102CG、104CG 和 106CG）和浮动栅极（100FG、102FG、104FG 和 106FG）组成。浮动栅极形成在氧化物或其它介电复合膜顶部的 p 阱表面上。控制栅极位于浮动栅极上方，其中氧化物或其它隔离介电层使所述控制栅极与浮动栅极分离。注意，图 3 看似描绘晶体管 120 和 122 的控制栅极和浮动栅极。然而，对于晶体管 120 和 122，控制栅极和浮动栅极被电连接在一起。存储器单元（100、102、104、106）的控制栅极形成字线。N+掺杂层 130、132、134、136 和 138 在相邻单元之间共享，借此所述单元彼

此串联连接以形成与非串。这些 N+掺杂层形成单元的每一者的源极和漏极。举例来说，N+掺杂层 130 充当晶体管 122 的漏极和晶体管 106 的源极，N+掺杂层 132 充当晶体管 106 的漏极和晶体管 104 的源极，N+掺杂区 134 充当晶体管 104 的漏极和晶体管 102 的源极，N+掺杂区 136 充当晶体管 102 的漏极和晶体管 100 的源极，且 N+掺杂层 138 充当晶体管 100 的漏极和晶体管 120 的源极。N+掺杂层 126 连接到与非串的位线，而 N+掺杂层 128 连接到多个与非串的共同源极线。

注意，虽然图 1-3 展示与非串中的四个存储器单元，但使用四个晶体管仅提供作为实例。与非串可具有四个以下存储器单元或四个以上存储器单元。举例来说，一些与非串将包括八个存储器单元、16 个存储器单元、32 个存储器单元等。本文论述不限于与非串中的任何特定数目的存储器单元。

使用与非结构的快闪存储器系统的典型结构将包括若干与非串。举例来说，图 4 展示具有更多与非串的存储器阵列的三个与非串 202、204 和 206。图 4 的与非串的每一者包括两个选择晶体管和四个存储器单元。举例来说，与非串 202 包括选择晶体管 220 和 230 以及存储器单元 222、224、226 和 228。与非串 204 包括选择晶体管 240 和 250 以及存储器单元 242、244、246 和 248。每一串通过其选择晶体管（例如，选择晶体管 230 和选择晶体管 250）连接到源极线。选择线 SGS 用于控制源极侧选择栅极。各个与非串通过选择晶体管 220、240 等连接到各自位线，所述选择晶体管由选择线 SGD 控制。在其它实施例中，选择线不一定需要为共同的。字线 WL3 连接到存储器单元 222 和存储器单元 242 的控制栅极。字线 WL2 连接到存储器单元 224 和存储器单元 244 的控制栅极。字线 WL1 连接到存储器单元 226 和存储器单元 246 的控制栅极。字线 WL0 连接到存储器单元 228 和存储器单元 248 的控制栅极。可以看到，每一位线和各自与非串组成存储器单元阵列的列。字线（WL3、WL2、WL1 和 WL0）组成阵列的行。每一字线连接行中每一存储器单元的控制栅极。举例来说，字线 WL2 连接到存储器单元 224、244 和 252 的控制栅极。

每一存储器单元可存储数据（模拟或数字）。当存储一位数字数据时，存储器单元的可能阈值电压范围被划分为两个范围，所述两个范围被分派逻辑数据“1”和“0”。在与非型快闪存储器的一个实例中，阈值电压在存储器单元被擦除之后为负，且界定为逻辑“1”。阈值电压在编程操作之后为正，且界定为逻辑“0”。当阈值电压为负且通过向控制栅极施加 0 伏来尝试读取时，存储器单元将接通以指示正存储逻辑 1。当阈值电压为正且通过向控制栅极施加 0 伏来尝试读取操作时，存储器单元将不会接通，这指示存储逻辑



辑 0。存储器单元还可存储多个信息级别，例如多个数字数据位。在存储多个数据级别的情况下，可能阈值电压范围被划分为数据级别的数目。举例来说，如果存储四个信息级别，那么将存在四个阈值电压范围分派到数据值“11”、“10”、“01”和“00”。在与非型存储器的一个实例中，阈值电压在擦除操作之后为负且界定为“11”。针对状态“10”、“01”和“00”使用正阈值电压。

与非型快闪存储器及其操作的相关实例在以下美国专利/专利申请案中提供，所有所述专利/专利申请案均以引用的方式并入本文中：第 5,570,315 号美国专利；第 5,774,397 号美国专利；第 6,046,935 号美国专利；第 6,456,528 号美国专利；以及第 09/893,277 号美国专利申请案（第 US2003/0002348 号公开案）。

当对快闪存储器单元进行编程时，向控制栅极施加编程电压且将位线接地。来自 p 阱的电子注入到浮动栅极中。当电子在浮动栅极中累积时，浮动栅极变为带负电荷，且单元的阈值电压升高。为了向正被编程的单元的控制栅极施加编程电压，在恰当字线上施加所述编程电压。如上文论述，所述字线还连接到利用同一字线的其它与非串的每一者中的一个单元。举例来说，当对图 4 的单元 224 进行编程时，还将向单元 244 的控制栅极施加编程电压，因为两个单元共享同一字线。当需要编程字线上的一个单元而不编程连接到同一字线的其它单元时，例如当需要编程单元 224 而不编程单元 244 时，会出现问题。因为向连接到字线的所有单元施加编程电压，所以连接到字线的未选定单元（将不被编程的单元）（尤其是与选择进行编程的单元邻近的单元）可能无意中被编程。举例来说，单元 244 邻近于单元 224。当对单元 224 进行编程时，担心单元 244 可能会无意地被编程。对选定字线上的未选定单元的无意编程被称为“编程干扰”。

可采用若干种技术来防止编程干扰。在一种称为“自升压”的方法中，在编程期间电隔离未选定位线且向未选定字线施加通过电压（例如，10 伏）。未选定字线耦合到对应于未选定位线的与非串的沟道和源极/漏极区，从而促使在未选定位线的沟道和源极/漏极区中外加一电压（例如，8 伏），从而防止编程干扰。自升压促使沟道中存在电压升压，这降低了隧道氧化物上的电压且因此防止编程干扰。

局部自升压（“LSB”）和擦除区域自升压（“EASB”）两者试图将先前已编程单元的沟道与正被抑制的单元的沟道隔离，以维持升压沟道中的高电压。举例来说，如果正在编程图 4 的单元 224，那么 LSB 和 EASB 试图通过将单元 244 的沟道与先前已编程单元（246 和 248）隔离来抑制单元 244 中的编程。还可采用这些升压技术的变型。

尽管使用这些技术中的一者对非易失性存储器进行编程，但仍可能发生编程干扰。

因此，需要一种较好的用于防止编程干扰的机制。

## **发明内容**

对非易失性存储器系统进行编程以便降低或避免编程干扰。根据一个实施例，针对单个非易失性存储器系统采用多种编程抑制方案。基于正被编程的字线来选择编程抑制方案。已经发现某些编程抑制方案能较好地最小化或消除选择字线处的编程干扰。在一个实施例中，选择编程抑制包括选择编程电压脉冲斜坡率。已经发现不同的斜坡率能应用于选择字线时较好地最小化编程干扰。在另一实施例中，在编程操作之前或期间检测存储器系统的温度。可基于系统的温度来选择编程抑制方案。

在一个实施例中，提供一种对非易失性存储装置进行编程的方法，其包含确定多个字线中的哪一者将接收用于编程的编程电压信号。选定字线耦合到第一非易失性存储元件群组的第一非易失性存储元件和第二非易失性存储元件群组的第二非易失性存储元件。将抑制编程第一非易失性存储元件，且将编程第二非易失性存储元件。基于将接收编程电压信号的字线来选择编程抑制方案。使用选定的编程抑制方案将第一群组的沟道升压到一电压电位。在对第一群组的沟道进行升压之后，启用对第二非易失性存储元件群组的编程。

在另一实施例中，提供一种对非易失性存储装置进行编程的方法，其包含确定所述非易失性存储装置的温度。所述非易失性存储装置包括将被抑制编程的第一非易失性存储元件群组和将被启用以进行编程的第二非易失性存储元件群组。基于温度来选择编程抑制方案。使用选定的编程抑制方案对第一非易失性存储元件群组的沟道进行升压，且启用对第二非易失性存储元件群组的编程。

在又一实施例中，提供一种非易失性存储器系统，其包含多个字线、具有将被抑制编程的第一非易失性存储元件的第一非易失性存储元件群组，以及具有将被编程的第二非易失性存储元件的第二非易失性存储元件群组。提供与所述多个字线和所述第一及第二非易失性存储元件群组通信的管理电路。所述管理电路通过确定所述多个字线中的哪个字线也耦合到第二非易失性存储元件来编程第二非易失性存储元件。所述字线是耦合到第一非易失性存储元件的第一字线。所述管理电路基于经选择以进行编程的第一字线来选择编程抑制方案。使用选定的编程抑制方案对第一非易失性存储元件群组的沟道的电压电位进行升压，且启用对第二非易失性存储元件群组的编程。

在另一实施例中，提供一种对非易失性存储装置进行编程的方法，其包含编程耦合到第一字线的一个或一个以上非易失性存储元件。编程第一字线包括对具有将被抑制编

程的第一非易失性存储元件的第一非易失性存储元件群组的沟道的电压电位进行升压。所述第一非易失性存储元件耦合到第一字线。根据第一编程抑制方案来完成升压，且启用对具有将被编程的第二非易失性存储元件的第二非易失性存储元件群组的编程。所述第二非易失性存储元件耦合到第一字线。所述方法还包含通过对具有将被抑制编程的第三非易失性存储元件的第一非易失性存储元件群组的沟道的电压电位进行升压来编程耦合到第二字线的一个或一个以上非易失性存储元件。所述第三非易失性存储元件耦合到第二字线。根据第二编程抑制方案来完成升压，且启用对具有将被编程的第四非易失性存储元件的第二非易失性存储元件群组的编程。所述第四非易失性存储元件耦合到第二字线。

可通过阅读说明书、图式和权利要求书来获得本发明的其它特征、方面和目的。

## **附图说明**

图 1 是与非串的俯视图。

图 2 是图 1 中所描绘的与非串的等效电路图。

图 3 是图 1 的与非串的横截面图。

图 4 是描绘三个与非串的电回路。

图 5 是可实施本发明各个方面的非易失性存储器系统的一个实施例的框图。

图 6 说明存储器阵列的示范性组织。

图 7 描绘根据实施例可施加到选定字线的示范性编程/检验电压信号。

图 8 是根据一个实施例用于执行编程操作的示范性流程图。

图 9 描绘编程为两个状态的存储器单元群组的示范性阈值分布。

图 10 描绘编程为四个状态的存储器单元群组的示范性阈值分布。

图 11 描绘存储器单元群组的示范性阈值分布和用于编程多状态存储器单元的示范性过程。

图 12 描绘示范性与非串的横截面和自升压编程抑制方案。

图 13 描绘示范性与非串的横截面和擦除区域自升压编程抑制方案。

图 14 描绘示范性与非串的横截面和经修改的擦除区域自升压编程抑制方案。

图 15 描绘示范性与非串的横截面和局部化自升压编程抑制方案。

图 16 是描绘根据一个实施例利用不同编程抑制方案的示范性方法的表。

图 17 是描绘根据一个实施例各种编程电压脉冲的斜率的曲线图。

图 18 是描绘根据一个实施例利用不同编程电压脉冲斜坡率的示范性方法的表。

图 19 是根据一个实施例基于正被编程的字线利用不同编程抑制方案的流程图。

图 20 是根据一个实施例基于存储器系统的温度利用不同编程抑制方案的流程图。

### **具体实施方式**

图 5 是可用于实施本发明的快闪存储器系统的一个实施例的框图。存储器单元阵列 302 由列控制电路 304、行控制电路 306、c 源极控制电路 310 和 p 阱控制电路 308 控制。列控制电路 304 连接到存储器单元阵列 302 的位线以用于读取存储在存储器单元中的数据，用于在编程操作期间确定存储器单元的状态，且用于控制位线的电位电平以促进或抑制编程和擦除。行控制电路 306 连接到字线以选择所述字线中的一者，以施加读取电压，以施加与由列控制电路 304 控制的位线电位电平组合的编程电压，且施加擦除电压。C 源极控制电路 310 控制连接到存储器单元的共同源极线（图 6 中标注为“C 源极”）。p 阱控制电路 308 控制 p 阱电压。

存储在存储器单元中的数据由列控制电路 304 读出，且经由数据输入/输出缓冲器 312 输出到外部 I/O 线。待存储在存储器单元中的编程数据经由外部 I/O 线输入到数据输入/输出缓冲器 312 中，且传送到列控制电路 304。外部 I/O 线连接到控制器 318。

用于控制快闪存储器装置的命令数据输入到控制器 318。所述命令数据告知快闪存储器请求什么操作。输入命令被传送到状态机 316，所述状态机 316 控制列控制电路 304、行控制电路 306、c 源极控制 318、p 阱控制电路 308 和数据输入/输出缓冲器 312。状态机 316 还可输出快闪存储器的状态数据，例如就绪/繁忙（READY/BUSY）或通过/失败（PASS/FAIL）。

控制器 318 连接到或可连接到主机系统，例如个人计算机、数码相机或个人数字助理等。其与发起命令的主机通信，例如以向存储器阵列 302 存储数据或从存储器阵列 302 读取数据，且提供或接收此类数据。控制器 318 将此类命令转换为可由命令电路 314 解译并执行的命令信号，所述命令电路 314 与状态机 316 通信。控制器 318 通常含有用于正向存储器阵列写入或从存储器阵列读取的用户数据的缓冲存储器。

一种示范性存储器系统包含一个集成电路，其包括控制器 318 以及一个或一个以上集成电路芯片，每一集成电路芯片含有存储器阵列和相关联的控制、输入/输出和状态机电路。存在将系统的存储器阵列和控制器电路一起集成在一个或一个以上集成电路芯片上的趋势。存储器系统可嵌入作为主机系统的一部分，或可包括在以可移除方式插入主机系统中的存储卡（或其它封装）中。此类卡可包括整个存储器系统（例如，包括控制器）或仅包括存储器阵列以及相关的外围电路（其中控制器或控制功能嵌入在主机中）。

因此，控制器可嵌入在主机中或包括在可移除存储器系统内。

参看图 6，描述存储器单元阵列 302 的示范性结构。作为一个实例，描述被分割成 1,024 个区块的与非快闪 EEPROM。同时擦除存储在每一区块中的数据。在一个实施例中，区块是被同时擦除的单元的最小单位。在此实例中，在每一区块中，存在 8,512 个列，其被划分为偶列和奇列。位线也被划分为偶位线 (BLE) 和奇位线 (BLO)。图 6 展示串联连接以形成与非串四个存储器单元。虽然展示在每一与非串中包括四个单元，但可使用四个以上或四个以下单元 (例如，16、32 或另一数目)。与非串的一个端子经由第一选择晶体管 SGD 连接到相应位线，且另一端子经由第二选择晶体管 SGS 连接到 c 源极。

在一个实施例的读取和编程操作期间，同时选择 4,256 个存储器单元。所选择的存储器单元具有相同字线 (例如，WL2-i) 和相同种类的位线 (例如，偶位线)。因此，可同时读取或编程 532 字节的数据。同时读取或编程的这 532 字节的数据形成逻辑页。因此，在此实例中，一个区块可存储至少八个页。当每一存储器单元存储两个数据位 (例如，多级别单元) 时，一个区块存储 16 个页。

根据实施例还可使用其它结构。一个实施例利用所有位线结构，借此所述位线不被划分为偶列和奇列。在此类实施例中，在读取和编程操作期间同时选择区块中的每一位线。同时编程沿着共同字线且连接到任何位线的存储器单元。

使用奇/偶位线编程的结构实例可查阅第 6,522,580 号和第 6,643,188 号美国专利；所述两个美国专利的全文以引用的方式并入本文中。关于使用所有位线编程的结构的信息可查阅以下美国专利文献 (全文以引用的方式并入本文中)：第 US 2004/0057283 号美国专利申请公开案；第 US 2004/0060031 号美国专利申请公开案；第 US 2004/0057285 号美国专利申请公开案；第 US 2004/0057287 号美国专利申请公开案；第 US 2004/0057318 号美国专利申请公开案；第 US 2003/0161182 号美国专利申请公开案；第 US 2004/0047182 号美国专利申请公开案。另外，2005 年 4 月 5 日申请的题为“COMPENSATING FOR FLOATING GATE COUPLING DURING READ OPERATIONS”的第 11/099,133 号美国专利申请案 (其全文以引用的方式并入本文中) 描述针对所有位线和奇/偶位线编程结构两者的全序列和两次通过编程的实例。

在一个实施例中，通过将 p 阱升高到擦除电压 (例如，20 伏) 并将选定区块的字线接地且同时源极线和位线浮动来擦除存储器单元。由于电容性耦合的缘故，未选定字线 (例如，在未选定且将不被擦除的区块中的那些字线)、位线、选择线和 c 源极也升高到

较高正电位（例如，20V）。因此，当浮动栅极的电子发射到衬底时，向选定区块的存储器单元的隧道氧化物层施加强电场，且擦除选定存储器单元的数据。由于将足够的电子从浮动栅极传送到 p 阱区，因而选定单元的阈值电压变成负的。可对整个存储器阵列、所述阵列的多个区块或其它单位的单元执行擦除。

在读取和检验操作中，将选定区块的选择栅极（SGD 和 SGS）升高到一个或一个以上选择电压，且将选定区块的未选定字线（例如，WL0、WL1 和 WL3）升高到读取通过电压（例如，4.5 伏），以使晶体管作为通过栅极而操作。选定区块的选定字线（例如，WL2）连接到参考电压，针对每一读取和检验操作规定所述参考电压的电平以便确定所关注的存储器单元的阈值电压是高于还是低于此电平。举例来说，在一位存储器单元的读取操作中，将选定字线 WL2 接地，使得检测到阈值电压是否高于 0V。在一位存储器单元的检验操作中，举例来说，将选定字线 WL2 连接到 0.8V，使得随着编程的进行，检验出阈值电压是否已经达到 0.8V。在读取和检验期间，源极和 p 阱处于零伏。将选定位线（BL<sub>e</sub>）预充电到例如 0.7V 的电平。如果阈值电压高于读取或检验电平，那么所关注的位线（BL<sub>e</sub>）的电位电平维持高电平，这是由于相关联的非导电存储器单元的缘故。另一方面，如果阈值电压低于读取或检验电平，那么所关注的位线（BL<sub>e</sub>）的电位电平下降到低电平（例如，低于 0.5V），这是由于导电存储器单元的缘故。存储器单元的状态由读出放大器检测，所述读出放大器连接到位线且读出所得位线电压。编程还是擦除存储器单元之间的差别取决于是否在浮动栅极中存储净负电荷。举例来说，如果在浮动栅极中存储负电荷，那么阈值电压变高，且晶体管可处于增强操作模式中。

上文描述的擦除、读取和检验操作根据此项技术中已知的技术来执行。因此，所属领域的技术人员可改变所解释的细节中的许多细节。

在一个实例中，当编程存储器单元时，漏极和 p 阱接收 0 伏，而控制栅极接收一系列具有递增振幅的编程脉冲。在一个实施例中，所述系列中的脉冲的振幅在 15 伏到 25 伏的范围内。在其它实施例中，所述系列中的脉冲范围可有所不同，例如具有为 12 伏的开始电平。在编程存储器单元期间，在编程脉冲之间的时期中执行检验操作。也就是说，在每一编程脉冲之间读取并行编程的单元群组的每一单元的编程电平，以确定其是否已经达到或超过其要被编程到的检验电平。一种检验编程的方式是在特定比较点处测试导电性。针对所有随后编程脉冲通过将位线电压从 0 升高到 V<sub>dd</sub>（例如，2.5 伏）来（例如）在与非单元中锁定经检验为充分编程的单元，以终止对那些单元的编程过程。在一些情况下，脉冲数目将受到限制（例如，20 个脉冲），且如果给定存储器单元未由最后脉冲

充分编程，那么假定错误。在一些实施方案中，在编程之前擦除存储器单元（按区块或其它单位）。

图 7 描绘根据一个实施例的编程电压信号。此信号具有一组具有递增振幅的脉冲。所述脉冲的振幅随着每一脉冲增加预定步长大小。在包括存储多个数据位的存储器单元的一个实施例中，示范性步长大小为 0.2 伏。在编程脉冲的每一者之间是检验脉冲。图 7 的信号假定四状态存储器单元，因此其包括三个检验脉冲。举例来说，在编程脉冲 330 与 332 之间是三个依序检验脉冲。在零伏检验电压电平处描绘第一检验脉冲 334。在第二检验电压电平处，第二检验脉冲 336 跟随第一检验脉冲。在第三检验电压电平处，第三检验脉冲 338 跟随第二检验脉冲 336。能够以八个状态存储数据的多状态存储器单元可能需要针对七个比较点执行检验操作。因此，按序施加七个检验脉冲以在两个连续编程脉冲之间在七个检验电平处执行七个检验操作。基于所述七个检验操作，系统可确定存储器单元的状态。一种用于减少检验的时间负担的方式是使用较有效的检验过程，例如在 2002 年 12 月 5 日申请的题为“Smart Verify for Multi-State Memories”的第 10/314,055 号美国专利申请案中所揭示，所述申请案全文以引用的方式并入本文中。

图 8 是描述一种用于编程非易失性存储器系统的方法的流程图。如所属领域的一般技术人员将了解，可依据特定应用或实施方案来修改、添加或删除各种步骤，而仍然保持在本揭示案的范围和精神内。在各种实施方案中，在编程之前擦除存储器单元（按区块或其它单位）。在图 8 的步骤 350 处（且参看图 5），由控制器 318 发布数据加载命令，并将其输入到命令电路 314，从而允许将数据输入到数据输入/输出缓冲器 312。所述输入数据被辨认为命令，且经由输入到命令电路 314 的命令锁存信号（未说明）由状态机 316 锁存。在步骤 352 中，将指示页地址的地址数据从控制器 318 输入到行控制器 306。所述输入数据被辨认为页地址，且经由状态机 316 锁存，这通过输入到命令电路 314 的地址锁存信号来实现。在步骤 354 处，将 532 字节的编程数据输入到数据输入/输出缓冲器 312。应注意，532 字节的编程数据特定用于所描述的特定实施方案，且其它实施方案将需要或利用各种其它大小的编程数据。所述数据可锁存在选定位线的寄存器中。在一些实施例中，所述数据还锁存在选定位线的第二寄存器中以用于检验操作。在步骤 356 处，由控制器 318 发布编程命令，且将其输入到数据输入/输出缓冲器 312。所述命令经由输入到命令电路 314 的命令锁存信号而由状态机 316 锁存。

在步骤 358 处，将  $V_{pgm}$ （施加到选定字线的编程脉冲电压电平）初始化为开始脉冲（例如，15 伏），且将由状态机 316 维持的编程计数器 PC 初始化为 0。在步骤 360 处，将

编程电压 ( $V_{pgm}$ ) 脉冲施加到选定字线 (例如, 图 4 的 WL2)。将包括待编程的存储器单元的位线接地以启用编程, 而将其它位线连接到 Vdd 以在施加编程脉冲期间抑制编程。下文将提供步骤 360 的更多细节, 包括各种升压和编程抑制系统和技术。

在步骤 362 处, 检验选定存储器单元的状态。如果检测到选定单元的目标阈值电压已经达到恰当电平 (例如, 针对逻辑 0 的编程电平或多状态单元的特定状态), 那么选定单元被检验为被编程到其目标状态。如果检测到阈值电压尚未达到恰当电平, 那么选定单元不被检验为被编程到其目标状态。将排除对在步骤 362 处被检验为被编程到其目标状态的那些单元进行进一步编程。在步骤 364 处, 确定所有待编程的单元是否已经被检验为已经编程到其相应状态, 例如通过检查经设计以检测并发信号通知此类状态的恰当的数据存储寄存器来确定。如果是, 那么编程过程完成并成功, 因为所述选定存储器单元均被编程且检验为到达其目标状态。在步骤 366 中报告通过状态。如果在步骤 364 处, 确定并非所有存储器单元都已经被检验为如此, 那么编程过程继续。在步骤 368 处, 对照编程极限值来检查编程计数器 PC。编程极限值的一个实例为 20。如果编程计数器 PC 不小于 20, 那么在步骤 369 处确定尚未成功编程的存储器单元的数目是否等于或小于预定数目。如果未成功编程的存储器单元的数目等于或小于预定数目, 那么在步骤 371 处将编程过程标记为通过且报告通过状态。可在读取过程期间使用误差校正来校正未被成功编程的存储器单元。然而, 如果未成功编程的存储器单元的数目大于预定数目, 那么在步骤 370 处将编程过程标记为失败且报告失败状态。如果编程计数器 PC 小于 20, 那么在步骤 372 处将  $V_{pgm}$  电平增加步长大小且递增编程计数器 PC。在步骤 372 之后, 过程循环回到步骤 360, 以施加下一  $V_{pgm}$  脉冲。

图 8 的流程图描绘如可应用于二进制存储装置的单次通过编程方法。在如可应用于多级存储装置的两次通过编程方法中且如下文描述, 举例来说, 可在流程图的单个迭代中使用多个编程或检验步骤。针对编程操作的每一次通过可执行步骤 360-372。在第一次通过中, 可施加一个或一个以上编程脉冲, 且检验其结果以确定单元是否处于恰当的中间状态。在第二次通过中, 可施加一个或一个以上编程脉冲, 且检验其结果以确定所述单元是否处于恰当的最终状态。

在成功编程过程结束时, 存储器单元的阈值电压应当处于已编程存储器单元的一个或一个以上阈值电压分布内或处于已擦除存储器单元的阈值电压分布内。图 9 说明当每一存储器单元存储一位数据时存储器单元阵列的阈值电压分布。图 9 展示已擦除存储器单元的第一阈值电压分布 380 和已编程存储器单元的第二阈值电压分布 382。在一个实



施例中，第一分布中的阈值电压电平为负，且第二分布中的阈值电压电平为正。

图 10 说明当每一存储器单元以四个物理状态存储两位数据时存储器单元阵列的示范性阈值电压分布。分布 384 表示处于已擦除状态（存储“11”）的单元的阈值电压分布，其具有负阈值电压电平。分布 386 表示处于第一已编程状态（存储“10”）的单元的阈值电压分布。分布 388 表示处于第二已编程状态（存储“00”）的单元的阈值电压分布。分布 390 表示处于第三已编程状态（存储“01”）的单元的阈值电压分布。在此实例中，存储在单个存储器单元中的所述两个位中的每一者来自不同的逻辑页。也就是说，存储在每一存储器单元中的所述两个位中的每一位具有不同的逻辑页地址。以正方形显示的位对应于下部页。以圆圈显示的位对应于上部页。在一个实施例中，使用葛莱码序列将逻辑状态分派到存储器单元的依序物理状态，使得如果浮动栅极的阈值电压错误地移位到其最近相邻阈值电压状态范围，那么只有一个位将受到影响。为了提供改进的可靠性，优选地收紧各个分布（分布变窄），因为较紧的分布带来较宽的读取裕度（邻近状态阈值分布之间的距离）。

图 11 说明编程 4 状态与非存储器单元的两次通过技术的实例，所述存储器单元例如为具有图 10 中所说明的阈值电压分布的阵列的存储器单元。在第一次编程通过中，根据待编程到下部逻辑页中的位来设置单元的阈值电压电平。如果所述位为逻辑“1”，那么阈值电压不改变，因为其由于已经在早期被擦除而处于恰当状态。然而，如果待编程的位为逻辑“0”，那么将单元的阈值电平增加到阈值电压分布 386 内，如箭头 394 所示。这结束了第一次编程通过。

在第二次编程通过中，根据被编程到上部逻辑页中的位结合由第一次编程通过建立的现有逻辑电平，来设置单元的阈值电压电平。如果上部逻辑页位将存储逻辑“1”，那么不发生任何编程，因为所述单元依据下部页位的编程而处于对应于阈值电压分布 384 或 386 的物理状态中的一者中，所述两个阈值电压分布均载有上部页位“1”。然而，如果上部页位将为逻辑“0”，那么对所述单元进行第二次编程。如果第一次通过导致单元保持在对应于阈值分布 384 的已擦除状态中，那么在第二阶段中对单元进行编程，使得将阈值电压增加到阈值分布 390 内，如箭头 398 所示。如果单元由于第一次编程通过的原因而已经被编程到对应于阈值分布 386 的状态中，那么在第二次通过中进一步编程存储器单元，使得将阈值电压增加到阈值电压分布 388 内，如箭头 396 所描绘。第二次通过的结果是将单元编程到指定为存储逻辑“0”（针对上部页）的状态中而不改变第一次编程通过的逻辑状态。

当然，如果存储器以四个以上物理状态进行操作，那么将在存储器单元的界定的电压阈值窗内存在等于状态数目的数目的阈值电压分布。另外，虽然已经向所述分布或物理状态中的每一者分派特定位型式，但可如此分派不同的位型式，在所述情况下，之间发生编程的状态可不同于图 9-11 中所描绘的那些状态。

通常，被并行编程的单元是沿着字线的交替单元。举例来说，图 4 说明沿着一个字线 WL2 的较大数目单元中的三个存储器单元 224、244 和 252。一组交替单元（包括单元 224 和 252）存储来自逻辑页 0 和 1（“偶页或偶列”）的位，而另一组交替单元（包括单元 244）存储来自逻辑页 2 和 3（“奇页或奇列”）的位。

如上文所述，图 8 的步骤 360 的每一迭代包括施加例如脉冲（V<sub>pgm</sub>）的编程电压。通过向恰当字线施加编程电压来向经选择以进行编程的存储器单元的控制栅极施加编程电压。如先前论述，共同字线结构造成在编程期间无意编程未选定存储器单元或另外引起编程干扰的可能性。举例来说，当编程图 4 的存储器单元 224 时，也向存储器单元 244 施加编程电压，因为其也连接到 WL2。含有将不被编程但连接到经选择以进行编程的字线的存储器单元（经寻址但未选定的存储器单元）的与非串的沟道通常升压到最小电平以上，以确保编程干扰低于预定水平。

可使用各种升压或编程抑制方案来消除或最小化编程干扰。根据实施例，在单个非易失性存储系统内使用多个编程抑制方案，以最小化编程干扰的发生。已经发现，某些编程抑制方案在特定字线处比其它方案效果更好。由于这个原因，一个实施例包括基于正被编程的字线来选择编程抑制方案。使用各种数目的编程抑制方案且将字线分割成若干范围以应用特定方案。

一种常见的编程抑制方案被称为自升压。图 12 描绘与非串 400 的偏压，所述与非串 400 含有将在编程过程期间被抑制的存储器单元。在图 12 中，正对其它与非串上连接到字线 WL31 的选定的存储器单元进行编程。因此，正向 WL31 施加 V<sub>pgm</sub>，且将抑制对与非串 400 中耦合到 WL31 的存储器单元进行编程。自升压的原理依赖于升压沟道和源极/漏极区来降低或消除编程干扰。向与非串中的每一未选定字线施加电压 V<sub>pass</sub>。同时，以 V<sub>dd</sub> 驱动与非串 400 的位线以抑制编程。V<sub>pass</sub> 电压（例如，7-10 伏）将耦合到与非串中对应于未选定位线的沟道和源极/漏极区，且促使在 WL31 处的存储器单元的沟道区中以及与非串的源极/漏极区 402、404、407、408、409 等中外加升压电压。沟道中的升压电压降低了存储器单元 424 的隧道氧化物上的电场，且因此减小无意编程的可能性。

如先前论述，通常以从源极侧到漏极侧（例如，从 WL0 到 WL31）的顺序来编程存

存储器单元区块。典型的编程序列可涉及编程第一字线的一个或一个以上页，且接着向漏极侧编程相邻的字线的一个或一个以上页，以此类推，直到每一字线的存储器单元已经被编程为止。当编程过程准备好编程与非串的最后（或接近最后）字线的存储器单元时，如果受抑制的串上的所有或许多先前已编程单元（例如，存储器单元 412、414、420 和 422 以及未图示的其它存储器单元）被编程，那么在那些先前已编程单元的浮动栅极中存在负电荷。由于在浮动栅极上的此负电荷的缘故，升压电位可能不会足够高，且可能在最后（或接近最后）字线上存在编程干扰。这可能限制与非串 400 的沟道中的升压电平，且可能造成对存储器单元 424 的编程干扰。

另一种自升压技术是擦除区域自升压（EASB），其试图将先前已编程单元的沟道与受抑制单元的沟道隔离。图 13 描绘使用 EASB 的示范性与非串的偏压。将源极侧相邻字线（在此实例中，字线 WL30）设置为低电压（例如，0V），而将剩余非选定字线（WL0-WL29）设定为  $V_{pass}$ 。在一个实施例中， $V_{pass}$  处于 7-10 伏之间。 $V_{pass}$  的值由升压和干扰考虑因数限制。应当选择足够大的值，使得沟道中的升压足以防止编程干扰。然而，应当选择足够低的值，使得不会无意编程未选定字线（行外干扰）。

EASB 可展现依赖于源极侧相邻存储器单元的编程状态的问题。如果源极侧相邻单元被编程，那么在所述单元处存在负电荷。当向控制栅极施加 0 伏时，在带有负电荷的栅极下方存在高度反向偏压的结（junction），这可能会造成栅极诱发的漏极泄漏（GIDL）。GIDL 涉及电子泄漏到升压沟道中。在所述结中存在较大偏压且栅极电压较低或为负的情况下发生 GIDL，这正是当源极侧相邻单元被编程且漏极结被升压时的情况。GIDL 可造成升压电压过早渗出，从而导致编程误差。在由于调整单元尺寸而需要突然且高度掺杂的结的情况下 GIDL 更为严重。如果泄漏电流足够高，那么沟道区中的升压电位将下降且可能存在编程干扰。

如果源极侧相邻存储器单元被擦除，那么在浮动栅极上存在正电荷且晶体管的阈值电压将可能为负。即使向字线施加零伏时，晶体管也可能不会关闭（或可能稍后在已经对下部字线下方的沟道充分升压时关闭）。如果存储器单元接通，那么与非串不以 EASB 模式进行操作。实际上，串以自升压模式进行操作，且自升压模式具有上文论述的问题。

已经发现，当编程较高（稍后编程的）字线时，与擦除区域自升压相关联的问题更为显著。当编程较高字线时，升压沟道中的 GIDL 经历增加。然而，尽管较高字线处的 GIDL 增加，EASB 在较高字线处呈现比传统自升压方案更为有效的编程抑制能力。

在经修改的擦除区域自升压（REASB）中，在升压期间应用源极侧字线电压到 0V

的逐步减小，而并非向紧接的源极相邻者施加 0V。已经发现，REASB 在较高字线处较好地起作用以避免编程干扰。然而，还发现，REASB 在较低字线处不能较好地起作用。图 14 描绘在字线 WL2 处具有将被抑制编程的存储器单元的与非串。在 WL2 处施加  $V_{pgm}$ 。向字线 WL1 处的紧接的源极侧相邻者施加  $V_{n-1}$ 。可针对  $V_{n-1}$  使用各种值。 $V_{n-1}$  低于  $V_{pgm}$  或  $V_{pass}$ ，但高于 0V，使得形成到 0V 的逐步减小。在一个实施例中， $V_{n-1}$  等于  $V_{dd}$ 。可使用一个以上步降电压（例如  $V_{n-1}$ ）。举例来说，可向紧接的源极侧相邻者 414 施加  $V_{n-1}$ ，且可向下一源极侧相邻者 412 施加  $V_{n-2}$ （低于  $V_{n-1}$ ）。在图 14 的实施例中，向 WL0 施加 0V 以隔离 WL2 周围的区。

局部自升压 (LSB) 类似于 EASB，不同之处只是针对抑制方案将源极和漏极侧相邻者均设置为 0V。图 15 描绘使用 LSB 方案的与非串的偏压。如所说明，正在编程 WL2 的存储器单元。向 WL2 供应  $V_{pgm}$ ，同时向相邻源极侧线 WL1 和相邻漏极侧线 WL3 供应 0V。向两个相邻字线施加 0V 将进一步隔离围绕存储器单元 416 的区。然而，向漏极侧字线施加 0V 同样可降低沟道的升压电压。为了增加升压电平，可使用类似于 REASB 的经修改的局部自升压 (RLSB) 技术。向紧接的漏极和源极侧字线（例如，线 WL1 和 WL3）供应中间电压  $V_{n-1}$ ，在一个实施例中所述中间电压  $V_{n-1}$  可以是  $V_{dd}$ 。向下一漏极和源极侧相邻线提供 0V，且向剩余未选定字线提供  $V_{pass}$ 。

鉴于认识到这些各种编程抑制方案的优点和缺点，建议基于正被编程的特定字线来选择性地选择编程抑制方案。SB 已经展示为在较低字线处比在较高字线处更好。另一方面，EASB 和 REASB 已经展示为在较高字线处比在较低字线处更好，其中 REASB 呈现进一步改进（如所描述的）。

图 16 借助于非限制性实例描绘用于基于正被编程的字线来应用选定的编程抑制方案的各种选项的表。虽然相对于 32 存储器单元与非串来呈现这些选项，但将了解，实施例不受如此限制。在第一方法中，将字线划分为两个区。在从 WL0 到 WLn-1 的第一区中，当编程选定字线时向被抑制的存储器单元的与非串应用第一编程抑制方案。在从 WLn 到 WL31 的第二区中，应用第二编程抑制方案。在一个实施例中，第一编程抑制方案 PIS1 是自升压方案，且第二编程抑制方案 PIS2 是擦除区域自升压方案或经修改的擦除区域自升压方案。通过在从 WL0 到 WLn-1 的字线上利用自升压，与较高字线处的自升压有关的问题最小化。同样，通过在字线 WLn+1 到 WL31 上利用 REASB，与较低字线处的 REASB 有关的问题最小化。在一个实施例中，使用 PIS1 方案（例如，SB）编程的字线的数目为 4，且使用 PIS2 方案编程的字线的数目为 28。在其它实施例中，可使用其它字线范围。

如图 16 中的第二方法呈现,可基于字线而应用的不同编程抑制方案的数目不限于 2。在第二方法中,将字线划分为三个区。在从  $WL_0$  到  $WL_{n-1}$  的第一区中,应用第一编程抑制编程方案 PIS1。在从  $WL_n$  到  $WL_{m-1}$  的第二区中,应用第二编程抑制方案 PIS2。在从  $WL_m$  到  $WL_{31}$  的第三区中,应用第三编程抑制方案 PIS3。在一个实施例中,PIS1 是自升压方案,PIS2 是擦除区域或经修改的擦除区域自升压方案,且 PIS3 是经修改的擦除区域自升压方案。在一个实施例中,使用 PIS1 方案编程的字线的数目为 4,使用 PIS2 方案编程的数目为 8,且使用 PIS3 方案编程的数目为 20。与第一方法一样,可使用各种字线范围。

图 16 的第三方法呈现可依据正被编程的字线来应用任何数目的编程抑制方案。在第三方法中,针对与非串的每一字线利用不同的编程抑制方案。

还发现,可操纵编程电压脉冲的增加速率以使对耦合到正被编程的字线的未选定存储器单元的编程干扰最小化。如图 7 所说明,在编程期间施加到选定字线的编程电压脉冲存在某一斜率。已经发现编程干扰与编程电压脉冲的斜率之间的相互关系。此外,已经发现,由于斜率引起的编程干扰效应对于早期编程的较低字线较大。

因此,建议基于正被编程的字线来选择编程电压脉冲斜率或斜坡率。图 17 描绘两个编程电压脉冲信号。信号 502 表示如图 7 所描绘的信号的一个脉冲。在脉冲 502 上看到相对较急剧或快速的编程电压脉冲斜坡率。信号 504 表示具有较平缓斜率或较慢斜坡率的另一脉冲。通过向较低字线施加具有较慢斜坡率的编程电压脉冲,可减小编程干扰量。选择仅对较低字线利用较慢速率可改进性能。较高字线展现可归因于编程电压斜坡率的较小的干扰量。可选择向许多字线范围施加较慢斜坡率信号。另外,可使用许多不同的斜坡率信号。

图 18 包括用于依据正被编程的字线来选择编程电压斜坡率的三种不同选项。在第一方法中,将字线划分为两个范围,且在编程第一范围( $WL_0$ - $WL_{n-1}$ )内的字线时应用第一编程电压脉冲斜坡率 PPR1,并在编程第二范围( $WL_n$ - $WL_{31}$ )内的字线时应用第二编程电压脉冲斜坡率 PPR2。PPR1 可包括比 PPR2 慢的斜坡率,使得对第一范围内的较低字线上的存储器单元的编程干扰最小化。

方法 2 和 3 展现可使用两个以上斜坡率。在方法 2 中,针对字线  $WL_0$ - $WL_{n-1}$  使用第一斜坡率 PPR1,针对字线  $WL_n$ - $WL_{m-1}$  使用第二斜坡率,且针对字线  $WL_m$ - $WL_{31}$  使用第三斜坡率。PPR1 可比 PPR2 慢,且 PPR2 可比 PPR3 慢。这种方案可使编程干扰最小化,且同时维持存储器系统的性能。在方法 3 中,可针对每一字线使用不同的斜坡率。在一

个实施例中，斜坡率随着每一变高的字线而增加。

不同的编程电压脉冲斜坡率的使用可与各种编程抑制方案的使用组合。举例来说，图 16 的方法 1 与图 18 的方法 1 可进行组合，使得编程抑制方案实际上包括应用选定的编程电压脉冲斜坡率。如果将这些方法组合，那么当编程字线  $WL_0-WL_{n-1}$  时，较慢斜坡率  $PPR_1$  可与  $PIS_1$ （例如，自升压）一起使用。当编程字线  $WL_n-WL_{31}$  时，较快斜坡率  $PPR_2$  可与  $PIS_2$ （例如， $REASB$ ）一起使用。可根据实施例来使用图 16 和 18 中描绘的方法的许多组合和变化形式。

图 19 是根据一个实施例用于编程存储器单元区块的流程图。在一个实施例中，在图 8 的步骤 360 处执行图 19 中所描绘的方法。每当施加编程电压脉冲时，可执行图 19 的方法以对未选定与非串中的沟道电压电位进行升压来使编程干扰的发生最小化。

图 19 以步骤 550 开始，其中确定被施加有编程电压信号的选定字线处于选定存储器区块的什么字线范围内。例如参看图 16，步骤 550 可确定选定字线是从  $WL_0-WL_{n-1}$  还是从  $WL_n-WL_{31}$  的范围。在其它实施例中，使用更多范围（例如，图 16 的方法 2），所以步骤 550 将包含确定选定字线处于多个范围中的哪个范围。在一个实施例中，每一字线是其自身的范围，因此向每一字线应用不同的方案。

在确定字线范围之后，可选择相应的编程抑制方案。在图 16 的方法 1 中，如果字线处于  $WL_0$  与  $WL_{n-1}$  之间，那么选择方案  $PIS_1$ ，且如果字线处于  $WL_n$  与  $WL_{31}$  之间，那么选择方案  $PIS_2$ 。如果使用更多范围，那么可使用更多方案且将从增加数目的方案中进行选择。在一个实施例中，选择针对每一个别字线的选定的方案。选择编程抑制方案可包括选择编程电压脉冲斜坡率。在一个实施例中，除了特定偏压条件外还为编程抑制方案选择斜坡率。

在步骤 554 处抑制对含有将被抑制的存储器单元的串的编程。举例来说，可将那些串的位线升高到  $V_{dd}$  以抑制编程。在步骤 556 处，将具有将在下一脉冲期间编程的存储器单元的每一与非串的位线设置为  $0V$ ，以启用编程。在步骤 558 处应用针对选定的编程抑制方案（步骤 552）的偏压条件。举例来说，如果正在使用  $EASB$ ，那么可向源极侧相邻字线施加  $0V$ ，且可向剩余未选定字线施加  $V_{pass}$ 。在一个实施例中，在步骤 558 处设定偏压条件与步骤 554 和/或步骤 556 同时执行。在步骤 560 处，向选定字线施加编程电压信号  $V_{pgm}$  脉冲以编程经启用位线的存储器单元。在一些实施例中，步骤 560 包括施加具有在步骤 552 处选定的斜坡率的编程电压脉冲。

还发现，温度在编程抑制方案的功效中起一定作用。已经发现一些方案在较高温度

下较好地起作用，而发现其它方案在较低温度下较好地起作用。在一个实施例中，在编程时使用非易失性存储系统的温度来选择恰当的编程抑制方案。温度传感器 317 具备非易失性存储器系统（图 5）且可在编程操作之前或期间感测温度。状态机 316 可从传感器 317 接收温度数据，且促使向选定的存储器区块应用相应的编程抑制方案。

图 20 是根据一个实施例用于使用温度来选择特定编程抑制方案的流程图。与图 19 一样，可在图 8 的步骤 360 处施加编程电压脉冲期间使用图 20 的方法。在步骤 570 处，温度传感器感测存储系统的温度。在步骤 572 处，至少部分地基于感测到的温度来选择编程抑制方案。举例来说，已经发现自升压在高温下较好地起作用，而擦除区域自升压和经修改的擦除区域自升压在低温下较好地起作用。因此，在一个实施例中，提供断点温度。如果感测到的温度高于断点，那么在步骤 572 处选择自升压。如果感测到的温度低于断点，那么应用经修改的擦除区域自升压。可使用其它变化形式，包括（但不限于）使用两种以上方案，且因此使用两个以上断点水平。也可使用除 SB 和 REASB 以外的其它方案。

在步骤 574 处，通过升高具有将被抑制的存储器单元的与非串的位线电压来抑制编程那些串。在步骤 576 处，通过向那些位线施加 0 伏来针对具有待编程的存储器单元的与非串启用编程。在步骤 578 处，施加针对选定的抑制方案的偏压条件。在一个实施例中，同时执行步骤 574 和 576。在一个实施例中，作为步骤 578 的一部分而执行这些步骤。在施加偏压条件之后，在步骤 580 处向选定字线施加编程电压脉冲。

相对于与非型快闪存储器提供以上实例。然而，本发明的原理可应用于利用升压的其它类型的非易失性存储器，包括当前存在的那些存储器以及预期使用正在开发的新技术的那些存储器。

已经出于说明和描述的目的展现了以上对本发明的详细描述。不希望这是详尽的或将本发明局限于所揭示的精确形式。鉴于以上教导，许多修改和变化是可能的。选择所描述的实施例是为了最佳地解释本发明的原理及其实际应用，从而使所属领域的其他技术人员能够在各种实施例中且在作出适于所预期的特定用途的各种修改的情况下最佳地利用本发明。希望本发明的范围由所附权利要求书界定。

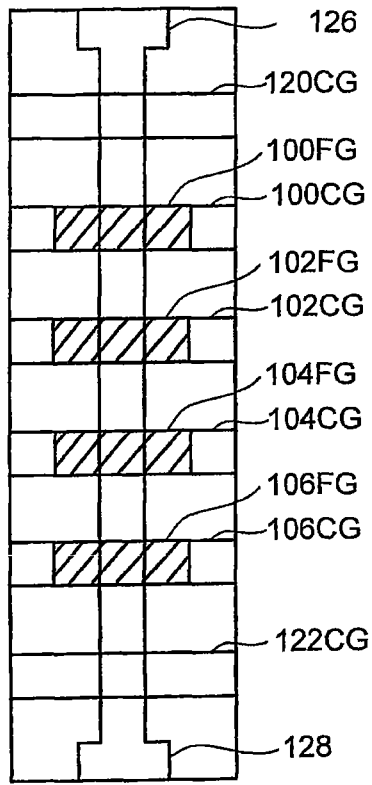


图1

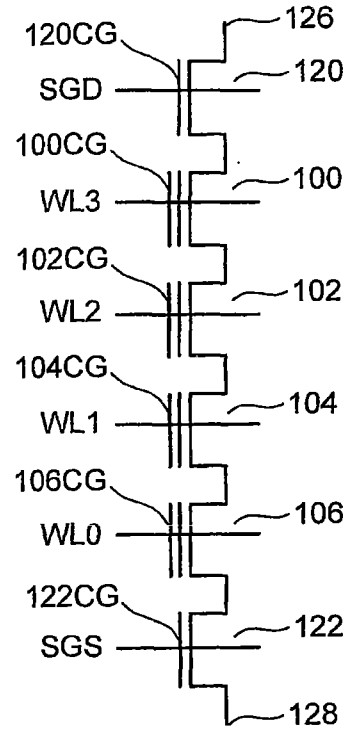


图2

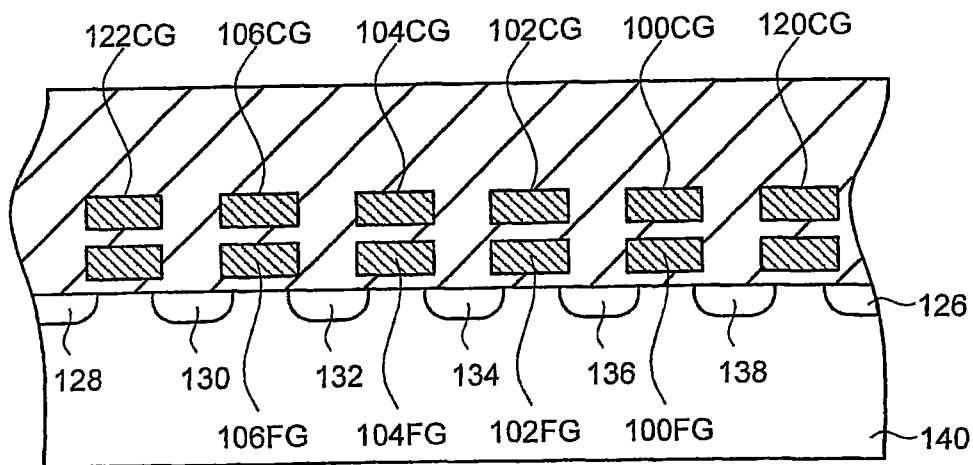


图3



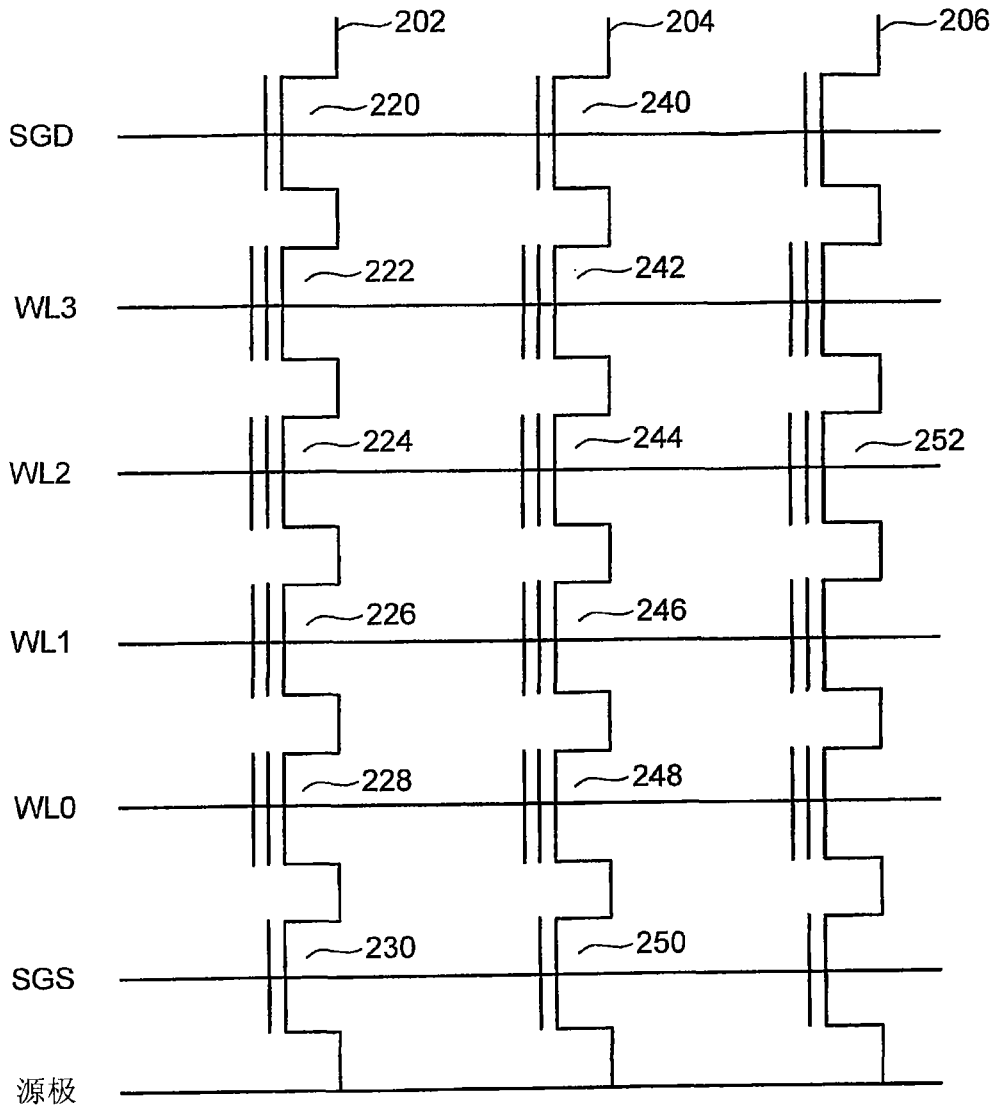


图4

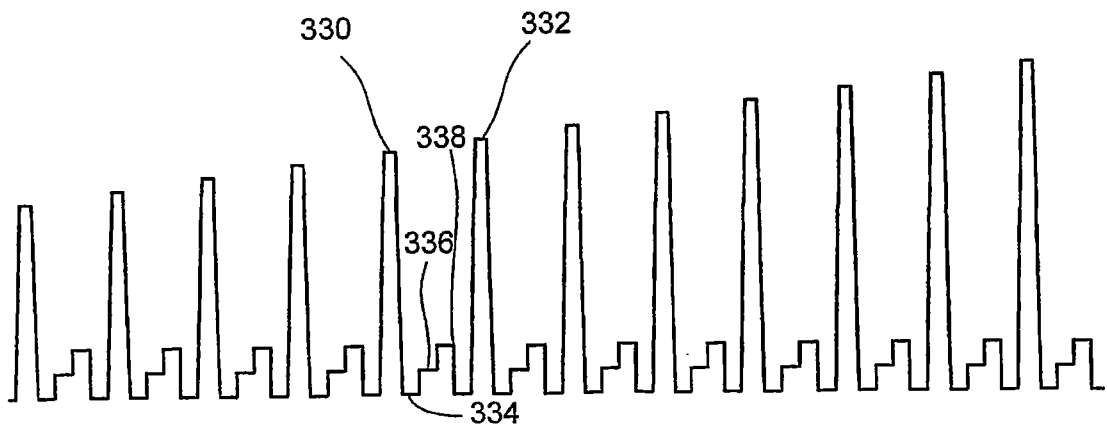


图7

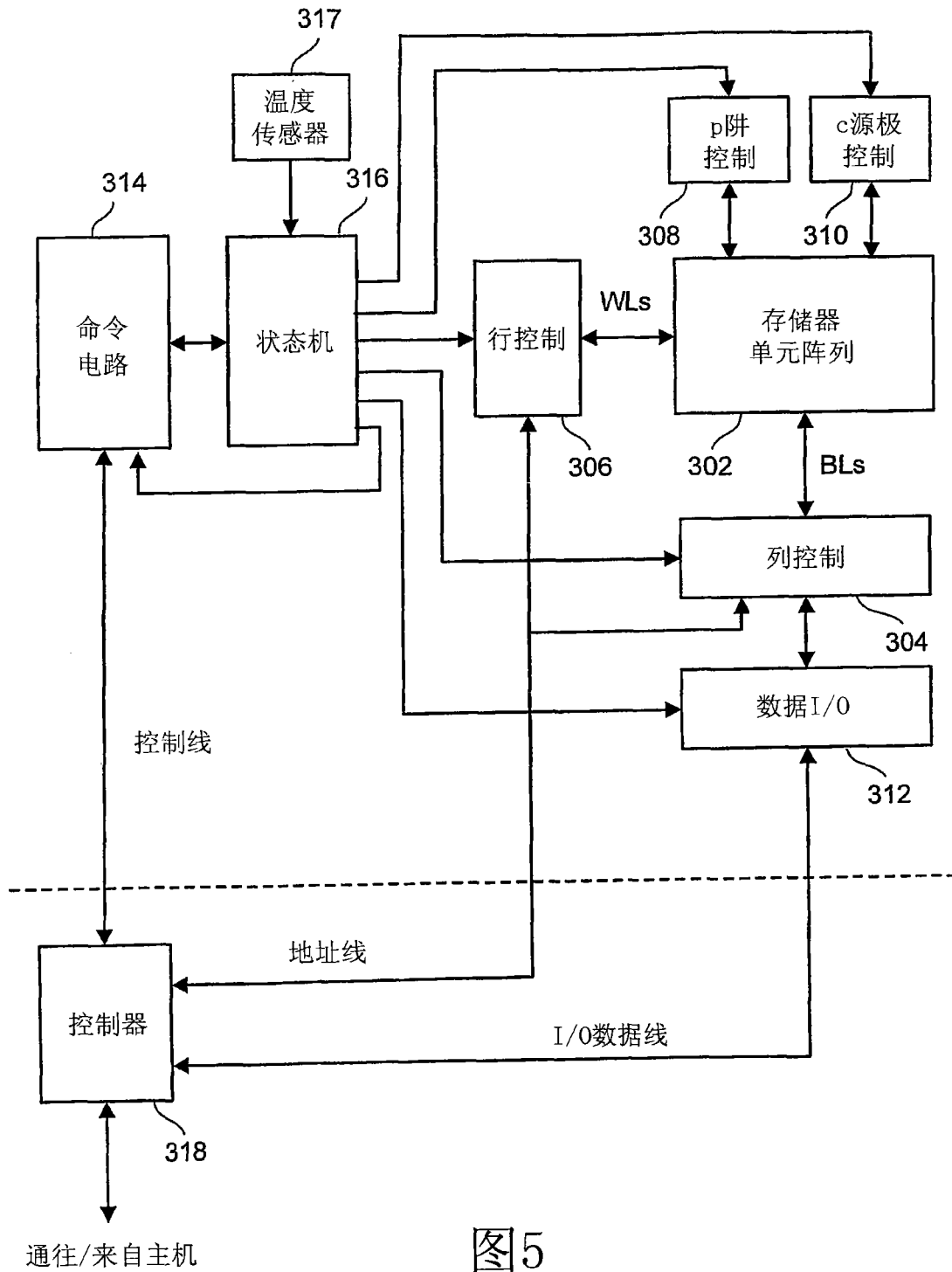


图5

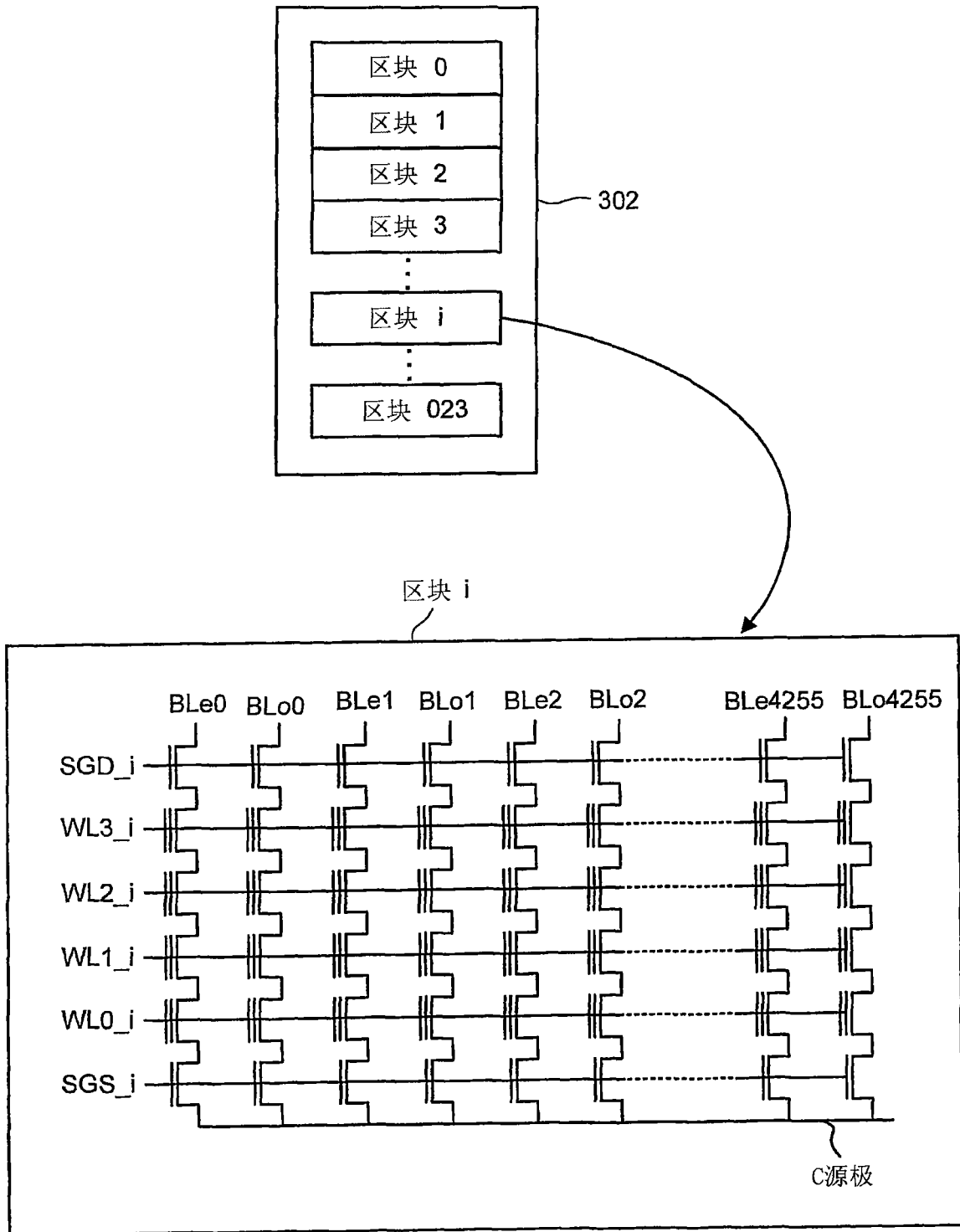


图6

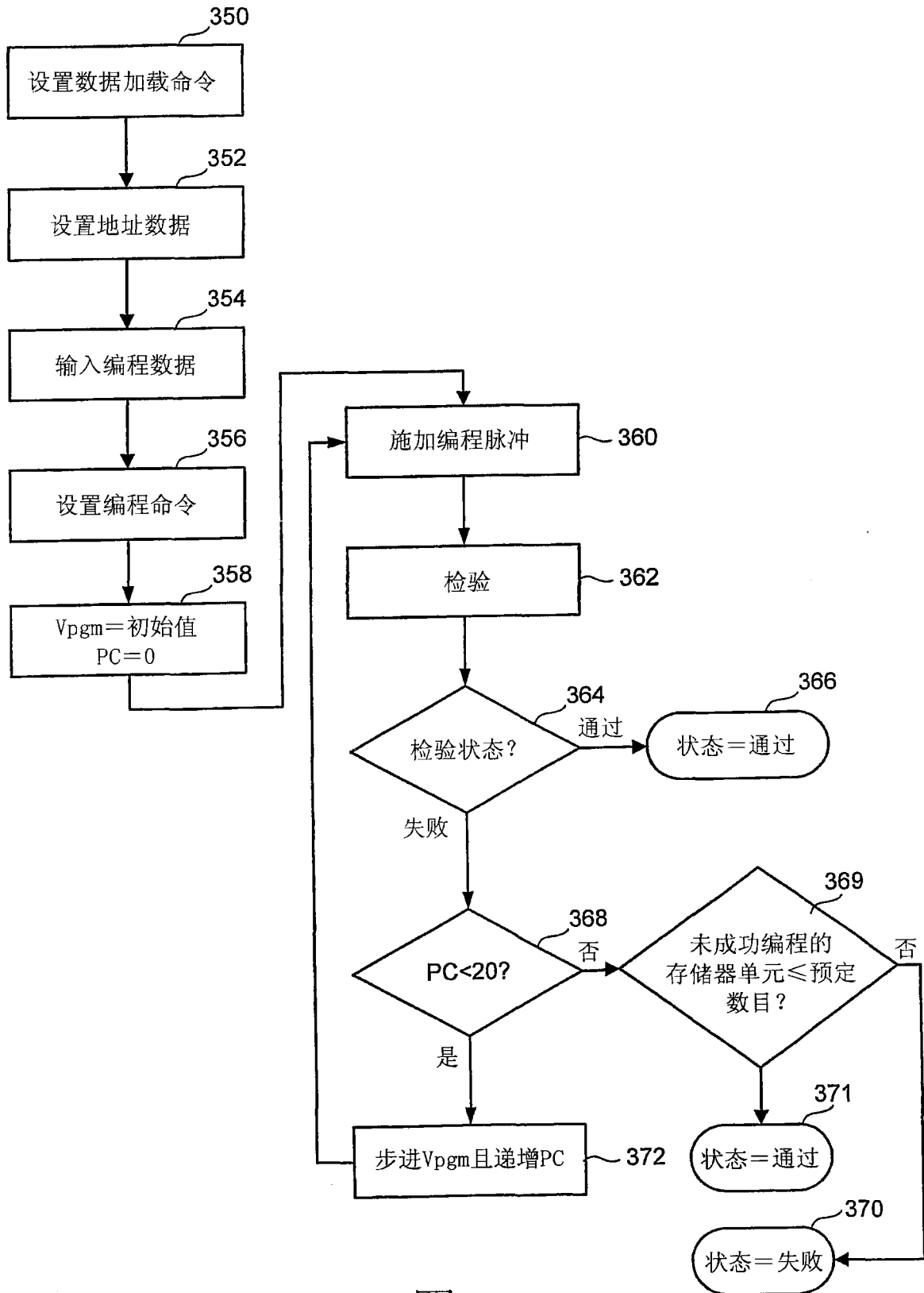


图8

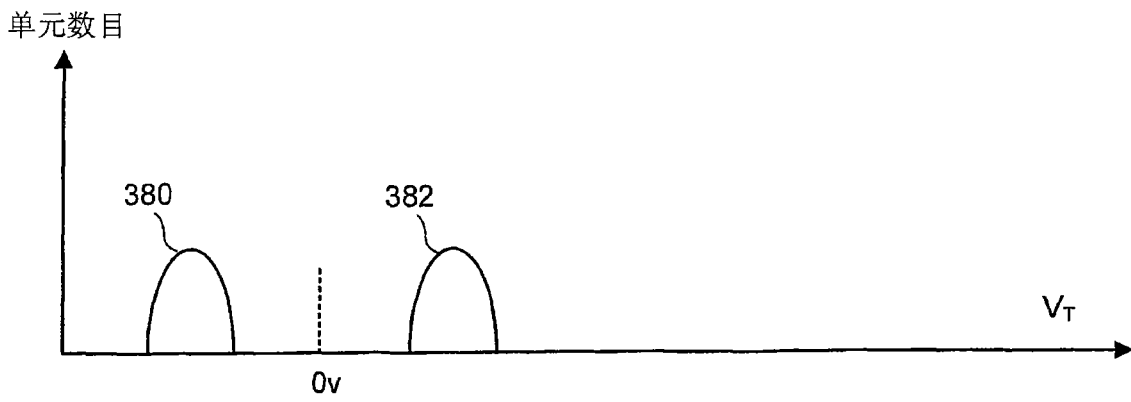


图9

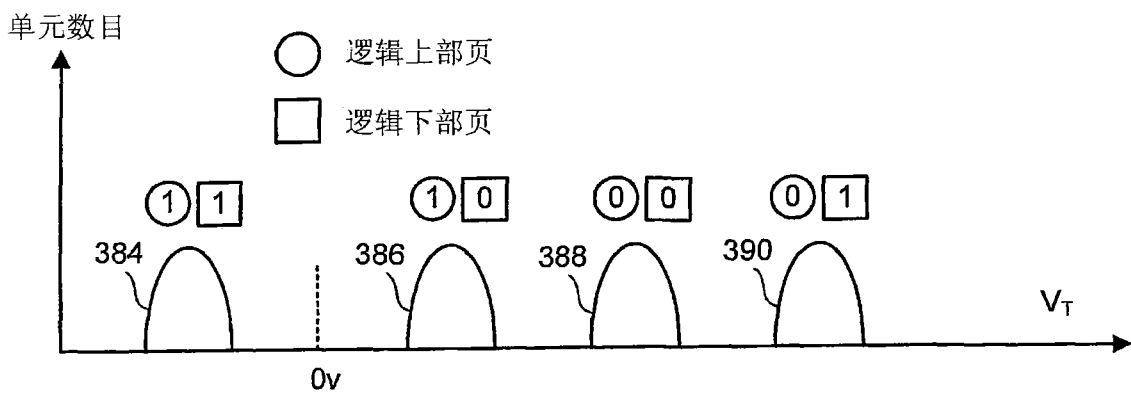


图10

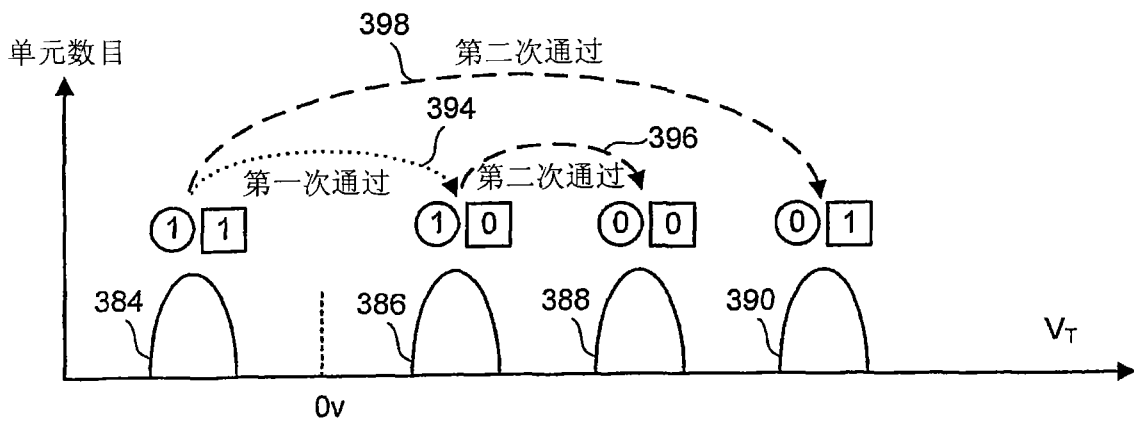


图11

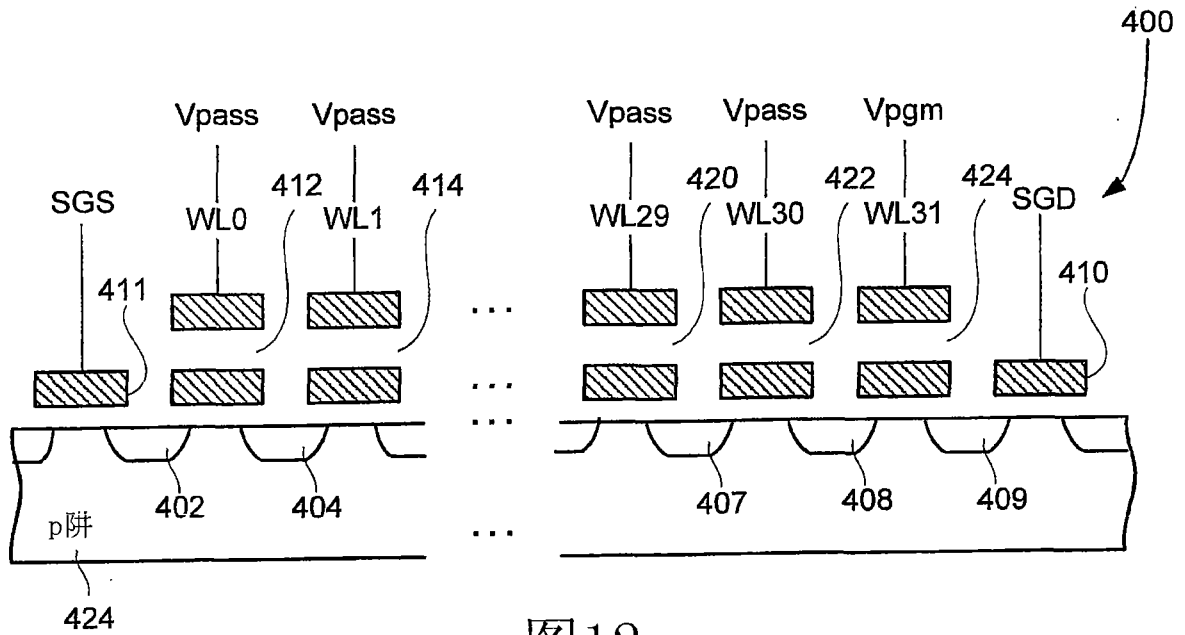


图12

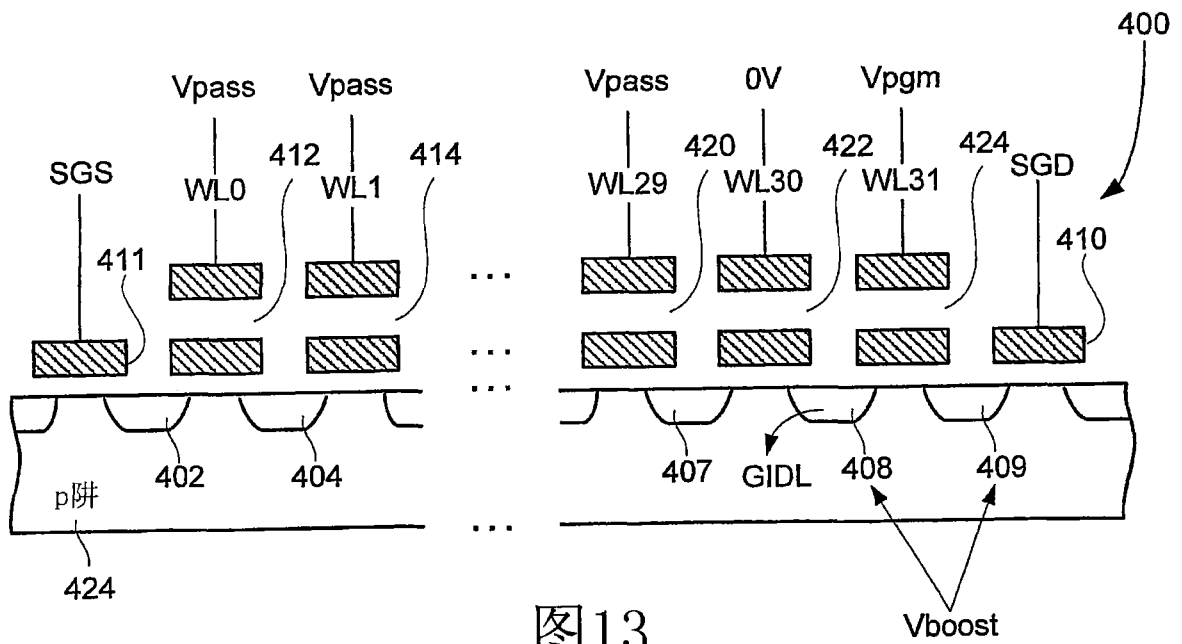


图13

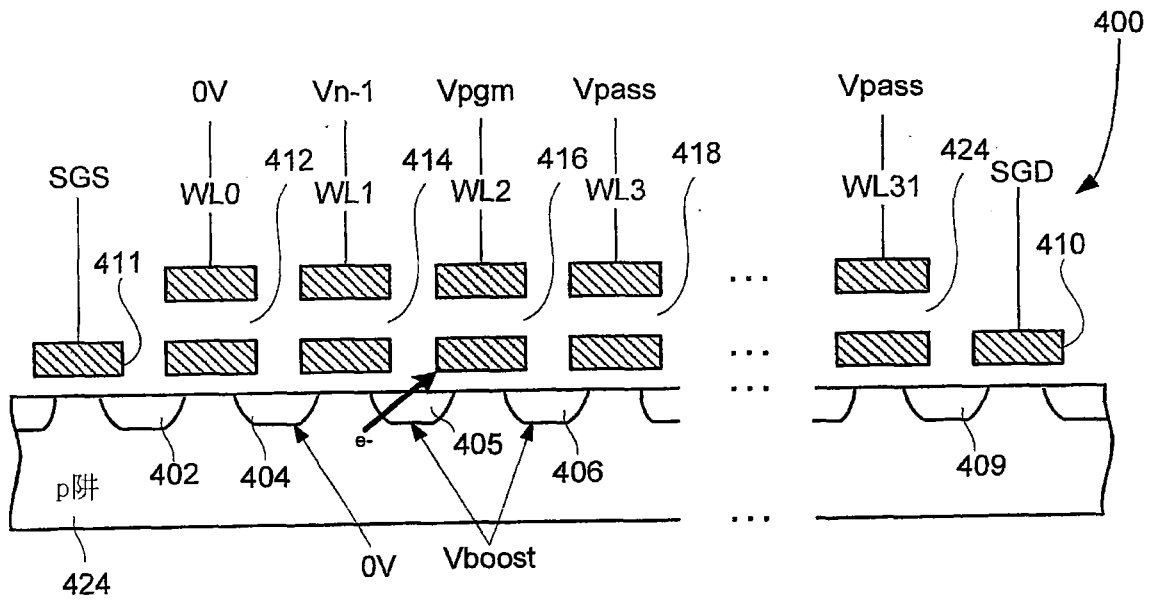


图14

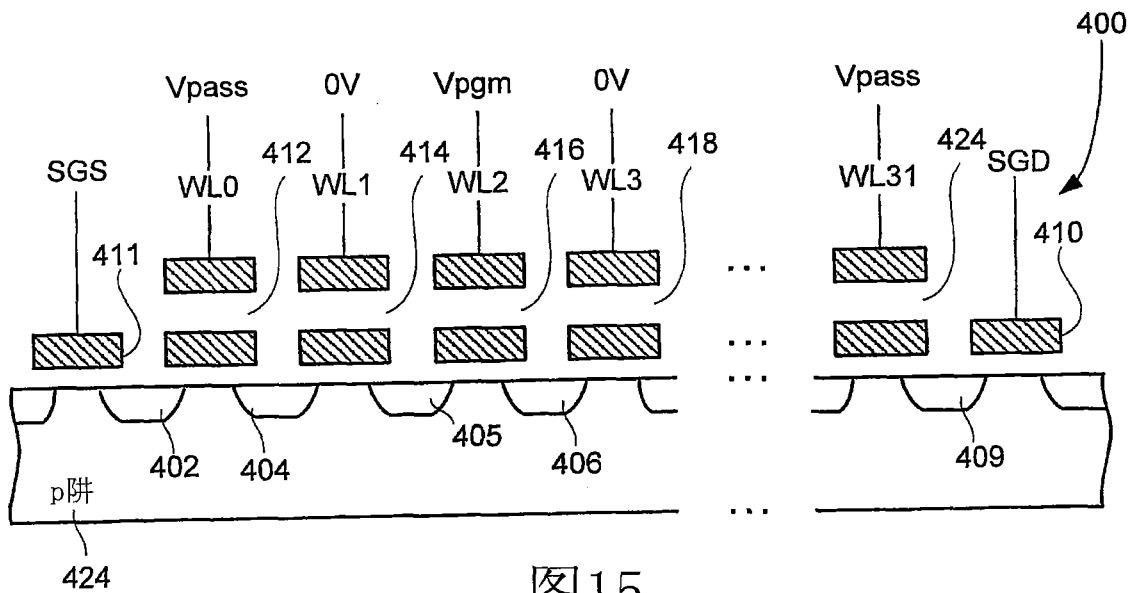


图15

	编程抑制方案		
	方法 1	方法 2	方法 3
WL31	PIS2	PIS3	PIS32
WL30	PIS2	PIS3	PIS31
⋮	⋮	⋮	⋮
WLn+1	PIS2	PIS3	PISm+1
WLn	PIS2	PIS3	PISm
⋮	⋮	⋮	⋮
WLn+1	PIS2	PIS2	PISn+1
WLn	PIS2	PIS2	PISn
⋮	⋮	⋮	⋮
WL2	PIS1	PIS1	PIS3
WL1	PIS1	PIS1	PIS2
WL0	PIS1	PIS1	PIS1

图16

	编程电压脉冲斜坡率		
	方法 1	方法 2	方法 3
WL31	PPR2		PPR32
WL30	PPR2	PPR3	PPR31
⋮	⋮	⋮	⋮
WLn+1	PPR2	PPR3	PPRm+1
WLn	PPR2	PPR3	PPRm
⋮	⋮	⋮	⋮
WLn+1	PPR2	PPR2	PPRn+1
WLn	PPR2	PPR2	PPRn
⋮	⋮	⋮	⋮
WL2	PPR1	PPR1	PPR3
WL1	PPR1	PPR1	PPR2
WL0	PPR1	PPR1	PPR1

图18

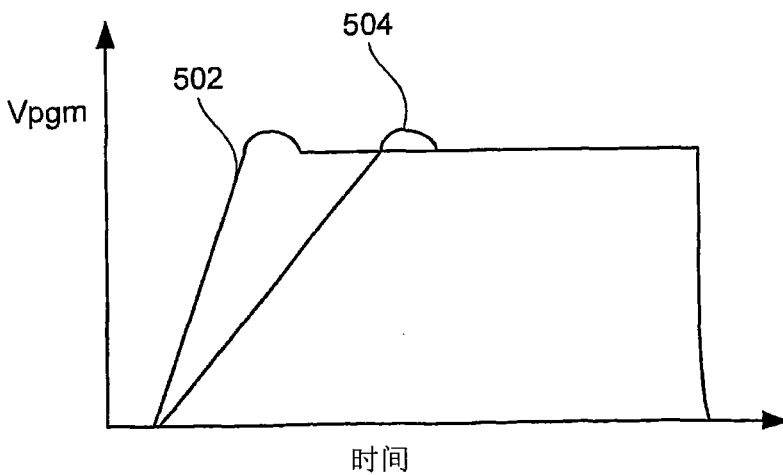


图17



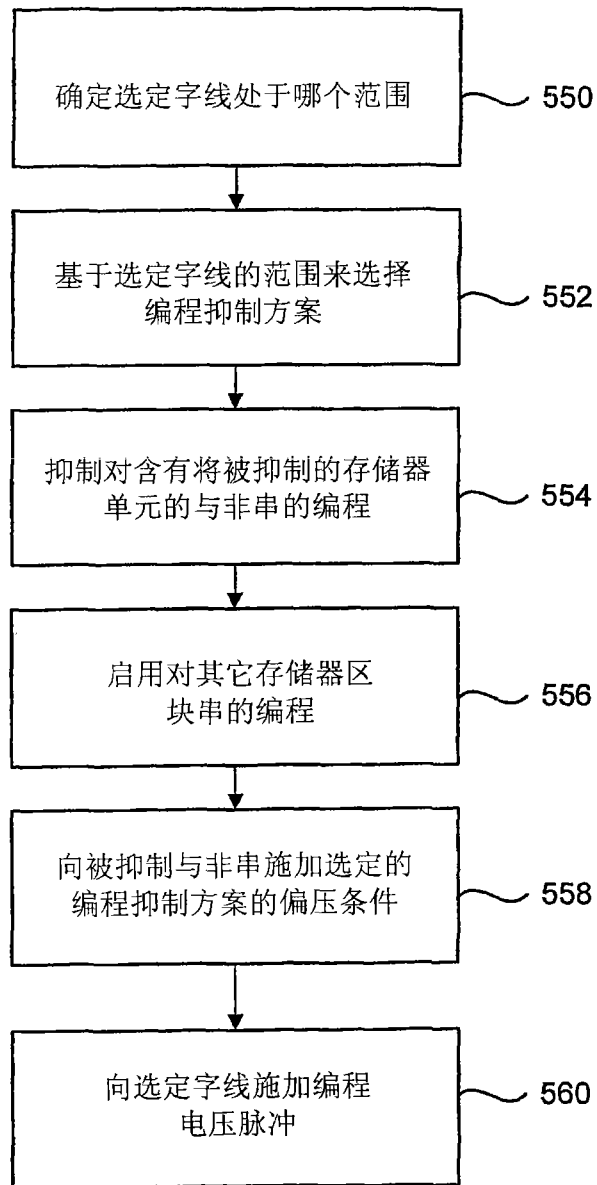


图19

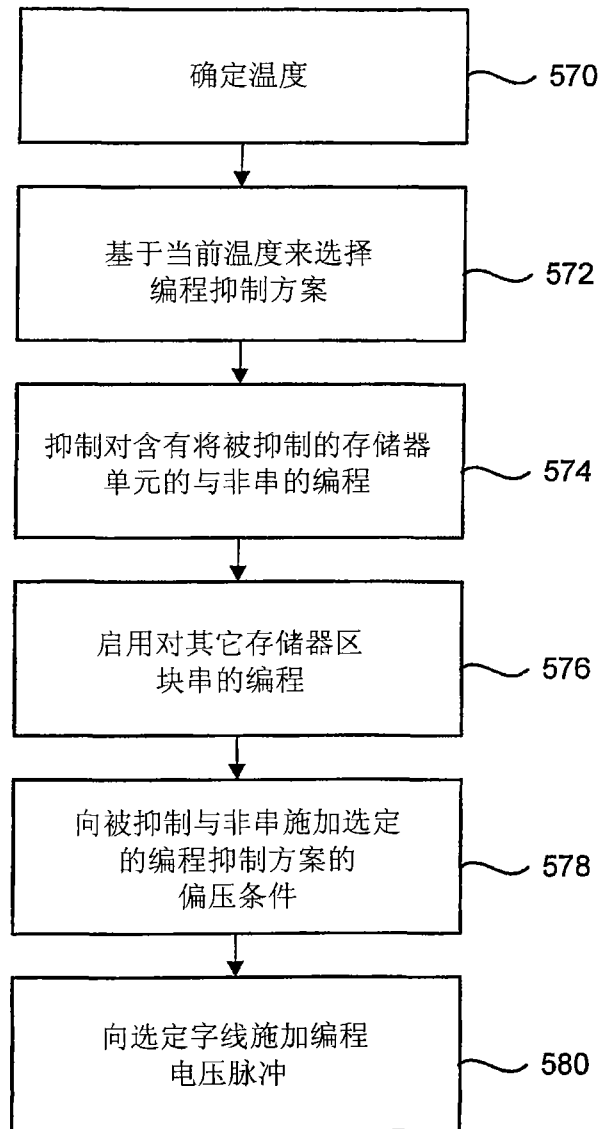


图20