



19



OFICINA ESPAÑOLA DE
PATENTES Y MARCAS

ESPAÑA

11 Número de publicación: **2 266 812**

51 Int. Cl.:
G06F 11/16 (2006.01)
G06F 12/16 (2006.01)

12

TRADUCCIÓN DE PATENTE EUROPEA

T3

86 Número de solicitud europea: **03723535 .5**
86 Fecha de presentación : **10.04.2003**
87 Número de publicación de la solicitud: **1497730**
87 Fecha de publicación de la solicitud: **19.01.2005**

54 Título: **Procedimientos para almacenar datos en memorias no volátiles.**

30 Prioridad: **16.04.2002 NO 20021792**

45 Fecha de publicación de la mención BOPI:
01.03.2007

45 Fecha de la publicación del folleto de la patente:
01.03.2007

73 Titular/es: **Thin Film Electronics ASA**
P.O. Box 1872 Vika
0124 Oslo, NO

72 Inventor/es: **Torjussen, Lars, Sundell y**
Karlsson, Christer

74 Agente: **Carpintero López, Francisco**

ES 2 266 812 T3

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín europeo de patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre concesión de Patentes Europeas).

DESCRIPCIÓN

Procedimientos para almacenar datos en memorias no volátiles.

La presente invención se refiere a procedimientos para almacenar datos en una memoria de acceso aleatorio ferroeléctrica no volátil (FRAM), particularmente una memoria en la cual un material de memoria ferroeléctrica es un polímero ferroeléctrico, en la cual se proveen unas localizaciones de memoria como elementos de una matriz a los cuales se accede a través de unos electrodos que forman líneas de palabra y líneas de bit de la matriz, y en la cual las operaciones de lectura destructiva en las localizaciones de la memoria son seguidas por operaciones de reescritura.

Las memorias ferroeléctricas han alcanzado importancia comercial porque son no volátiles, pueden fabricarse a un costo relativamente bajo, y puede leerse y escribirse en ellas con tensiones de 1 a 5 voltios y velocidades del orden de 10 a 100 nanosegundos, lo cual es típico de las memorias convencionales DRAM y SRAM para ordenadores.

La colocación de un material ferroeléctrico entre las placas de un condensador hace que el condensador presente un efecto de memoria en forma de polarización de carga. Cuando el condensador se carga con las líneas de campo que atraviesan las placas del condensador en una dirección, queda una polarización de carga residual después de que se haya retirado la carga de las placas del condensador. Si se aplica una carga opuesta sobre las placas del condensador, queda una polarización de carga opuesta. Una gráfica de la tensión de campo aplicada a través de las placas del condensador, frente a la polarización del material ferroeléctrico situado entre las placas del condensador, presenta una curva de histéresis clásica según se muestra en la Figura 1. P_s y $-P_s$ son los valores de la polarización espontánea mientras que P_r y $-P_r$ son los valores de la polarización remanente que indican la polarización del material ferroeléctrico a un valor de campo cero. En un ferroeléctrico ideal, P_s sería igual a P_r , pero en los ferroeléctricos reales estos valores difieren debido al comportamiento dieléctrico lineal y al comportamiento ferroeléctrico no lineal.

Las memorias ferroeléctricas utilizan un condensador ferroeléctrico como medio de almacenamiento, y para leerlas es preciso aplicar un campo eléctrico a través del condensador de almacenamiento. Se aplica un impulso sobre el condensador ferroeléctrico, y la magnitud de la carga resultante será baja si la polaridad del impulso coincidía con la precedente, o bien la carga resultante será más alta si la carga aplicada sobre el condensador era de polaridad opuesta a la última que se aplicó a través de las placas del condensador. Esta mínima diferencia entre la carga coincidente con la carga previa de la memoria y una carga opuesta puede ser medida para determinar cual era la polarización previa del condensador ferroeléctrico la última vez que se escribió sobre él. El campo eléctrico de lectura altera en muchos casos el estado de la celda de memoria. Esto significa que las memorias ferroeléctricas son memorias de lectura destructiva que tienen que incluir una función de reescritura con la cual el dato leído sea devuelto a la celda de memoria después de que esta haya sido leída. La operación de reescritura lleva tiempo, y si la función de memoria queda truncada, por ejemplo por una pérdida de energía, durante o inmediatamente después de haber sido leída

una celda y antes de haber sido completado el ciclo de reescritura, el dato de esa celda se perderá. Tales pérdidas de datos no son aceptables para las memorias no volátiles.

En la Patente Estadounidense nº 5.682.344 se describe una memoria de acceso aleatorio (RAM) ferroeléctrica que usa celdas ferroeléctricas de memoria para almacenar datos. La memoria ferroeléctrica es una memoria estática en la cual los datos almacenados en las celdas de la memoria ferroeléctrica pueden destruirse durante las operaciones de lectura. La memoria comprende una circuitería que retiene una dirección actual de memoria durante una operación de acceso e impide que la memoria salte a una nueva dirección de memoria hasta que los datos destruidos hayan sido reemplazados. La memoria incluye además una circuitería que puede detectar una transición en los datos de dirección proporcionados en las entradas de direcciones.

En la Patente Estadounidense nº 5.815.431 se describe un circuito que incluye un condensador ferroeléctrico que puede utilizarse para almacenar el valor de los nodos de elementos lógicos volátiles de un circuito lógico. De esta manera, el estado de un circuito lógico complejo, tal como una CPU o un dispositivo de entradas/salidas, puede ser almacenado en los condensadores ferroeléctricos no volátiles. Después de una falta de energía accidental o planeada, los condensadores ferroeléctricos no volátiles pueden ser utilizados para restablecer los valores de los nodos. Adicionalmente, puede utilizarse una falta de energía planeada para ahorrar consumo de energía en circuitos propensos a consumir energía.

En la Patente Estadounidense nº 5.982.705 se describe un aparato y un procedimiento para mantener la no volatilidad en una memoria de acceso aleatorio ferroeléctrica. El aparato para mantener la no volatilidad incluye una sección de control para una función de reescritura, una unidad de detección de tensión en la fuente de alimentación para detectar un fallo de tensión de la fuente de alimentación y proporcionar a la sección de control una señal de fallo de alimentación, de tal modo que la sección de control complete un ciclo de reescritura antes del fallo de alimentación. La unidad de detección de tensión de la fuente de alimentación genera una señal de control al detectar un fallo en la tensión de la fuente de alimentación, y proporciona a la sección de control una señal de fallo de energía con objeto de que se complete un proceso de reescritura antes del fallo de energía, manteniéndose así la no volatilidad del dispositivo de memoria.

En la Patente Estadounidense nº 6.201.731 el sistema de memoria ferroeléctrica con lectura destructiva incluye una fuente de alimentación, un conjunto de memoria que incluye una celda de memoria, y un circuito lógico para aplicar una señal al conjunto de memoria. Cada vez que se detecta una condición de baja energía en dicha fuente de alimentación, un circuito antiperturbaciones evita que las tensiones inesperadas debidas a la condición de baja energía perturben la celda de memoria. El circuito antiperturbaciones interrumpe además el funcionamiento del circuito lógico durante un tiempo suficiente para que pueda completarse un ciclo de reescritura, impidiendo así la pérdida de los datos que se estén reescribiendo.

En la Patente Estadounidense nº 6.211.710 se describe un circuito para asegurar la información de configuración estabilizada durante la reposición de la

energía. En una realización, un dispositivo semiconductor incluye una información sobre configuración almacenada en un número de elementos de almacenamiento no volátiles (bits fusibles). Un circuito de reajuste de la activación de la configuración genera una señal para retener los datos de configuración en los registros volátiles de configuración al reponer la energía. Las señales de datos de configuración se generan en respuesta a un impulso de reposición de energización (POR), y no se retienen hasta pasado un retardo predeterminado desde que finalizó el impulso POR. El retardo predeterminado da tiempo a que “se sedimenten” las señales de datos procedentes de los bits fusibles. Los siguientes impulsos POR no provocarán otra acción de retención.

La solicitud de Patente Europea EP 0803813 A1 describe un aparato de respaldo de datos para una memoria de semiconductores, particularmente una memoria de semiconductores no volátil, por ejemplo de tipo EEPROM (memoria de sólo lectura eléctricamente borrrable). El propósito de este aparato es evitar la pérdida de datos o los datos incorrectos si se interrumpe inintencionadamente una operación de escritura, por ejemplo si se desconecta la energía durante una operación de escritura. La memoria de semiconductores tiene una pluralidad de localizaciones de memoria que almacenan valores de variables. Una unidad escritora escribe un valor sobre una pluralidad de localizaciones de la memoria, una por una, y una unidad lectora lee los valores de esas localizaciones de memoria. Se utiliza un medio determinador de coincidencias para decidir si más de la mitad de los valores leídos en las localizaciones de memoria son idénticos, y a continuación un medio asignador determina un valor de coincidencia si el medio determinador de coincidencias ha encontrado que más de la mitad de los valores son idénticos. Así pues, a cada variable puede asignarse un determinado valor de coincidencia.

El objeto de la presente invención es proporcionar un procedimiento que asegure un almacenamiento no volátil de datos en memorias de matriz direccionable, particularmente memorias ferroeléctricas, y el mantenimiento de la integridad de los datos almacenados detectando los errores de bits en los datos de lectura y efectuando una corrección de los mismos.

Este objetivo así como las características y ventajas adicionales se realizan según la presente invención con un primer procedimiento caracterizado por las sucesivas etapas de:

(a) almacenar una pluralidad de copias idénticas de dichos datos en una pluralidad de localizaciones de memoria, no teniendo dichas localizaciones de memoria ninguna línea de palabra común;

(b) leer una primera línea de palabra en su totalidad, comprendiendo dicha primera línea de palabra al menos una primera copia de dichas copias idénticas de dichos datos, reescribir de nuevo en dicha primera línea de palabra los datos leídos en dicha primera línea de palabra, y transferir los datos leídos en dicha primera línea de palabra a un circuito lógico de control de memoria;

(c) leer una subsiguiente línea de palabra en su totalidad, comprendiendo dicha subsiguiente línea de palabra al menos una subsiguiente copia de dichas copias idénticas de dichos datos, reescribir de nuevo en dicha subsiguiente línea de palabra los datos leídos en dicha subsiguiente línea de palabra, y transferir los

datos leídos en dicha subsiguiente línea de palabra a dicho circuito lógico de control de memoria;

(d) repetir la etapa (c) hasta que dichos datos leídos en dichas líneas de palabra que comprenden copias de dichas copias idénticas de dichos datos hayan sido transferidos a dicho circuito lógico de control de memoria;

(e) detectar cualquier error de bit comparando bit a bit dichos datos, leídos en dichas líneas de palabra que comprenden copias de dicha pluralidad de copias idénticas de dichos datos, en dicho circuito lógico de control de memoria, *o incluyendo con dichos datos un código de corrección de error (ECC)*; y

(f) escribir los datos corregidos en las celdas de memoria de dichas localizaciones de memoria que contienen errores de bits, cuando en la etapa (e) se hayan detectado errores de bits.

El mismo objetivo así como las características y ventajas adicionales se realizan según la presente invención con un primer procedimiento caracterizado por las sucesivas etapas de:

(a) almacenar una pluralidad de copias idénticas de dichos datos en una pluralidad de localizaciones de memoria, no teniendo dichas localizaciones de memoria ni líneas de palabra comunes ni líneas de bit comunes;

(b) leer un segmento de una primera línea de palabra, comprendiendo dicho segmento de una primera línea de palabra al menos una primera copia de dichas copias idénticas de dichos datos, reescribir de nuevo en dicho segmento de una primera línea de palabra los datos leídos en dicho segmento de una primera línea de palabra, transferir los datos leídos en dicho segmento de una primera línea de palabra a un primer segmento de retenedores de datos, y retener en dicho primer segmento de retenedores de datos los citados datos leídos en dicho segmento de una primera línea de palabra;

(c) leer un segmento de una subsiguiente línea de palabra, comprendiendo dicho segmento de una subsiguiente línea de palabra al menos una subsiguiente copia de dichas copias idénticas de dichos datos, reescribir de nuevo en dicho segmento de una subsiguiente línea de palabra los datos leídos en dicho segmento de una subsiguiente línea de palabra, transferir los datos leídos en dicho segmento de una subsiguiente línea de palabra a un primer segmento de retenedores de datos, y retener en dicho primer segmento de retenedores de datos los citados datos leídos en dicho segmento de una subsiguiente línea de palabra;

(d) repetir la etapa (c) hasta que dichas copias idénticas de dichos datos hayan sido transferidos a dichos segmentos de retenedores de datos;

(e) transferir dichos datos retenidos en dichos segmentos de retenedores de datos a un circuito lógico de control de memoria;

(f) detectar cualquier error de bit comparando bit a bit dichas copias idénticas de dichos datos en dicho circuito lógico de control de memoria, *o incluyendo con dichos datos un código de corrección de error (ECC)*; y

(g) escribir los datos corregidos en las celdas de memoria de dichas localizaciones de memoria que contienen errores de bits, cuando en la etapa (f) se hayan detectado errores de bit.

En ambos procedimientos según la invención los datos son preferiblemente datos de sincronización para controlar las operaciones de lectura y reescritura,

o datos de redundancia para identificar las celdas de memoria de redundancia.

A continuación se explicará la invención más detalladamente con descripciones de realizaciones ejemplares y con referencia a las figuras de los dibujos adjuntos, de las cuales:

la Figura 1 muestra una curva de histéresis de un condensador ferroeléctrico según se conoce en la técnica y se mencionó anteriormente,

la Figura 2 es un diagrama de bloques de un circuito de memoria en el cual pueden ponerse en práctica los procedimientos según la invención,

la Figura 3a es un diagrama de bloques esquemático de un conjunto de celdas de memoria ferroeléctrica conectadas a amplificadores de detección y que pueden usarse con los procedimientos según la invención,

la Figura 3b es un diagrama de bloques esquemático de un conjunto similar al de la Figura 3a y que comprende unas celdas de memoria ferroeléctrica con diodos entre los electrodos y los cruces de los mismos,

la Figura 4 muestra dos diagramas de un condensador ferroeléctrico de lámina delgada según se usa en los dispositivos de memoria ferroeléctrica,

la Figura 5 muestra un gráfico de flujo de un primer procedimiento según la invención,

la Figura 6 muestra un gráfico de flujo de un segundo procedimiento según la invención,

La Figura 7 muestra un diagrama de un conjunto de memoria según se usa con una realización preferida del segundo procedimiento acorde con la invención.

La presente invención concierne a unos procedimientos relacionados que expresan la misma idea inventiva. A continuación se describirán estos procedimientos en los términos de las realizaciones preferidas.

La Figura 2 ilustra un simple diagrama de bloques que muestra los elementos de la memoria según se usan con ambos procedimientos acordes con la invención. La macro 210 de memoria comprende una matriz o conjunto 200 de memoria, decodificadores 22, 202 de fila y columna, amplificadores sensores 206, retenedores (latch) 208 de datos y líneas redundantes 204, 24 de palabra y de bit. Los decodificadores 22, 202 de filas y columnas decodifican las direcciones de las localizaciones de memoria o celdas de memoria que están localizadas en los cruces de los electrodos del conjunto de memoria, es decir las líneas de palabra (*abreviado WL*) que forman las filas del conjunto de memoria y las líneas de bit (*abreviado BL*) que forman las columnas de las macros de memoria. La lectura de los datos almacenados en las celdas de memoria es efectuada por los amplificadores sensores 206 conectados a las líneas de bit. Los retenedores 208 de datos mantienen los datos hasta que una parte o la totalidad de los mismos es transferida a la lógica 220 de control de memoria. Los datos leídos en la macro 210 de memoria tendrán un cierto grado de error de bit (BER) que puede reducirse sustituyendo las líneas defectuosas de palabra y de bit del conjunto 200 de memoria con líneas redundantes 204, 24 de palabra y de bit. Para efectuar la detección de error la macro 210 de memoria debe tener unos campos de datos que contengan información del código de corrección del error (ECC).

Un módulo de la lógica 220 de control de memoria proporciona una interfaz digital para la macro 210 de

memoria y controla la lectura y escritura del conjunto 200 de memoria. La inicialización de la memoria y la lógica para reemplazar las líneas defectuosas de palabra y de bit con líneas redundantes 204, 24 de palabra y de bit también se encontrarán en la lógica 220 de control de memoria.

El controlador 230 del dispositivo conecta la lógica 220 de control de memoria a buses estándar externos. La unidad ECC 240 efectúa la corrección del error sobre la totalidad del conjunto 200 de memoria. Puede tratarse de una simple detección de error o incluir también la corrección del error. Las bombas de carga 242 generan algunas de las tensiones requeridas para leer y escribir en las celdas de memoria. Una entrada de reloj independiente, dada por el controlador 230 del dispositivo a través de un oscilador (no representado), será usada por las bombas de carga 242 para el bombeo de carga con objeto de mantener la independencia del grado de bits de la aplicación que use la macro 210 de memoria.

La Figura 3a muestra un dispositivo 300 de memoria ferroeléctrica que comprende una matriz o conjunto de celdas ferroeléctricas 302 de memoria. Cada celda de memoria comprende un condensador ferroeléctrico y un transistor de control de acceso, pero también puede haber disposiciones con dos condensadores y dos transistores. En el primer caso la macro de memoria es un dispositivo activo de memoria de matriz direccionable del tipo 1T-1C, mientras que en el otro caso es del tipo 2T-2C. Una celda 302 de memoria es accedida por una línea 310 de palabra habilitadora y a continuación es leída por una línea 312 de accionamiento pulsante. Al final de cada línea 314 de bit se proveen unos amplificadores sensores 204 que generan señales de datos de salida. Los amplificadores sensores también incluyen circuitos de regeneración de datos para reescribir datos en las celdas ferroeléctricas 302 de memoria. Un decodificador 22 de filas decodifica una parte de las señales de dirección entrantes en señales de selección de líneas de palabra y la lógica 220 de control de memoria genera una secuencia de señales de sincronización requeridas para operar el conjunto 200 de memoria.

La Figura 3b muestra un conjunto 200 de memoria que comprende unos electrodos 310 de líneas de palabra y unos electrodos 314 de líneas de bits. Un material aislante ferroeléctrico está situado entre estos electrodos, por lo cual no están conectados eléctrica ni físicamente. No obstante, el material ferroeléctrico podría estar suministrado encima de los electrodos, es decir, encima de las líneas de palabra y de bit, en contacto con los mismos, pero aparte de ello las líneas de palabra y de bit estarán mutuamente aisladas por un dieléctrico no ferroeléctrico. En cada intersección 320 entre las líneas de palabra 310 y las líneas de bit 314 se forman unos diodos 322. El material ferroeléctrico junto con las líneas 310; 314 de palabra y de bit forman unos condensadores ferroeléctricos o celdas 315 de memoria con las líneas 310; 314 de palabra y de bit como placas de los condensadores.

La Figura 4 ilustra una estructura típica y un símbolo comúnmente utilizado para un condensador ferroeléctrico 315 de lámina delgada. El símbolo se utilizó también en el diagrama esquemático de bloques de la Figura 3a mencionado anteriormente. Un condensador ferroeléctrico de esta clase tiene unas placas conductoras metálicas separadas por 50 nm a 100 micrometros aproximadamente de un material

ferroeléctrico que constituye el dieléctrico del condensador.

En un sistema de memoria de matriz pasiva no volátil como el descrito anteriormente algunos datos, tales como los datos de configuración, son muy importantes y tienen que estar protegidos frente a una pérdida de energía. Los datos de sincronización para controlar las operaciones de lectura y reescritura, así como los datos de redundancia para identificar las celdas redundantes de memoria, son ejemplos de los mismos, y si estos datos se perdiesen la memoria entera quedaría inservible. Los datos de esta clase podrían almacenarse permanentemente, por ejemplo, en celdas fusibles, es decir fusibles fundidos por láser, pero esto comporta bastante penalización por el gran tamaño del área. Por lo tanto, los datos importantes pueden almacenarse en celdas de memoria de lectura destructiva siempre que se adopten otras medidas para mantener su seguridad.

La Figura 5 presenta, en forma de diagrama de flujo, el primer procedimiento de la presente invención, que resuelve el problema de pérdida de datos importantes, por ejemplo por un fallo de energía. En la etapa 500, el dato que requiere atención especial es almacenado en varias localizaciones del conjunto 200 de memoria. Si algunas de estas localizaciones son defectuosas se usan en su lugar las líneas redundantes 204, 24 de palabra y de bit. Siempre que vaya usarse el dato, o de manera regular, se efectúa una lectura de las líneas de palabra (*WL*) (véase la Figura 7), en las cuales estén almacenados estos datos, seguida de una reescritura, también conocida como nueva escritura, automática en la mayoría de los casos, y se transfieren a la lógica 220 de control de memoria en las etapas 502 y 504. El número de casos *o copias* de dichos datos será aproximadamente de cuatro a diez, y en la etapa 506 alguna forma de contador se asegurará de que todos los casos sean leídos. Tres copias son obviamente demasiado pocas, ya que un fallo de energía combinado con un error de bit podría provocar un daño fatal. Las diferentes *copias* de los datos son comparadas en la etapa 508 bit a bit. Otra opción es utilizar una unidad ECC 240 que necesita que los datos ECC sean almacenados junto con el propio dato. Finalmente, en la etapa 510 las porciones del dato que resultaron ser incorrectas son corregidas y escritas en las celdas 302; 315 de memoria que contenían el dato erróneo.

La cantidad de dato que necesita ser protegido de esta manera puede ser bastante limitado y las líneas de palabra 310 utilizadas para almacenamiento de seguridad pueden ser bastante largas. Esto lleva a un uso ineficiente del conjunto 200 de memoria. Con el fin de

remediar este problema podría usarse el segundo procedimiento acorde con la invención. Está representado en el diagrama de flujo de la Figura 6 y asegurará que se transfieran las porciones más pequeñas del dato que se considere importante y que estas porciones sean transferidas a los retenedores 208 de datos en las etapas 602 y 604. Esto provoca que las celdas 302; 315 de memoria queden libres para otros datos, puesto que la totalidad de las líneas de palabra 310 ya no tienen que conservar datos idénticos. Las etapas 606, 608 y 610 corresponden a las etapas 506, 508 y 510 de la Figura 5, con la única diferencia de que se manejan menos datos. No obstante, es preciso insertar una etapa 607 entre las etapas 606 y 608, con objeto de que los datos almacenados en los retenedores 208 de datos sean transferidos a la lógica 220 de control de memoria. Como consecuencia, las celdas de memoria de la lógica 220 de control de memoria no tienen que almacenar tantos datos, ya que no existe transferencia de datos en las etapas 602 y 604. De este modo se reduce el coste por tamaño del área y se reduce similarmente la necesidad de capacidad de procesamiento de datos para efectuar la detección de error.

Las líneas de bit 314 a veces se acortan y los datos se almacenan entonces en las líneas de bit redundantes 24. Un problema de acortamiento inesperado puede eliminar datos importantes. Aunque es un problema menor, puede obviarse almacenando los datos importantes en diferentes líneas de bit 314 así como en diferentes líneas de palabra 310. Esta variante del segundo procedimiento de la invención está representada en la Figura 7, que muestra las líneas de palabra (*WL*) 700 y las líneas de bit (*BL*) 702 de las celdas 704 de memoria almacenando datos importantes. Estas copias de los datos importantes constituyen los bloques 706 de datos, y son transferidos a elementos de almacenamiento tales como los retenedores 208 de datos acordes con el segundo procedimiento de la invención, según se describió anteriormente en relación con la Figura 6.

Los expertos en la técnica comprenderán que los procedimientos acordes con la invención pueden utilizarse con dispositivos eléctricos de memoria de matriz direccionable, tanto activos como pasivos, y pueden manejar los errores de bit generados en la operación de direccionamiento de ambos tipos. Pero puesto que la operación de lectura es destructiva y requiere por lo tanto una reescritura o nueva escritura, será en cualquier caso de particular importancia evitar la pérdida de contenido de datos debida a los errores de bit que se generen en la operación de reescritura requerida para restablecer los datos leídos destructivamente.

REIVINDICACIONES

1. Un procedimiento para almacenar datos en una memoria de acceso aleatorio ferroeléctrica (FRAM) no volátil, particularmente una memoria en la cual un material ferroeléctrico de la memoria es un polímero ferroeléctrico, en el cual las localizaciones de memoria son suministradas como elementos de una matriz y se accede a ellas a través de unos electrodos que forman líneas de palabra y de bit de la matriz y en el cual las operaciones de lectura destructiva de las localizaciones de memoria son seguidas por operaciones de reescritura, estando **caracterizado** el procedimiento por las sucesivas etapas de:

(a) almacenar una pluralidad de copias idénticas de dichos datos en una pluralidad de localizaciones de memoria, no teniendo dichas localizaciones de memoria ninguna línea de palabra común;

(b) leer una primera línea de palabra en su totalidad, comprendiendo dicha primera línea de palabra al menos una primera copia de dichas copias idénticas de dichos datos, reescribir de nuevo en dicha primera línea de palabra los datos leídos en dicha primera línea de palabra, y transferir los datos leídos en dicha primera línea de palabra a un circuito lógico de control de memoria;

(c) leer una subsiguiente línea de palabra en su totalidad, comprendiendo dicha subsiguiente línea de palabra al menos una subsiguiente copia de dichas copias idénticas de dichos datos, reescribir de nuevo en dicha subsiguiente línea de palabra los datos leídos en dicha subsiguiente línea de palabra, y transferir los datos leídos en dicha subsiguiente línea de palabra a dicho circuito lógico de control de memoria;

(d) repetir la etapa (c) hasta que dichos datos leídos en dichas líneas de palabra que comprenden copias de dichas copias idénticas de dichos datos hayan sido transferidos a dicho circuito lógico de control de memoria;

(e) detectar cualquier error de bit comparando bit a bit dichos datos, leídos en dichas líneas de palabra que comprenden copias de dicha pluralidad de copias idénticas de dichos datos, en dicho circuito lógico de control de memoria, *o incluyendo con dichos datos un código de corrección de error (ECC)*; y

(f) escribir los datos corregidos en las celdas de memoria de dichas localizaciones de memoria que contienen errores de bits, cuando en la etapa (e) se hayan detectado errores de bits.

2. El procedimiento acorde con la reivindicación 1, **caracterizado** porque dichos datos son datos de sincronización para controlar las operaciones de lectura y reescritura, o datos de redundancia para identificar las celdas de memoria redundantes.

3. Un procedimiento para almacenar datos en una memoria de acceso aleatorio ferroeléctrica (FRAM) no volátil, particularmente una memoria en la cual un material ferroeléctrico de la memoria es un polímero

ferroeléctrico, en el cual las localizaciones de memoria son suministradas como elementos de una matriz y se accede a ellas a través de unos electrodos que forman líneas de palabra y de bit de la matriz y en el cual las operaciones de lectura destructiva de las localizaciones de memoria son seguidas por operaciones de reescritura, estando **caracterizado** el procedimiento por las sucesivas etapas de:

(a) almacenar una pluralidad de copias idénticas de dichos datos en una pluralidad de localizaciones de memoria, no teniendo dichas localizaciones de memoria ni líneas de palabra comunes ni líneas de bit comunes;

(b) leer un segmento de una primera línea de palabra, comprendiendo dicho segmento de una primera línea de palabra al menos una primera copia de dichas copias idénticas de dichos datos, reescribir de nuevo en dicho segmento de una primera línea de palabra los datos leídos en dicho segmento de una primera línea de palabra, transferir los datos leídos en dicho segmento de una primera línea de palabra a un primer segmento de retenedores de datos, y retener en dicho primer segmento de retenedores de datos los citados datos leídos en dicho segmento de una primera línea de palabra;

(c) leer un segmento de una subsiguiente línea de palabra, comprendiendo dicho segmento de una subsiguiente línea de palabra al menos una subsiguiente copia de dichas copias idénticas de dichos datos, reescribir de nuevo en dicho segmento de una subsiguiente línea de palabra los datos leídos en dicho segmento de una subsiguiente línea de palabra, transferir los datos leídos en dicho segmento de una subsiguiente línea de palabra a un primer segmento de retenedores de datos, y retener en dicho segmento subsiguiente de retenedores de datos los citados datos leídos en dicho segmento de una subsiguiente línea de palabra;

(d) repetir la etapa (c) hasta que dichas copias idénticas de dichos datos hayan sido transferidos a dichos segmentos de retenedores de datos;

(e) transferir dichos datos retenidos en dichos segmentos de retenedores de datos a un circuito lógico de control de memoria;

(f) detectar cualquier error de bit comparando bit a bit dichas copias idénticas de dichos datos en dicho circuito lógico de control de memoria, *o incluyendo con dichos datos un código de corrección de error (ECC)*; y

(g) escribir los datos corregidos en las celdas de memoria de dichas localizaciones de memoria que contienen errores de bits, cuando en la etapa (f) se hayan detectado errores de bit.

4. El procedimiento acorde con la reivindicación 3, **caracterizado** porque dichos datos son datos de sincronización para controlar las operaciones de lectura y reescritura, o datos de redundancia para identificar las celdas de memoria redundantes.

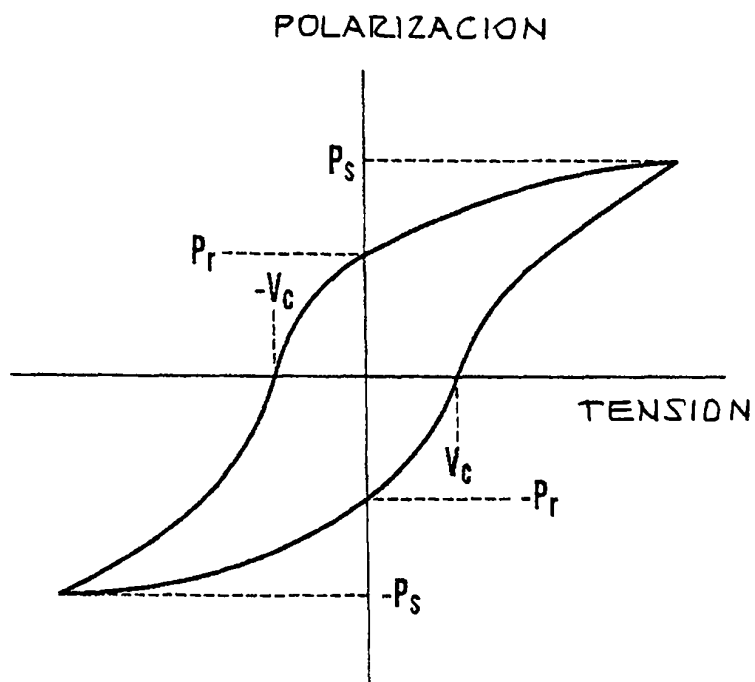


Fig. 1

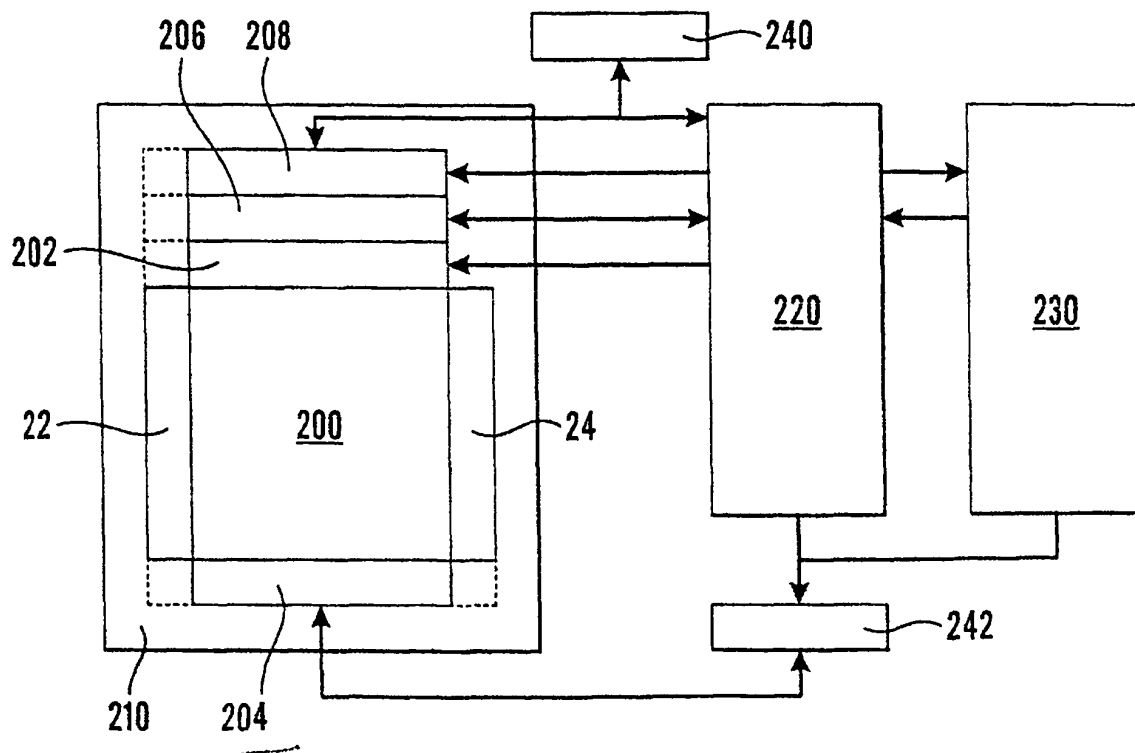


Fig. 2

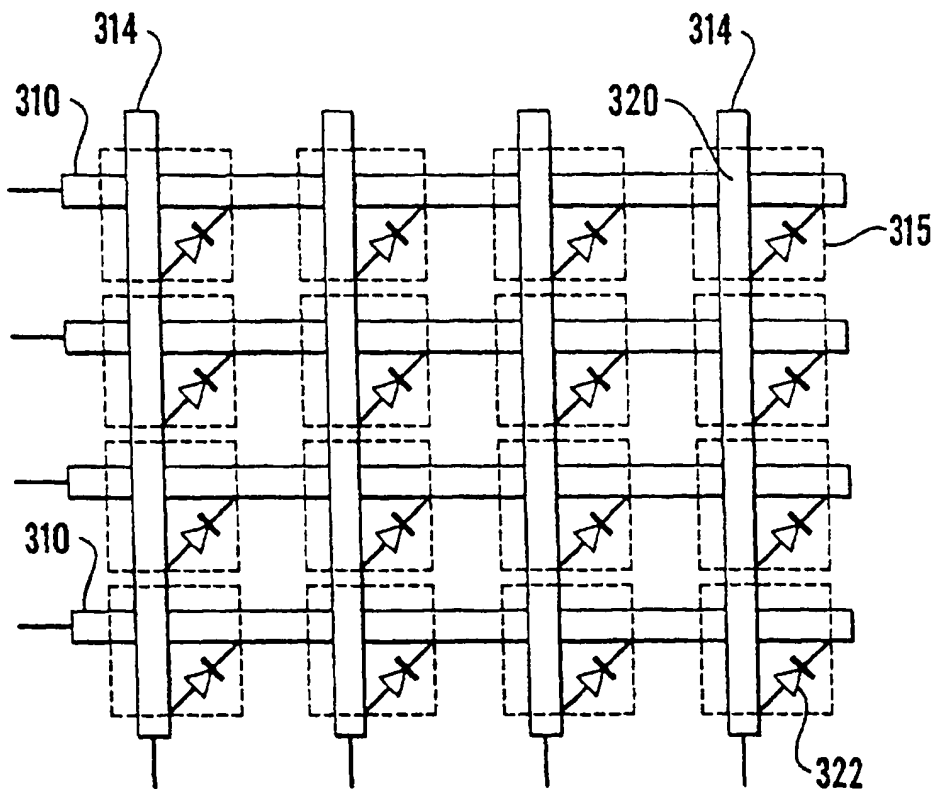


Fig.3b

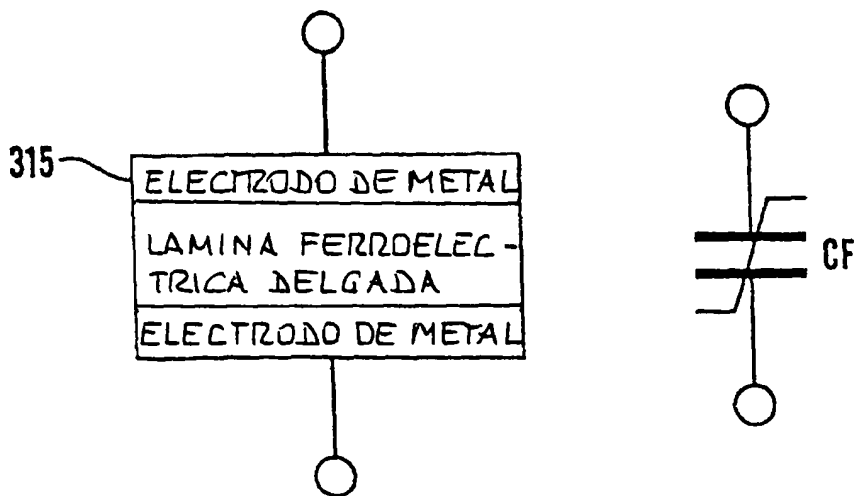


Fig.4

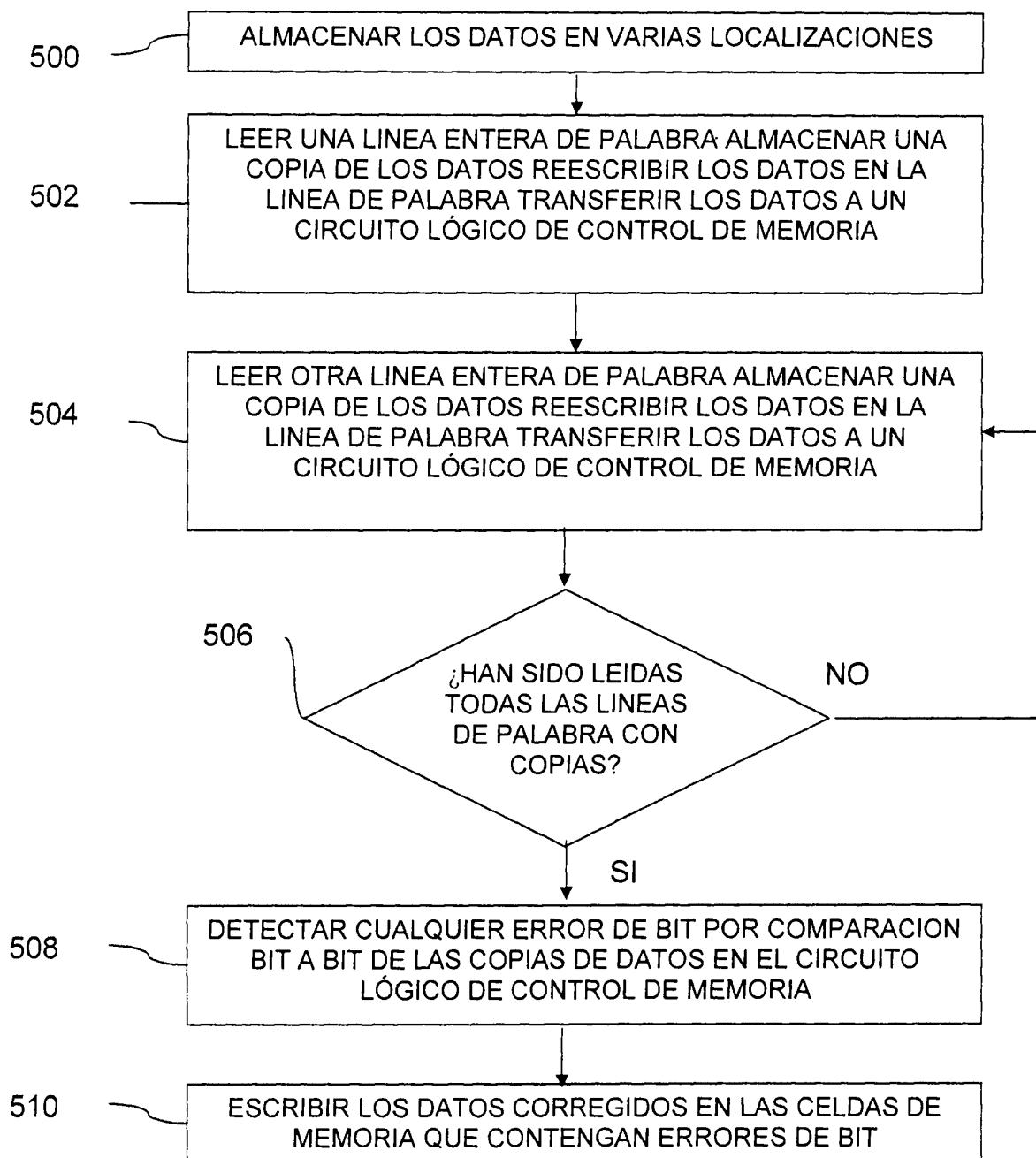


Fig. 5

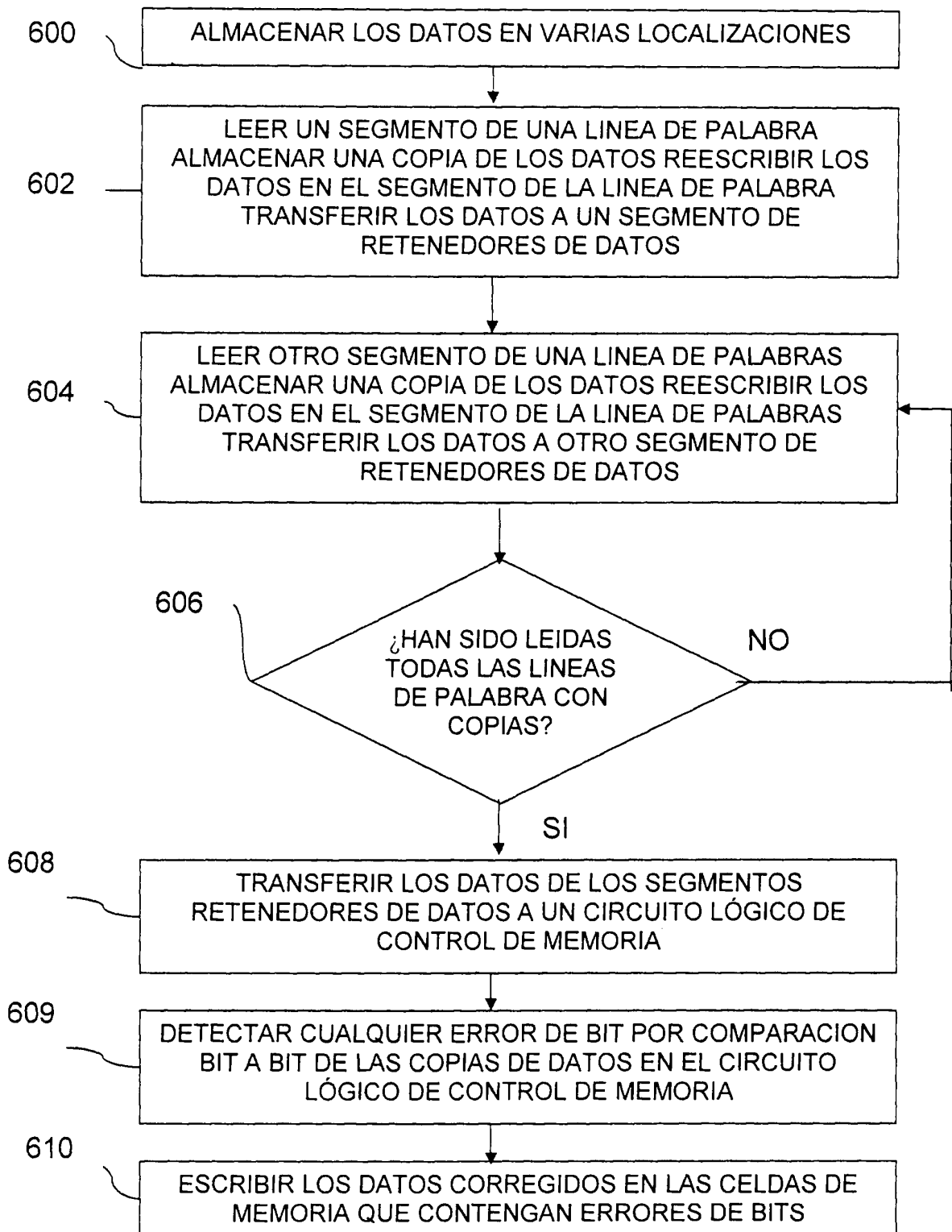


Fig. 6

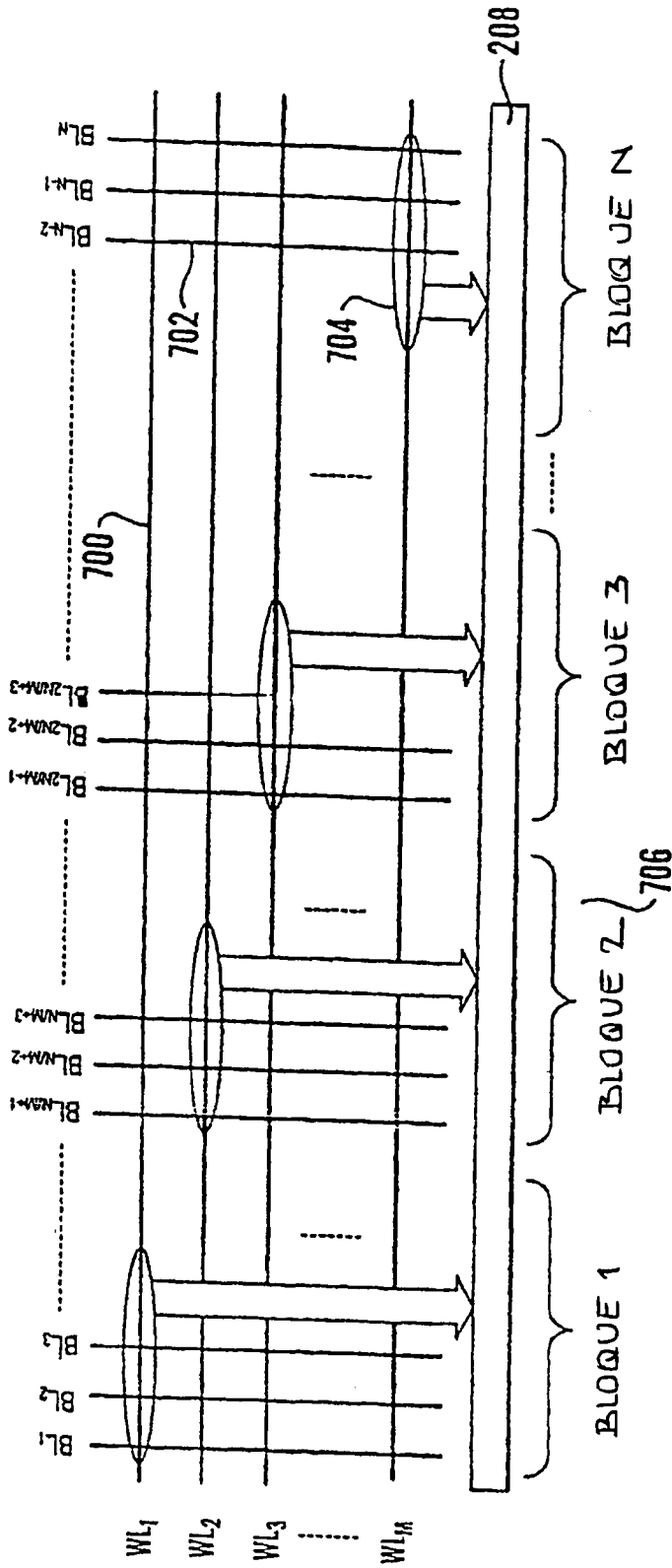


Fig.7