

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2012-199468

(P2012-199468A)

(43) 公開日 平成24年10月18日(2012.10.18)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 29/78 (2006.01)	HO 1 L 29/78 6 5 3 A	
HO 1 L 21/336 (2006.01)	HO 1 L 29/78 6 5 2 M	
	HO 1 L 29/78 6 5 8 F	
	HO 1 L 29/78 6 5 2 D	
	HO 1 L 29/78 6 5 2 K	

審査請求 未請求 請求項の数 10 O L (全 24 頁)

(21) 出願番号 特願2011-63705 (P2011-63705)
 (22) 出願日 平成23年3月23日 (2011. 3. 23)

(71) 出願人 000003078
 株式会社東芝
 東京都港区芝浦一丁目1番1号
 (74) 代理人 100108062
 弁理士 日向寺 雅彦
 (72) 発明者 今村 友美
 東京都港区芝浦一丁目1番1号 株式会社
 東芝内
 (72) 発明者 木南 瀬里奈
 東京都港区芝浦一丁目1番1号 株式会社
 東芝内
 (72) 発明者 奥村 秀樹
 東京都港区芝浦一丁目1番1号 株式会社
 東芝内

最終頁に続く

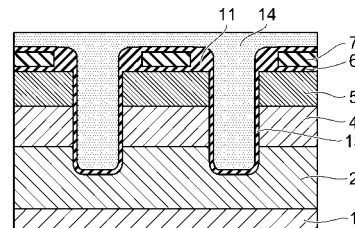
(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】

【課題】低抵抗の半導体装置を制御性よく製造する半導体装置の製造方法を提供する。

【解決手段】本発明の実施形態の半導体装置の製造方法は、基板3と、複数のゲートトレンチ12内に設けられた複数のゲート電極15と、絶縁膜7と、を有する中間生成物100Aを用意する工程と、層間絶縁膜16を形成する工程と、絶縁膜7を除去する工程と、コンタクトトレンチ17を形成する工程と、第1の電極19を形成する工程と、第2の電極20を形成する工程と、を備える。絶縁膜は、複数のゲートトレンチのうち隣り合うゲートトレンチの間に挟まれた基板の第1の表面の上に設けられ、隣り合うゲートトレンチの側壁から後退した側壁を有する。層間絶縁膜は、基板の第1の表面におけるゲートトレンチの側壁から絶縁膜の側壁に至る部分の上及びゲート電極の上を覆うように形成される。コンタクトトレンチは、層間絶縁膜をマスクに用いてエッチングにより形成される。

【選択図】 図7



【特許請求の範囲】

【請求項 1】

第 1 導電形の第 1 の形半導体層の上に前記第 1 の半導体層よりも第 1 導電形の不純物濃度が低い第 1 導電形の第 2 の半導体層が設けられ、前記第 2 の半導体層の前記第 1 の半導体層とは反対側の表面に第 2 導電形の第 3 の半導体層が設けられた、基板と、

前記基板の前記第 1 の半導体層とは反対側の第 1 の表面から、前記第 3 の半導体層を貫通し、前記第 2 の半導体層中に至る、複数のゲートトレンチ内に、ゲート絶縁膜を介して設けられた複数のゲート電極と、

前記複数のゲートトレンチのうち隣り合うゲートトレンチの間に挟まれた前記基板の第 1 の表面の上に設けられ、前記隣り合うゲートトレンチの側壁から後退した側壁を有する絶縁膜と、

を有する中間生成物を用意する工程と、

前記絶縁膜をマスクに用いて、前記絶縁膜から露出した部分を熱酸化させることで、少なくとも前記ゲート電極の上端部が熱酸化され、前記基板の前記第 1 の表面における前記ゲートトレンチの側壁から前記絶縁膜の前記側壁に至る部分の上及び前記ゲート電極の上を覆うように、シリコン酸化膜からなる層間絶縁膜を形成する工程と、

前記絶縁膜の下で、前記基板の前記第 1 の表面を前記層間絶縁膜から露出させるように、前記絶縁膜を除去する工程と、

前記層間絶縁膜をマスクに用いて前記基板の前記第 1 の表面の露出した部分を異方性エッチングすることにより、前記基板の前記第 1 の表面から前記第 3 の半導体層中に至るコンタクトトレンチを形成する工程と、

前記第 1 の半導体層の前記第 2 の半導体層とは反対側の表面に電氣的に接続された第 1 の電極を形成する工程と、

前記第 3 の半導体層に電氣的に接続された第 2 の電極を前記コンタクトトレンチ内に形成する工程と、

を備えたことを特徴とする半導体装置の製造方法。

【請求項 2】

前記中間生成物を用意する前記工程は、

前記第 1 の半導体層上に前記第 2 の半導体層を形成する工程と、

前記第 2 の半導体層の表面に前記第 3 の半導体層を形成する工程と、

前記絶縁膜を前記基板の前記第 1 の表面上に形成する工程と、

前記絶縁膜の前記側壁にサイドウォールを形成する工程と、

前記絶縁膜と前記サイドウォールをマスクに用いて、R I E 法により前記ゲートトレンチを形成する工程と、

前記ゲートトレンチ内の内壁にゲート絶縁膜を形成する工程と、

前記ゲートトレンチ内に前記ゲート絶縁膜を介してポリシリコンからなるゲート電極を形成する工程と、

を有することを特徴とする請求項 1 記載の半導体装置の製造方法。

【請求項 3】

前記ゲート電極を形成する前記工程は、前記ゲートトレンチ内を埋め込んで前記基板の前記第 1 の表面上全体にポリシリコンを形成する工程と、前記ポリシリコンをエッチングする工程と、を有することで、前記ゲート電極の上端部が前記基板の前記第 1 の表面より前記第 1 の半導体層側に後退して前記ゲート電極が前記ゲートトレンチ内に形成されることを特徴とする請求項 2 記載の半導体装置の製造方法。

【請求項 4】

前記中間生成物を用意する前記工程は、前記サイドウォールを除去する工程をさらに有し、前記サイドウォールを除去する前記工程により、前記基板の前記第 1 の表面における前記ゲートトレンチの側壁から前記絶縁膜の前記側壁に至る部分が露出され、前記層間絶縁膜を形成する前記工程により、前記ゲート電極の上及び前記基板の前記第 1 の表面の露出された前記部分の上を覆うように層間絶縁膜が形成されることを特徴とする請求項 3 記

10

20

30

40

50

載の半導体装置の製造方法。

【請求項 5】

前記ゲート電極を形成する前記工程は、前記ゲートトレンチ内を埋め込んで前記基板の前記第 1 の表面上全体にポリシリコンを形成する工程と、前記ポリシリコンをエッチングする工程と、を有することで、前記ゲート電極の上端部が前記基板の前記第 1 の表面と前記サイドウォールの上端との間に位置するように、前記ゲート電極が前記ゲートトレンチ内に形成されることを特徴とする請求項 2 記載の半導体装置の製造方法。

【請求項 6】

前記層間絶縁膜を形成する前記工程は、前記ゲート電極の前記上端部を熱酸化させることにより、熱酸化された前記ゲート電極の前記上端部と前記サイドウォールとが一体化されて前記層間絶縁膜が形成されることを特徴とする請求項 5 記載の半導体装置の製造方法。

10

【請求項 7】

前記中間生成物を用意する前記工程は、
前記第 1 の半導体層上に前記第 2 の半導体層を形成する工程と、
前記第 2 の半導体層の表面に前記第 3 の半導体層を形成する工程と、
前記絶縁膜を前記基板の前記第 1 の表面に形成する工程と、
前記絶縁膜をマスクに用いて、異方性エッチングにより前記ゲートトレンチを形成する工程と、

20

前記ゲートトレンチ内の内壁にゲート絶縁膜を形成する工程と、
前記ゲートトレンチ内に前記ゲート絶縁膜を介してポリシリコンからなるゲート電極を形成する工程と、
前記絶縁膜の側壁を前記ゲートトレンチの側壁からエッチングにより後退させる工程と、

を有することを特徴とする請求項 1 記載の半導体装置の製造方法。

【請求項 8】

前記ゲート電極を形成する前記工程は、前記ゲートトレンチ内を埋め込んで前記基板の前記第 1 の表面上全体にポリシリコンを形成する工程と、前記ポリシリコンをエッチングする工程と、を有することで、前記ゲート電極の上端部が前記基板の前記第 1 の表面より前記第 1 の半導体層側に後退して前記ゲート電極が前記ゲートトレンチ内に形成されることを特徴とする請求項 7 記載の半導体装置の製造方法。

30

【請求項 9】

前記中間生成物を用意する工程において、
前記基板は、前記第 3 の半導体層の前記第 1 の半導体層とは反対側の表面に設けられ、前記第 2 の半導体層の第 1 導電形の不純物濃度よりも高い第 1 導電形の不純物濃度を有する第 4 の半導体層をさらに有し、

前記複数のゲートトレンチは、前記基板の前記第 1 の表面において前記第 4 の半導体層と隣接し、

前記コンタクトトレンチを形成する工程において、

前記コンタクトトレンチは、前記基板の前記第 1 の表面において前記第 4 の半導体層に隣接し、

40

前記第 2 の電極を前記コンタクトトレンチ内に形成する工程において、

前記第 2 の電極は、さらに前記第 4 の半導体層と電氣的に接続する、

ことを特徴とする請求項 1 ~ 8 のいずれか 1 つに記載の半導体装置の製造方法。

【請求項 10】

前記中間生成物を用意する前記工程において、

前記基板は、前記第 3 の半導体層の前記第 1 の半導体層とは反対側の表面に設けられ、前記第 2 の半導体層の第 1 導電形の不純物濃度よりも高い第 1 導電形の不純物濃度を有する第 4 の半導体層をさらに有し、

前記複数のゲートトレンチは、前記基板の前記第 1 の表面において前記第 4 の半導体

50

層と隣接し、

前記コンタクトトレンチを形成する前記工程において、

前記コンタクトトレンチは、前記基板の前記第 1 の表面において前記第 4 の半導体層に隣接し、

前記第 2 の電極を前記コンタクトトレンチ内に形成する前記工程において、

前記第 2 の電極は、さらに前記第 4 の半導体層と電氣的に接続し、

前記中間生成物を用意する前記工程は、さらに、前記第 4 の半導体層を前記第 3 の半導体層の表面に形成する工程を含む、

ことを特徴とする請求項 2 ～ 8 のいずれか 1 つに記載の半導体装置の製造方法。

【発明の詳細な説明】

10

【技術分野】

【0001】

本発明の実施形態は、トレンチコンタクト構造を有するトレンチゲート形の半導体装置の製造方法に関する。

【背景技術】

【0002】

M O S F E T (Metal Oxide Semiconductor Field Effect Transistor) や I G B T (Insulated Gate Bipolar Transistor) などの絶縁ゲート形の電力用半導体装置では、低損失化及び低価格化が求められる。このような要求に対しては、ゲート電極がトレンチ形の半導体装置が用いられ、ゲート電極がプレーナ形の半導体装置よりも微細化及び高密度化に有利である。また、ソース層とソース電極とのコンタクト抵抗、及びベース層とソース電極とのコンタクト抵抗を低減するために、トレンチコンタクト構造が用いられる。しかしながら、微細化がさらに進むと、トレンチコンタクト構造のトレンチを形成するためのリソグラフィ工程において、マスクあわせのマージンがとれなくなる。トレンチコンタクト構造のトレンチ形成において、マスク合わせが不要で信頼性の高いプロセスが望まれる。

20

【先行技術文献】

【特許文献】

【0003】

【特許文献 1】特開平 7 - 1 1 5 1 9 2 号公報

30

【発明の概要】

【発明が解決しようとする課題】

【0004】

低抵抗の半導体装置を制御性よく製造する半導体装置の製造方法を提供する。

【課題を解決するための手段】

【0005】

本発明の実施形態の半導体装置の製造方法では、基板と、複数のゲートトレンチ内に設けられた複数のゲート電極と、絶縁膜と、を有する中間生成物を用意する工程と、層間絶縁膜を形成する工程と、絶縁膜を除去する工程と、コンタクトトレンチを形成する工程と、第 1 の電極を形成する工程と、第 2 の電極を形成する工程と、を備える。基板は、第 1 導電形の第 1 の半導体層と、その上に設けられ第 1 の半導体層よりも第 1 導電形の不純物濃度が低い第 1 導電形の第 2 の半導体層と、前記第 2 の半導体層の前記第 1 の半導体層とは反対側の表面に設けられた第 2 導電形の第 3 の半導体層とを有する。複数のゲートトレンチは、基板の第 1 の半導体層とは反対側の第 1 の表面から、前記第 3 の半導体層を貫通し、前記第 2 の半導体層中に至る。複数のゲート電極は、ゲート絶縁膜を介して複数のゲートトレンチ内に設けられる。絶縁膜は、複数のゲートトレンチのうち隣り合うゲートトレンチの間に挟まれた基板の第 1 の表面の上に設けられ、隣り合うゲートトレンチの側壁から後退した側壁を有する。層間絶縁膜を形成する工程では、基板の第 1 の表面におけるゲートトレンチの側壁から絶縁膜の側壁に至る部分の上及びゲート電極の上を覆うように、シリコン酸化膜からなる層間絶縁膜が形成される。絶縁膜を除去する工程では、絶縁膜

40

50

の下で、基板の第1の表面を層間絶縁膜から露出させるように、絶縁膜が除去される。コンタクトトレンチを形成する工程では、層間絶縁膜をマスクに用いて基板の第1の表面の露出した部分をRIE法にてエッチングすることにより、基板の第1の表面から第3の半導体層中に至るコンタクトトレンチが形成される。第1の電極を形成する工程では、第1の半導体層の第2の半導体層とは反対側の表面に電氣的に接続された第1の電極が形成される。第2の電極を形成する工程では、第3の半導体層に電氣的に接続された第2の電極がコンタクトトレンチ内に形成される。

【図面の簡単な説明】

【0006】

- 【図1】第1の実施形態に係る半導体装置の製造工程の各工程の流れを示す図。 10
- 【図2】第1の実施形態に係る半導体装置の製造方法の製造工程の一部の要部断面図。
- 【図3】第1の実施形態に係る半導体装置の製造方法の製造工程の一部の要部断面図。
- 【図4】第1の実施形態に係る半導体装置の製造方法の製造工程の一部の要部断面図。
- 【図5】第1の実施形態に係る半導体装置の製造方法の製造工程の一部の要部断面図。
- 【図6】第1の実施形態に係る半導体装置の製造方法の製造工程の一部の要部断面図。
- 【図7】第1の実施形態に係る半導体装置の製造方法の製造工程の一部の要部断面図。
- 【図8】第1の実施形態に係る半導体装置の製造方法の製造工程の一部の要部断面図。
- 【図9】第1の実施形態に係る半導体装置の製造方法の製造工程の一部の要部断面図。
- 【図10】第1の実施形態に係る半導体装置の製造方法の製造工程の一部の要部断面図。
- 【図11】第1の実施形態に係る半導体装置の製造方法の製造工程の一部の要部断面図。 20
- 【図12】第1の実施形態に係る半導体装置の製造方法の製造工程の一部の要部断面図。
- 【図13】第1の実施形態に係る半導体装置の製造方法の製造工程の一部の要部断面図。
- 【図14】第1の実施形態に係る半導体装置の製造方法の製造工程の一部の要部断面図。
- 【図15】第1の実施形態に係る半導体装置の製造方法により得られた半導体装置の要部断面図。
- 【図16】第1の実施形態の変形例1に係る半導体装置の製造方法の製造工程の一部の要部断面図。
- 【図17】第1の実施形態の変形例2に係る半導体装置の製造方法の製造工程の各工程の流れを示す図。
- 【図18】第1の実施形態の変形例2に係る半導体装置の製造方法の製造工程の一部の要部断面図。 30
- 【図19】第1の実施形態の変形例2に係る半導体装置の製造方法の製造工程の一部の要部断面図。
- 【図20】第1の実施形態の変形例2に係る半導体装置の製造方法の製造工程の一部の要部断面図。
- 【図21】第1の実施形態の変形例2に係る半導体装置の製造方法の製造工程の一部の要部断面図。
- 【図22】第1の実施形態の変形例2に係る半導体装置の製造方法の製造工程の一部の要部断面図。
- 【図23】第1の実施形態の変形例2に係る半導体装置の製造方法の製造工程の一部の要部断面図。 40
- 【図24】第1の実施形態の変形例2に係る半導体装置の製造方法の製造工程の一部の要部断面図。
- 【図25】第1の実施形態の変形例2に係る半導体装置の製造方法により得られた半導体装置の要部断面図。
- 【図26】第2の実施形態に係る半導体装置の製造方法の製造工程の各工程の流れを示す図。
- 【図27】第2の実施形態に係る半導体装置の製造方法の製造工程の一部の要部断面図。
- 【図28】第2の実施形態に係る半導体装置の製造方法の製造工程の一部の要部断面図。
- 【図29】第2の実施形態に係る半導体装置の製造方法の製造工程の一部の要部断面図。 50

【図30】第2の実施形態に係る半導体装置の製造方法の製造工程の一部の要部断面図。

【図31】第2の実施形態に係る半導体装置の製造方法の製造工程の一部の要部断面図。

【図32】第2の実施形態に係る半導体装置の製造方法の製造工程の一部の要部断面図。

【発明を実施するための形態】

【0007】

以下、本発明の実施形態について図を参照しながら説明する。実施例中の説明で使用する図は、説明を容易にするための模式的なものであり、図中の各要素の形状、寸法、大小関係などは、実際の実施においては必ずしも図に示されたとおりとは限らず、本発明の効果が得られる範囲内で適宜変更可能である。半導体材料はシリコンを一例に説明する。第1導電形及び第2導電形は、それぞれ、 n 形及び p 形の場合で説明する。 n^- 形、 n 形、及び n^+ 形が用いられる場合は、その不純物濃度に、 $n^- < n < n^+$ の関係があるものとする。 p^- 形、 p 形、及び p^+ 形についても同様である。各実施形態は、電力用半導体装置として、MOSFETを例に説明するが、これらの実施形態は、IGBTやその他の絶縁ゲート形半導体装置に関しても同様に適用することが可能である。

10

【0008】

(第1の実施形態)

図1から図15を用いて、本発明の第1の実施形態に係る半導体装置の製造方法について説明する。図1は、本発明の第1の実施形態に係る半導体装置の製造方法の製造工程の各工程の流れを示す図である。図1～図14は、第1の実施形態に係る半導体装置の製造方法の製造工程の一部の要部断面図である。図15は、第1の実施形態に係る半導体装置の製造方法により得られた半導体装置の要部断面図である。本実施形態で説明する半導体装置の製造方法は、一例として、トレンチ形のゲート電極を有し、トレンチコンタクト構造によりソース層及びベース層と電氣的に接続されたソース電極を有するMOSFETを製造する方法である。

20

【0009】

図1に示したように、本実施形態に係る半導体装置の製造方法は、中間生成物を用意する工程(S100)、層間絶縁膜を形成する工程(S200)、絶縁膜を除去する工程(S300)、コンタクトトレンチを形成する工程(S400)、 p^+ 形コンタクト層を形成する工程(S500)、ドレイン電極(第1の電極)を形成する工程(S600)、及びソース電極(第2の電極)を形成する工程(S700)を備える。ここで、中間生成物を用意する工程(S100)は、 n^+ 形半導体層(第1の半導体層)上に n^- 形半導体層(第2の半導体層)を形成する工程(S10)と、 n^- 形半導体層表面に p 形ベース層(第3の半導体層)を形成する工程(S20)と、 p 形ベース層の表面に n^+ 形ソース層(第4の半導体層)を形成する工程(S30)と、パターンを有する絶縁膜を基板表面上に形成する工程(S40)と、絶縁膜の側壁にサイドウォールを形成する工程(S50)と、ゲートトレンチを形成する工程(S60)と、ゲート絶縁膜を形成する工程(S70)と、ゲート電極を形成する工程(S80)と、サイドウォールを除去する工程(S90)と、を有する。なお、図1中に、各工程の流れが矢印により順番に示されているが、必ずしも矢印に示されたとおり、前の工程が完了しないと次の工程を開始することができないことを意味するものではない。矢印の後に示された工程でも、矢印の前に示された工程と並行して実施できる工程も勿論ありうる。また、それぞれの工程は、必ずしも矢印の付された方向通りの順番に実施されるとは限らない。以下、上記各工程に関して、図2～図15を用いて説明する。

30

40

【0010】

図2に示したように、 n^+ 形半導体層(第1の半導体層)上に n^- 形半導体層(第2の半導体層)を形成する工程(S10)により、 n^- 形半導体層(第2の半導体層)2が n^+ 形半導体層(第1の半導体層)1上に、例えばシリコンのエピタキシャル成長により形成される。又は、シリコンの n^- 形半導体基板2の表面に n 形不純物をイオン注入及び熱処理することで n^+ 形半導体層1が形成可能である。 n^- 形半導体層表面に p 形ベース層(第3の半導体層)を形成する工程(S20)により、 p 形ベース層4が n^- 形半導体層

50

2のn⁺形半導体層1とは反対側の表面に形成される。p形ベース層4は、例えば、n⁻形半導体層2のn⁺形半導体層1とは反対側の表面にp形不純物(例えば硼素)のイオン注入及びその後の熱処理を実施することで得ることができる。なお、熱処理はイオン注入後即時に実施する必要はなく、他の工程の後、又は、他の拡散層形成のための他の不純物のイオン注入実施後に必要となる熱処理と併せて実施することでも可能である。すなわち、p形ベース層4が不純物拡散により形成される場合は、p形ベース層4を形成する工程は、p形不純物のイオン注入とこれに必要な熱処理との間に、他の工程の作業を含んでも良い。また、その必要な熱処理は、他の拡散の熱処理や他の工程の高温プロセスにより代替えされてもよい。後述のイオン注入及び熱処理によりソース層やコンタクト層などの拡散層を形成する工程でも、上記と同様にして考える。

10

【0011】

次に、p形ベース層4のn⁺形半導体層1とは反対側の表面にn⁺形ソース層(第4の半導体層)を形成する工程(S30)により、n⁺形ソース層5が、p形ベース層4のn⁺形半導体層1とは反対側の表面に形成される。n⁺形ソース層5は、例えば、上記同様に、n形不純物(例えば砒素又は燐など)をp形ベース層4の表面にイオン注入した後に熱処理を実施することで、形成されることができる。

【0012】

以上の工程により、n⁺形半導体層1、n⁻形半導体層2、p形ベース層4、及びn⁺形ソース層5を有する基板3が形成される。

20

【0013】

次に、パターンを有する絶縁膜を基板表面上に形成する工程(S40)により、図3に示したように、基板3のn⁺形半導体層1とは反対側の第1の表面に、パターンを有する絶縁膜7が形成される。この工程で、絶縁膜7は、例えば以下のように形成される。CVD(Chemical Vapor Deposition)法又は熱酸化により、シリコン酸化膜からなる第1の酸化膜6が、基板3の第1の表面上、すなわち、n⁺形ソース層5の表面上に形成される。その後、CVD法等により、シリコン窒化膜からなる絶縁膜7が形成される。その後、CVD法等により、シリコン酸化膜からなる第2の酸化膜8が、絶縁膜7の表面上に形成される。ここで、本実施形態では、第1の酸化膜6、絶縁膜7、及び第2の酸化膜8により、SiO₂/SiN/SiO₂膜(以下ONO膜)が形成されるが、このONO膜の代わりに、絶縁膜7だけとすることも可能であり、少なくともシリコン窒化膜である絶縁膜7が形成されればよい。本実施形態では、ONO膜を用いているが、この方が、プロセス中の基板3への不純物汚染や欠陥の増殖を防ぐことができるので望ましい。次に、図2に示したように形成された所定のパターンのレジスト9をマスクに用いてONO膜をRIE法によりエッチングして除去し、表面に基板3の第1の表面を露出させた後にレジスト9を除去することで、図3に示したように所定のパターンを有する絶縁膜7が基板3の第1の表面上に形成される。

30

【0014】

次に、図4及び図5に示したように、絶縁膜の側壁にサイドウォールを形成する工程(S50)により、シリコン酸化膜からなるサイドウォール11が絶縁膜7の側壁に形成される。サイドウォール11の形成は、例えば、以下のように実施される。CVD法などにより、シリコン酸化膜10が、絶縁膜7を覆うように、基板3の第1の表面上全体に形成される。シリコン酸化膜10は、基板3の第1の表面上、絶縁膜7の表面上、及び絶縁膜7の側壁上に、ほぼ同じ成膜速度で成膜される。このため、基板3の第1の表面上の垂直方向(基板3の積層方向)のシリコン酸化膜10の厚さと絶縁膜7の表面上の垂直方向のシリコン酸化膜10の厚さは、ほぼ同じ厚さであり、絶縁膜7の側壁に成膜されたシリコン酸化膜10の基板3の第1の表面に垂直な方向における厚さは、これらの厚さよりも絶縁膜7の厚さの分だけ厚い。RIE法では、エッチングは異方性エッチングであるので、シリコン酸化膜10の表面全体をRIE法によりエッチングすることにより、基板3の第1の表面上と絶縁膜7の表面上とのシリコン酸化膜10が除去され、絶縁膜7の側壁部にだけシリコン酸化膜10が残り、これがサイドウォール11となる。

40

50

【 0 0 1 5 】

ここで、サイドウォール 1 1 の基板 3 の第 1 の表面に平行な方向すなわち絶縁膜 7 の側壁に垂直な方向の厚さは、CVD 法などによるシリコン酸化膜 1 0 の成膜時間で調節が可能である。従って、後述するゲートトレンチ 1 2 は、このサイドウォール 1 1 をマスクにしてエッチングされるので、ゲートトレンチ 1 2 の側壁から絶縁膜 7 の側壁までの距離がシリコン酸化膜 1 0 の成膜時間で調節が可能となる。また、図 5 では、絶縁膜 7 の表面上にシリコン酸化膜が残っている。これは、前述のONO 膜の第 2 の酸化膜 8 が厚く形成され、基板 3 の第 1 の表面が露出した時点でRIE 法によるエッチングを停止した場合である。基板 3 の第 1 の表面が露出した後しばらくエッチングを続けることで、絶縁膜 7 の表面上のシリコン酸化膜を除去しても良い。本実施形態では、絶縁膜 7 の上にシリコン酸化膜が残った場合で説明する。

10

【 0 0 1 6 】

次に図 6 に示したように、ゲートトレンチを形成する工程 (S 6 0) により、基板 3 の第 1 の表面から p 形ベース層 4 を貫通し、n⁻ 形半導体層 2 中に至り、基板 3 の第 1 の表面において n⁺ 形ソース層 5 と隣接する (又は、n⁺ 形層ソース層 5 を貫通する) 複数のゲートトレンチ 1 2 が形成される。ゲートトレンチ 1 2 の形成は、例えば以下のように実施される。サイドウォール 1 1 及び絶縁膜 7 をマスクに用いて、RIE 法によりエッチングを実施することで、サイドウォール 1 1 の側壁に沿ってゲートトレンチ 1 2 の側壁が形成されていき、ゲートトレンチ 1 2 が n⁻ 形半導体層 2 中に達したところで、エッチングを停止する。

20

【 0 0 1 7 】

次に、ゲート絶縁膜を形成する工程 (S 7 0) により、ゲート絶縁膜 1 3 がゲートトレンチ 1 2 の内壁を全て覆うように形成される。ゲート絶縁膜 1 3 の形成は、例えば、熱酸化により実施され、ゲート絶縁膜 1 3 は、シリコン酸化膜である。シリコン酸化膜は、CVD 法による成膜も可能である。また、ゲート絶縁膜 1 3 は、シリコン酸化膜に限定されることなく、シリコン酸化膜とシリコン窒化膜の積層膜又は、他の誘電体膜とすることも可能である。

【 0 0 1 8 】

次に、図 7 及び図 8 に示したように、ゲート電極を形成する工程 (S 8 0) により、ゲート電極 1 5 が、ゲート絶縁膜 1 3 を介してゲートトレンチ 1 2 内に形成される。ゲート電極 1 5 の上端部が、基板 3 の第 1 の表面よりも n⁺ 形半導体層 1 側に後退するように、ゲート電極 1 5 がゲートトレンチ 1 2 内に形成される。ゲート電極 1 5 の形成は、例えば、以下のように形成される。CVD 法により、ポリシリコン 1 4 が、ゲート絶縁膜 1 3 を介してゲートトレンチ 1 2 を埋込むように、且つ基板 3 の第 1 の表面上全体にサイドウォール 1 1 及び絶縁膜 7 を介して成膜される。その後、ポリシリコン 1 4 の表面全体が例えば CDE (Chemical Dry Etching) 法によりエッチングされて、基板 3 の第 1 の表面上のポリシリコン 1 4 が除去され、ゲートトレンチ 1 2 内のポリシリコン 1 4 の上端が基板 3 の第 1 の表面より n⁺ 形半導体層 1 側に到達したところで、ポリシリコン 1 4 のエッチングが停止される。この結果、ゲート電極 1 5 の上端が基板 3 の第 1 の表面より n⁺ 形半導体層 1 側に後退して、ゲート電極 1 5 が、ゲートトレンチ 1 2 内に形成される。

30

40

【 0 0 1 9 】

次に、図 9 に示したように、サイドウォールを除去する工程 (S 9 0) により、サイドウォール 1 1 及びゲート電極 1 5 の上端部より上部のゲートトレンチ 1 2 の側壁に形成されているゲート絶縁膜が除去されて、基板 3 の第 1 の表面において (n⁺ 形ソース層において) ゲートトレンチ 1 2 の側壁から絶縁膜 7 の側壁に至る部分が表面に露出される。サイドウォール 1 1 の除去は、例えば、弗化水素を含んだエッチング液によるウェットエッチングで実施可能である。又は、RIE 法によるエッチングでも実施可能である。

【 0 0 2 0 】

なお、本実施形態では、前述のように、図 2 に示した p 形ベース層の表面に n⁺ 形ソース層を形成する工程 (S 3 0) が、図 3 に示したパターンを有する絶縁膜を基板表面上に

50

形成する工程（S40）より前に実施されることで、 n^+ 形ソース層5が、 p 形ベース層4の表面に形成される。しかしながら、図9に示したサイドウォール11を除去する工程（S90）の後に、図10に示したように、 p 形ベース層の表面に n^+ 形ソース層を形成する工程（S30）が実施されることも可能である。この場合は、基板3の第1の表面（ p 形ベース層4の部分）におけるゲートトレンチの側壁から絶縁膜7の側壁に至る部分が表面に露出され、この部分に n 形不純物がイオン注入されて、 n^+ 形ソース層5が形成される。そのため、図10に示したように、 n 形不純物の拡散が弱い条件では、絶縁膜7の直下の基板3の第1の表面には、ソース層5が形成されずに p 形ベース層4が形成された状態になる。このような状態でも、以後の本実施形態の工程を実施することにより半導体装置が製造可能である。

10

【0021】

以上の、 n^+ 形半導体層（第1の半導体層）上に n^- 形半導体層（第2の半導体層）を形成する工程（S10）と、 n^- 形半導体層表面に p 形ベース層（第3の半導体層）を形成する工程（S20）と、 p 形ベース層の表面に n^+ 形ソース層（第4の半導体層）を形成する工程（S30）と、パターンを有する絶縁膜を基板表面上に形成する工程（S40）と、絶縁膜の側壁にサイドウォールを形成する工程（S50）と、ゲートトレンチを形成する工程（S60）と、ゲート絶縁膜を形成する工程（S70）と、ゲート電極を形成する工程（S80）と、サイドウォールを除去する工程（S90）と、を有する中間生成物を用意する工程（S100）を実施することにより、図9に示されたように、 n^+ 形半導体層1、 n^- 形半導体層2、 p 形ベース層4、及び n^+ 形ソース層5を有する基板3と

20

【0022】

次に、図11に示したように、層間絶縁膜を形成する工程（S200）により、中間生成物100Aの n^+ 形ソース層5（基板3の第1の表面）におけるゲートトレンチ12の側壁から絶縁膜7の側壁に至る部分の上及びゲート電極の上を覆うように、層間絶縁膜16が形成される。層間絶縁膜16は、シリコン酸化膜であり、絶縁膜7をマスクに用いて

30

【0023】

次に、図12に示したように、絶縁膜を除去する工程（S300）により、絶縁膜7が、例えばCDE法などによりエッチングされて除去され、基板3の第1の表面（ n^+ 形半導体層5の表面）が、絶縁膜7の直下に露出する（図示せず）。まず初めに、層間絶縁膜16形成の際又は他の工程にて、絶縁膜7の表面に酸化膜が付着していることが考えられるので、絶縁膜7の除去の前に、絶縁膜7の表面を弗化水素を含んだエッチング液によるエッチングを前処理として実施されることが好ましい。絶縁膜7の表面は、これにより清浄化される。絶縁膜7は、ウェットエッチングなどでも除去が可能であるが、ここでは、一例としてCDE法によりエッチングされる。絶縁膜7が除去されると、図12に示したように、その下の第1の酸化膜6が露出する。第1の酸化膜6は、層間絶縁膜16の厚さに比べて極めて薄く形成されているので、基板3の第1の表面上全体を例えばRIE法等の異方性エッチングによりエッチングすることで、層間絶縁膜16を残し、第1の酸化膜6だけを除去することができる（詳細は図示せず）。これにより、基板3の第1の表面（ n^+ 形ソース層5の表面）が、絶縁膜7の直下に露出する（図示せず）。なお、前述のように、絶縁膜7が第1の酸化膜を介さないで基板3の第1の表面上に形成されている場合は、絶縁膜7が除去されただけで、基板3の第1の表面（ n^+ 形ソース層5の表面）が、絶縁膜7の直下に露出する。

40

50

【0024】

前述のように、本実施形態では、p形ベース層の表面にn⁺形ソース層を形成する工程(S30)が、n⁻形半導体層表面にp形ベース層を形成する工程(S20)と、パターンを有する絶縁膜を基板表面上に形成する工程(S40)と、の間ですでに実施されている。しかしながら、図11に示した絶縁膜を除去する工程(S300)の最後の工程の一部又はその工程の直後に、p形ベース層の表面にn⁺形ソース層を形成する工程(S30)が実施されてもよい。すなわち、図11の絶縁膜7が除去されて絶縁膜7の直下の第1の酸化膜6が露出した状態で、又は、さらに第1の酸化膜6が除去されて基板3の第1の表面(p形ベース層4の表面)が露出した状態で、層間絶縁膜16をマスクに用いて、砒素又は燐などのn形不純物がイオン注入及びその後の熱処理が実施される(熱処理は、この後の他の高温プロセスで代わりに実施されても良い)ことで、図12に示されたようにn⁺形ソース層5が形成されてもよい。

10

【0025】

次に、図13に示したように、コンタクトトレンチを形成する工程(S400)により、コンタクトトレンチ17が、絶縁膜7が存在していた直下で、基板3の第1の表面(n⁺形ソース層5の表面)からp形ベース層4中に延伸するように形成される。コンタクトトレンチ17は、層間絶縁膜16をマスクに用いて、層間絶縁膜16から露出した基板3の第1の表面(n⁺形ソース層5の表面)をRIE法等の異方性エッチングをすることで、層間絶縁膜16の側壁に沿ってp形ベース層4中に延伸して形成される。コンタクトトレンチ17の側壁にはn⁺形ソース層5が露出し、コンタクトトレンチ17の底部にはp形ベース層が露出する。

20

【0026】

次に、図14に示したように、p⁺形コンタクト層を形成する工程(S500)により、p⁺形コンタクト層18が、コンタクトトレンチ17の底部に隣接するように形成される。p⁺形コンタクト層18は、p形ベース層4よりも高いp形不純物濃度を有し、例えば、コンタクトトレンチ17の底部に露出又は隣接するp形ベース層4中に砒素などのp形不純物をイオン注入により注入し、その後熱処理を実施することで形成される。p⁺形コンタクト層18は、上部でn⁺形ソース層5と接続されてもよいが、水平方向でゲートトレンチ12及び基板3の積層方向でn⁻形半導体層2には接合しないように形成される。

30

【0027】

次に、図15に示したように、ドレイン電極を形成する工程(S600)により、ドレイン電極19がn⁺形半導体層1のp形ベース層4とは反対側の表面に電氣的に接続されて形成される。また、ソース電極を形成する工程(S700)により、コンタクトトレンチ17内に埋め込まれ、層間絶縁膜16上を覆うようにソース電極20が形成される。ソース電極20は、コンタクトトレンチ17の側壁でn⁺形ソース層5と、コンタクトトレンチ17の底部でp⁺形コンタクト層4と、それぞれ電氣的に接続される。p形ベース層4は、p⁺形コンタクト層18を介してソース電極と電氣的に接続される。ソース電極20及びドレイン電極19は、例えば、金、銅、アルミニウムなどで形成することができる。

40

【0028】

以上の製造工程を経て、本実施形態に係る半導体装置の製造方法により、半導体装置が提供される。本実施形態に係る半導体装置の製造方法によれば、次のような効果が得られる。

【0029】

ドレイン電極19にソース電極20に対して正の電圧を印加した状態で、ゲート電極15にソース電極20に対して閾値を超える正の電圧(ゲート電圧)を印加すると、反転分布層がp形ベース層4とゲート絶縁膜13との界面に形成される。この結果、半導体装置は、オン状態になりドレイン電極19からソース電極20へ電流が流れる。半導体装置は、ソース電極19とn⁺形ソース層5との電氣的接続、及びソース電極19とp形ベース

50

層 4 との電氣的接続を、それぞれ良好にするために、コンタクトトレンチ構造を有する。コンタクトトレンチ構造では、上述のように、ソース電極 20 は、コンタクトトレンチ 17 の側壁で n^+ 形ソース層 5 と、コンタクトトレンチ 17 の底部で p^+ 形コンタクト層 5 と、それぞれ電氣的に接続される。 p^+ 形コンタクト層 18 が、ゲートトレンチ 12 の側壁に近づきすぎると、ゲート絶縁膜 13 と p 形ベース層 4 との界面で反転分布層の形成が抑制されてしまい、半導体装置のゲート電圧の閾値が上昇し、ドレイン電極 19 とソース電極 20 との間のオン抵抗が増大してしまう。半導体装置のオン抵抗を低減するために微細化をさらに進めると、上記問題が顕在化してくる。

【0030】

本実施形態に係る半導体装置の製造方法では、中間生成物を用意する工程 (S100) を実施することにより、図 9 に示されたように、 n^+ 形半導体層 1、 n^- 形半導体層 2、 p 形ベース層 4、及び n^+ 形ソース層 5 を有する基板 3 と、基板 3 の第 1 の表面から p 形ベース層 4 を貫通し n^- 形半導体層 2 中に至る複数のゲートトレンチ内に、ゲート絶縁膜を介して設けられた複数のゲート電極 15 と、隣り合うゲートトレンチ 12 の間に挟まれた基板 3 の第 1 の表面の上に設けられ、隣り合うゲートトレンチ 12 の側壁から後退した側壁を有する絶縁膜 7 と、を有する中間生成物 100A が用意される。なお、前述したとおり、 p 形ベース層の表面に n^+ 形ソース層を形成する工程 (S30) は、必ずしも中間生成物を用意する工程に含まれる必要はない。 n^+ 形ソース層 5 は、この時点で必ずしも中間生成物 100A 内に形成されている必要は無く、この後の絶縁膜を除去する工程 (S300) の一部又はこの工程の直後に形成されていてもよい。この中間生成物 100A を用いて、層間絶縁膜を形成する工程 (S200) により、中間生成物 100A の n^+ 形ソース層 5 (言い換えると、基板 3 の第 1 の表面) におけるゲートトレンチ 12 の側壁から絶縁膜 7 の側壁に至る部分の上、及びゲート電極の上を覆うように、層間絶縁膜 16 が形成される。すなわち、層間絶縁膜 16 は、 n^+ 形ソース層 5 (又は基板 3 の第 1 の表面) におけるゲートトレンチ 12 の側壁から絶縁膜 7 の側壁に至る部分を覆っている部分 (以後、底部分と称す) と、ゲート電極を覆う部分 (以後、ゲート電極部分) と、を有する。そして、コンタクトトレンチを形成する工程 (S400) により、層間絶縁膜 16 をマスクに用いてエッチングすることにより、コンタクトトレンチ 17 が、基板 3 の第 1 の表面 (n^+ 形ソース層 4 の表面) から p 形ベース層 4 中に延伸するように形成される。

【0031】

以上のようにして、隣り合うゲートトレンチ 12 の間にコンタクトトレンチ 17 が形成されることで、コンタクトトレンチ 17 形成のためのマスク合わせが不要となるので、マスク合わせ不良による半導体装置の特性不良を抑制することができる。また、マスクに用いる層間絶縁膜 16 が、上記底部分を有することで、コンタクトトレンチ 17 とゲートトレンチ 12 との間隔を制御性よく確保できるため、半導体装置のオン抵抗を制御性よく低減できる。すなわち、本実施形態の半導体装置の製造方法によれば、コンタクトトレンチ形成のためのマスク合わせ不良が低減され、オン抵抗が低い半導体装置が制御性よく提供される。

【0032】

またさらに、本実施形態の半導体装置の製造方法では、層間絶縁膜 16 が底部分を有し、この底部分の幅がゲートトレンチ 12 とコンタクトトレンチ 17 との間隔を決めている。この底部分の幅は、図 8 に示したようにサイドウォール 11 の幅により決まり、このサイドウォールの幅は、サイドウォールを形成する工程 (S50) で説明したとおり、絶縁膜 7 の側壁に垂直な方向の厚さであり、絶縁膜 7 を覆うシリコン酸化膜 10 の成膜時間で制御することができる。このため、ゲートトレンチ 12 とコンタクトトレンチ 17 との間隔を決めるためのマスク合わせも不要であり、サイドウォールを形成する工程 (S50) でのシリコン酸化膜 10 の成膜時間で、ゲートトレンチ 12 とコンタクトトレンチ 17 との間隔を制御することが可能となる。

【0033】

次に、本実施形態の変形例 1 に係る半導体装置の製造方法について図 16 を用いて説明

する。なお、第1の実施形態で説明した構成と同じ構成の部分には同じ参照番号又は記号を用いその説明は省略する。第1の実施形態との相異点について主に説明する。

【0034】

図16は、第1の実施形態の変形例1に係る半導体装置の製造方法の製造工程の一部の要部断面図である。本実施形態の変形例1に係る半導体装置の製造方法は、上記本実施形態に係る半導体装置の製造方法において、図13に示したコンタクトトレンチを形成する工程(S400)を実施した後に、層間絶縁膜16の側壁をコンタクトトレンチ17の側壁から後退させる工程をさらに有する点で、上記本実施形態に係る半導体装置の製造方法と相異なるが、これ以外の点は同じである。本実施形態の変形例1に係る半導体装置の製造方法では、層間絶縁膜16の側壁をコンタクトトレンチ17の側壁から後退させる工程により、層間絶縁膜16の底部分が無ならない範囲で層間絶縁膜16の側壁がコンタクトトレンチ17の側壁から後退させられる。これは、例えばCDE等の等方性エッチングにより実施可能であるが、それ以外の方法を用いてもよい。このように、層間絶縁膜16の底部分をコンタクトトレンチ17の側壁から後退させることで、 n^+ 形ソース層5の表面が層間絶縁膜16から露出するので、上記本実施形態に係る半導体装置の製造方法と比べて、 n^+ 形ソース層5とソース電極20とのコンタクト抵抗をさらに低減させることが可能となる。その他の効果は、上記本実施形態に係る半導体装置の製造方法の効果と同じである。本変形例は、後述の他の変形例や他の実施例に対しても適用可能である。

10

【0035】

次に、本実施形態の変形例2に係る半導体装置の製造方法について図17～図25を用いて説明する。図17は、第1の実施形態の変形例2に係る半導体装置の製造方法の製造工程の各工程の流れを示す図である。図18～図24は、第1の実施形態の変形例2に係る半導体装置の製造方法の製造工程の一部の要部断面図である。図25は、第1の実施形態の変形例2に係る半導体装置の製造方法により得られた半導体装置の要部断面図である。

20

【0036】

図17に示したように、本実施形態の変形例2に係る半導体装置の製造方法の中間生成物を用意する工程(S101)は、図1の本実施形態に係る半導体装置の製造方法の中間生成物を用意する工程(S100)に含まれるゲートトレンチ内にゲート電極を形成する工程(S80)と相異なるゲートトレンチ内にゲート電極を形成する工程(S81)を含み、サイドウォールを除去する工程(S90)を含まない点で、本実施形態に係る中間生成物を用意する工程(S100)とは相異なる。これ以外は、両者に相違点はない。以下、この相違点について説明する。なお、図17中に、各工程の流れが矢印により順番に示されているが、必ずしも矢印に示されたとおり、前の工程が完了しないと次の工程が開始することができないことを意味するものではない。矢印の後に示された工程でも、矢印の前に示された工程と並行して実施できる工程も勿論ありうる。また、それぞれの工程は、必ずしも矢印の付された方向通りの順番に実施されるとは限らない。

30

【0037】

本実施形態の変形例2に係る半導体装置の製造方法では、本実施形態と同様に、図2～図6に示されたように、中間生成物を用意する工程(S101)の中の、 n^+ 形半導体層上に n^- 形半導体層を形成する工程(S10)からゲート絶縁膜を形成する工程(S70)までが実施される。

40

【0038】

次に、ゲートトレンチ内にゲート電極を形成する工程(S81)により、ゲート電極15の上端が、基板3の第1の表面とサイドウォール11の表面との間に、又は、サイドウォール11の表面と同一平面内に、位置するように、ゲート電極15がゲートトレンチ12内に形成される。ゲート電極15は、例えば以下のように形成される。図7に示したようにCVD法により、ポリシリコン14が、ゲート絶縁膜13を介してゲートトレンチ12を埋込むように、且つ基板3の第1の表面上全体にサイドウォール11及び絶縁膜7を介して成膜される。その後、図18に示したように、ポリシリコン14の表面全体が例え

50

ば C D E (Chemical Dry Etching) 法によりエッチングされて、基板 3 の第 1 の表面上のポリシリコン 1 4 が除去され、ゲートトレンチ 1 2 内のポリシリコン 1 4 の上端が基板 3 の第 1 の表面より上で、サイドウォール 1 1 の表面より下側に到達したところで、又は、サイドウォール 1 1 の表面と同一の平面内に到達したところで、エッチングが停止される。この結果、上記ゲート電極 1 5 が形成される。

【 0 0 3 9 】

本変形例 2 では、ゲート電極 1 5 の上端部がサイドウォール 1 1 の表面から n^+ 形半導体層 1 側に少し後退した例で説明する。本実施形態の変形例 2 に係る半導体装置の製造方法の中間生成物を用意する工程 (S 1 0 1) は、この点で本実施形態に係る半導体装置の製造方法の中間生成物を用意する工程 (S 1 0 0) とは相異なる。本実施形態に係る半導体装置の製造方法の中間生成物を用意する工程 (S 1 0 0) に含まれる、ゲートトレンチ内にゲート電極を形成する工程 (S 8 0) では、ゲート電極 1 5 の上端部は基板 3 の第 1 の表面よりも n^+ 形半導体層 1 側に形成される。なお、ポリシリコン 1 4 の除去は、C D E 法によるエッチングに限ることなく、R I E 法によるエッチング、若しくは C M P (Chemical Mechanical Polishing) 法によるポリッシング、又はこれらの組み合わせ等で実施可能である。

10

【 0 0 4 0 】

さらに、本変形例 2 に係る中間生成物を用意する工程 (S 1 0 1) では、サイドウォール 1 1 を除去する工程 (S 9 0) が不要であり、この点においても、本実施形態に係る中間生成物を用意する工程 (S 1 0 0) と相異なる。本変形例 2 に係る中間生成物を用意する工程では、後述するようにサイドウォール 1 1 が、層間絶縁膜 1 6 の底部分に用いられる。

20

【 0 0 4 1 】

以上のようにして、本変形例 2 に係る中間生成物を用意する工程 (S 1 0 1) が実施され、図 1 8 に示された、 n^+ 形半導体層 1、 n^- 形半導体層 2、 p 形ベース層 4、及び n^+ 形ソース層 5 を有する基板 3 と、基板 3 の第 1 の表面から p 形ベース層 4 を貫通し n^- 形半導体層 2 中に至る複数のゲートトレンチ内に、ゲート絶縁膜 1 3 を介して設けられた複数のゲート電極 1 5 と、隣り合うゲートトレンチ 1 2 の間に挟まれた基板 3 の第 1 の表面上に設けられ、隣り合うゲートトレンチの側壁から後退した側壁を有する絶縁膜 7 と、を有する中間生成物 1 0 1 A が用意される。以下に示すように、これ以後の工程 (S 2 0 0 ~ S 7 0 0) は、本実施形態に係る半導体装置の製造方法と同様に実施される。

30

【 0 0 4 2 】

次に、図 1 9 に示したように、層間絶縁膜を形成する工程 (S 2 0 0) により、中間生成物 1 0 1 A の n^+ 形ソース層 5 (又は基板 3 の第 1 の表面) におけるゲートトレンチ 1 2 の側壁から絶縁膜 7 の側壁に至る部分の上及びゲート電極の上を覆うように、層間絶縁膜 1 6 が形成される。すなわち、層間絶縁膜 1 6 は、シリコン酸化膜であり、 n^+ 形ソース層 5 (又は基板 3 の第 1 の表面) におけるゲートトレンチ 1 2 の側壁から絶縁膜 7 の側壁に至る部分を覆う部分 (底部分) と、ゲート電極を覆う部分 (ゲート電極部分) と、を有する。層間絶縁膜 1 6 は、一例として、絶縁膜 7 とサイドウォール 1 1 をマスクに用いて、サイドウォール 1 1 から露出したゲート電極 1 5 の上端部を熱酸化することにより形成される。ゲート電極 1 5 の上端部の熱酸化膜が、層間絶縁膜 1 6 のゲート電極部分となり、底部分となるサイドウォール 1 1 と接合されて一体形成される。

40

【 0 0 4 3 】

次に、図 2 0 に示したように、基板 3 の第 1 の表面側から例えば R I E 法によりエッチングすることにより、絶縁膜 7 上の第 2 の酸化膜 8 が除去される。この結果、絶縁膜 7 の表面が、層間絶縁膜 1 6 から露出される。層間絶縁膜 1 6 の表面がエッチングされることで、層間絶縁膜 1 6 の表面は、絶縁膜 7 より基板 3 側に後退する。

【 0 0 4 4 】

次に、図 2 1 に示したように、絶縁膜を除去する工程 (S 3 0 0) により、絶縁膜 7 が、例えば C D E 法などによりエッチングされて除去され、基板 3 の第 1 の主面 (n^+ 形ソ

50

ース層5の表面)が、絶縁膜7の存在した直下に露出する。絶縁膜7の除去の方法は、前述の本実施形態に係る半導体装置の製造方法と同じため詳細な説明は省略する。

【0045】

本実施形態では、前述のように、図2に示した、p形ベース層の表面にn⁺形ソース層を形成する工程(S30)が、図3に示した、パターンを有する絶縁膜を基板表面上に形成する工程(S40)より前に実施されることで、n⁺形ソース層5が、p形ベース層4の表面に形成される。しかしながら、p形ベース層の表面にn⁺形ソース層を形成する工程(S30)が、上記絶縁膜を除去する工程(S300)の直後に実施されることも可能である。すなわち、図22に示したように、絶縁膜7が除去されて、絶縁膜7の直下にあった基板3の第1の表面(p形ベース層4)が露出した後に、層間絶縁膜16をマスクに用いて、n形不純物のイオン注入及び熱処理を実施することで、図21に示したように、n⁺形ソース層5が形成可能である。

10

【0046】

又は、絶縁膜7の除去後その下の第1の酸化膜6が残った状態で、層間絶縁膜16をマスクに用いて、n形不純物のイオン注入及び熱処理を実施することにより、n⁺形ソース層5が形成可能である。第1の酸化膜6が層間絶縁膜16に比べて薄いので、第1の酸化膜6の直下(絶縁膜7が存在した直下)に選択的に不純物イオンが注入され、その後の熱処理による拡散により、n⁺形ソース層5が形成される。n⁺形ソース層5が形成された後に、図21に示したように第1の酸化膜6が取り除かれる。

20

【0047】

以上示したとおり、p形ベース層の表面にn⁺形ソース層を形成する工程(S30)が、絶縁膜を除去する工程(S300)の直後又はその工程の中で実施されることが可能である。なお、イオン注入後の熱処理は、別途後の工程のどこかで実施可能であることは、勿論のことである。

【0048】

次に、図23に示したように、コンタクトトレンチを形成する工程(S400)により、コンタクトトレンチ17が、絶縁膜7が存在していた直下で、基板3の第1の表面(n⁺形ソース層5の表面)からp形ベース層4中に延伸するように形成される。コンタクトトレンチ17を形成する方法も、前述の本実施形態に係る半導体装置の製造方法と同じため詳細な説明は省略する。

30

【0049】

次に、図24に示したように、p⁺形コンタクト層を形成する工程(S500)により、p⁺形コンタクト層18が、コンタクトトレンチ17の底部に隣接するように形成される。本工程も、前述の本実施形態に係る半導体装置の製造方法と同じため詳細な説明は省略する。

【0050】

次に、図25に示したように、ドレイン電極を形成する工程(S600)により、ドレイン電極19がn⁺形半導体層1のp形ベース層4とは反対側の表面に電氣的に接続されて形成される。また、ソース電極を形成する工程(S700)により、ソース電極20が、コンタクトトレンチ17内を埋め込み、層間絶縁膜16上を覆うように形成される。これらの両工程も、前述の本実施形態に係る半導体装置の製造方法と同じため詳細な説明は省略する。

40

【0051】

以上の製造工程を経て、本実施形態の変形例2に係る半導体装置の製造方法により、半導体装置が提供される。本変形例に係る半導体装置の製造方法によれば、本実施形態に係る半導体装置の製造方法と同様な前述の効果が得られる。さらに本変形例に係る半導体装置の製造方法では、サイドウォール11を層間絶縁膜11の底部分に用いるために、サイドウォール11を除去する工程(S90)が不要となり、製造工程が削減される効果をさらに有する。

【0052】

50

(第2の実施形態)

第2の実施形態に係る半導体装置の製造方法を図26～図32を用いて説明する。図26は、第2の実施形態に係る半導体装置の製造方法の製造工程の各工程の流れを示す図。図27～図32は、第2の実施形態に係る半導体装置の製造方法の製造工程の一部の要部断面図である。なお、第1の実施形態で説明した構成と同じ構成の部分には同じ参照番号または記号を用いその説明は省略する。第1の実施形態に係る半導体装置の製造方法との相異点について主に説明する。

【0053】

本実施形態に係る半導体装置の製造方法は、図26に示したような製造工程を備え、中間生成物を用意する工程(S102)を備える。本実施形態に係る中間生成物を用意する工程(S102)は、第1の実施形態に係る中間生成物を用意する工程(S100)中のゲートトレンチを形成する工程(S60)の代わりに、ゲートトレンチを形成する工程(S61)と絶縁膜をトレンチ側壁から後退させる工程(S62)とを含み、サイドウォールを形成する工程(S50)及びサイドウォールを除去する工程(S90)を含まない。この点で、本実施形態に係る半導体装置の製造方法は、第1の実施形態に係る半導体装置の製造方法と相異なる。これ以外の点で、両者は同じ製造工程を有する。以下、上記相異なる工程に関して主に説明する。なお、図26中に、各工程の流れが矢印により順番に示されているが、必ずしも矢印に示されたとおり、前の工程が完了しないと次の工程を開始することができないことを意味するものではない。矢印の後に示された工程でも、矢印の前に示された工程と並行して実施できる工程も勿論ありうる。また、それぞれの工程は、必ずしも矢印の付された方向通りの順番に実施されるとは限らない。

【0054】

本実施形態に係る中間生成物を用意する工程(S102)では、第1の実施形態に係る中間生成物を用意する工程(S100)中の、 n^+ 形半導体層上に n^- 形半導体層を形成する工程(S10)からパターンを有する絶縁膜を基板表面上に形成する工程(S40)が実施される。その後、図27に示したように、ゲートトレンチを形成する工程(S61)により、基板3の第1の表面から p 形ベース層4を貫通し、 n^- 形半導体層2中に至り、基板3の第1の表面において n^+ 形ソース層5と隣接する(又は、 n^+ 形層ソース層5を貫通する)複数のゲートトレンチ12が形成される。ゲートトレンチ12の形成は、例えば以下のように実施される。第1の実施形態の図2及び図3に示した工程で形成されたパターン化された絶縁膜7をマスクに用いて、RIE法によりエッチングを実施することで、絶縁膜7の側壁に沿ってゲートトレンチ12の側壁が形成される。ゲートトレンチ12の底が n^- 形半導体層2中に達したところで、エッチングを停止する。

【0055】

次に、図28に示したように、第1の実施形態と同様に、ゲート絶縁膜を形成する工程(S70)により、ゲート絶縁膜13がゲートトレンチ12の内壁を全て覆うように形成される。ゲート絶縁膜13は、熱酸化により形成されたシリコン酸化膜であり、CVD法により形成されることも可能である。ゲート絶縁膜13は、ゲートトレンチ12の側壁の上端で第1の酸化膜6と接続し、ゲートトレンチ12の側壁及び底部を覆うように形成される。

【0056】

次に、図29及び図30に示したように、第1の実施形態と同様に、ゲート電極を形成する工程(S80)により、ゲート電極15が、ゲート絶縁膜13を介してゲートトレンチ12内に形成される。ゲート電極15の形成は、第1の実施形態で説明したとおり、以下のように形成される。CVD法により、ポリシリコン14が、ゲート絶縁膜13を介してゲートトレンチ12を埋込むように、且つ基板3の第1の表面上全体に絶縁膜7を介して成膜される。その後、ポリシリコン14の表面全体が例えばCDE法によりエッチングされて、基板3の第1の表面上のポリシリコン14が除去され、ゲートトレンチ12内のポリシリコン14の上端が基板3の第1の表面より n^+ 形半導体層1側に到達したところで、エッチングが停止される。この結果、ゲート電極15の上端が基板3の第1の表面よ

り $n +$ 形半導体層 1 側に後退して、ゲート電極 15 がゲートトレンチ 12 内に形成される。ここで、ポリシリコン 14 が CDE 法によりエッチングされて、ゲート電極 15 の上端部が第 2 の酸化膜 8 よりも $n +$ 形半導体層 1 側に後退すると、絶縁膜 7 の側壁が露出し始める。絶縁膜 7 は CDE 法によりエッチングされるため、絶縁膜 7 がサイドエッチングされる。このサイドエッチングにより、絶縁膜 7 の側壁は、ゲートトレンチ 12 の側壁から絶縁膜 7 の内部に向かって後退する。すなわち、ゲート電極を形成する工程 (S80) の中で、絶縁膜をトレンチ側壁から後退させる工程 (S62) が実施される。

【0057】

この絶縁膜 7 の側壁がゲートトレンチ 12 の側壁から後退した距離が、絶縁膜 7 の側壁の垂直方向における後述の層間絶縁膜 16 の底部分の長さを決める。この層間絶縁膜 16 の底部分の長さは、コンタクトトレンチ 17 が、ゲートトレンチ 12 から離間する距離を決める。従って、層間絶縁膜 16 の底部分の長さをさらに増加させたいときは、上記ゲート電極を形成する工程終了後 (CDE 法によるポリシリコン 14 のエッチング終了後) に、絶縁膜をトレンチ側壁から後退させる工程 (S62) の中で、さらに絶縁膜 7 のサイドエッチングを追加すればよい。絶縁膜 7 のサイドエッチングの追加としては、ゲート電極 15 をレジストなどによりマスクして、CDE 法又はウエットエッチング等によるエッチングが可能である。又は、ポリシリコンをエッチングしないで絶縁膜 7 を選択的にエッチングするエッチング方法が可能である。

【0058】

絶縁膜をトレンチ側壁から後退させる工程 (S62) の完了後、絶縁膜 7 上の第 2 の酸化膜 8 が、例えば、弗化水素を含んだエッチング液を用いたウエットエッチングにより除去される。この第 2 の酸化膜の除去において、ゲート絶縁膜 13 のうちのゲート電極 15 の上端より上に露出した部分、及び第 1 の酸化膜のうちのゲートトレンチ 12 の側壁と絶縁膜 7 の側壁との間に露出した部分が、第 2 の酸化膜 8 と同時に除去される。この結果、図 31 に示したように、 $n +$ 形ソース層 5 (基板 3 の第 1 の表面) におけるゲートトレンチ 12 の側壁から絶縁膜 7 の側壁に至る部分が表面に露出する。

【0059】

なお、本実施形態では、前述のように、図 2 に示した、 p 形ベース層の表面に $n +$ 形ソース層を形成する工程 (S30) が、図 3 に示した、パターンを有する絶縁膜を基板表面上に形成する工程 (S40) より前に実施されることで、 $n +$ 形ソース層 5 が、 p 形ベース層 4 の表面に形成される。しかしながら、図 32 に示したように、上記絶縁膜をトレンチ側壁から後退させる工程 (S62) の後に、 p 形ベース層の表面に $n +$ 形ソース層を形成する工程 (S30) が実施されることも可能である。この場合、表面に露出した、 p 形ソース層 4 (基板 3 の第 1 の表面) におけるゲートトレンチ 12 の側壁から絶縁膜 7 の側壁に至る部分に n 形不純物がイオン注入されて、 $n +$ 形ソース層 5 が形成される。第 1 の実施形態と同様に、 n 形不純物の拡散が弱い条件では、絶縁膜 7 の直下の基板 3 の第 1 の表面には、ソース層 5 が形成されずに p 形ベース層 4 が形成された状態になる。このような状態でも、以後の本実施形態の工程を実施することにより半導体装置を製造することは可能である。

【0060】

以上の工程を有する、中間生成物を用意する工程 (S102) を実施することで、図 31 に示された、 $n +$ 形半導体層 1、 $n -$ 形半導体層 2、 p 形ベース層 4、及び $n +$ 形ソース層 5 を有する基板 3 と、基板 3 の第 1 の表面から p 形ベース層 4 を貫通し $n -$ 形半導体層 2 中に至る複数のゲートトレンチ内に、ゲート絶縁膜を介して設けられた複数のゲート電極 15 と、隣り合うゲートトレンチ 12 の間に挟まれた基板 3 の第 1 の表面の上に設けられ、隣り合うゲートトレンチの側壁から後退した側壁を有する絶縁膜 7 と、を有する中間生成物 102A が用意される。

【0061】

この後、第 1 の実施形態と同様に、図 11 ~ 図 15 に示したように、層間絶縁膜を形成する工程 (S200)、絶縁膜を除去する工程 (S300)、コンタクトトレンチを形成

10

20

30

40

50

する工程 (S400)、 p^+ 形コンタクト層を形成する工程 (S500)、ドレイン電極を形成する工程 (S600)、及びソース電極を形成する工程 (S700) が実施され、半導体装置が製造される。ここで、本実施形態では、前述したように、 p 形ベース層の表面に n^+ 形ソース層を形成する工程 (S30) が、 n^- 形半導体層表面に p 形ベース層を形成する工程 (S20) と、パターンを有する絶縁膜を基板表面上に形成する工程 (S40) との間で実施されている。しかしながら、第1の実施形態と同様に、図11に示した絶縁膜を除去する工程 (S300) の最後の工程の一部又はその工程の直後に、 p 形ベース層の表面に n^+ 形ソース層を形成する工程 (S30) が実施されてもよい。すなわち、図11の絶縁膜7が除去されて絶縁膜7の直下の第1の酸化膜6が露出した状態で、又は、さらに第1の酸化膜6が除去されて基板3の第1の表面 (p 形ベース層4の表面) が露出した状態で、層間絶縁膜16をマスクに用いて、砒素又は燐などの n 形不純物のイオン注入及びその後の熱処理が実施される (熱処理は、この後の他の高温プロセスで代わりに実施されても良い) ことで、図11に示されたように n^+ 形ソース層5が形成されてもよい。

10

20

30

40

50

【0062】

本実施形態に係る半導体装置の製造方法においても、第1の実施形態に係る半導体装置の製造方法と同様に、中間生成物を用意する工程 (S102) を実施することにより、図31に示されたように、 n^+ 形半導体層1、 n^- 形半導体層2、 p 形ベース層4、及び n^+ 形ソース層5を有する基板3と、基板3の第1の表面から p 形ベース層4を貫通し n^- 形半導体層2中に至る複数のゲートトレンチ内に、ゲート絶縁膜13を介して設けられた複数のゲート電極15と、隣り合うゲートトレンチ12の間に挟まれた基板3の第1の表面上に設けられ、隣り合うゲートトレンチ12の側壁から後退した側壁を有する絶縁膜7と、を有する中間生成物102Aが用意される。この中間生成物102Aを用いて、層間絶縁膜を形成する工程 (S200) により、中間生成物102Aの n^+ 形ソース層5におけるゲートトレンチ12の側壁から絶縁膜7の側壁に至る部分の上、及びゲート電極の上、を覆うように、層間絶縁膜16が形成される。すなわち、層間絶縁膜16は、 n^+ 形ソース層5におけるゲートトレンチ12の側壁から絶縁膜7の側壁に至る部分を覆っている部分 (底部分) と、ゲート電極を覆う部分 (ゲート電極部分) と、を有する。そして、コンタクトトレンチを形成する工程 (S400) において、層間絶縁膜16をマスクに用いてエッチングすることにより、コンタクトトレンチ17が、基板3の第1の表面 (n^+ 形ソース層4の表面) から p 形ベース層4中に延伸するように形成される。

【0063】

以上のようにして、隣り合うゲートトレンチ12の間にコンタクトトレンチ17が形成されることで、コンタクトトレンチ17形成のためのマスク合わせが不要となるので、マスク合わせ不良による半導体装置の特性不良を抑制することができる。また、マスクに用いる層間絶縁膜16が、上記底部分を有することで、コンタクトトレンチ17とゲートトレンチ12との間隔を制御性よく確保できるため、半導体装置のオン抵抗を制御性よく低減できる。すなわち、本実施形態の半導体装置の製造方法によれば、コンタクトトレンチ形成のマスク合わせ不良が低減され、オン抵抗が低い半導体装置が制御性よく提供される。

【0064】

またさらに、本実施形態の半導体装置の製造方法では、層間絶縁膜16が底部分を有し、この底部分の幅がゲートトレンチ12とコンタクトトレンチ17との間隔を決めている。この底部分の幅は、図25を用いて前述したように、絶縁膜7の側壁がゲートトレンチ12の側壁から後退した距離により決まる。この距離は、絶縁膜7をサイドエッチングするエッチング時間で制御することができる。このため、ゲートトレンチ12とコンタクトトレンチ17との間隔を決めるためのマスクあわせも不要であり、絶縁膜7のサイドエッチング時間で、ゲートトレンチ12とコンタクトトレンチ17との間隔を制御することが可能となる。

【0065】

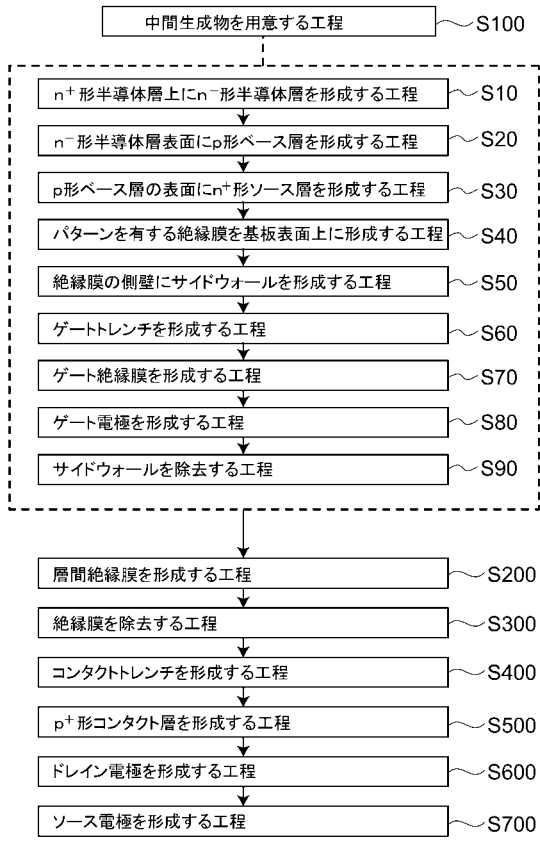
本発明のいくつかの実施形態を説明したが、これらの実施形態は、例として提示したものであり、発明の範囲を限定することは意図していない。これら新規な実施形態は、その他の様々な形態で実施されることが可能であり、発明の要旨を逸脱しない範囲で、種々の省略、置き換え、変更を行うことができる。これら実施形態やその変形は、発明の範囲や要旨に含まれるとともに、特許請求の範囲に記載された発明とその均等の範囲に含まれる。

【符号の説明】

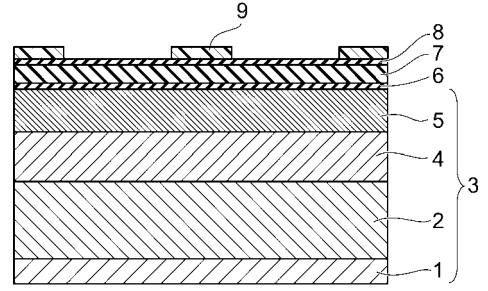
【0066】

1	n ⁺ 形半導体層	
2	n ⁻ 形エピタキシャル層	10
3	基板	
4	p形ベース層	
5	n ⁺ 形ソース層	
6、8、10	シリコン酸化膜	
7	絶縁膜	
9	レジストマスク	
11	サイドウォール	
12	ゲートトレンチ	
13	ゲート絶縁膜	
14	ポリシリコン	20
15	ゲート電極	
16	層間絶縁膜	
17	コンタクトトレンチ	
18	p ⁺ 形コンタクト層	
19	ドレイン電極	
20	ソース電極	
100A、101A、102A	中間生成物	

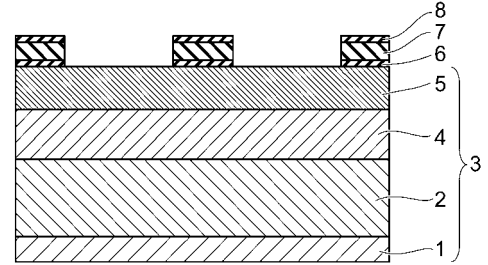
【 図 1 】



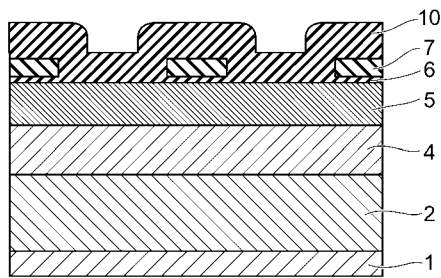
【 図 2 】



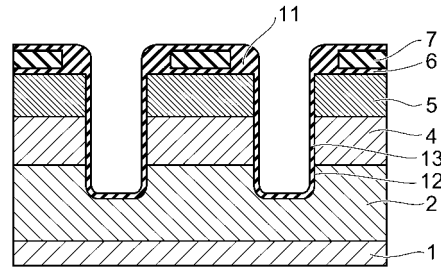
【 図 3 】



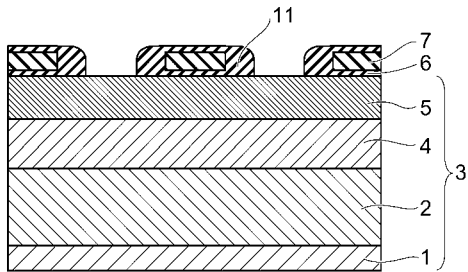
【 図 4 】



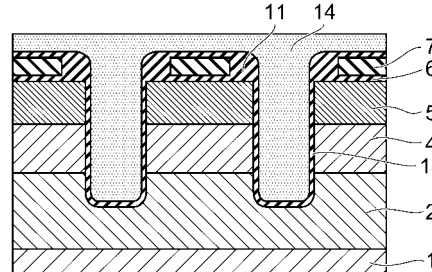
【 図 6 】



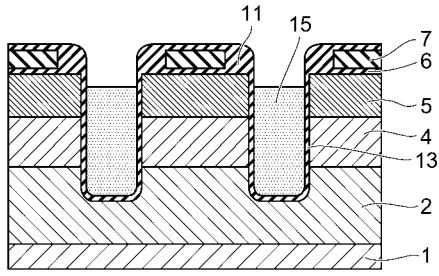
【 図 5 】



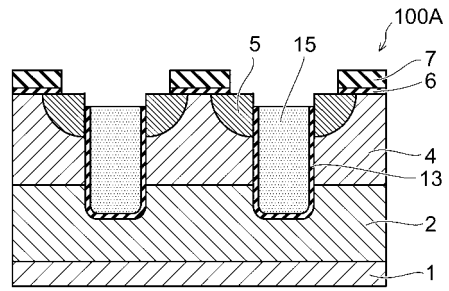
【 図 7 】



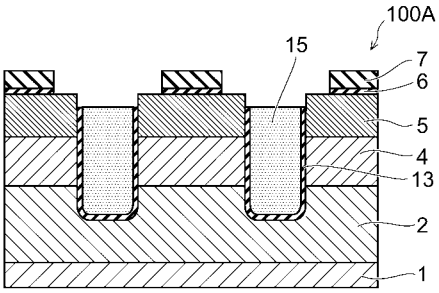
【図 8】



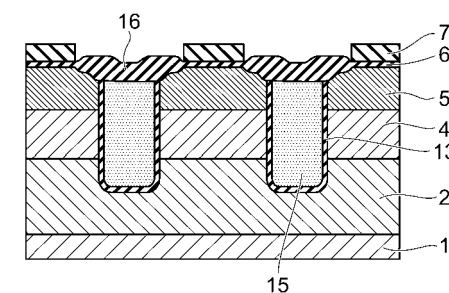
【図 10】



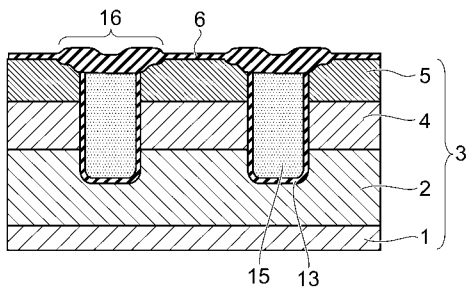
【図 9】



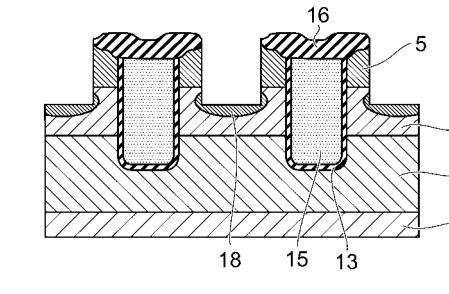
【図 11】



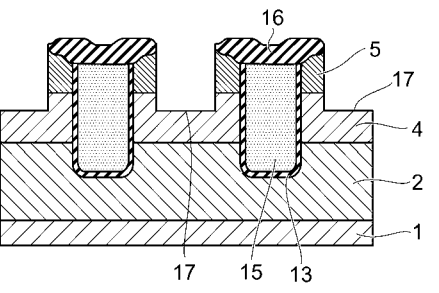
【図 12】



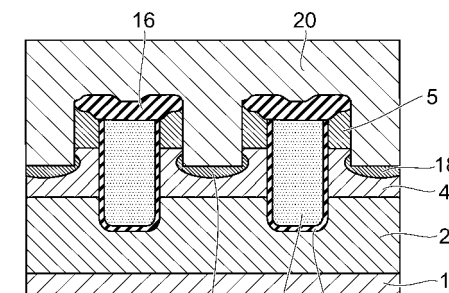
【図 14】



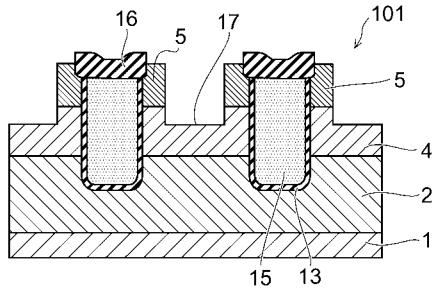
【図 13】



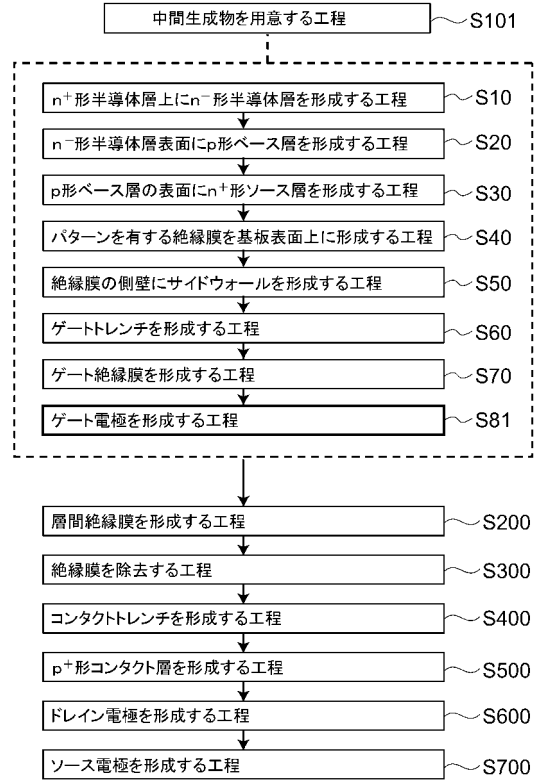
【図 15】



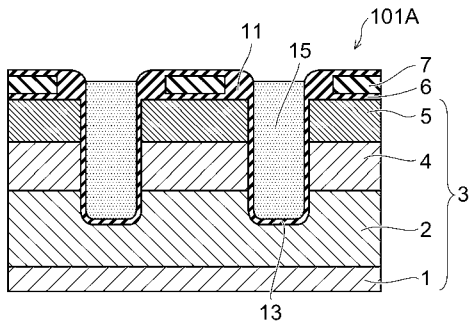
【図16】



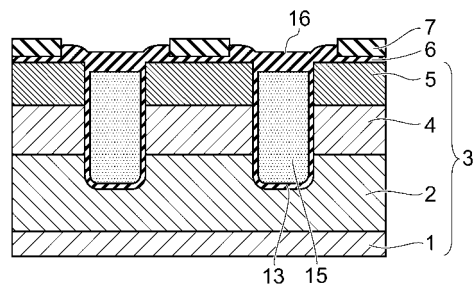
【図17】



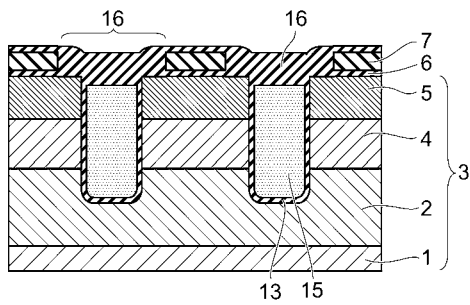
【図18】



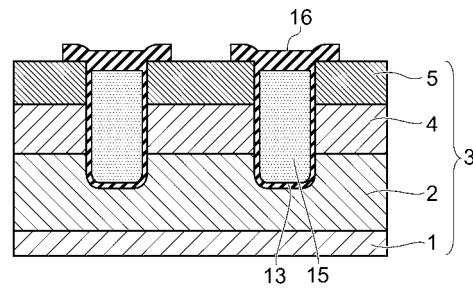
【図20】



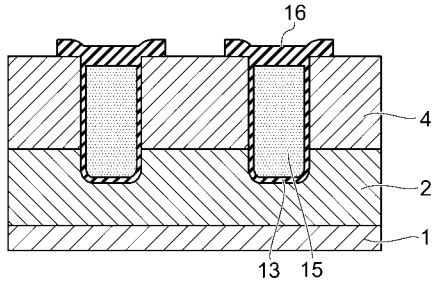
【図19】



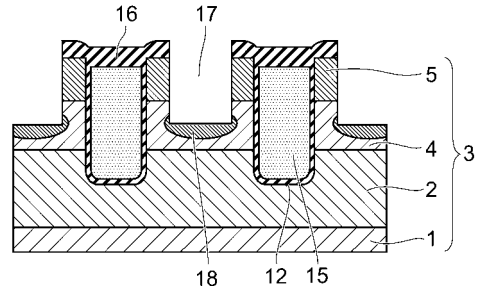
【図21】



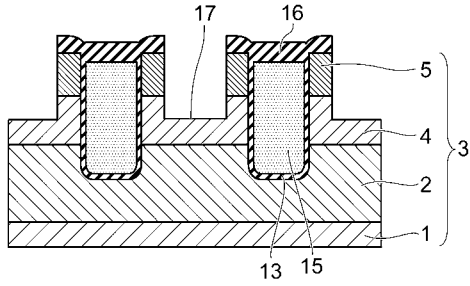
【図 2 2】



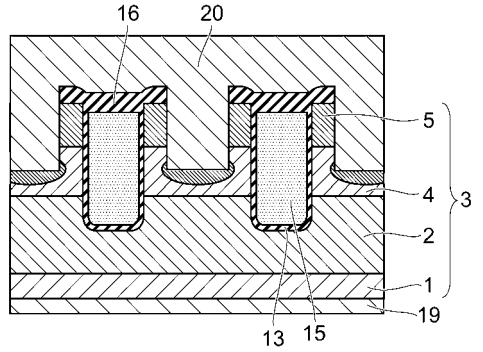
【図 2 4】



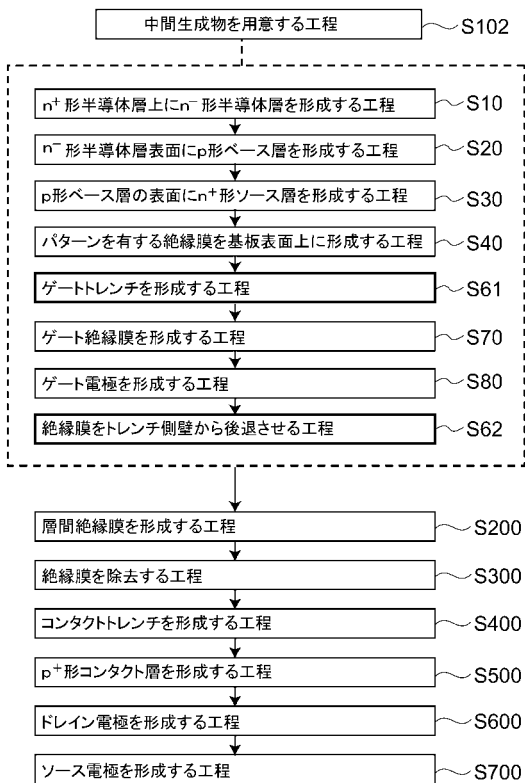
【図 2 3】



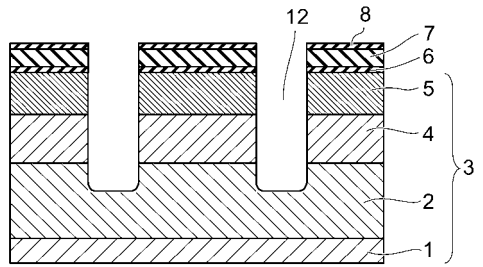
【図 2 5】



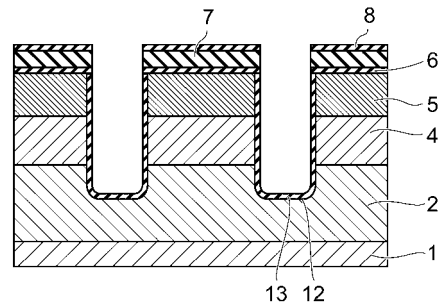
【図 2 6】



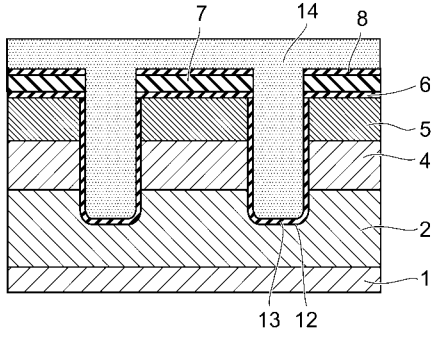
【図 2 7】



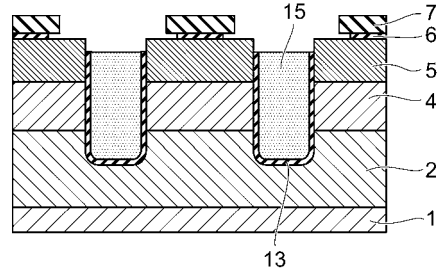
【図 2 8】



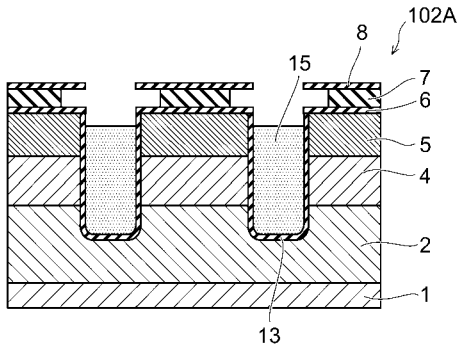
【図 29】



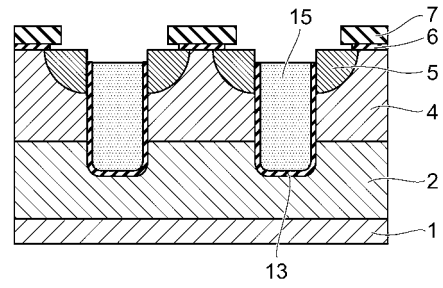
【図 31】



【図 30】



【図 32】



フロントページの続き

(72)発明者 松田 哲朗
東京都港区芝浦一丁目1番1号 株式会社東芝内