

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2017年1月12日(12.01.2017)



(10) 国際公開番号

WO 2017/006711 A1

- (51) 国際特許分類:
H01L 29/739 (2006.01) H01L 29/78 (2006.01)
H01L 27/04 (2006.01)
- (21) 国際出願番号: PCT/JP2016/067595
- (22) 国際出願日: 2016年6月13日(13.06.2016)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2015-136177 2015年7月7日(07.07.2015) JP
- (71) 出願人: 富士電機株式会社(FUJI ELECTRIC CO., LTD.) [JP/JP]; 〒2109530 神奈川県川崎市川崎区田辺新田1番1号 Kanagawa (JP).
- (72) 発明者: 内藤 達也(NAITO Tatsuya); 〒2109530 神奈川県川崎市川崎区田辺新田1番1号 富士電機株式会社内 Kanagawa (JP).
- (74) 代理人: 龍華国際特許業務法人(RYUKA IP LAW FIRM); 〒1631522 東京都新宿区西新宿1-6-1 新宿エルタワー22階 Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA,

BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

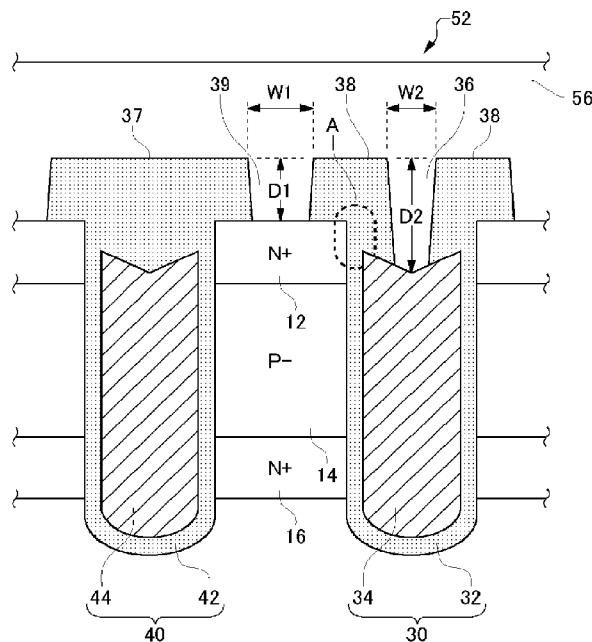
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

- 国際調査報告 (条約第 21 条(3))
- 補正された請求の範囲 (条約第 19 条(1))

(54) Title: SEMICONDUCTOR DEVICE

(54) 発明の名称: 半導体装置



(57) Abstract: The present invention improves reliability of an insulating film on an inner wall of a trench. Provided is a semiconductor device that is equipped with: a semiconductor substrate; a dummy trench section formed on the front surface of the semiconductor substrate; and a first front surface-side electrode, which is formed above the front surface of the semiconductor substrate, and which contains a metal. The dummy trench section has: a dummy trench formed in the front surface of the semiconductor substrate; an insulating film formed on the inner wall of the dummy trench; a dummy conductive section formed on the side further toward the inside than the insulating film, said dummy conductive section being formed in the dummy trench; and a protection section, which has an opening from which at least a part of the dummy conductive section is exposed, and which covers the insulating film on the front surface of the semiconductor substrate. The first front surface-side electrode has a portion formed in the opening of the protection section, said first front surface-side electrode being in contact with the dummy conductive section.

(57) 要約: トレンチの内壁の絶縁膜の信頼性を向上させる。半導体基板と、半導体基板の表面に形成されたダミートレンチ部と、半導体基板の表面の上方に形成された、金属を含む

第1表面側電極とを備え、ダミートレンチ部は、半導体基板の表面に形成されたダミートレンチと、ダミートレンチの内壁に形成された絶縁膜と、ダミートレンチの内部において絶縁膜よりも内側に形成されたダミー導電部と、ダミー導電部の少なくとも一部を露出させる開口を有し、且つ、半導体基板の表面において絶縁膜を覆う保護部とを有し、第1表面側電極は、保護部の開口内に形成された部分を有し、ダミー導電部と接触する半導体装置を提供する。

WO 2017/006711 A1

明 細 書

発明の名称：半導体装置

技術分野

[0001] 本発明は、半導体装置に関する。

背景技術

[0002] 従来、半導体素子において基板表面に設けたトレンチ内にゲート等の電極を形成する構成が知られている（例えば、特許文献1参照）。トレンチの内壁に沿って絶縁膜が形成され、絶縁膜の内側にポリシリコン等の電極が形成される。

[先行技術文献]

[特許文献]

特許文献1 特開2002-353456号公報

発明の概要

発明が解決しようとする課題

[0003] 半導体素子を微細化していくと、トレンチの内壁に形成された絶縁膜も薄くなる。その結果、トレンチ開口付近における絶縁膜の信頼性が低下してしまう。

課題を解決するための手段

[0004] 本発明の一つの態様においては、半導体基板と、ダミートレンチ部と、第1表面側電極とを備える半導体装置を提供する。ダミートレンチ部は、半導体基板の表面に形成されてよい。第1表面側電極は、半導体基板の表面の上方に形成されてよい。第1表面側電極は、金属を含んでよい。ダミートレンチ部は、ダミートレンチと、絶縁膜と、ダミー導電部と、保護部とを有してよい。ダミートレンチは、半導体基板の表面に形成されてよい。絶縁膜は、ダミートレンチの内壁に形成されてよい。ダミー導電部は、ダミートレンチの内部において絶縁膜よりも内側に形成されてよい。保護部は、ダミー導電部の少なくとも一部を露出させる開口を有し、且つ、半導体基板の表面にお

いて絶縁膜を覆ってよい。第1表面側電極は、保護部の開口内に形成された部分を有してよい。第1表面側電極は、ダミー導電部と接触してよい。

[0005] 半導体装置は、ゲートトレンチ部を更に備えてよい。ゲートトレンチ部は、半導体基板の表面に形成されてよい。ゲートトレンチ部は、ゲートトレンチと、絶縁膜と、ゲート導電部と、ゲート絶縁部とを有してよい。ゲートトレンチは、半導体基板の表面に形成されてよい。絶縁膜は、ゲートトレンチの内壁に形成されてよい。ゲート導電部は、ゲートトレンチの内部において絶縁膜よりも内側に形成されてよい。ゲート絶縁部は、ゲート導電部の上方に設けられてよい。ゲート絶縁部は、ゲート導電部と第1表面側電極とを絶縁してよい。

[0006] ゲート絶縁部は、半導体基板の表面においてゲートトレンチを覆って設けられてよい。保護部に形成された開口の幅は、互いに隣接して設けられた保護部およびゲート絶縁部の距離よりも小さくてよい。

[0007] 第1表面側電極は、ダミープラグ部と、電極部とを有してよい。ダミープラグ部は、保護部の開口内に形成されてよい。ダミープラグ部は、ダミー導電部と接触してよい。ダミープラグ部は、金属であってよい。電極部は、ダミープラグ部の上方に形成されてよい。電極部は、ダミープラグ部とは材料の異なる金属であってよい。

[0008] ダミープラグ部は、タングステンを含んでよい。

[0009] 第1表面側電極は、メサプラグ部を更に備えてよい。メサプラグ部は、ダミープラグ部と同一の材料で形成されてよい。メサプラグ部は、保護部およびゲート絶縁部の間に形成されてよい。メサプラグ部は、半導体基板の表面に接触してよい。

[0010] ダミープラグ部は、メサプラグ部よりも深さ方向において長くてよい。

[0011] ダミートレンチ部は、半導体基板の表面において予め定められた延伸方向に延伸して形成されてよい。ゲートトレンチ部は、対向部と、突出部とを有してよい。対向部は、ダミートレンチ部と対向する範囲において延伸方向に延伸して形成されてよい。突出部は、対向部から更に延伸して、ダミートレ

ンチ部と対向しない範囲に形成されてよい。半導体装置は、第2表面側電極を更に備えてよい。第2表面側電極は、突出部の上方に形成されてよい。突出部におけるゲート導電部が、第2表面側電極と電氣的に接続してよい。

[0012] 突出部のゲート絶縁部は、ゲート導電部を露出させる開口を有してよい。第2表面側電極は、ゲートプラグ部を有してよい。第2表面側電極は、ゲート絶縁部の開口内に形成されてよい。第2表面側電極は、ゲート導電部と接触してよい。第2表面側電極は、金属であってよい。

[0013] ゲートプラグ部は、ダミープラグ部と同一の材料で形成されてよい。

[0014] ゲートプラグ部は、ダミープラグ部と深さ方向において同一の長さを有してよい。

[0015] なお、上記の発明の概要は、本発明の特徴の全てを列挙したものではない。また、これらの特徴群のサブコンビネーションもまた、発明となりうる。

図面の簡単な説明

[0016] [図1]半導体装置100の一例を示す平面図である。

[図2]図1におけるa-a'断面の一例を示す図である。

[図3]ダミートレンチ部30およびゲートトレンチ部40の周辺の構造を拡大した拡大断面図である。

[図4]図1におけるb-b'断面の一例を示す図である。

[図5]比較例に係る半導体装置200の構成を示す図である。

[図6]図5におけるc-c'断面を示す図である。

[図7]図5におけるd-d'断面を示す図である。

発明を実施するための形態

[0017] 以下、発明の実施の形態を通じて本発明を説明するが、以下の実施形態は請求の範囲にかかる発明を限定するものではない。また、実施形態の中で説明されている特徴の組み合わせの全てが発明の解決手段に必須であるとは限らない。

[0018] 図1は、半導体装置100の一例を示す平面図である。本例の半導体装置100は、IGBT (Insulated Gate Bipolar T

ransistor)等のトランジスタを含むトランジスタ部70、および、FWD(Free Wheel Diode)等のダイオードを含むダイオード部80を有する半導体チップである。図1においてはチップ端部周辺のチップ表面を示しており、他の領域を省略している。

[0019] また、図1においては半導体装置100における半導体基板の活性領域を示すが、半導体装置100は、活性領域を囲んで耐圧構造部を有してよい。活性領域は、半導体装置100をオン状態に制御した場合に電流が流れる領域を指す。耐圧構造部は、半導体基板の表面側の電界集中を緩和する。耐圧構造部は、例えばガードリング、フィールドプレート、リサーフおよびこれらを組み合わせた構造を有する。

[0020] 本例の半導体装置100は、チップの表面側において、ゲート電極50、エミッタ電極52、ゲートトレンチ部40、ダミートレンチ部30、エミッタトレンチ部60、ウェル領域17、エミッタ領域12、ベース領域14、コンタクト領域15、コンタクトホール54およびコンタクトホール55を有する。エミッタ電極52は、第1表面側電極の一例であり、ゲート電極50は第2表面側電極の一例である。

[0021] ゲートトレンチ部40、ダミートレンチ部30、エミッタトレンチ部60、ウェル領域17、エミッタ領域12、ベース領域14およびコンタクト領域15は、半導体基板の表面側の内部に形成され、エミッタ電極52およびゲート電極50は、半導体基板の表面の上方に設けられる。

[0022] エミッタ電極52およびゲート電極50と、半導体基板の表面との間には層間絶縁膜が形成されるが、図1では省略している。コンタクトホール54およびコンタクトホール55は、当該層間絶縁膜を貫通して形成される。エミッタ電極52は、コンタクトホール54を通して半導体基板と接触する。ゲート電極50は、コンタクトホール55を通して半導体基板と接触する。

[0023] エミッタ電極52およびゲート電極50は、金属を含む材料で形成される。例えば、各電極の少なくとも一部の領域はアルミで形成される。各電極は、タングステンを含む材料で形成される領域を有してもよい。

- [0024] 1以上のゲートトレンチ部40および1以上のダミートレンチ部30は、トランジスタ部70の領域において所定の配列方向に沿って所定の間隔で配列される。ダミートレンチ部30は、半導体基板の表面において予め定められた延伸方向に延伸して形成される。本例におけるダミートレンチ部30は直線形状を有しており、上述した配列方向とは垂直な方向に延伸して形成される。
- [0025] ゲートトレンチ部40は、対向部41および突出部43を有する。対向部41は、ダミートレンチ部30と対向する範囲において、上述した延伸方向に延伸して形成される。つまり、対向部41は、ダミートレンチ部30と平行に形成される。突出部43は、対向部41から更に延伸して、ダミートレンチ部30と対向しない範囲に形成される。本例において、ダミートレンチ部30の両側に設けられた2つの対向部41が、1つの突出部43により接続される。突出部43の少なくとも一部は曲線形状を有してよい。
- [0026] 突出部43を覆う絶縁層に、コンタクトホール55が形成される。コンタクトホール55は、突出部43において対向部41から最も離れた領域に対応して形成されてよい。本例の突出部43は、対向部41から最も離れた領域において、対向部41とは直交する方向に延伸する部分を有する。コンタクトホール55は、突出部43の当該部分に対応して形成されてよい。
- [0027] エミッタトレンチ部60は、ダイオード部80の領域に設けられる。エミッタトレンチ部60は、ゲートトレンチ部40と同様の形状を有してよい。ただし、エミッタトレンチ部60の延伸方向における長さは、ゲートトレンチ部40よりも短くてよい。本例のエミッタトレンチ部60の長さは、ダミートレンチ部30と同一である。
- [0028] ゲート電極50は、突出部43の一部を覆って形成される。ゲート電極50は、突出部43においてコンタクトホール55が設けられた部分を覆って形成される。本例のゲート電極50は、対向部41、ダミートレンチ部30およびエミッタトレンチ部60の上方には形成されない。
- [0029] エミッタ電極52は、ゲートトレンチ部40、ダミートレンチ部30、エ

ミッタトレンチ部 60、ウェル領域 17、エミッタ領域 12、ベース領域 14 およびコンタクト領域 15 の上方に形成される。本例のエミッタ電極 52 は、ウェル領域 17 およびゲートトレンチ部 40 の一部を覆って形成される。

[0030] ウェル領域 17 は、ゲート電極 50 が設けられる側の半導体基板の端部から、所定の範囲で形成される。ウェル領域 17 の拡散深さは、ゲートトレンチ部 40、ダミートレンチ部 30、エミッタトレンチ部 60 の深さよりも深くてもよい。ダミートレンチ部 30、エミッタトレンチ部 60 および対向部 41 の、ゲート電極 50 側の一部の領域はウェル領域 17 に形成される。ダミートレンチ部 30 の延伸方向の端の底は、ウェル領域 17 に覆われていてよい。突出部 43 は、全体がウェル領域 17 に形成されてよい。半導体基板は第 1 導電型を有し、ウェル領域 17 は半導体基板とは異なる第 2 導電型を有する。本例の半導体基板は N 型であり、ウェル領域 17 は P 型である。本例においては、第 1 導電型を N 型として、第 2 導電型を P 型として説明する。ただし、第 1 および第 2 導電型は逆の導電型であってもよい。

[0031] 各トレンチ部に挟まれる領域には、ベース領域 14 が形成される。ベース領域 14 は、ウェル領域 17 よりも不純物濃度の低い第 2 導電型である。本例のベース領域 14 は P 型である。

[0032] ベース領域 14 の表面には、ベース領域 14 よりも不純物濃度の高い第 2 導電型のコンタクト領域 15 が形成される。本例のコンタクト領域 15 は P 型である。また、トランジスタ部 70 においては、コンタクト領域 15 の表面の一部に、半導体基板よりも不純物濃度が高い第 1 導電型のエミッタ領域 12 が選択的に形成される。本例のエミッタ領域 12 は N 型である。

[0033] コンタクト領域 15 およびエミッタ領域 12 のそれぞれは、隣接する一方のトレンチ部から、他方のトレンチ部まで形成される。トランジスタ部 70 の 1 以上のコンタクト領域 15 および 1 以上のエミッタ領域 12 は、各トレンチ部に挟まれる領域において、トレンチ部の延伸方向に沿って交互に露出するように形成される。

- [0034] トランジスタ部 70 において、コンタクトホール 54 は、コンタクト領域 15、エミッタ領域 12 およびダミートレンチ部 30 の各領域の上方に形成される。コンタクトホール 54 は、ダミートレンチ部 30 の中央部、エミッタ領域 12 およびコンタクト領域 15 を露出させ、且つ、ダミートレンチ部 30 の端部およびゲートレンチ部 40 を露出させない。
- [0035] 本例の半導体装置 100 は、ダミートレンチ部 30 の延伸方向と平行な方向に延伸して形成された複数のコンタクトホール 54 を有する。具体的には、それぞれのダミートレンチ部 30 の中央に沿ってコンタクトホール 54 が形成される。当該コンタクトホール 54 は、ダミートレンチ部 30 の端部を露出させない。
- [0036] また、それぞれのダミートレンチ部 30 の両側に、ダミートレンチ部 30 と離間したコンタクトホール 54 が形成される。当該コンタクトホール 54 は、1 以上のコンタクト領域 15 および 1 以上のエミッタ領域 12 に渡って延伸して形成される。当該コンタクトホール 54 は、ベース領域 14 には形成されなくてよい。ダミートレンチ部 30 の両側に形成されたコンタクトホール 54 は、ダミートレンチ部 30 の中央に沿って形成されたコンタクトホール 54 と対向する範囲に設けられる。
- [0037] また、当該コンタクトホール 54 は、ゲートレンチ部 40 と離間して形成される。当該コンタクトホール 54 は、ゲートレンチ部 40 およびダミートレンチ部 30 の間のほぼ中央に配置されてよい。
- [0038] このような構成により、ダミートレンチ部 30 の中央部をエミッタ電極 52 に接触させつつ、ダミートレンチ部 30 の端部を層間絶縁膜で覆うことができる。このため、ダミートレンチ部 30 の内壁に形成される絶縁膜を保護することができる。
- [0039] また、ダイオード部 80 においても同様に、コンタクトホール 54 は、コンタクト領域 15、ベース領域 14 およびエミッタレンチ部 60 の各領域の上方に形成される。コンタクトホール 54 は、エミッタレンチ部 60 の中央部、コンタクト領域 15 およびベース領域 14 を露出させ、且つ、エミ

ットレンチ部60の端部を露出させない。本例のコンタクトホール54は、複数のベース領域14のうち、最もゲート電極50に近いベース領域14に対しては形成されない。本例においてトランジスタ部70のコンタクトホール54と、ダイオード部80のコンタクトホール54とは、各レンチ部の延伸方向において同一の長さを有する。

[0040] このような構成により、エミッタレンチ部60の中央部をエミッタ電極52に接触させつつ、エミッタレンチ部60の端部を層間絶縁膜で覆うことができる。このため、エミッタレンチ部60の内壁に形成される絶縁膜を保護することができる。

[0041] 図2は、図1におけるa-a'断面の一例を示す図である。本例の半導体装置100は、当該断面において、半導体基板10、エミッタ電極52およびコレクタ電極24を有する。本例の半導体基板10の表面には、ゲート絶縁部37および保護部38が形成される。本例のゲート絶縁部37および保護部38は、半導体基板10の表面に形成される層間絶縁膜の一部である。例えばゲート絶縁部37および保護部38は、半導体基板10の表面において所定のパターンで形成されたPSG膜またはBPSG膜等の絶縁膜の一部である。エミッタ電極52は、半導体基板10の表面に形成される。エミッタ電極52は、エミッタ端子53と電氣的に接続される。

[0042] コレクタ電極24は、半導体基板10の裏面に形成される。コレクタ電極24は、コレクタ端子と電氣的に接続される。エミッタ電極52およびコレクタ電極24は、金属等の導電材料で形成される。また本明細書において、基板、層、領域等の各部材のエミッタ電極52側の面を表面、コレクタ電極24側の面を裏面または底部と称する。また、エミッタ電極52とコレクタ電極24とを結ぶ方向を深さ方向と称する。

[0043] 半導体基板10は、シリコン基板であってよく、炭化シリコン基板、窒化物半導体基板等であってもよい。半導体基板10の表面側には、P型のベース領域14が形成される。また、N+型のエミッタ領域12が、ベース領域14の表面側における一部の領域に選択的に形成される。

- [0044] また、半導体基板 10 は、N+型の蓄積領域 16、N-型のドリフト領域 18、N-型のバッファ領域 20、P+型のコレクタ領域 22、および、N+型のカソード領域 82 を更に有する。蓄積領域 16 は、ベース領域 14 の裏面側に形成される。蓄積領域 16 の不純物濃度は、ドリフト領域 18 の不純物濃度よりも高い。
- [0045] 蓄積領域 16 は、隣接するトレンチ間に形成される。例えばトランジスタ部 70 において蓄積領域 16 は、ダミートレンチ部 30 およびゲートトレンチ部 40 の間に形成される。蓄積領域 16 は、ダミートレンチ部 30 およびゲートトレンチ部 40 の間の全領域を覆うように設けられてよい。蓄積領域 16 を設けることで、I_E 効果を高めて、オン電圧を低減することができる。
- [0046] ドリフト領域 18 は、蓄積領域 16 の裏面側に形成される。バッファ領域 20 は、ドリフト領域 18 の裏面側に形成される。バッファ領域 20 の不純物濃度は、ドリフト領域 18 の不純物濃度よりも高い。バッファ領域 20 は、ベース領域 14 の裏面側から広がる空乏層が、コレクタ領域 22 およびカソード領域 82 に到達することを防ぐフィールドストップ層として機能してよい。
- [0047] コレクタ領域 22 は、トランジスタ部 70 の領域において、バッファ領域 20 の裏面側に形成される。カソード領域 82 は、ダイオード部 80 の領域において、バッファ領域 20 の裏面側に形成される。また、コレクタ領域 22 およびカソード領域 82 の裏面にはコレクタ電極 24 が設けられる。
- [0048] 半導体基板 10 の表面側には、1 以上のゲートトレンチ部 40、1 以上のダミートレンチ部 30、および、1 以上のエミッタトレンチ部 60 が形成される。各トレンチ部は、半導体基板 10 の表面から、ベース領域 14 を貫通して、ドリフト領域 18 に到達する。本例においてゲートトレンチ部 40 およびダミートレンチ部 30 は、半導体基板 10 の表面から、エミッタ領域 12、ベース領域 14 および蓄積領域 16 を貫通して、ドリフト領域 18 に到達する。また、エミッタトレンチ部 60 は、半導体基板 10 の表面から、ベ

ース領域 14 および蓄積領域 16 を貫通して、ドリフト領域 18 に到達する。

[0049] ゲートトレンチ部 40 は、半導体基板 10 の表面側に形成されたゲートトレンチ、絶縁膜 42、ゲート導電部 44 およびゲート絶縁部 37 を有する。絶縁膜 42 は、ゲートトレンチの内壁を覆って形成される。絶縁膜 42 は、ゲートトレンチの内壁の半導体を酸化または窒化して形成してよい。ゲート導電部 44 は、ゲートトレンチの内部において絶縁膜 42 よりも内側に形成される。つまり絶縁膜 42 は、ゲート導電部 44 と半導体基板 10 とを絶縁する。ゲート導電部 44 は、ポリシリコン等の導電材料で形成される。

[0050] ゲート絶縁部 37 は、ゲート導電部 44 の上方に形成され、ゲート導電部 44 とエミッタ電極 52 とを絶縁する。本例のゲート絶縁部 37 は、半導体基板 10 の表面において、絶縁膜 42 およびゲート導電部 44 を覆って形成される。ゲート絶縁部 37 の幅は、ゲートトレンチ部 40 のトレンチの幅よりも大きい。

[0051] ゲート導電部 44 は、少なくとも隣接するベース領域 14 と対向する領域を含む。それぞれのゲート導電部 44 は、ゲート端子 51 に電氣的に接続される。本例では、図 1 に示したように突出部 43 においてゲート導電部 44 がゲート電極 50 と電氣的に接続する。また、ゲート電極 50 がゲート端子 51 に電氣的に接続する。ゲート端子 51 を介してゲート導電部 44 に所定の電圧が印加されると、ベース領域 14 のうちゲートトレンチに接する界面の表層にチャンネルが形成される。

[0052] ダミートレンチ部 30 は、半導体基板 10 の表面側に形成されたダミートレンチ、絶縁膜 32、保護部 38 およびダミー導電部 34 を有する。絶縁膜 32 は、ダミートレンチの内壁を覆って形成される。

[0053] ダミー導電部 34 は、ダミートレンチの内部において絶縁膜 32 よりも内側に形成される。絶縁膜 32 は、ダミー導電部 34 と半導体基板 10 とを絶縁する。ダミー導電部 34 は、ゲート導電部 44 と同一の材料で形成されてよい。例えばダミー導電部 34 は、ポリシリコン等の導電材料で形成される

。ダミー導電部 34 は、深さ方向においてゲート導電部 44 と同一の長さを有してよい。

[0054] 保護部 38 は、ダミー導電部 34 の少なくとも一部を露出させる開口（本例では、図 1 に示したダミートレンチ部 30 の中央に沿って形成されたコンタクトホール 54）を有し、且つ、半導体基板 10 の表面において絶縁膜 32 を覆う。保護部 38 は、半導体基板 10 の表面に露出する絶縁膜 32 の全体を覆うように形成される。保護部 38 は、半導体基板 10 の表面において絶縁膜 32 が露出する領域よりも広い領域を覆う。コンタクトホール 54 は、ダミー導電部 34 の表面の一部を露出させ、且つ、絶縁膜 32 を露出させない。エミッタ電極 52 は、保護部 38 に設けられたコンタクトホール 54 内に形成された部分を有する。エミッタ電極 52 は、当該部分によってダミー導電部 34 と接触する。

[0055] また、ゲート絶縁部 37 および保護部 38 の間にもコンタクトホール 54（本例では、図 1 に示したダミートレンチ部 30 の両側に形成されたコンタクトホール）が形成される。当該コンタクトホール 54 は、各トレンチの間のエミッタ領域 12 の表面を露出させる。なお図 1 に示したように、当該コンタクトホール 54 は、各トレンチの間のコンタクト領域 15 の表面も露出させる。

[0056] エミッタ電極 52 は、当該コンタクトホール 54 内に形成された部分を有する。エミッタ電極 52 は、当該部分によって、エミッタ領域 12 およびコンタクト領域 15 と接触する。

[0057] 本例の半導体装置 100 によれば、ダミートレンチ部 30 を設けることで、ドリフト領域へのキャリア注入促進効果（IE 効果）を高めてオン電圧を低減することができる。そして、ダミートレンチ部 30 における絶縁膜 32 を保護する保護部 38 を有する。このため、ダミートレンチ部 30 のトレンチ開口近傍の絶縁膜 32 の信頼性を向上させることができる。

[0058] 例えば、半導体装置 100 をワイヤボンディングした場合にトレンチ開口近傍の絶縁膜 32 に応力が生じて、絶縁膜 32 の絶縁性を維持することが

できる。また、半導体装置 100 を微細化するにつれて、トレンチ開口近傍において絶縁膜 32 の欠損が生じやすくなるが、保護部 38 を設けることで当該欠損をカバーして、絶縁性を維持することができる。

[0059] 本例においてゲートトレンチ部 40 およびダミートレンチ部 30 は、図 2 に示すように所定の配列方向において交互に配置される。また、各トレンチ部は一定の間隔で配置されてよい。ただし、各トレンチの配置は上記の例に限定されない。2 つのダミートレンチ部 30 の間に複数のゲートトレンチ部 40 が配置されてよい。また、それぞれのダミートレンチ部 30 の間に設けられるゲートトレンチ部 40 の数は一定でなくともよい。ダミートレンチ部 30 およびゲートトレンチ部 40 の深さ方向における長さは同一であってよい。

[0060] ダイオード部 80 は、トランジスタ部 70 と隣接した領域に設けられる。ダイオード部 80 は、トランジスタ部 70 と同一層のベース領域 14、蓄積領域 16、ドリフト領域 18 およびバッファ領域 20 を有する。ダイオード部 80 のバッファ領域 20 の裏面側にはカソード領域 82 が設けられる。また、ダイオード部 80 は、1 以上のエミッタトレンチ部 60 を有する。また、ダイオード部 80 には、エミッタ領域 12 が形成されない。

[0061] エミッタトレンチ部 60 は、ベース領域 14 の表面側からベース領域 14 および蓄積領域 16 を貫通して、ドリフト領域 18 まで到達して形成される。それぞれのエミッタトレンチ部 60 は、ダミートレンチ部 30 と同様に、絶縁膜 62、保護部 38 およびエミッタ導電部 64 を有する。エミッタトレンチ部 60 は、ダミートレンチ部 30 と同一の構造を有してよい。

[0062] 絶縁膜 62 は、エミッタトレンチの内壁を覆って形成される。エミッタ導電部 64 は、エミッタトレンチの内部において絶縁膜 62 よりも内側に形成される。絶縁膜 62 は、エミッタ導電部 64 と半導体基板 10 とを絶縁する。エミッタ導電部 64 は、ダミー導電部 34 と同一の材料で形成されてよい。例えばエミッタ導電部 64 は、ポリシリコン等の導電材料で形成される。エミッタ導電部 64 は、深さ方向においてダミー導電部 34 と同一の長さを

有してよい。

[0063] 保護部 38 は、エミッタ導電部 64 の少なくとも一部を露出させる開口（本例ではコンタクトホール 54）を有し、且つ、半導体基板 10 の表面において絶縁膜 62 を覆う。保護部 38 は、半導体基板 10 の表面に露出する絶縁膜 62 の全体を覆うように形成される。保護部 38 は、半導体基板 10 の表面において絶縁膜 62 が露出する領域よりも広い領域を覆う。コンタクトホール 54 は、エミッタ導電部 64 の表面の一部を露出させ、且つ、絶縁膜 62 を露出させない。エミッタ電極 52 は、保護部 38 に設けられたコンタクトホール 54 内に形成された部分を有する。エミッタ電極 52 は、当該部分によってエミッタ導電部 64 と接触する。本例の半導体装置 100 によれば、エミッタトレンチ部 60 のトレンチ開口近傍の絶縁膜 62 の信頼性を向上させることができる。

[0064] また、本例におけるトランジスタ部 70 におけるトレンチ部の間隔と、ダイオード部 80 におけるエミッタトレンチ部 60 の間隔とは同一である。図 2 に示すように、トランジスタ部 70 においてゲートトレンチ部 40 とダミートレンチ部 30 とが交互に配置されている場合、ゲートトレンチ部 40 とダミートレンチ部 30 との間隔と、エミッタトレンチ部 60 どうしの間隔とが同一であってよい。

[0065] 図 3 は、ダミートレンチ部 30 およびゲートトレンチ部 40 の周辺の構造を拡大した拡大断面図である。上述したように、ゲートトレンチ部 40 およびダミートレンチ部 30 は、半導体基板 10 の表面から、エミッタ領域 12、ベース領域 14 および蓄積領域 16 を貫通して形成される。

[0066] ダミートレンチ部 30 およびゲートトレンチ部 40 の各トレンチ内には、絶縁膜（32、42）および導電部（34、44）が形成される。本例においてダミートレンチ部 30 およびゲートトレンチ部 40 における絶縁膜（32、42）および導電部（34、44）の形状および大きさは同一である。

[0067] ゲート絶縁部 37 は、半導体基板 10 の表面においてゲートトレンチの全体を覆う。これに対して保護部 38 は、半導体基板 10 の表面に露出する絶

縁膜 32 の全体およびダミー導電部 34 の一部を覆う。保護部 38 には、ダミー導電部 34 の表面を露出させる開口が形成される。

[0068] ゲート絶縁部 37 および保護部 38 は離れて形成される。本例においては、隣接するゲート絶縁部 37 および保護部 38 の間には、所定の幅 $W1$ および深さ $D1$ を有する開口が形成される。ゲート絶縁部 37 に隣接する保護部 38 とは、1 以上の保護部 38 のうち、ゲート絶縁部 37 との距離が最も近い保護部 38 を指す。

[0069] 当該開口により、メサ部のエミッタ領域 12 が露出する。開口の幅は、ゲートトレンチ部 40 およびダミートレンチ部 30 を最短距離で結ぶ直線の方角における幅を指す。また、開口の幅は、半導体装置 100 の最も表面側における幅を指す。つまり、開口がエミッタ電極 52 側から半導体基板 10 側まで設けられている場合において、開口の幅はエミッタ電極 52 側における開口の幅を指す。

[0070] 保護部 38 に形成され、ダミー導電部 34 の表面を露出させる開口は、所定の幅 $W2$ および深さ $D2$ を有する。保護部 38 に形成された開口の幅 $W2$ は、ゲート絶縁部 37 および保護部 38 の間に形成された開口の幅 $W1$ よりも小さくてよい。幅 $W1$ を大きくすることで、エミッタ領域 12 とエミッタ電極 52 との接触面積を確保することができる。また、幅 $W2$ を小さくすることで、半導体装置 100 のサイズを小さくすることができる。ダミー導電部 34 とエミッタ電極 52 との間では電流が流れないので、開口の幅 $W2$ を小さくして抵抗が上昇しても損失が増大しない。

[0071] エミッタ電極 52 は、それぞれのダミートレンチ部 30 に対応して設けられたダミープラグ部 36、それぞれのメサ部に対応して設けられたメサプラグ部 39、および、電極部 56 を有する。

[0072] ダミープラグ部 36 は、保護部 38 の開口内に形成され、ダミー導電部 34 の表面と接触する。ダミー導電部 34 の表面は、中央が他の部分よりも窪んだ形状を有してよい。保護部 38 の開口はダミー導電部 34 の中央を露出させ、ダミープラグ部 36 はダミー導電部 34 の中央を含む領域と接触する

。ダミープラグ部 36 は、タングステンを含む材料で形成される。これにより、幅 W2 が小さい開口にも容易にダミープラグ部 36 を形成することができる。

[0073] ダミー導電部 34 の表面は、エミッタ領域 12 の表面よりも、半導体基板 10 の裏面側に配置されてよい。つまり、ダミー導電部 34 の表面は、エミッタ領域 12 の表面よりも半導体基板 10 の表面から見て深い位置に配置されてよい。本例のダミー導電部 34 は、縁部分がエミッタ領域 12 の表面よりも深い位置に配置される。この場合、ダミープラグ部 36 の深さ方向における長さ D2 は、メサプラグ部 39 の長さ D1 よりも長い。

[0074] 保護部 38 は、ダミー導電部 34 の表面の縁部分を覆う。このような構成により、図 3 の領域 A のような、ダミー導電部 34 の縁部分近傍における絶縁部材の欠損を防ぐことができる。

[0075] 領域 A では、半導体装置 100 を微細化するほど絶縁部材の欠損（例えばバースピークの発生）が生じやすい。これに対して半導体装置 100 によれば、保護部 38 を設けることで、ダミー導電部 34 と他の領域との絶縁信頼性を維持することができる。

[0076] メサプラグ部 39 は、保護部 38 およびゲート絶縁部 37 の間の開口内に形成され、半導体基板 10 の表面におけるエミッタ領域 12 と接触する。エミッタ領域 12 の表面は、ダミー導電部 34 の表面よりも平坦であってよい。表面がより平坦とは、表面における最大高低差がより小さいことを指す。メサプラグ部 39 は、ダミープラグ部 36 と同一の材料で形成されてよい。例えばメサプラグ部 39 は、タングステンを含む材料で形成される。

[0077] 電極部 56 は、ダミープラグ部 36 およびメサプラグ部 39 の上方に形成され、ダミープラグ部 36 およびメサプラグ部 39 と接続する。電極部 56 は、図 1 に示したエミッタ電極 52 が設けられる領域全体に形成されてよい。電極部 56 は、ダミープラグ部 36 とは異なる金属材料で形成されてよい。例えば電極部 56 はタングステンを含まない金属材料で形成される。一例として電極部 56 はアルミニウム電極である。なお、図 3 においてはダミー

トレンチ部 30 における保護部 38 およびダミープラグ部 36 を示したが、エミッタトレンチ部 60 における保護部 38 およびエミッタプラグ部も同一の構造を有してよい。

[0078] 図 4 は、図 1 における b-b' 断面の一例を示す図である。本例の半導体装置 100 は、当該断面において、半導体基板 10、層間絶縁膜 26、ゲート電極 50、エミッタ電極 52 およびコレクタ電極 24 を有する。層間絶縁膜 26 は、ゲート電極 50 およびエミッタ電極 52 と、半導体基板 10 との間に形成される。層間絶縁膜 26 には、開口（本例ではコンタクトホール 55）が形成される。

[0079] コンタクトホール 55 は、半導体基板 10 の表面において、ゲートトレンチ部 40 の突出部 43 におけるゲート導電部 44 の少なくとも一部を露出させる。ゲート電極 50 は、コンタクトホール 55 を通過して、突出部 43 におけるゲート導電部 44 と接触する。ゲート電極 50 は、コンタクトホール 55 内に形成された金属のゲートプラグ部 35 を有してよい。

[0080] ゲートプラグ部 35 は、ゲート導電部 44 の表面と接触する。ゲートプラグ部 35 は、ダミープラグ部 36 と同一の材料で形成されてよい。例えばゲートプラグ部 35 は、タングステンを含む金属材料で形成される。

[0081] ゲート導電部 44 は、図 3 に示したダミー導電部 34 と同一の形状を有してよい。この場合、ゲートプラグ部 35 も、図 3 に示したダミープラグ部 36 と同一の長さを有してよい。ゲートプラグ部 35 は、ダミープラグ部 36 と同一の幅を有してよい。ゲートプラグ部 35 の幅は、図 1 における b-b' 方向における幅を指す。本例におけるゲートプラグ部 35 の幅は、ダミートレンチ部 30 が延伸する延伸方向におけるゲートプラグ部 35 の幅を指す。

[0082] 次に、図 1 から図 4 に示した半導体装置 100 の製造方法の一例を説明する。ただし、半導体装置 100 の製造方法は本例に限定されない。まず、ドリフト領域 18 と同一の導電型（本例では N 型として説明する）の半導体基板 10 を準備する。

[0083] 次に、半導体基板 10 の表面に所定のパターンのエッチングマスクを設け

、ゲートトレンチ部40、ダミートレンチ部30およびエミッタトレンチ部60用の複数のトレンチを形成する。トレンチを形成した後、トレンチの内壁に絶縁膜を形成する。そして、トレンチの内部に導電材料を充填する。

[0084] 次に、半導体基板10の表面側からP型不純物を注入して、1100℃程度の温度で2時間程度の熱処理を行い、半導体基板10の表面全体に、トレンチよりも浅いP型ベース領域14を形成する。次に、半導体基板10の表面側からN型不純物を注入して、ベース領域14より深く、トレンチよりも浅いN+型蓄積領域16を形成する。例えば、加速電圧2.8MeV、 $5.0 \times 10^{12} / \text{cm}^2$ 程度でリンをイオン注入することで、N+型蓄積領域16を形成する。

[0085] 次に、エミッタ領域12に対応する部分が開口したマスクを用いて、半導体基板10の表面側からN型不純物を選択的に注入する。これにより、P型ベース領域14の内部にN+型エミッタ領域12を選択的に形成する。

[0086] その後、半導体基板10の表面側に所定のパターンの層間絶縁膜26を形成する。層間絶縁膜26の一部が、ゲート絶縁部37および保護部38として機能する。層間絶縁膜26は、半導体基板10の表面全体に絶縁膜を形成した後に、所定のマスクパターンでエッチングすることで形成できる。層間絶縁膜26には、コンタクトホール54およびコンタクトホール55が形成される。そして、エミッタ電極52およびゲート電極50を形成する。ゲートプラグ部35、ダミープラグ部36およびメサプラグ部39を形成してから、半導体基板10の表面に各電極を形成してよい。

[0087] 次に、半導体基板10の裏面側から例えば $1.0 \times 10^{14} / \text{cm}^2$ 程度でセレンをイオン注入した後、900℃程度の温度で2時間程度の熱処理を行う。これにより、半導体基板10の裏面側にN型のバッファ領域20を形成する。残った半導体基板10のN型の領域がドリフト領域18になる。拡散係数の大きいセレンを用いることで、深い位置にバッファ領域20を形成できる。また、バッファ領域20を形成する前に、半導体基板10を研磨して、厚みを調整してもよい。

- [0088] セレンのイオン注入に代えて、プロトンを異なるドーズ量で複数回イオン注入することで、N-型バッファ領域20を形成してもよい。これにより、不純物濃度が基板表面側から基板裏面側に向けて不純物濃度が増加するバッファ領域20を形成できる。
- [0089] 次に、半導体基板10の裏面側から例えば $1.0 \times 10^{13} / \text{cm}^2$ 以上、 $4.0 \times 10^{13} / \text{cm}^2$ 以下のドーズ量でP型不純物をイオン注入する。これにより、半導体基板10の裏面側に、バッファ領域20よりも薄いP+型コレクタ領域22を形成する。P型不純物のドーズ量が $1.0 \times 10^{13} / \text{cm}^2$ 未満の場合、コレクタ領域とコレクタ電極とがオーミック接合できないので、好ましくない。また、ダイオード部80においては、カソード領域82を形成する。そして、半導体基板10の裏面側にコレクタ電極24等を適宜形成する。
- [0090] 図5は、比較例に係る半導体装置200の構成を示す図である。半導体装置200は、トランジスタ部270およびダイオード部280を有する。また半導体装置200の表面側には、ゲート電極250、エミッタ電極252、ゲートトレンチ部240、ダミートレンチ部230、エミッタトレンチ部260、ウェル領域217、エミッタ領域212、ベース領域214、コンタクト領域215、コンタクトホール226、228、249、254およびポリシリコン層221、225、248を有する。
- [0091] 図6は、図5におけるc-c'断面を示す図である。半導体装置200は、当該断面において、半導体基板210、エミッタ電極252、絶縁部238およびコレクタ電極224を有する。また、ゲート端子251がゲート導電部244に電氣的に接続し、エミッタ端子253がエミッタ電極252に電氣的に接続する。
- [0092] 半導体基板210には、ゲートトレンチ部240、ダミートレンチ部230、エミッタトレンチ部260、エミッタ領域212、ベース領域214、蓄積領域216、ドリフト領域218、バッファ領域220、コレクタ領域222およびカソード領域282が形成される。ゲートトレンチ部240は

絶縁膜 242 およびゲート導電部 244 を有する。ダミートレンチ部 230 は、絶縁膜 232 およびダミー導電部 234 を有する。エミッタトレンチ部 260 は、絶縁膜 262 およびエミッタ導電部 264 を有する。

[0093] 絶縁部 238 は、ゲートトレンチ部 240 のそれぞれを覆う。ただし、絶縁部 238 は、ダミートレンチ部 230 およびエミッタトレンチ部 260 を覆わない。半導体基板 210 の表面に絶縁層を形成した後に、ダミートレンチ部 230 およびエミッタトレンチ部 260 を覆っている絶縁層をエッチングすることで、ゲートトレンチ部 240 を覆う絶縁部 238 を形成する。このため、ダミートレンチ部 230 およびエミッタトレンチ部 260 の各トレンチの開口近傍における絶縁膜 232、262 もエッチングされる場合があり、絶縁膜の信頼性が低下してしまう。この問題は、半導体装置 200 を微細化するほど顕著になる。これに対して半導体装置 100 は、保護部 38 を設けるので、各トレンチの開口近傍における絶縁膜の信頼性を維持することができる。

[0094] 図 7 は、図 5 における d-d' 断面を示す図である。半導体装置 200 は、当該断面において、半導体基板 210、エミッタ電極 252、ゲート電極 250、コレクタ電極 224、ポリシリコン層 221、ポリシリコン層 248 および絶縁部 238 を備える。

[0095] ポリシリコン層 221 およびポリシリコン層 248 は、半導体基板 210 の表面に形成され、各トレンチ内の導電部と、エミッタ電極 252 またはゲート電極 250 とを接続する。半導体装置 200 は、半導体基板 210 の表面に選択的にポリシリコン層 221 およびポリシリコン層 248 を有する。このため、半導体基板 210 の表面に凹凸が生じてしまい、絶縁部 238 等の半導体基板 210 の表面の上方に形成される層の形成が容易ではなくなる。

[0096] これに対して半導体装置 100 によれば、エミッタ電極 252 およびゲート電極 250 が、各トレンチ内の導電部と直接接触するので、半導体基板 100 の表面にポリシリコン層を設けなくともよい。このため、半導体基板 100

の表面に凹凸を低減することができる。

[0097] 以上、本発明を実施の形態を用いて説明したが、本発明の技術的範囲は上記実施の形態に記載の範囲には限定されない。上記実施の形態に、多様な変更または改良を加えることが可能であることが当業者に明らかである。その様な変更または改良を加えた形態も本発明の技術的範囲に含まれ得ることが、請求の範囲の記載から明らかである。

[0098] 請求の範囲、明細書、および図面中において示した装置、システム、プログラム、および方法における動作、手順、ステップ、および段階等の各処理の実行順序は、特段「より前に」、「先立って」等と明示しておらず、また、前の処理の出力を後の処理で用いるのでない限り、任意の順序で実現しうることに留意すべきである。請求の範囲、明細書、および図面中の動作フローに関して、便宜上「まず、」、「次に、」等を用いて説明したとしても、この順で実施することが必須であることを意味するものではない。

符号の説明

[0099] 10・・・半導体基板、12・・・エミッタ領域、14・・・ベース領域、15・・・コンタクト領域、16・・・蓄積領域、17・・・ウェル領域、18・・・ドリフト領域、20・・・バッファ領域、22・・・コレクタ領域、24・・・コレクタ電極、26・・・層間絶縁膜、30・・・ダミートレンチ部、32・・・絶縁膜、34・・・ダミー導電部、35・・・ゲートプラグ部、36・・・ダミープラグ部、37・・・ゲート絶縁部、38・・・保護部、39・・・メサプラグ部、40・・・ゲートトレンチ部、41・・・対向部、42・・・絶縁膜、44・・・ゲート導電部、43・・・突出部、50・・・ゲート電極、51・・・ゲート端子、52・・・エミッタ電極、53・・・エミッタ端子、54・・・コンタクトホール、55・・・コンタクトホール、56・・・電極部、60・・・エミッタトレンチ部、62・・・絶縁膜、64・・・エミッタ導電部、70・・・トランジスタ部、80・・・ダイオード部、82・・・カソード領域、100・・・半導体装置、200・・・半導体装置、210・・・半導体基板、212・・・エミッ

タ領域、２１４・・・ベース領域、２１５・・・コンタクト領域、２１６・・・蓄積領域、２１７・・・ウェル領域、２１８・・・ドリフト領域、２２０・・・バッファ領域、２２１・・・ポリシリコン層、２２２・・・コレクタ領域、２２４・・・コレクタ電極、２２５・・・ポリシリコン層、２２６・・・コンタクトホール、２２８・・・コンタクトホール、２３０・・・ダミートレンチ部、２３２・・・絶縁膜、２３４・・・ダミー導電部、２３８・・・絶縁部、２４０・・・ゲートトレンチ部、２４２・・・絶縁膜、２４４・・・ゲート導電部、２４８・・・ポリシリコン層、２４９・・・コンタクトホール、２５０・・・ゲート電極、２５１・・・ゲート端子、２５２・・・エミッタ電極、２５３・・・エミッタ端子、２５４・・・コンタクトホール、２６０・・・エミッタトレンチ部、２６２・・・絶縁膜、２６４・・・エミッタ導電部、２７０・・・トランジスタ部、２８０・・・ダイオード部、２８２・・・カソード領域

請求の範囲

- [請求項1] 半導体基板と、
 前記半導体基板の表面に形成されたダミートレンチ部と、
 前記半導体基板の表面の上方に形成された、金属を含む第1表面側電極と
 を備え、
 前記ダミートレンチ部は、
 前記半導体基板の表面に形成されたダミートレンチと、
 前記ダミートレンチの内壁に形成された絶縁膜と、
 前記ダミートレンチの内部において前記絶縁膜よりも内側に形成されたダミー導電部と、
 前記ダミー導電部の少なくとも一部を露出させる開口を有し、且つ、
 前記半導体基板の表面において前記絶縁膜を覆う保護部と
 を有し、
 前記第1表面側電極は、前記保護部の前記開口内に形成された部分を有し、前記ダミー導電部と接触する半導体装置。
- [請求項2] 前記半導体基板の表面に形成されたゲートトレンチ部を更に備え、
 前記ゲートトレンチ部は、
 前記半導体基板の表面に形成されたゲートトレンチと、
 前記ゲートトレンチの内壁に形成された絶縁膜と、
 前記ゲートトレンチの内部において前記絶縁膜よりも内側に形成されたゲート導電部と、
 前記ゲート導電部の上方に設けられ、前記ゲート導電部と前記第1表面側電極とを絶縁するゲート絶縁部と
 を有する
 請求項1に記載の半導体装置。
- [請求項3] 前記ゲート絶縁部は、前記半導体基板の表面において前記ゲートトレンチを覆って設けられ、

前記保護部に形成された開口の幅は、互いに隣接して設けられた前記保護部および前記ゲート絶縁部の距離よりも小さい

請求項 2 に記載の半導体装置。

[請求項4]

前記第 1 表面側電極は、

前記保護部の前記開口内に形成され、前記ダミー導電部と接触する金属のダミープラグ部と、

前記ダミープラグ部の上方に形成され、前記ダミープラグ部とは材料の異なる金属の電極部と

を有する請求項 2 に記載の半導体装置。

[請求項5]

前記ダミープラグ部はタングステンを含む

請求項 4 に記載の半導体装置。

[請求項6]

前記第 1 表面側電極は、前記ダミープラグ部と同一の材料で、前記保護部および前記ゲート絶縁部の間に形成され、前記半導体基板の表面に接触するメサプラグ部を更に備える

請求項 4 に記載の半導体装置。

[請求項7]

前記ダミープラグ部は、前記メサプラグ部よりも深さ方向において長い

請求項 6 に記載の半導体装置。

[請求項8]

前記ダミートレンチ部は、前記半導体基板の表面において予め定められた延伸方向に延伸して形成され、

前記ゲートトレンチ部は、

前記ダミートレンチ部と対向する範囲において前記延伸方向に延伸して形成された対向部と、

前記対向部から更に延伸して、前記ダミートレンチ部と対向しない範囲に形成された突出部と

を有し、

前記突出部の上方に形成された第 2 表面側電極を更に備え、

前記突出部における前記ゲート導電部が、前記第 2 表面側電極と電

氣的に接続する

請求項 4 から 7 のいずれか一項に記載の半導体装置。

[請求項9] 前記突出部の前記ゲート絶縁部は、前記ゲート導電部を露出させる開口を有し、

前記第 2 表面側電極は、前記ゲート絶縁部の前記開口内に形成され、前記ゲート導電部と接触する金属のゲートプラグ部を有する

請求項 8 に記載の半導体装置。

[請求項10] 前記ゲートプラグ部は、前記ダミープラグ部と同一の材料で形成される

請求項 9 に記載の半導体装置。

[請求項11] 前記ゲートプラグ部は、前記ダミープラグ部と深さ方向において同一の長さを有する

請求項 9 に記載の半導体装置。

補正された請求の範囲
[2016年11月4日(04.11.2016) 国際事務局受理]

[請求項1] (補正後)

半導体基板と、
前記半導体基板の表面に形成されたダミートレンチ部と、
前記半導体基板の表面の上方に形成された、金属を含む第1表面側電極と
を備え、
前記ダミートレンチ部は、
前記半導体基板の表面に形成されたダミートレンチと、
前記ダミートレンチの内壁に形成された絶縁膜と、
前記ダミートレンチの内部において前記絶縁膜よりも内側に形成されたダミー導電部と、
前記ダミー導電部の少なくとも一部を露出させる開口を有し、且つ、
前記半導体基板の表面において前記絶縁膜を覆う保護部と
を有し、
前記第1表面側電極は、前記保護部の前記開口内に形成された部分を有し、前記ダミー導電部と接触し、
前記ダミー導電部の表面の縁部分が、前記半導体基板のエミッタ領域の表面よりも深い位置に配置され、
前記保護部は、前記ダミー導電部の表面の縁部分を直接覆う半導体装置。

[請求項2] 前記半導体基板の表面に形成されたゲートトレンチ部を更に備え、
前記ゲートトレンチ部は、
前記半導体基板の表面に形成されたゲートトレンチと、
前記ゲートトレンチの内壁に形成された絶縁膜と、
前記ゲートトレンチの内部において前記絶縁膜よりも内側に形成されたゲート導電部と、

前記ゲート導電部の上方に設けられ、前記ゲート導電部と前記第 1 表面側電極とを絶縁するゲート絶縁部と

を有する

請求項 1 に記載の半導体装置。

[請求項3] 前記ゲート絶縁部は、前記半導体基板の表面において前記ゲートトレンチを覆って設けられ、

前記保護部に形成された開口の幅は、互いに隣接して設けられた前記保護部および前記ゲート絶縁部の距離よりも小さい

請求項 2 に記載の半導体装置。

[請求項4] 前記第 1 表面側電極は、

前記保護部の前記開口内に形成され、前記ダミー導電部と接触する金属のダミープラグ部と、

前記ダミープラグ部の上方に形成され、前記ダミープラグ部とは材料の異なる金属の電極部と

を有する請求項 2 に記載の半導体装置。

[請求項5] 前記ダミープラグ部はタングステンを含む

請求項 4 に記載の半導体装置。

[請求項6] 前記第 1 表面側電極は、前記ダミープラグ部と同一の材料で、前記保護部および前記ゲート絶縁部の間に形成され、前記半導体基板の表面に接触するメサプラグ部を更に備える

請求項 4 に記載の半導体装置。

[請求項7] 前記ダミープラグ部は、前記メサプラグ部よりも深さ方向において長い

請求項 6 に記載の半導体装置。

[請求項8] 前記ダミートレンチ部は、前記半導体基板の表面において予め定められた延伸方向に延伸して形成され、

前記ゲートトレンチ部は、

前記ダミートレンチ部と対向する範囲において前記延伸方向に延伸

して形成された対向部と、

前記対向部から更に延伸して、前記ダミートレンチ部と対向しない範囲に形成された突出部と

を有し、

前記突出部の上方に形成された第 2 表面側電極を更に備え、

前記突出部における前記ゲート導電部が、前記第 2 表面側電極と電氣的に接続する

請求項 4 から 7 のいずれか一項に記載の半導体装置。

[請求項9] 前記突出部の前記ゲート絶縁部は、前記ゲート導電部を露出させる開口を有し、

前記第 2 表面側電極は、前記ゲート絶縁部の前記開口内に形成され、前記ゲート導電部と接触する金属のゲートプラグ部を有する

請求項 8 に記載の半導体装置。

[請求項10] 前記ゲートプラグ部は、前記ダミープラグ部と同一の材料で形成される

請求項 9 に記載の半導体装置。

[請求項11] 前記ゲートプラグ部は、前記ダミープラグ部と深さ方向において同一の長さを有する

請求項 9 に記載の半導体装置。

[請求項12] (追加)

前記ゲート絶縁部および前記保護部は、前記半導体基板の表面において予め定められたパターンで形成された同一層の層間絶縁膜の一部である

請求項 2 から 11 のいずれか一項に記載の半導体装置。

[請求項13] (追加)

前記ゲート絶縁部および前記保護部は、前記半導体基板の表面において予め定められたパターンで形成された層間絶縁膜であり、

層間絶縁膜は PSG 膜または BPSG 膜である

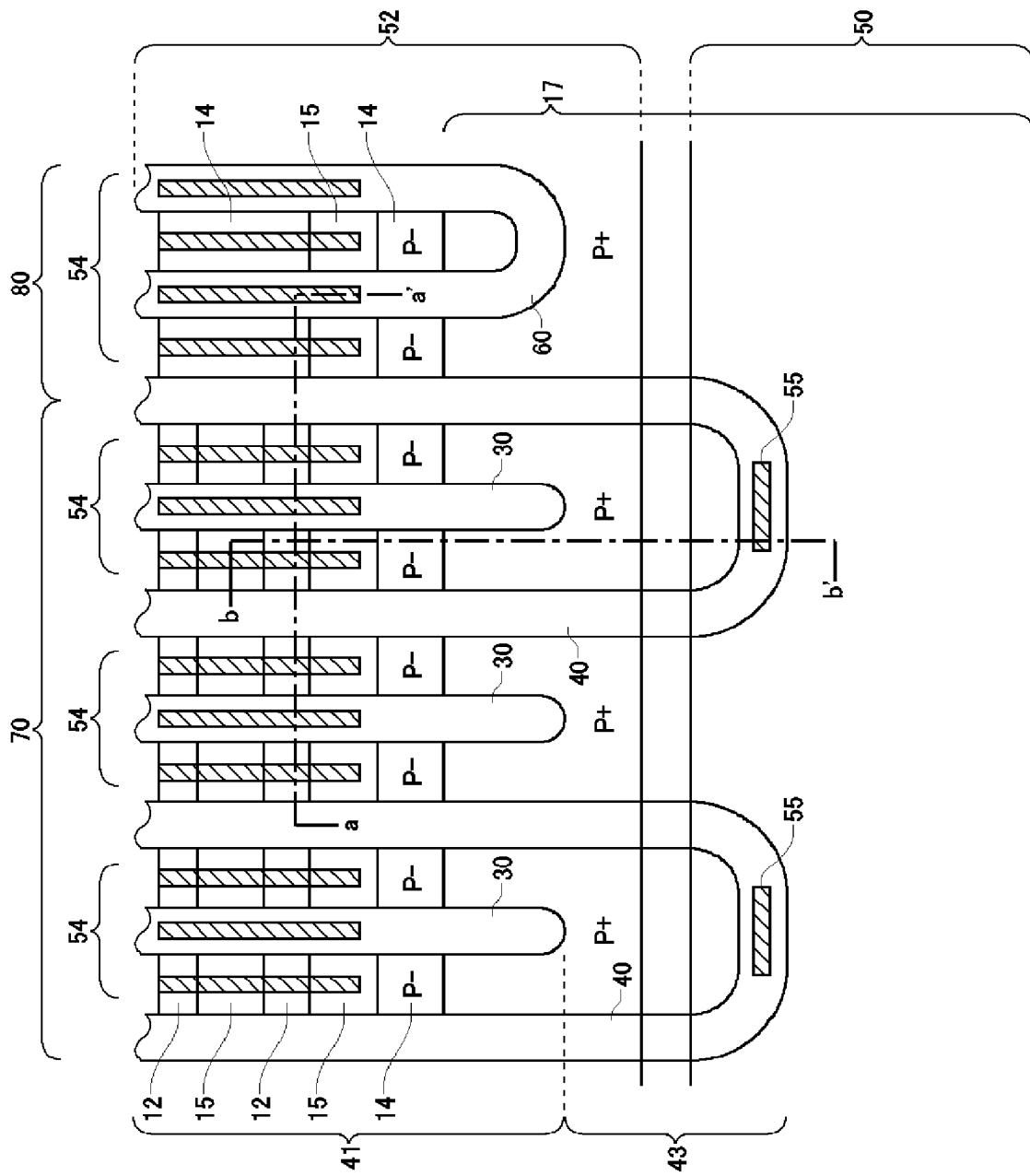
請求項 2 から 1 2 のいずれか一項に記載の半導体装置。

[請求項14] (追加)

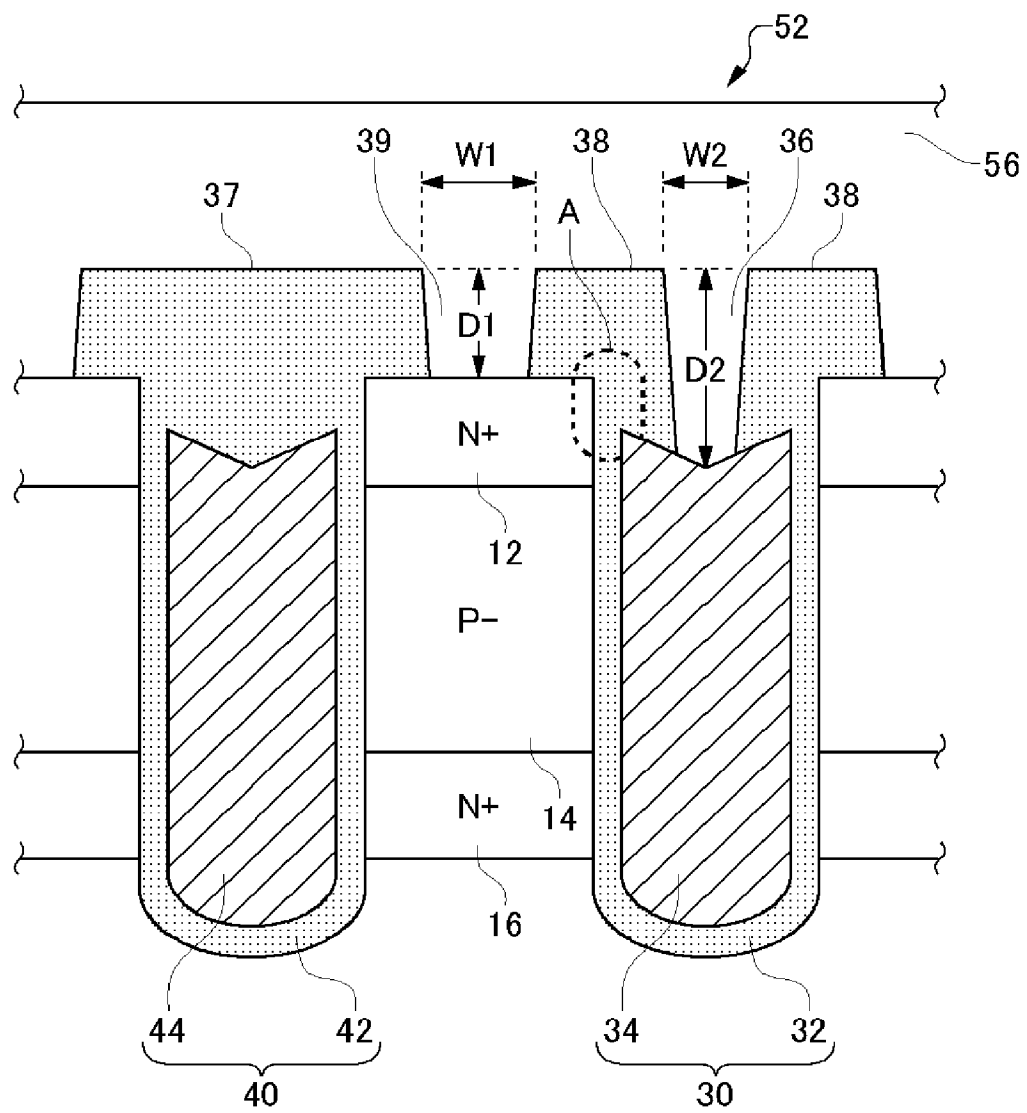
前記ダミー導電部の中央部は窪んでいる形状を有する

請求項 1 から 1 3 のいずれか一項に記載の半導体装置。

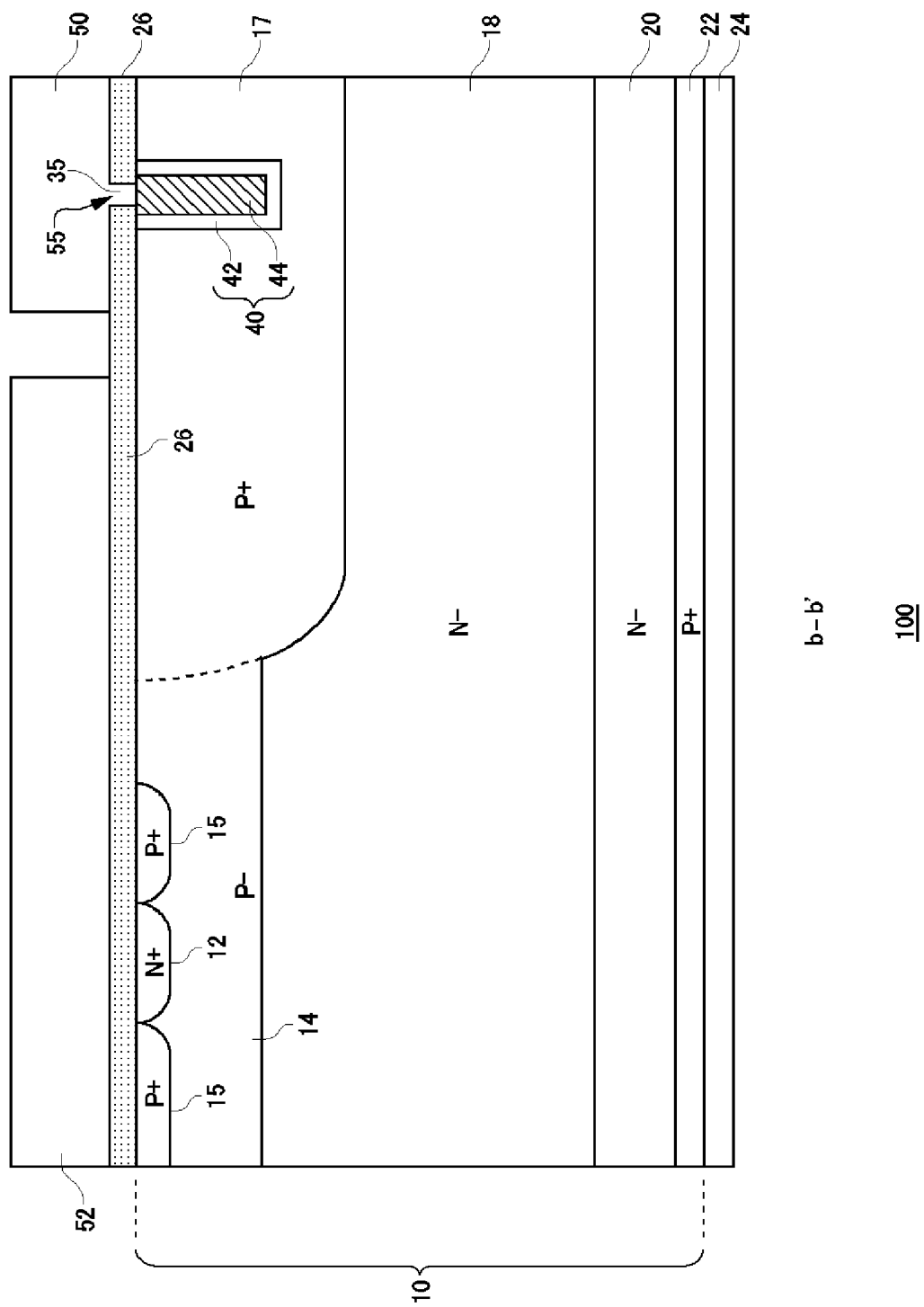
[図1]



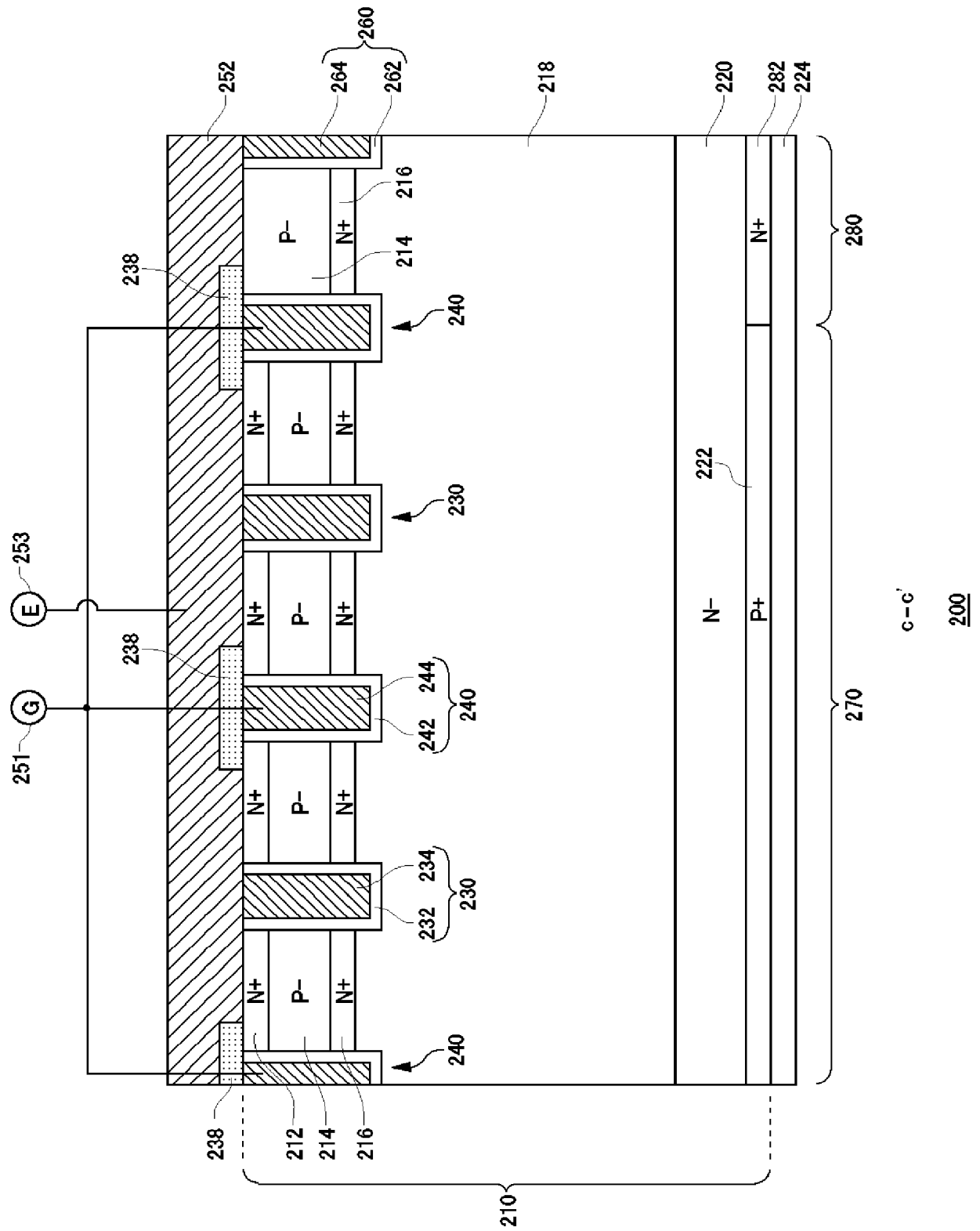
[図3]



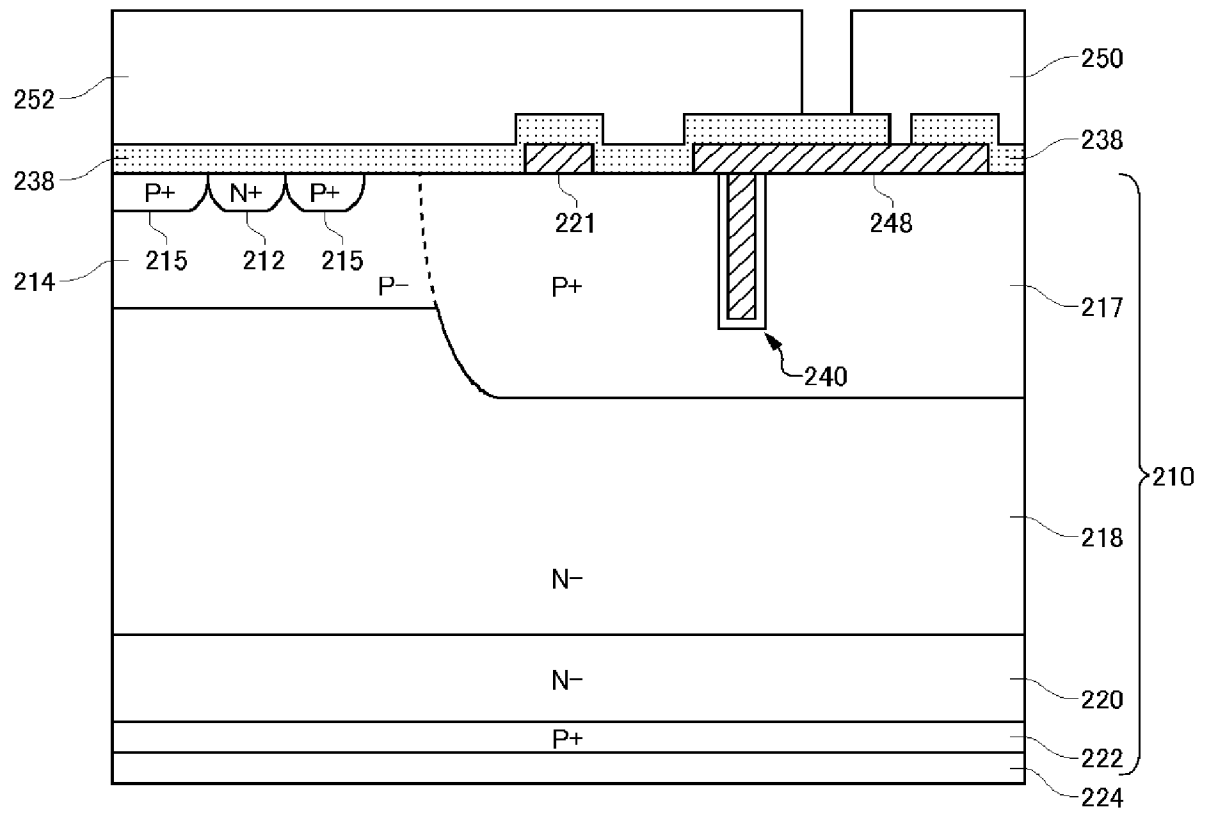
[図4]



[図6]



[図7]


$$d - d'$$

200

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2016/067595

A. CLASSIFICATION OF SUBJECT MATTER

H01L29/739(2006.01)i, H01L27/04(2006.01)i, H01L29/78(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L29/739, H01L27/04, H01L29/78

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2016
Kokai Jitsuyo Shinan Koho	1971-2016	Toroku Jitsuyo Shinan Koho	1994-2016

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	JP 2004-228172 A (Fuji Electric Device Technology Co., Ltd.), 12 August 2004 (12.08.2004), paragraph [0037]; fig. 5 (Family: none)	1-3 4-11
Y A	WO 2014/168171 A1 (Fuji Electric Co., Ltd.), 16 October 2014 (16.10.2014), paragraphs [0039] to [0063], [0071] to [0073]; fig. 1 to 10, 14 to 16 & US 2016/0027906 A1 paragraphs [0071] to [0095], [0103] to [0105]; fig. 1 to 10, 14 to 16 & EP 2985790 A1 & CN 105027292 A & KR 10-2015-0140270 A	4-11 1-3

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance
 "E" earlier application or patent but published on or after the international filing date
 "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
 "O" document referring to an oral disclosure, use, exhibition or other means
 "P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
 "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
 "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
 "&" document member of the same patent family

Date of the actual completion of the international search
28 June 2016 (28.06.16)

Date of mailing of the international search report
12 July 2016 (12.07.16)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2016/067595

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	JP 2007-324539 A (Fuji Electric Device Technology Co., Ltd.), 13 December 2007 (13.12.2007), paragraph [0022]; fig. 3 (Family: none)	8-11 1-7
Y A	JP 2010-50211 A (Denso Corp., Fuji Electric Systems Co., Ltd.), 04 March 2010 (04.03.2010), paragraphs [0018] to [0037], [0053] to [0059]; fig. 1 to 3, 6 to 8 (Family: none)	9-11 1-8

A. 発明の属する分野の分類（国際特許分類（IPC））

Int.Cl. H01L29/739(2006.01)i, H01L27/04(2006.01)i, H01L29/78(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

Int.Cl. H01L29/739, H01L27/04, H01L29/78

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2016年
日本国実用新案登録公報	1996-2016年
日本国登録実用新案公報	1994-2016年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X Y	JP 2004-228172 A（富士電機デバイステクノロジー株式会社） 2004.08.12, 段落[0037], 図5 (ファミリーなし)	1-3 4-11
Y A	WO 2014/168171 A1（富士電機株式会社） 2014.10.16, 段落[0039]-[0063], [0071]-[0073], 図1-10, 14-16 & US 2016/0027906 A1, 段落[0071]-[0095], [0103]-[0105], 図1-10, 14-16 & EP 2985790 A1 & CN 105027292 A & KR 10-2015-0140270 A	4-11 1-3

C欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

28.06.2016

国際調査報告の発送日

12.07.2016

国際調査機関の名称及びあて先

日本国特許庁（ISA/J P）

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

大橋 達也

5 F

5896

電話番号 03-3581-1101 内線 3516

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y A	JP 2007-324539 A (富士電機デバイステクノロジー株式会社) 2007. 12. 13, 段落[0022], 図 3 (ファミリーなし)	8-11 1-7
Y A	JP 2010-50211 A (株式会社デンソー, 富士電機システムズ株式会社) 2010. 03. 04, 段落[0018]-[0037], [0053]-[0059], 図 1-3, 6-8 (ファミリーなし)	9-11 1-8