



(12) 发明专利

(10) 授权公告号 CN 102403040 B

(45) 授权公告日 2016. 04. 13

(21) 申请号 201110278114. 9

CN 1664955 A, 2005. 09. 07,

(22) 申请日 2011. 09. 09

审查员 耿翠萍

(30) 优先权数据

2010-202553 2010. 09. 10 JP

(73) 专利权人 株式会社半导体能源研究所

地址 日本神奈川县厚木市

(72) 发明人 镰田康一郎

(74) 专利代理机构 中国专利代理(香港)有限公

司 72001

代理人 柯广华 朱海煜

(51) Int. Cl.

G11C 16/10(2006. 01)

H01L 29/78(2006. 01)

(56) 对比文件

CN 101828233 A, 2010. 09. 08,

JP 2001351386 A, 2001. 12. 21,

US 2008/0089122 A1, 2008. 04. 17,

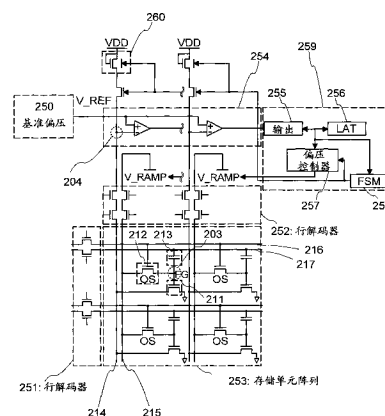
权利要求书1页 说明书28页 附图20页

(54) 发明名称

半导体装置

(57) 摘要

所公开的发明的一个方式的目的之一是提供一种即使没有电力供应也能够保持存储内容并对写入次数也没有限制的具有新结构的半导体装置。所公开的发明的一个方式的目的之一是缩小电路规模并提高写入、读出的可靠性。在对使用包含氧化物半导体层的晶体管的存储单元进行验证工作及读出时,通过将显示不同的阈值电压的双栅驱动的晶体管用作电阻元件,可以仅使用一系统的基准电位电路实现稳定的验证工作及读出工作。



1. 一种半导体装置,包括:

包括第一晶体管、第二晶体管及电容器的存储单元,其中所述第一晶体管的第一栅极端子与所述电容器电连接,所述第一晶体管的第一源极端子与位线电连接,所述第一晶体管包括半导体衬底,并且所述第二晶体管的第二栅极端子与氧化物半导体用字线电连接,所述第二晶体管的第二源极端子与氧化物半导体用位线电连接,所述第二晶体管的第二漏极端子与所述第一晶体管的所述第一栅极端子电连接,所述第二晶体管包括氧化物半导体层;

包括具有第三源极端子、第三漏极端子、第三栅极端子以及第四栅极端子的双栅晶体管的电阻元件,其中所述第三源极端子及所述第三栅极端子与电源电压被输入的端子电连接,且所述第三漏极端子与所述位线电连接;

输出基准电位的基准电位电路;

与所述基准电位电路及所述位线电连接的电位比较电路,该电位比较电路对所述基准电位电路所输出的所述基准电位与所述位线的电位进行比较;以及

与所述电位比较电路电连接的控制电路,其中所述电位比较电路的输出电位施加到电源控制电路部及状态转换电路部,

其中,所述状态转换电路部与所述电源控制电路部的输入部及所述电阻元件的所述第四栅极端子电连接,且对所述第四栅极端子施加电位,

并且,所述电源控制电路部与所述氧化物半导体用位线电连接,且对所述氧化物半导体用位线施加电位。

2. 根据权利要求 1 所述的半导体装置,其中所述半导体衬底为单晶半导体衬底。

3. 根据权利要求 1 所述的半导体装置,其中所述半导体衬底包含硅。

4. 根据权利要求 1 所述的半导体装置,其中所述氧化物半导体层为包含 In、Ga 及 Zn 的氧化物半导体材料。

半导体装置

技术领域

[0001] 所公开的发明涉及一种利用半导体元件的半导体装置。

背景技术

[0002] 利用半导体元件的半导体装置之一的存储装置大致分为易失性存储装置和非易失性存储装置,易失性存储装置是如果没有电力供应,存储内容就消失的存储装置,而非易失性存储装置是即使没有电力供应也保持存储内容的存储装置。

[0003] 作为易失性存储装置的典型例子,有 DRAM(Dynamic Random Access Memory:动态随机存取存储器)。DRAM 通过选择构成存储元件的晶体管并将电荷积蓄在电容器内来储存信息。

[0004] 根据上述原理,因为当从 DRAM 读出信息时电容器的电荷消失,所以每次读出信息时都需要再次进行写入工作。此外,由于在构成存储元件的晶体管中因截止状态下的源极与漏极之间的泄漏电流(截止电流)等而即使未选择晶体管,电荷也流出或流入,所以数据保持期间较短。因此,需要按规定的周期再次进行写入工作(刷新工作),而难以充分降低耗电量。此外,因为如果没有电力供应,存储内容就消失,所以需要利用磁性材料或光学材料的其他存储装置以长期保持存储内容。

[0005] 作为易失性存储装置的另一例子,有 SRAM(Static Random Access Memory:静态随机存取存储器)。SRAM 使用触发器等电路保持存储内容,而不需要进行刷新工作。在这一点上 SRAM 优越于 DRAM。但是,由于使用触发器等电路,所以存在存储电容器的单价高的问题。此外,在如果没有电力供应,存储内容就消失这一点上,SRAM 和 DRAM 相同。

[0006] 作为非易失性存储装置的典型例子,有快闪存储器。快闪存储器在晶体管的栅电极和沟道形成区之间包括浮动栅极,并使该浮动栅极保持电荷来进行存储,因此,快闪存储器具有其数据保持期间极长(几乎永久)并且不需要进行易失性存储装置要进行的刷新工作的优点(例如,参照专利文献 1)。

[0007] 但是,由于当进行写入时发生的隧道电流导致构成存储元件的栅极绝缘层的劣化,从而发生存储元件因进行规定次数的写入而不能发挥其功能的劣化问题。为了缓和上述问题的影响,例如,采用使各存储元件的写入次数均等的方法,但是,为了实现该方法,需要复杂的外围电路。另外,即使采用这种方法,也不能解决使用寿命的根本问题。就是说,快闪存储器不适合于信息的重写频度高的用途。

[0008] 另外,关于上述快闪存储器已提出了为了增大存储容量,在一个存储单元中存储大于两个阶段的数据的“多值”的快闪存储器(例如,参照专利文献 2)。

[0009] [专利文献 1] 日本专利申请公开昭 57-105889 号公报

[0010] [专利文献 2] 日本专利申请公开平 11-25682 号公报

[0011] 然而,多值存储有如下问题:由于随着存储的大容量化使用多种不同的电位值,所以增加所需要的电路而导致半导体装置的大型化和成本高。

[0012] 此外,多值存储一般由使用多个晶体管的电路构成,在同一电位下也因各晶体管

的不均匀而在每个存储单元中发生电位值的不均匀。有时有因这些不均匀而不能正确地写入数据及读出数据的问题。作为解决这种问题的方法之一,一般进行验证工作。然而,为了确定写入信息后的阈值电位在指定的范围内,进行验证工作的判定,并且在超过阈值电位保持电位。此时,在读出数据时的阈值电位与写入时的电位相等时,在写入时保持的电位与读出时的电位之间的余量少。换言之,在这样的状态下进行判定时,仅减少极少的电荷也成为低于阈值电位而发生误读。此外,因来自外部的杂波等而产生阈值电位变动的现象,所谓的振动现象(chattering phenomenon),由此不能进行正确的读出。

[0013] 关于上述课题可以考虑准备两种验证工作的电位和读出时的基准电位而控制的方法或使用开关等的外围电路控制基准电位的方法。然而,当使用这些方法时,有电路规模增大并耗电量也增大的问题。

发明内容

[0014] 鉴于上述问题,所公开的发明的一个方式的目的之一是提供一种即使没有电力供应也能够保持存储内容并对写入次数也没有限制的具有新结构的半导体装置。

[0015] 另外,所公开的发明的一个方式的目的之一是通过使用具有新结构的半导体装置缩小电路规模并提高写入、读出的可靠性。

[0016] 根据本说明书所公开的发明的一个方式,在对使用包含氧化物半导体层的晶体管的存储单元进行验证工作及读出时,通过将显示不同的阈值电压的双栅驱动的晶体管用作电阻元件,可以仅使用一系统的基准电位电路实现稳定的验证工作及读出工作。

[0017] 此外,根据本说明书所公开的发明的一个方式,在对使用包含氧化物半导体层的晶体管的存储单元进行写入时,分阶段地使写入电位上升,同时确认读出电流,将读出电流的结果应用于写入电位而进行多值信息的写入。换言之,通过同时进行写入和验证工作,可以实现可靠性高的写入。

[0018] 作为用于存储单元的晶体管,使用作为半导体层包括能够充分降低截止电流的材料如宽带隙材料(更具体而言,例如是能隙 E_g 大于 3eV 的半导体材料)的晶体管。由于氧化物半导体材料为宽带隙材料,所以将其用于半导体装置的晶体管所包含的氧化物半导体。通过使用能够充分降低晶体管的截止电流的半导体材料,能够长期保持信息。

[0019] 本说明书所公开的半导体装置的一个方式是一种半导体装置,该半导体装置包括:存储单元,该存储单元包括第一晶体管、第二晶体管及电容器,在该第一晶体管中其第一栅极端子与字线电连接,其第一源极端子与位线电连接,其第一漏极端子与源极线电连接,包括含半导体材料的衬底,在该第二晶体管中其第二栅极端子与氧化物半导体用字线电连接,其第二源极端子与氧化物半导体用位线电连接,第二漏极端子与第一晶体管的第一栅极电连接,包括氧化物半导体层,在该电容器中与第一晶体管的第一栅极端子及字线电连接;包括具有第三源极端子、第三漏极端子、第三栅极端子、第四栅极端子的双栅驱动的晶体管,该第三源极端子及该第三栅极端子与输入电源电压的端子电连接,且该第三漏极端子与位线电连接的电阻元件;输出基准电位的基准电位电路;与基准电位电路及位线电连接,且对基准电位电路所输出的基准电位与位线的电位进行比较的电位比较电路;以及与电位比较电路电连接,且电位比较电路的输出电位被施加到电源控制电路部及状态转换电路部的控制电路,其中,在控制电路中,状态转换电路部与电源控制电路部的输入部及

电阻元件的第四栅极端子电连接,而对该第四栅极端子施加电位,并且,电源控制电路部与氧化物半导体用位线电连接,而对氧化物半导体用位线施加电位。

[0020] 在上述结构中,基准电位电路也可以为输出不同的电位的多个基准电位电路。

[0021] 在上述结构中,半导体材料也可以为单晶半导体衬底。

[0022] 在上述结构中,半导体材料也可以为硅。

[0023] 在上述结构中,氧化物半导体层也可以为包含 In、Ga 及 Zn 的氧化物半导体材料。

[0024] 另外,虽然在上述半导体装置中使用氧化物半导体材料构成第二晶体管,但是所公开的发明不局限于此。也可以使用氧化物半导体材料等宽带隙材料(更具体而言,例如,能隙 E_g 大于 3eV 的半导体材料)等。

[0025] 注意,在本说明书等中,“上”或“下”不局限于构成要素的位置关系为“直接在……上”或“直接在……下”。例如,“栅极绝缘层上的栅电极”包括在栅极绝缘层与栅电极之间包括其他构成要素的结构。

[0026] 此外,在本说明书等中,“电极”或“布线”不在功能上限定这些构成要素。例如,有时将“电极”用作“布线”的一部分,反之亦然。再者,“电极”或“布线”还包括多个“电极”或“布线”被形成为一体的情况等。

[0027] 此外,在采用极性不同的晶体管的情况或电路工作中的电流方向发生变化的情况等下,“源极”和“漏极”的功能有时互相调换。因此,在本说明书中,可以互相调换地使用“源极”和“漏极”。

[0028] 此外,在本说明书等中,“电连接”包括构成要素通过“具有某种电作用的物体”连接的情况。在此,“具有某种电作用的物体”只要可以在连接对象之间进行电信号的授受,就没有特别的限制。

[0029] 例如,“具有某种电作用的物体”不仅包括电极及布线,而且还包括晶体管等的开关元件、电阻元件、电感器、电容器以及其他具有各种功能的元件等。

[0030] 由于使用氧化物半导体的晶体管的截止电流极小,所以通过采用该晶体管,能够极为长期保持存储内容。就是说,因为不需要进行刷新工作,或者,可以将刷新工作的频度降低到极低,所以可以充分降低耗电量。另外,即使没有电力供应,也可以在较长期间内保持存储内容。

[0031] 另外,在根据所公开的发明的半导体装置中,在写入信息时不需要高电压,从而也没有元件劣化的问题。例如,不像现有的非易失性存储器的情况那样,不需要对浮动栅极注入电子或从浮动栅极抽出电子,所以根本不发生栅极绝缘层的劣化等的问题。就是说,根据所公开的发明的半导体装置对改写次数没有限制,这是现有的非易失性存储器所存在的问题,所以可以显著提高可靠性。再者,因为根据晶体管的导通状态或截止状态而进行信息的写入,所以容易实现高速工作。另外,还有不需要用于擦除信息的工作的优点。

[0032] 此外,因为使用氧化物半导体以外的材料的晶体管可以进行充分的高速工作,所以通过将该晶体管和使用氧化物半导体的晶体管组合而使用,可以充分地确保半导体装置的工作(例如,信息的读出工作)的高速性。此外,通过利用使用氧化物半导体以外的材料的晶体管,可以适当地实现被要求高速工作的各种电路(逻辑电路、驱动电路等)。

[0033] 像这样,通过将使用氧化物半导体以外的材料的晶体管(作更广义解释,可以进行充分的高速工作的晶体管)和使用氧化物半导体的晶体管(作更广义解释,截止电流足

够小的晶体管) 形成为一体, 可以实现具有新颖的特征的半导体装置。

[0034] 此外, 在所公开的发明的一个方式中, 在写入时, 通过分阶段地使写入电位上升, 同时确认读出电流, 将读出电流的结果应用于写入电位, 可以降低存储单元中的晶体管的不均匀的影响, 且实现稳定的写入。

[0035] 再者, 在所公开的发明的一个方式中, 在验证工作时及读出时, 通过将显示不同的阈值电压的双栅驱动的晶体管用作电阻元件, 可以在验证工作用电位与读出用电位之间设定余量, 并可以仅使用一系统的基准电位电路来进行稳定的读出。从而, 可以缩小电路规模。

附图说明

- [0036] 图 1 是半导体装置的电路图;
- [0037] 图 2 示出晶体管特性的计算结果;
- [0038] 图 3A 和图 3B 是时序图;
- [0039] 图 4 是半导体装置的电路图;
- [0040] 图 5A 和图 5B 是时序图;
- [0041] 图 6A 和图 6B 是时序图;
- [0042] 图 7A 和图 7B 是时序图;
- [0043] 图 8A 和图 8B 是时序图;
- [0044] 图 9A 和图 9B 是半导体装置的截面图及平面图;
- [0045] 图 10A 至图 10D 是半导体装置的截面图;
- [0046] 图 11A 至图 11D 是关于半导体装置的制造工序的截面图;
- [0047] 图 12A 至图 12D 是关于半导体装置的制造工序的截面图;
- [0048] 图 13A 至图 13C 是关于半导体装置的制造工序的截面图;
- [0049] 图 14A 至图 14D 是半导体装置的截面图;
- [0050] 图 15A 和图 15B 是半导体装置的截面图;
- [0051] 图 16A 至图 16C 是关于半导体装置的制造工序的截面图;
- [0052] 图 17A 至图 17F 是说明使用半导体装置的电子设备的图。

具体实施方式

[0053] 下面, 将参照附图对本发明的实施方式的一个例子进行说明。但是, 本发明不局限于以下说明, 所属技术领域的普通技术人员可以很容易地理解一个事实就是其方式及详细内容在不脱离本发明的宗旨及其范围下可以被变换为各种形式。因此, 本发明不应该被解释为仅限定在下面所示的本实施方式所记载的内容中。

[0054] 注意, 为了便于理解, 在附图等中所示的各结构的位置、大小及范围等有时不表示实际上的位置、大小及范围等。因此, 所公开的发明不一定局限于附图等所公开的位置、大小及范围等。

[0055] 另外, 本说明书等中使用的“第一”、“第二”、“第三”等序数词是为了避免构成要素的混同而附上的, 而不是为了在数目方面上限定而附上的。

[0056] 实施方式 1

[0057] 在本实施方式中,参照图 1 至图 3A 和图 3B 对根据所公开的发明的一个方式的半导体装置的结构进行说明。另外,在电路图中,为了表示使用氧化物半导体的晶体管,有时附上“OS”的符号。

[0058] < 电路结构 >

[0059] 首先,参照图 1 对电路结构进行说明。图 1 所示的电路结构是 NOR 型存储器(1 位/单元),并包括多个存储单元配置为矩阵状的存储单元阵列 253、基准电位电路 250、电位比较电路 254、用来控制驱动的控制电路 259 以及由晶体管形成的电阻元件 260。

[0060] 另外,在上述电路结构中也可以适当地设置字线选择电路 251(Row Decoder) 或位线选择电路 252(Column Decoder) 等外围电路。

[0061] 存储单元阵列 253 包括一个存储单元设置在包含半导体材料的衬底的第一晶体管 211、包括氧化物半导体层的第二晶体管 212、电容器 213。第一晶体管 211 由与字线 217 电连接的第一栅极端子、与位线 214 电连接的第一源极端子、与源极线电连接的第一漏极端子形成。第二晶体管 212 由与氧化物半导体用字线 216 电连接的第二栅极端子、与氧化物半导体用位线 215 电连接的第二源极端子、与第一晶体管 211 的第一栅极端子电连接的第二漏极端子形成。电容器 213 电连接在第一晶体管 211 的第一栅极端子与字线 217 之间。

[0062] 多个上述存储单元的结构配置为纵 m 行 × 横 n 列(m 及 n 为 1 以上的自然数)中多个结构。

[0063] 在此,作为第二晶体管 212,例如,应用使用氧化物半导体的晶体管。使用氧化物半导体的晶体管具有截止电流极小的特征。因此,通过使第二晶体管 212 成为截止状态,可以在极长时间内保持第一晶体管 211 的第一栅电极的电位。再者,通过具有电容器 213,容易保持施加到第一晶体管 211 的第一栅电极的电荷,另外,也容易读出所保持的信息。

[0064] 另外,对第一晶体管 211 没有特别的限制。从提高信息的读出速度的观点来看,例如,优选使用利用单晶硅的晶体管等的开关速度快的晶体管。

[0065] 接着,电位比较电路 254 在验证工作时对来自基准电位电路 250 的基准电位与来自存储单元阵列 253 的电位进行比较并对控制电路 259 施加输出。

[0066] 控制电路 259 包括具有分阶段地上升电位的功能的电源控制电路 257(Bias Controller)、对各种相关电路(字线选择电路 251、位线选择电路 252、电位比较电路 254、电源控制电路 257 等)传送信号且控制写入工作、验证工作及读出工作的状态转换电路 258(FSM;Finite State Machine)。

[0067] 此外,控制电路 259 包括来自电位比较电路 254 的输出 255(Output(包括 VERIFY_OUT、READ_OUT))、能够保持信息的锁存器电路 256、电源控制电路 257。电源控制电路 257 根据来自锁存器电路 256 的信号来控制电源电压 VDD。

[0068] 接着,电阻元件 260 从状态转换电路 258(FSM) 接收信号而工作,并包括接收电源电压 VDD 的第三栅电极及第三源电极、与状态转换电路 258(FSM) 电连接的第四栅电极、与存储单元阵列 253 的位线 214 电连接的第三漏电极。

[0069] 此外,电阻元件 260 包括第三栅电极及第四栅电极的两个栅电极,所以可也称为所谓双栅驱动晶体管。

[0070] 根据上述记载,可以形成图 1 所示的电路结构,且可以在存储单元阵列 253 中容纳信息。具体而言,有效地利用能够保持第一晶体管 211 的第一栅电极的电位的特征,以下所

示那样,可以进行信息的写入、验证、保持、读出。另外,有效地利用电阻元件 260 的双栅驱动晶体管,由此缩小电路规模,并可以进行验证工作及读出而。

[0071] < 驱动方法 >

[0072] 接着,以下说明使用图 1 的电路结构的具体的驱动方法。

[0073] 首先,说明信息的写入及验证工作。同时进行写入及验证工作,而根据来自状态转换电路 258 的信号进行各个工作。

[0074] 在写入中对氧化物半导体用字线 216 施加电位而使第二晶体管 212 成为导通状态。由此,氧化物半导体用位线 215 的电位施加到第一晶体管 211 的第一栅电极及电容器 213。此外,使用电源控制电路 257 (Bias Controller) 使氧化物半导体用位线 215 的电位分阶段地上升。由此,与第一晶体管 211 的第一栅电极连接的节点 203 (即节点 FG。也称为存储节点。) 的电位也分阶段地上升,且流过第一晶体管 211 中的电流也分阶段地上升。

[0075] 在验证工作中,根据来自状态转换电路 258 的信号对电阻元件 260 的第四栅电极施加正电位,且对位线 214 施加电源电压 VDD 的电位。然后,监视从位线 214 流到第一晶体管 211 的电流,直到从基准电位电路 250 输出的基准电位为止使氧化物半导体用位线 215 的电位一直分阶段地上升。此外,在电位比较电路 254 中进行与基准电位的比较。

[0076] 此外,电阻元件 260 通过第四栅电极接受正电位,晶体管的阈值 (V_{th}) 向负一侧漂移,容易流过从电源电压 VDD 的电流。换言之,在将晶体管看作电阻元件的情况下成为低电阻。电阻元件也可以由使用开关的电路形成,但是电路规模增大,所以不是优选的。

[0077] 在此,参照图 2 说明用作电阻元件 260 的双栅驱动晶体管的工作。

[0078] 图 2 示出双栅驱动晶体管的计算结果。纵轴以对数标度示出流过晶体管中的电流 ID,横轴以线性标度示出第三栅电极的电压 (也称为 ID-VG 曲线)。实线 280 示出对第四栅电极施加正电位时的晶体管特性,而实线 282 示出不对第四栅电极施加电位时的晶体管特性。通过对第四栅电极施加正电位,晶体管的阈值 (V_{th}) 向负一侧漂移。换言之,在固定电源电压 VDD 时,与不对第四栅电极施加电位时相比,在施加正电位时更多的电流流过。

[0079] 此外,由于在写入时验证流过第一晶体管 211 中的电流,所以为了防止对非选择的字线的误写入及误验证工作,优选对非选择的字线施加负电位。具体而言,非选择的字线的写入用电压及非选择的字线的读出用电压分别可以使用 -3V 的电位。

[0080] 接着,说明信息的保持。在流过第一晶体管 211 中的电流到达基准电位的阶段 (即在验证工作中进行正确的判定的阶段) 时,状态转换电路 258 传送使氧化物半导体用位线 215 处于截止状态的信号。由此,保持对第一晶体管 211 的第一栅电极施加的电荷。

[0081] 接着,说明信息的读出。根据状态转换电路 258 的信号进行读出工作。状态转换电路 258 不对电阻元件 260 的第四栅电极施加电位。换言之,电阻元件 260 成为图 2 所示的实线 282 的晶体管特性,而成为高电阻。

[0082] 然后,在对位线 214 施加指定的电位 (恒电位) 的状态下,对连接于电容器 213 的一端的字线 217 施加适当的电位 (读出电位),根据保持在第一晶体管 211 的第一栅电极的电荷量,第一晶体管 211 的源电流或漏电流取不同的电位。例如,在所保持的电荷量多时,由于流过第一晶体管 211 中的电流大,所以输入到电位比较电路 254 的电位的节点 204 (V_{MEM}) 变小。

[0083] 另外,读出时的电阻元件 260 由于不对第四栅电极施加电荷所以成为高电阻,而

与验证时相比可以以较低的电位来进行读出。

[0084] 通过上述步骤,可以对存储单元阵列 253 进行信息的写入、验证工作、保持、读出。

[0085] 在此,图 3A 和图 3B 示出写入时、验证时及读出时的各输出的时序图。

[0086] 图 3A 和图 3B 是示出写入及验证工作的时序图 300 以及读出时的工作的时序图 302。在此,在图 3A 和图 3B 所示的时序图中, V_{RAMP} 示出写入电压(电位), V_{KEEP} 示出节点 203(节点 FG)的电位, V_{REF} 示出基准电位, $V_{MEM}(VERIFY)$ 示出验证时的节点 204 的电位(存储单元阵列 253 的电位), $V_{MEM}(READ)$ 示出读出时的节点 204 的电位(存储单元阵列 253 的电位), $VERIFY_OUT$ 示出验证时的判定结果, $READ_OUT$ 示出读出时的判定结果。

[0087] 在写入时,写入电压(V_{RAMP})分阶段地上升,因此保持在节点 203 中的电位(V_{KEEP})也分阶段地上升。此外,与写入同时开始的验证工作中,首先对电阻元件 260 的第四栅电极施加正电位而成为低电阻。然后,由于随着保持在节点 203 中的电位(V_{KEEP})的上升,流过第一晶体管 211 中的电流上升,所以节点 204 的电位($V_{MEM}(VERIFY)$)分阶段地下降,直到满足基准电位(V_{REF})的阶段写入电位成为一定值。然后,停止写入电压(V_{RAMP})的供应。另一方面,节点 203 的电位 V_{KEEP} 在停止写入电压(V_{RAMP})的供应后一直保持一定值。

[0088] 另外,在满足基准电位(V_{REF})的阶段时,作为判定结果($VERIFY_OUT$,相当于输出 255)返回进行了正确的写入的判定(correct)。

[0089] 另一方面,在读出时,在停止写入电压(V_{RAMP})的供应的状态下读出保持在第一晶体管 211 的节点 203 的电位(V_{KEEP})中的电荷量。此时的电源电压 VDD 与验证工作时的电位相等。但是,不对电阻元件 260 的第四栅电极施加正电位。就是说,电阻元件 260 成为高电阻。从而,与验证时相比,读出时的节点 204 的电位($V_{MEM}(READ)$)可以以低电位进行读出。

[0090] 此外,在节点 204 的电位($V_{MEM}(READ)$)满足基准电位(V_{REF})的情况下,读出时的判定结果($READ_OUT$)正确地被读出。

[0091] 像这样,在验证时及读出时,电源电压 VDD 根据电阻元件 260 取不同的值。换言之,仅使用一系统的基准电位电路 250,外观上具有与两种的基准电位电路 250 的结构相同的功能。从而,不会增大基准电位电路 250,所以可以缩小电路规模。

[0092] 另外,对于电阻元件 260 的晶体管没有特别的限制。但是,通过在制造在半导体衬底上的第一晶体管和包含氧化物半导体的第二晶体管中的一方的晶体管的制造工序中同时制造,可以不增加工序而形成这些晶体管,因此是优选的。

[0093] 接着,说明信息的改写。信息的改写与上述信息的写入和保持同样地进行。换言之,使氧化物半导体用字线 216 的电位为第二晶体管 212 成为导通状态的电位,而使第二晶体管 212 成为导通状态。由此,氧化物半导体用位线 215 的电位(关于新的信息的电位)施加到第一晶体管 211 的第一栅电极及电容器 213。此外,与写入时相同,使氧化物半导体用位线 215 的电位也分阶段地上升,并监视流过第一晶体管 211 中的电流,直到预先设定的电位为止使氧化物半导体用位线 215 的电位一直分阶段地上升。在成为基准电位之后,使氧化物半导体用字线 216 的电位为第二晶体管 212 成为截止状态的电位,并且第一晶体管 211 的第一栅电极处于被施加关于新的信息的电荷的状态而改写信息。

[0094] 像这样,根据所公开的半导体装置通过再次写入信息可以直接改写信息。因此,不

需要快闪存储器等所需要的利用高电压从浮动栅极抽出电荷的工作,可以抑制起因于擦除工作的工作速度的降低。换言之,实现半导体装置的高速工作。此外,通过在写入工作中验证读出电位,直到读出电位到达基准电位为止使写入电位分阶段地上升,可以防止误写入,且在验证时及读出时,通过对基准电位使用不同的电源电压,可以进行稳定的读出。

[0095] 此外,第二晶体管 212 的第二漏电极与第一晶体管 211 的第一栅电极电连接,从而起到与用作非易失性存储元件的浮动栅极型晶体管的浮动栅极相同的作用。由此,有时将与图 1 所示的第二晶体管 212 的第二漏电极及第一晶体管 211 的第一栅电极电连接的节点 203 称为浮动栅极 (FG)。当第二晶体管 212 处于截止状态时,可以认为该浮动栅极 (FG) 被嵌入在绝缘体中,在浮动栅极 (FG) 中保持有电荷。因为使用氧化物半导体的第二晶体管 212 的截止电流为由硅半导体等形成的晶体管的十万分之一以下,所以可以忽视由第二晶体管 212 的泄漏导致的积聚在浮动栅极 (FG) 中的电荷的消失。换言之,通过使用氧化物半导体的第二晶体管 212,可以实现即使没有电力供应也能够保持信息的非易失性存储装置。

[0096] 例如,在室温 (25℃) 下第二晶体管 212 的截止电流为 10zA (1zA (仄普托安培: zeptoampere) 为 1×10^{-21} A) 以下并且电容器 213 的电容值为 10fF 左右的情况下,至少可以保持数据 10^4 秒以上。另外,当然该保持时间根据晶体管特性或电容值而变动。

[0097] 另外,在此情况下不存在在现有的浮动栅极型晶体管中被指出的栅极绝缘膜 (隧道绝缘膜) 的劣化的问题。也就是说,可以消除以往被视为问题的将电子注入到浮动栅极时的栅极绝缘膜的劣化。这意味着在原理上不存在写入次数的限制。另外,也不需要再在现有的浮动栅极型晶体管中当写入或擦除数据时所需要的高电压。

[0098] 在本实施方式所示的半导体装置中,虽然浮动栅极 (FG) 起到与快闪存储器等的浮动栅极型晶体管的浮动栅极相同的作用,但是,本实施方式中的浮动栅极 (FG) 具有与快闪存储器等的浮动栅极根本不同的特征。因为在快闪存储器中施加到控制栅极的电压高,所以为了防止其电位影响到相邻的单元的浮动栅极,需要保持各单元之间的一定程度的间隔。这是阻碍半导体装置的高集成化的主要原因之一。并且,该主要原因起因于通过施加高电场来产生隧道电流的快闪存储器的根本原理。

[0099] 另一方面,根据本实施方式的半导体装置通过使用氧化物半导体的晶体管的开关而工作,而不使用如上所述的由隧道电流而起的电荷注入的原理。就是说,不需要如快闪存储器那样的用来注入电荷的高电场。由此,因为不需要考虑到控制栅极带给相邻的单元的高电场的影响,所以容易实现高集成化。

[0100] 此外,不需要高电场及大型外围电路 (升压电路等) 的一点也优越于快闪存储器。例如,在写入两个阶段 (1 位) 的信息的情况下,在一个存储单元中,可以使施加到根据本实施方式的存储单元的电压 (同时施加到存储单元的各端子的最大电位与最小电位之间的差异) 的最大值为 5V 以下,优选为 3V 以下。

[0101] 通过采用这种结构的组合,可以使根据所公开的发明的半导体装置进一步高集成化。

[0102] 此外,根据本实施方式的半导体装置在电源电压 VDD 与存储电路之间作为电阻元件使用双栅驱动晶体管。由此,在验证时及读出时分别使用各电阻元件,可以对基准电位有不同的电源电压 VDD。通过采用这种结构,不需要设置验证用及读出用的两种基准电位电路,可以缩小电路规模。

[0103] 另外,在上述说明中说明使用以电子为多数载流子的 n 型晶体管 (n 沟道型晶体管) 的情况,但是当然可以使用以空穴为多数载流子的 p 型晶体管代替 n 型晶体管。

[0104] 以上所述,由于调整保持电位,以在每个单元中得到所希望的数据,可以进行抑制每个单元中的晶体管特性的不均匀的写入、验证及读出。从而,可以大幅度地提高存储器的写入、读出的可靠性。

[0105] 本实施方式所示的结构、方法等可以与其他实施方式所示的结构、方法等适当地组合而实施。

[0106] 实施方式 2

[0107] 接着,参照图 4 至图 8B 说明与图 1 所示的电路结构不同的电路结构及驱动方法。

[0108] < 应用例 >

[0109] 图 1 与图 4 的不同之处在于图 1 所示的电路结构为 1 位 / 单元,而图 4 所示的电路结构为 2 位 / 单元的多值存储电路。

[0110] 图 4 所示的多值存储电路包括:传送基准电位的信号的基准电位电路 350 (Reference Bias1)、基准电位电路 360 (Reference Bias2) 以及基准电位电路 370 (Reference Bias3);选择 / 控制字线的地址的字线选择电路 351 (Row Decoder);选择 / 控制位线的地址的位线选择电路 352 (Column Decoder);容纳数据的存储单元阵列 353;对从基准电位电路 350、基准电位电路 360 以及基准电位电路 370 输出的基准电位与存储单元阵列 353 的电位进行比较的电位比较电路 354a、电位比较电路 354b 及电位比较电路 354c;能够控制和确认的控制电路 359;改变来自电源电压 VDD 的电位的电阻元件 380。

[0111] 控制电路 359 包括:能够保持输出 355 (Output) 的存储器电路 356 (LAT),该输出 355 是来自电位比较电路 354a、电位比较电路 354b 及电位比较电路 354c 的相当于逻辑和的输出;根据来自存储器电路 356 的信号控制电位的电位控制电路 357 (Bias Controller);实现控制的状态转换电路 358 (FSM)。

[0112] 电阻元件 380 具有与图 1 所示的电阻元件 260 相同的功能。电阻元件 380 是双栅驱动晶体管,该电阻元件 380 由被供应电源电压 VDD 的第三栅电极及第三源电极、与状态转换电路 358 (FSM) 电连接的第四栅电极、与存储单元阵列 353 的第一位线 314 电连接的第三漏电极构成。

[0113] 另外,在存储单元阵列 353 中,包括第一晶体管 311、第二晶体管 312、电容器 313、第一位线 314、第一氧化物半导体用位线 315、第一氧化物半导体用字线 316、第一字线 317 构成一个存储单元,而形成多个存储单元。此外,第二晶体管 312 的漏电极、第一晶体管 311 的栅电极和电容器 313 的一方的电极的连接部分表示节点 303 (节点 FG)。

[0114] 图 4 所示的多值存储电路的结构由于需要将保持电压分为四值,所以传送基准电位的信号的基准电位电路需要三种。此外,与此同样,需要对应于基准电位电路的与从各基准电位电路输出的基准电位进行比较的电位比较电路。

[0115] 参照图 5A 至图 8B 的时序图说明图 4 所示的电路结构的驱动方法。在此,在图 5A 至图 8B 的时序图中与图 3A 和图 3B 所示的时序图同一的符号具有相同的功能,而省略重复说明。

[0116] 另外,在图 5A 至图 8B 中, V_RAMP 示出写入电压, V_KEEP 示出节点 303 (节点 FG) 的电位, V_REF 示出基准电位, V_MEM (VERIFY) 示出验证时的存储单元阵列 353 的电位,

V_MEM(READ) 示出读出时的存储单元阵列 353 的电位, VERIFY_OUT 是验证时的判定结果, READ_OUT 示出读出时的判定结果。

[0117] 此外,判定结果 (VERIFY_OUT) 满足“1”的基准电位为各基准电位电路取不同的电位。由此,判定结果 (VERIFY_OUT) 由对于设置三种的基准电位电路 350(Reference Bias1)、基准电位电路 360(Reference Bias2) 及基准电位电路 370(Reference Bias3) 的任何一种的基准电位确认 / 判定而决定。

[0118] 图 5A 和图 5B 所示的时序图是基准电位为 data = “00”时的时序图。此外,图 5A 示出写入及验证工作的时序图,图 5B 示出读出工作的时序图。

[0119] 在图 5A 的时刻 A,由于在写入电压 (V_RAMP) 上升之前, V_MEM(VERIFY) 已满足基准电位 (V_REF),所以作为判定结果 (VERIFY_OUT) 将对基准电位 (V_REF) 一致的信号 (correct) 传送到电位控制电路 357(Bias Controller),而保持写入电压。换言之,由于在写入电压 (V_RAMP) 上升之前,输出一致 (correct) 的信号,所以写入电压 (V_RAMP) 不上升。

[0120] 此外,在图 5B 所示的读出时, V_MEM(READ) 的电位低于 V_MEM(VERIFY) 的电位而读出。这里作为电阻元件 380 的电阻在验证时及读出时分别使用低电阻和高电阻。换言之,用作电阻元件 380 的双栅驱动晶体管根据来自状态转换电路 358 的信号,在验证时对第四栅电极施加正电位,在读出时不对第四栅电极施加电位。

[0121] 接着,图 6A 和图 6B 所示的时序图是基准电位为 data = “01”时的时序图。另外,图 6A 示出写入及验证工作的时序图,图 6B 示出读出工作的时序图。

[0122] 在图 6A 的时刻 B,在写入电压 (V_RAMP) 分阶段地上升, V_MEM(VERIFY) 满足基准电位 (V_REF) 时,作为判定结果 (VERIFY_OUT) 将对基准电位 (V_REF) 一致的信号 (correct) 传送到电位控制电路 357(Bias Controller), V_KEEP(节点 303(节点 FG)) 的电位被保持。

[0123] 另外,在图 6B 所示的读出时, V_MEM(READ) 的电位低于 V_MEM(VERIFY) 的电位而读出。这里作为电阻元件 380 的电阻在验证时及读出时分别使用低电阻和高电阻。换言之,用作电阻元件 380 的双栅驱动晶体管根据来自状态转换电路 358 的信号,在验证时对第四栅电极施加正电位,在读出时不对第四栅电极施加电位。

[0124] 接着,图 7A 和图 7B 所示的时序图是基准电位为 data = “10”时的时序图。此外,图 7A 示出写入及验证工作的时序图,图 7B 示出读出工作的时序图。

[0125] 在图 7A 的时刻 C,在写入电压 (V_RAMP) 分阶段地上升, V_MEM(VERIFY) 满足基准电位 (V_REF) 时,作为判定结果 (VERIFY_OUT) 将对基准电位 (V_REF) 一致的信号 (correct) 传送到电位控制电路 357(Bias Controller), V_KEEP(节点 303(节点 FG)) 的电位被保持。

[0126] 此外,在图 7B 所示的读出时, V_MEM(READ) 的电位低于 V_MEM(VERIFY) 的电位而读出。这里作为电阻元件 380 的电阻在验证时及读出时分别使用低电阻和高电阻。换言之,用作电阻元件 380 的双栅驱动晶体管根据来自状态转换电路 358 的信号,在验证时对第四栅电极施加正电位,在读出时不对第四栅电极施加电位。

[0127] 接着,图 8A 和图 8B 所示的时序图是基准电位为 data = “11”时的时序图。此外,图 8A 示出写入及验证工作的时序图,图 8B 示出读出工作的时序图。

[0128] 在图 8A 的时刻 D, 在写入电压 (V_{RAMP}) 分阶段地上升, $V_{\text{MEM}}(\text{VERIFY})$ 满足基准电位 (V_{REF}) 时, 作为判定结果 (VERIFY_OUT) 将对基准电位 (V_{REF}) 一致的信号 (correct) 传送到电位控制电路 357 (Bias Controller), V_{KEEP} (节点 303 (节点 FG)) 的电位被保持。

[0129] 另外, 在图 8B 所示的读出时, $V_{\text{MEM}}(\text{READ})$ 的电位低于 $V_{\text{MEM}}(\text{VERIFY})$ 的电位而读出。这里作为将电阻元件 380 的电阻在验证时及读出时分别使用低电阻和高电阻。换言之, 用作电阻元件 380 的双栅驱动晶体管根据来自状态转换电路 358 的信号, 在验证时对第四栅电极施加正电位, 在读出时不对第四栅电极施加电位。

[0130] 如上所述, 通过边使写入电压 (V_{RAMP}) 上升, 边进行读出, 即使在读出用晶体管的第一晶体管 311 及写入用晶体管的第二晶体管 312 有特性的不均匀时, 也可以以所设定的电位进行写入。

[0131] 此外, 根据本实施方式的半导体装置, 在每个存储单元中, 由于调整保持电位, 以得到所希望的数据, 所以可以进行抑制每个存储单元的晶体管特性的不均匀的写入。

[0132] 此外, 根据本实施方式的半导体装置在电源电压 VDD 与存储电路之间作为电阻元件使用双栅驱动晶体管。由此, 在验证时和读出时分别使用各电阻元件, 可以对基准电位有不同的电源电压 VDD。通过采用这种结构, 不需要设置验证用及读出用的两种基准电位电路, 可以缩小电路规模, 并可以进行有余量的读出。

[0133] 本实施方式所示的结构、方法等可以与其他实施方式所示的结构、方法等适当地组合而使用。

[0134] 实施方式 3

[0135] 在本实施方式中, 参照图 9A 至图 13C 说明根据所公开的发明的一个方式的半导体装置的结构及其制造方法。

[0136] < 半导体装置的截面结构及平面结构 >

[0137] 图 9A 和图 9B 是对应于如下晶体管的半导体装置的结构的一个例子: 图 1 所示的存储单元阵列 253 所具有的第一晶体管 211 及第二晶体管 212 或图 4 所示的存储单元阵列 353 所具有的第一晶体管 311 及第二晶体管 312。图 9A 示出半导体装置的截面, 并且图 9B 示出半导体装置的平面。在此, 图 9A 相当于沿图 9B 的 A1-A2 的截面。另外, 在图 9B 中, 为了避免复杂, 省略该半导体装置的构成要素的一部分 (绝缘层 154、绝缘层 172、布线 171 及布线 158)。图 9A 和图 9B 所示的半导体装置在其下部包括使用第一半导体材料的晶体管 160, 并且在其上部包括使用第二半导体材料的晶体管 162。

[0138] 此外, 晶体管 160 对应于第一晶体管 211 及第一晶体管 311, 而晶体管 162 对应于第二晶体管 212 及第二晶体管 312。此外, 由晶体管 160、晶体管 162 及电容器 164 构成存储单元 190。

[0139] 在此, 第一半导体材料和第二半导体材料优选是不同的材料。例如, 可以使用氧化物半导体以外的半导体材料 (硅等) 作为第一半导体材料, 并且使用氧化物半导体作为第二半导体材料。使用氧化物半导体以外的材料的晶体管容易进行高速工作。另一方面, 使用氧化物半导体的晶体管因为其特性而能够长期保持电荷。

[0140] 另外, 虽然说明上述晶体管都是 n 沟道型晶体管的情况, 但是当然也可以使用 p 沟道型晶体管。此外, 由于所公开的发明的技术特征在于将如氧化物半导体那样可以充分降

低截止电流的半导体材料用于晶体管 162 以保持信息,因此不需要将半导体装置的具体结构如用于半导体装置的材料或半导体装置的结构等限定于在此所示的结构。

[0141] 图 9A 和图 9B 所示的晶体管 160 包括:夹着设置在含有半导体材料(例如,硅等)的衬底 100 中的沟道形成区 116a 设置的杂质区 120a 及杂质区 120b;与杂质区 120a 及杂质区 120b 接触的金属化合物区 124a 及金属化合物区 124b;设置在沟道形成区 116a 上的栅极绝缘层 108;以及设置在栅极绝缘层 108 上的栅电极 110。另外,如图 9A 那样,虽然有时没有源电极或漏电极,但是为了方便起见,有时将这种结构也称作晶体管。此外,在此情况下,为了说明晶体管的连接关系,有时源区和源电极共称为“源电极”,而漏区和漏电极共称为“漏电极”。就是说,在本说明书中,源电极的记载中有可能包括源区,并且漏电极的记载中有可能包括漏区。

[0142] 此外,在衬底 100 上围绕晶体管 160 设置有元件分离绝缘层 106,并且覆盖晶体管 160 设置有绝缘层 128。另外,为了实现高集成化,优选采用如图 9A 和图 9B 所示那样在晶体管 160 中没有侧壁绝缘层的结构。另一方面,在重视晶体管 160 的特性时,也可以在栅电极 110 侧面设置侧壁绝缘层,并且设置包括杂质浓度不同的区域。

[0143] 在此,绝缘层 128 优选具有平坦性好的表面,例如,绝缘层 128 的表面的均方根(RMS)粗糙度优选为 1nm 以下。

[0144] 图 9A 和图 9B 所示的晶体管 162 包括埋设在形成于绝缘层 128 上的绝缘层 140 中的源电极 142a 及漏电极 142b;与绝缘层 140、源电极 142a 及漏电极 142b 的一部分接触的氧化物半导体层 144;覆盖氧化物半导体层 144 的栅极绝缘层 146;以及在栅极绝缘层 146 上与氧化物半导体层 144 重叠地设置的栅电极 148。

[0145] 在此,氧化物半导体层 144 优选通过充分去除氢等杂质或者供应足够的氧而被高纯度化。具体而言,例如,将氧化物半导体层 144 的氢浓度设定为 5×10^{19} atoms/cm³ 以下,优选为 5×10^{18} atoms/cm³ 以下,更优选为 5×10^{17} atoms/cm³ 以下。另外,上述氧化物半导体层 144 中的氢浓度是利用二次离子质谱分析技术(SIMS:Secondary Ion Mass Spectroscopy)测量的。在如上所述充分降低氢浓度而被高纯度化且由氧缺陷造成的能隙中的缺陷能级通过供应足够的氧被降低了的氧化物半导体层 144 中,起因于氢等施主的载流子密度为低于 1×10^{12} /cm³,优选为低于 1×10^{11} /cm³,更优选为低于 1.45×10^{10} /cm³。此外,例如,在室温(25℃)下的截止电流(在此,每单位沟道宽度(1 μm)的值)成为 100zA(1zA(仄普托安培)为 1×10^{-21} A)以下,优选成为 10zA 以下。像这样,通过采用 i 型化(本征化)或实质上 i 型化的氧化物半导体,可以获得截止电流特性极为优越的晶体管 162。

[0146] 此外,优选将绝缘层 140 的表面中与氧化物半导体层 144 接触的区域均方根(RMS)粗糙度设定为 1nm 以下。像这样,通过在均方根(RMS)粗糙度为 1nm 以下的极为平坦的区域中设置晶体管 162 的沟道形成区,即使在将晶体管 162 微型化的情况下也可以防止短沟道效应等不良现象的发生,而可以提供具有良好特性的晶体管 162。

[0147] 在晶体管 162 上设置有绝缘层 150,并且在绝缘层 150 及电容器 164 的电极 152 上设置有绝缘层 154。在绝缘层 150 及绝缘层 154 中形成到达栅电极 148 的开口,在该开口中形成有电极 170。通过在绝缘层 154 上接触于埋设在绝缘层 154 中地形成的电极 170 形成布线 171,栅电极 148 与布线 171 电连接。在绝缘层 154 及布线 171 上设置有绝缘层 172。

[0148] 在形成在栅极绝缘层 146、绝缘层 150、绝缘层 154 及绝缘层 172 中的开口中设置

有电极 156,并且在绝缘层 172 上形成有与电极 156 连接的布线 158。通过设置在形成在栅极绝缘层 146、绝缘层 150、绝缘层 154 及绝缘层 172 中的开口中的电极 156;埋设在绝缘层 140 中的漏电极 142b;以及埋设在绝缘层 128 中的电极 126,布线 158 与用作晶体管 160 的漏区的金属化合物区 124b 电连接。

[0149] 另外,根据所公开的发明的半导体装置的结构不局限于图 9A 和 9B 所示的结构。所公开的发明的一个方式的技术关键在于形成使用氧化物半导体和氧化物半导体以外的材料的叠层结构。因此,可以适当地改变电极的连接关系等的详细结构。

[0150] 下面,对上述半导体装置的制造方法的一个例子进行说明。以下,首先参照图 10A 至图 10D 及图 11A 至图 11D 说明下部的晶体管 160 的制造方法,然后,参照图 12A 至图 12D 及图 13A 至图 13C 说明上部的晶体管 162 及电容器 164 的制造方法。

[0151] 首先,准备含有半导体材料的衬底 100(参照图 10A)。作为含有半导体材料的衬底 100,可以采用硅或碳化硅等的单晶半导体衬底、多晶半导体衬底、硅锗等的化合物半导体衬底、SOI 衬底等。另外,一般来说,“SOI 衬底”是指在绝缘表面上设置有硅半导体层的衬底,而在本说明书等中,“SOI 衬底”这一词的概念还包括在绝缘表面上设置有含有硅以外的材料的半导体层的衬底。也就是说,“SOI 衬底”所包括的半导体层不局限于硅半导体层。此外,SOI 衬底还包括在玻璃衬底等绝缘衬底上隔着绝缘层设置有半导体层的衬底。

[0152] 在此,示出作为包含半导体材料的衬底 100 使用单晶硅衬底的情况的一个例子。作为包含半导体材料的衬底 100,特别优选使用硅等的单晶半导体衬底,因为这样可以使半导体装置的读出工作高速化。

[0153] 另外,为了控制晶体管的阈值电压,也可以对后面成为晶体管 160 的沟道形成区 116 的区域添加杂质元素。在此,添加赋予导电性的杂质元素以使晶体管 160 的阈值电压成为正值。当半导体材料为硅时,作为该赋予导电性的杂质,例如有硼、铝、镓等。另外,优选在添加杂质元素后进行加热处理,来实现杂质元素的活化、当添加杂质元素时产生的缺陷的改善等。

[0154] 在衬底 100 上形成保护层 102,该保护层 102 成为用来形成元件分离绝缘层的掩模(参照图 10A)。作为保护层 102,例如可以使用由氧化硅、氮化硅、氧氮化硅等的材料而成的绝缘层。

[0155] 接着,将上述保护层 102 用作掩模进行蚀刻,来去除衬底 100 的一部分,即衬底 100 的不被保护层 102 覆盖的区域(露出的区域)。由此,形成与其他半导体区分离的半导体区 104(参照图 10B)。作为该蚀刻优选采用干蚀刻,但是也可以采用湿蚀刻。可以根据被蚀刻材料适当地选择蚀刻气体或蚀刻液。

[0156] 接着,通过覆盖半导体区 104 地形成绝缘层,并且选择性地去除与半导体区 104 重叠的区域的绝缘层,来形成元件分离绝缘层 106(参照图 10C)。该绝缘层使用氧化硅、氮化硅、氧氮化硅等而形成。作为绝缘层的去除方法有 CMP(化学机械抛光)处理等抛光处理或蚀刻处理等,并且可以使用其中任一种方法。另外,在形成半导体区 104 之后或在形成元件分离绝缘层 106 之后去除上述保护层 102。

[0157] 接着,在半导体区 104 的表面上形成绝缘层,并且在该绝缘层上形成含有导电材料的层。

[0158] 绝缘层在后面成为栅极绝缘层,该绝缘层例如可以通过对半导体区 104 的表面进

行热处理（热氧化处理或热氮化处理等）形成。也可以采用高密度等离子体处理代替热处理。例如可以使用 He、Ar、Kr、Xe 等稀有气体、氧、氧化氮、氨、氮、氢等的混合气体进行高密度等离子体处理。当然，也可以利用 CVD 法或溅射法等形成绝缘层。该绝缘层优选采用含有氧化硅、氧氮化硅、氮化硅、氧化钪、氧化铝、氧化钽、氧化铪、硅酸钪 (HfSi_xO_y ($x > 0, y > 0$))、添加有氮的硅酸钪 (HfSi_xO_y ($x > 0, y > 0$))、添加有氮的铝酸钪 (HfAl_xO_y ($x > 0, y > 0$)) 等的单层结构或叠层结构。此外，例如可以将绝缘层的厚度设定为 1nm 以上且 100nm 以下，优选设定为 10nm 以上且 50nm 以下。

[0159] 包含导电材料的层可以使用铝、铜、钛、钽、钨等的金属材料而形成。此外，也可以使用多晶硅等的半导体材料形成包含导电材料的层。对其形成方法也没有特别的限制，可以采用蒸镀法、CVD 法、溅射法、旋涂法等各种成膜方法。另外，在本实施方式中示出使用金属材料形成包含导电材料的层时的一个例子。

[0160] 然后，选择性地蚀刻绝缘层及包含导电材料的层，形成栅极绝缘层 108 及栅电极 110（参照图 10C）。

[0161] 接着，对半导体区 104 添加磷 (P) 或砷 (As) 等形成沟道形成区 116 及杂质区 120a 及杂质区 120b（参照图 10D）。另外，虽然这里为了形成 n 型晶体管添加磷或砷，但在形成 p 型晶体管时添加硼 (B) 或铝 (Al) 等杂质元素即可。在此，可以适当地设定所添加的杂质的浓度，但是当使半导体元件高度微型化时，优选提高其浓度。

[0162] 另外，也可以在栅电极 110 的周围形成侧壁绝缘层，形成以不同浓度添加有杂质元素的杂质区。

[0163] 接着，覆盖栅电极 110、杂质区 120a 及杂质区 120b 地形成金属层 122（参照图 11A）。该金属层 122 可以利用真空蒸镀法、溅射法或旋涂法等各种成膜方法形成。金属层 122 优选使用与构成半导体区 104 的半导体材料起反应而成为低电阻金属化合物的金属材料形成。作为这种金属材料，例如有钛、钽、钨、镍、钴、铂等。

[0164] 接着，进行热处理，使上述金属层 122 与半导体材料起反应。由此，形成与杂质区 120a、杂质区 120b 接触的金属化合物区 124a 及金属化合物区 124b（参照图 11A）。另外，当使用多晶硅等作为栅电极 110 时，还在栅电极 110 的与金属层 122 接触的部分中形成金属化合物区。

[0165] 作为上述热处理，例如可以采用利用闪光灯的照射的热处理。当然，也可以采用其他热处理方法，但是，为了提高形成金属化合物时的化学反应的控制性，优选采用可以在极短时间内完成热处理的方法。另外，上述金属化合物区是因金属材料与半导体材料起反应而形成的区域，从而该金属化合物区的导电性充分得到提高。通过形成该金属化合物区，可以充分降低电阻，并且可以提高元件特性。另外，在形成金属化合物区 124a 及金属化合物区 124b 之后，去除金属层 122。

[0166] 接着，在晶体管 160 的金属化合物区 124b 上与其接触地形成电极 126（参照图 11B）。电极 126 通过在使用如溅射法的 PVD 法、等离子体 CVD 法等 CVD 法形成导电层之后将该导电层蚀刻为所希望的形状来形成。此外，作为导电层的材料，可以使用选自铝、铬、铜、钽、钛、钼和钨中的元素或以上述元素为成分的合金等。还可以使用选自锰、镁、锆、铍、钕、钐中的一种或多种材料。

[0167] 通过上述步骤形成使用包含半导体材料的衬底 100 的晶体管 160（参照图 11B）。

这种晶体管 160 具有能够进行高速工作的特征。因此,通过使用该晶体管作为读出用晶体管,可以进行高速的信息读出。

[0168] 接着,覆盖通过上述步骤形成的各结构地形成绝缘层 128(参照图 11C)。绝缘层 128 可以使用包含如氧化硅、氮氧化硅、氮化硅、氧化铝等的无机绝缘材料形成。尤其是,优选将低介电常数(low-k)材料用于绝缘层 128,因为这样可以充分降低由于各种电极或布线重叠而产生的电容。另外,作为绝缘层 128 也可以采用使用上述材料的多孔绝缘层。因为多孔绝缘层的介电常数比高密度的绝缘层的介电常数低,所以若采用多孔绝缘层,则可以进一步降低起因于电极或布线的电容。此外,绝缘层 128 也可以使用聚酰亚胺、丙烯酸树脂等有机绝缘材料形成。另外,虽然这里采用单层结构的绝缘层 128,但是所公开的发明的一个方式不局限于此。也可以采用两层以上的叠层结构的绝缘层 128。

[0169] 然后,作为在形成晶体管 162 及电容器 164 之前的处理,对绝缘层 128 进行 CMP 处理,使栅电极 110 及电极 126 的上表面露出(参照图 11D)。作为使栅电极 110 的上表面露出的处理,除了 CMP 处理以外还可以采用蚀刻处理等,但是为了提高晶体管 162 的特性,优选使绝缘层 128 的表面尽可能地平坦。例如,优选将绝缘层 128 的表面的均方根(RMS)粗糙度设定为 1nm 以下。

[0170] 另外,也可以在上述各步骤前后还包括形成电极、布线、半导体层、绝缘层等的步骤。例如,也可以采用由绝缘层及导电层的叠层结构构成的多层布线结构作为布线的结构,来制造出高度集成化的半导体装置。

[0171] <上部的晶体管的制造方法>

[0172] 下面,在栅电极 110、电极 126 及绝缘层 128 等上形成导电层,并且选择性地蚀刻该导电层,形成源电极 142a、漏电极 142b(参照图 12A)。

[0173] 导电层可以利用如溅射法等的 PVD 法或如等离子体 CVD 法等 CVD 法形成。此外,作为导电层的材料,可以使用选自铝、铬、铜、钼、钛、钽、钨中的元素或以上述元素为成分的合金等。还可以使用选自锰、镁、铅、铍、钕、钆中的一种或多种材料。

[0174] 导电层既可以采用单层结构又可以采用两层以上的叠层结构。例如,可以举出:钛膜或氮化钛膜的单层结构;含有硅的铝膜的单层结构;在铝膜上层叠钛膜的双层结构;在氮化钛膜上层叠钛膜的双层结构;层叠钛膜、铝膜及钛膜的三层结构等。另外,当作为导电层采用钛膜或氮化钛膜的单层结构时,有容易将该导电层加工成具有锥形形状的源电极 142a 及漏电极 142b 的优点。

[0175] 此外,导电层也可以使用导电金属氧化物形成。作为导电金属氧化物,可以采用氧化铟(In_2O_3)、氧化锡(SnO_2)、氧化锌(ZnO)、氧化铟氧化锡合金($\text{In}_2\text{O}_3\text{-SnO}_2$,有时简称为 ITO)、氧化铟氧化锌合金($\text{In}_2\text{O}_3\text{-ZnO}$)或者这些金属氧化物材料中含有硅或氧化硅而成的金属氧化物。

[0176] 另外,虽然可以采用干蚀刻或湿蚀刻进行对导电层的蚀刻,但是为了实现微型化,优选采用控制性良好的干蚀刻。此外,也可以使所形成的源电极 142a 及漏电极 142b 具有锥形形状地进行导电层的蚀刻。例如可以将锥形角设定为 30° 以上且 60° 以下。

[0177] 上部的晶体管 162 的沟道长度(L)取决于源电极 142a 的上端部与漏电极 142b 的上端部之间的距离。另外,在形成沟道长度(L)短于 25nm 的晶体管的情况下,优选利用波长短即几 nm 至几十 nm 的超紫外线(Extreme Ultraviolet)进行形成掩模时的曝光。利用

超紫外线的曝光的分辨率高且聚焦深度也大。因此,可以将后面形成的晶体管的沟道长度(L)设定为短于 $2\mu\text{m}$,优选设定为 10nm 以上且 350nm ($0.35\mu\text{m}$)以下,而可以提高电路的工作速度。此外,通过进行小型化,可以降低半导体装置的功耗。

[0178] 另外,也可以在绝缘层128上设置用作基底的绝缘层。该绝缘层可以利用PVD法或CVD法等形成。

[0179] 接着,在覆盖源电极142a及漏电极142b地形成绝缘层140之后,使源电极142a及漏电极142b露出地进行CMP(化学机械抛光)处理,以使绝缘层140平坦(参照图12A)。

[0180] 可以使用包含氧化硅、氮化硅、氧化铝等的无机绝缘材料形成绝缘层140。因为在后面氧化物半导体层144与绝缘层140接触,所以作为绝缘层140尤其优选采用使用氧化硅等的绝缘层。虽然对绝缘层140的形成方法没有特别的限制,但是考虑到与氧化物半导体层144接触的情况,优选采用充分减少氢的方法。作为这种方法,例如有溅射法。当然,也可以采用等离子体CVD法等其他成膜方法。

[0181] 此外,以使源电极142a及漏电极142b的表面中的至少一部分露出的条件进行CMP(化学机械抛光)处理。此外,优选以绝缘层140的表面的均方根(RMS)粗糙度成为 1nm 以下(优选为 0.5nm 以下)的条件进行该CMP处理。通过使用这种条件进行CMP处理,可以提高后面其上形成氧化物半导体层144的表面的平坦性,而可以提高晶体管162的特性。

[0182] 另外,CMP处理既可以只进行一次,又可以进行多次。当分多次进行CMP处理时,优选在进行高抛光率的初期抛光之后,进行低抛光率的精抛光。像这样,通过组合抛光率不同的抛光,可以进一步提高绝缘层140的表面的平坦性。

[0183] 接着,在与源电极142a的上表面、漏电极142b的上表面及绝缘层140的上表面接触地形成氧化物半导体层之后,选择性地蚀刻该氧化物半导体层来形成氧化物半导体层144。

[0184] 氧化物半导体层144可以使用如下材料形成:四元金属氧化物的 In-Sn-Ga-Zn-O 类、三元金属氧化物的 In-Ga-Zn-O 类、 In-Sn-Zn-O 类、 In-Al-Zn-O 类、 Sn-Ga-Zn-O 类、 Al-Ga-Zn-O 类、 Sn-Al-Zn-O 类、二元金属氧化物的 In-Zn-O 类、 Sn-Zn-O 类、 Al-Zn-O 类、 Zn-Mg-O 类、 Sn-Mg-O 类、 In-Mg-O 类、以及 In-O 类、 Sn-O 类、 Zn-O 类等。此外,也可以使上述氧化物半导体包含 SiO_2 。

[0185] 尤其是, In-Ga-Zn-O 类的氧化物半导体材料的无电场时的电阻足够高而可以充分降低截止电流,并且其场效应迁移率也较高,因此, In-Ga-Zn-O 类的氧化物半导体材料适合用于半导体装置的半导体材料。

[0186] 作为 In-Ga-Zn-O 类的氧化物半导体材料的典型例子,有写为 $\text{InGaO}_3(\text{ZnO})_m$ ($m>0$)的氧化物半导体材料。此外,还有使用M代替Ga而写为 $\text{InMO}_3(\text{ZnO})_m$ ($m>0$)的氧化物半导体材料。在此,M表示选自镓(Ga)、铝(Al)、铁(Fe)、镍(Ni)、锰(Mn)、钴(Co)等中的一种金属元素或多种金属元素。例如,作为M,可以采用Ga、Ga及Al、Ga及Fe、Ga及Ni、Ga及Mn、Ga及Co等。另外,上述组成是根据晶体结构导出的,只是一个例子而已。

[0187] 此外,所使用的氧化物半导体材料优选至少包含铟(In)或锌(Zn)。尤其是优选包含In及Zn。此外,作为用来降低使用该氧化物半导体材料而成的晶体管的电特性的不均匀的稳定剂,除了上述元素以外优选还包含镓(Ga)。此外,作为稳定剂优选包含锡(Sn)。另外,作为稳定剂优选包含铪(Hf)。此外,作为稳定剂优选包含铝(Al)。

[0188] 此外,作为其他稳定剂,也可以包含镧系元素的镧(La)、铈(Ce)、镨(Pr)、钕(Nd)、钐(Sm)、铕(Eu)、钆(Gd)、铽(Tb)、镝(Dy)、钬(Ho)、铒(Er)、铥(Tm)、镱(Yb)、镱(Lu)中的一种或多种。

[0189] 例如,作为氧化物半导体,可以使用氧化铟、氧化锡、氧化锌、二元金属氧化物的In-Zn类氧化物、Sn-Zn类氧化物、Al-Zn类氧化物、Zn-Mg类氧化物、Sn-Mg类氧化物、In-Mg类氧化物、In-Ga类氧化物、三元金属氧化物的In-Ga-Zn类氧化物(也称为IGZO)、In-Al-Zn类氧化物、In-Sn-Zn类氧化物、Sn-Ga-Zn类氧化物、Al-Ga-Zn类氧化物、Sn-Al-Zn类氧化物、In-Hf-Zn类氧化物、In-La-Zn类氧化物、In-Ce-Zn类氧化物、In-Pr-Zn类氧化物、In-Nd-Zn类氧化物、In-Sm-Zn类氧化物、In-Eu-Zn类氧化物、In-Gd-Zn类氧化物、In-Tb-Zn类氧化物、In-Dy-Zn类氧化物、In-Ho-Zn类氧化物、In-Er-Zn类氧化物、In-Tm-Zn类氧化物、In-Yb-Zn类氧化物、In-Lu-Zn类氧化物、四元金属氧化物的In-Sn-Ga-Zn类氧化物、In-Hf-Ga-Zn类氧化物、In-Al-Ga-Zn类氧化物、In-Sn-Al-Zn类氧化物、In-Sn-Hf-Zn类氧化物、In-Hf-Al-Zn类氧化物。

[0190] 此外,在此,例如,In-Ga-Zn类氧化物是指具有In、Ga、Zn的氧化物,对In、Ga、Zn的比率没有限制。此外,也可以包含In、Ga、Zn以外的金属元素。

[0191] 例如,可以使用 $\text{In} : \text{Ga} : \text{Zn} = 1 : 1 : 1 (= 1/3 : 1/3 : 1/3)$ 或 $\text{In} : \text{Ga} : \text{Zn} = 2 : 2 : 1 (= 2/5 : 2/5 : 1/5)$ 的原子比的In-Ga-Zn类氧化物或具有近于上述原子比的原子比的氧化物。或者,优选使用 $\text{In} : \text{Sn} : \text{Zn} = 1 : 1 : 1 (= 1/3 : 1/3 : 1/3)$ 、 $\text{In} : \text{Sn} : \text{Zn} = 2 : 1 : 3 (= 1/3 : 1/6 : 1/2)$ 或 $\text{In} : \text{Sn} : \text{Zn} = 2 : 1 : 5 (= 1/4 : 1/8 : 5/8)$ 的原子比的In-Sn-Zn类氧化物或具有近于上述原子比的原子比的氧化物。

[0192] 但是,不局限于上述材料,根据所需要的半导体特性(迁移率、阈值、不均匀等)可以使用适当的组成的材料。另外,为了获得所需要的半导体特性,优选适当地设定载流子密度、杂质浓度、缺陷密度、金属元素与氧的原子数比、原子间键合距离、密度等的条件。

[0193] 作为用来通过溅射法形成氧化物半导体层144的氧化物靶材,优选使用由 $\text{In} : \text{Ga} : \text{Zn} = 1 : x : y$ (x 为0以上, y 为0.5以上且5以下)的组成比表示的靶材。例如,可以使用其组成比为 $\text{In} : \text{Ga} : \text{Zn} = 1 : 1 : 1$ [原子比]($x = 1, y = 1$)(即, $\text{In}_2\text{O}_3 : \text{Ga}_2\text{O}_3 : \text{ZnO} = 1 : 1 : 2$ [摩尔数比])的靶材等。另外,还可以使用其组成比为 $\text{In} : \text{Ga} : \text{Zn} = 1 : 1 : 0.5$ [原子比]($x = 1, y = 0.5$)的靶材、其组成比为 $\text{In} : \text{Ga} : \text{Zn} = 1 : 1 : 2$ [原子比]($x = 1, y = 2$)的靶材或其组成比为 $\text{In} : \text{Ga} : \text{Zn} = 1 : 0 : 1$ [原子比]($x = 0, y = 1$)的靶材。

[0194] 在本实施方式中,利用使用In-Ga-Zn-O类金属氧化物靶材的溅射法形成非晶结构的氧化物半导体层144。此外,其厚度为1nm以上且50nm以下,优选为2nm以上且20nm以下,更优选为3nm以上且15nm以下。

[0195] 金属氧化物靶材中的金属氧化物的相对密度为80%以上,优选为95%以上,更优选为99.9%以上。通过使用相对密度高的金属氧化物靶材,可以形成结构致密的氧化物半导体层。

[0196] 作为形成氧化物半导体层144时的气氛,优选采用稀有气体(典型为氩)气氛、氧气氛或稀有气体(典型为氩)和氧的混合气氛。具体地说,例如,优选采用氢、水、羟基或氢

化物等杂质被去除直到浓度为 1ppm 以下（优选浓度为 10ppb 以下）的高纯度气体气氛。

[0197] 当形成氧化物半导体层 144 时，例如在保持为减压状态的处理室内固定被处理物，并且加热被处理物以使被处理物的温度到达 100℃ 以上且低于 550℃，优选到达 200℃ 以上且 400℃ 以下。或者，也可以将形成氧化物半导体层 144 时的被处理物的温度设定为室温（25℃ ± 10℃）。然后，边从处理室内去除水分边将氢及水等被去除了的溅射气体引入该处理室内，并且使用上述靶材，形成氧化物半导体层 144。通过边加热被处理物边形成氧化物半导体层 144，可以降低包含在氧化物半导体层 144 中的杂质。此外，可以减轻因溅射而造成的损伤。为了去除处理室内的水分，优选使用吸附式真空泵。例如，可以使用低温泵、离子泵、钛升华泵等。此外，也可以使用具备冷阱的涡轮分子泵。由于通过使用低温泵等排气，可以从处理室去除氢及水等，所以可以降低氧化物半导体层中的杂质浓度。

[0198] 另外，氧化物半导体层 144 不仅需要降低上述氢或水等杂质浓度，还需要降低碱金属及碱土金属的杂质浓度。

[0199] 另外，碱金属由于不是构成氧化物半导体的元素，所以是杂质。碱土金属在它不是构成氧化物半导体的元素时也是杂质。尤其是碱金属中的 Na 在与氧化物半导体膜接触的绝缘膜是氧化物时，在该绝缘膜中扩散而成为 Na⁺。此外，Na 在氧化物半导体膜中将构成氧化物半导体的金属和氧的键合分断或进入在该键合中。其结果是，例如，发生因阈值电压向负一侧漂移而导致的常导通化、迁移率的降低等晶体管特性的劣化，而且，也发生特性的不均匀。因该杂质带来的晶体管特性的劣化和特性的不均匀显著地出现在氧化物半导体膜中氢浓度充分降低的情况下。从而，在氧化物半导体膜中的氢浓度为 $5 \times 10^{19} \text{cm}^{-3}$ 以下，尤其为 $5 \times 10^{18} \text{cm}^{-3}$ 以下时，优选降低上述杂质的浓度。具体而言，利用二次离子质谱分析法的 Na 浓度的测量值为 $5 \times 10^{16} / \text{cm}^3$ 以下，优选为 $1 \times 10^{16} / \text{cm}^3$ 以下，更优选为 $1 \times 10^{15} / \text{cm}^3$ 以下。同样地，Li 浓度的测量值为 $5 \times 10^{15} / \text{cm}^3$ 以下，优选为 $1 \times 10^{15} / \text{cm}^3$ 以下。同样地，K 浓度的测量值为 $5 \times 10^{15} / \text{cm}^3$ 以下，优选为 $1 \times 10^{15} / \text{cm}^3$ 以下。

[0200] 接着，作为氧化物半导体层 144 的形成条件，例如可以采用如下条件：被处理物与靶材之间的距离为 170mm；压力为 0.4Pa；直流（DC）功率为 0.5kW；气氛为氧（氧 100%）气氛、氩（氩 100%）气氛或氧和氩的混合气氛。另外，当利用脉冲直流（DC）电源时，可以减少尘屑（成膜时发生的粉状物质等）并且膜厚分布也变得均匀，所以利用脉冲直流（DC）电源是优选的。将氧化物半导体层 144 的厚度如上所述那样设定为 1nm 以上且 50nm 以下，优选为 2nm 以上且 20nm 以下，更优选为 3nm 以上且 15nm 以下。通过采用根据所公开的发明的结构，即使在使用这样的厚度的氧化物半导体层 144 的情况下，也可以抑制因微型化而导致的短沟道效应。但是，由于氧化物半导体层的适当的厚度根据所采用的氧化物半导体材料及半导体装置的用途等不同，所以也可以根据所使用的材料及用途等来设定其厚度。另外，因为通过如上那样形成绝缘层 140，可以充分地使形成相当于氧化物半导体层 144 的沟道形成区的部分的表面平坦化，所以也可以适当地形成厚度小的氧化物半导体层。此外，如图 12B 所示，优选将相当于氧化物半导体层 144 的沟道形成区的部分的截面形状形成为平坦的形状。通过将相当于氧化物半导体层 144 的沟道形成区的部分的截面形状形成为平坦的形状，与氧化物半导体层 144 的截面形状不平坦的情况相比，可以减少泄漏电流。

[0201] 另外，也可以在通过溅射法形成氧化物半导体层 144 之前进行引入氩气体产生等离子体的反溅射，来去除附着在形成氧化物半导体层的表面（例如，绝缘层 140 的表面）上

的附着物。在通常的溅射中使离子碰撞到溅射靶材，而这里的反溅射与其相反。该反溅射是指通过使离子碰撞到处理表面来进行表面改性的方法。作为使离子碰撞到处理表面的方法，有通过在氩气氛下对处理表面一侧施加高频电压，而在被处理物附近产生等离子体的方法等。另外，也可以采用氮、氦、氧等气氛代替氩气氛。

[0202] 在形成氧化物半导体层 144 之后，优选对氧化物半导体层 144 进行热处理（第一热处理）。通过该第一热处理，可以去除氧化物半导体层 144 中的过剩的氢（包含水及羟基）等，改善氧化物半导体层 144 的结构，从而可以降低能隙中的缺陷能级。将第一热处理的温度例如设定为 300℃ 以上且低于 550℃，优选为 400℃ 以上且 500℃ 以下。

[0203] 作为热处理，例如，可以将被处理物放在使用电阻发热体等的电炉中，并在氮气气氛下以 450℃ 进行 1 小时的加热。在此期间，不使氧化物半导体层接触大气，以防止水及氢混入氧化物半导体层中。

[0204] 热处理装置不局限于电炉，还可以使用通过利用来自被加热的气体等介质的热传导或热辐射来加热被处理物的装置。例如，可以使用如 GRTA (Gas Rapid Thermal Anneal：气体快速热退火) 装置、LRTA (Lamp Rapid Thermal Anneal：灯快速热退火) 装置等 RTA (Rapid Thermal Anneal：快速热退火) 装置。LRTA 装置是一种利用由卤素灯、金卤灯、氙弧灯、碳弧灯、高压钠灯、或者高压汞灯等的灯发射的光（电磁波）的辐射来加热被处理物的装置。GRTA 装置是一种利用高温气体进行热处理的装置。作为气体，使用即使进行热处理也不与被处理物起反应的惰性气体，如氩等的稀有气体或氮等。

[0205] 例如，作为第一热处理可以进行 GRTA 处理，其中将被处理物放在被加热的惰性气体气氛中，在加热几分钟后，将被处理物从该惰性气体气氛中取出。通过采用 GRTA 处理，可以在短时间内进行高温热处理。此外，即使是处理温度高于被处理物的耐热温度的条件，也可以采用 GRTA 处理。另外，也可以在处理时将惰性气体换为含有氧的气体。这是因为如下缘故：通过在包含氧的气氛下进行第一热处理，可以降低因氧缺损而产生的能隙中的缺陷能级。

[0206] 另外，作为惰性气体气氛，优选采用以氮或稀有气体（氮、氦、氩等）为主要成分且不包含水、氢等的气氛。例如，将引入热处理装置中的氮或如氮、氦、氩等的稀有气体的纯度设定为 6N (99.9999%) 以上，更优选为 7N (99.99999%) 以上（即，将杂质浓度设定为 1ppm 以下，优选为 0.1ppm 以下）。

[0207] 总之，通过进行第一热处理降低杂质，供应氧而填补氧缺陷，来形成 i 型（本征半导体）或无限趋近于 i 型的氧化物半导体层，可以得到具有极为优良的特性的晶体管。

[0208] 另外，因为上述热处理（第一热处理）具有去除氢及水等的作用，所以也可以将该热处理称为脱水化处理或脱氢化处理等。该脱水化处理或脱氢化处理也可以在形成氧化物半导体层 144 之后、在形成栅极绝缘层 146 之后或在形成栅电极之后等时机进行。此外，这种脱水化处理或脱氢化处理不限于一次，也可以进行多次。

[0209] 对氧化物半导体层 144 的蚀刻可以在上述热处理之前或在上述热处理之后进行。此外，从元件的微型化的观点来看，优选采用干蚀刻，但是也可以采用湿蚀刻。蚀刻气体及蚀刻液可以根据被蚀刻材料适当地选择。另外，当元件中的泄漏等不成为问题时，也可以不将氧化物半导体层加工为岛状。

[0210] 在氧化物半导体层 144 与源电极 142a、漏电极 142b 之间也可以设置用作源区及漏

区的氧化物导电层作为缓冲层。

[0211] 作为氧化物导电层的形成方法,使用溅射法、真空蒸镀法(电子束蒸镀法等)、电弧放电离子电镀法、喷射法。作为这种氧化物导电层的材料,可以应用氧化锌、氧化锌铝、氮化锌铝、氧化锌镓等。将膜厚度适当地设定为 50nm 以上且 300nm 以下。另外,也可以使用上述材料包含氧化硅。

[0212] 可以通过利用与源电极 142a、漏电极 142b 相同的光刻工序加工氧化物导电层的形状。此外,在形成氧化物半导体层 144 的光刻工序中还使用相同的掩模加工该氧化物导电层的形状。

[0213] 通过在氧化物半导体层 144 与源电极 142a、漏电极 142b 之间设置氧化物导电层作为源区和漏区设置,可以实现源区和漏区的低电阻化,并可以进行晶体管 162 的高速工作。

[0214] 此外,通过采用氧化物半导体层 144、氧化物导电层、漏电极 142b 的结构,可以提高晶体管 162 的耐压性。

[0215] 作为源区及漏区而使用氧化物导电层是为了提高外围电路(驱动电路)的频率特性而有效的。这是因为与金属电极(钼或钨等)与氧化物半导体层的接触相比,金属电极(钼或钨等)与氧化物导电层的接触可以降低接触电阻的缘故。通过在氧化物半导体层与源电极层及漏电极层之间设置氧化物导电层,可以降低接触电阻,并可以提高外围电路(驱动电路)的频率特性。

[0216] 接着,覆盖氧化物半导体层 144 地形成栅极绝缘层 146(参照图 12B)。

[0217] 栅极绝缘层 146 可以利用 CVD 法或溅射法等形成。此外,栅极绝缘层 146 优选包含氧化硅、氮化硅、氧氮化硅、氧化铝、氧化钽、氧化铪、氧化钇、硅酸钪(HfSi_xO_y ($x > 0, y > 0$))、添加有氮的硅酸钪(HfSi_xO_y ($x > 0, y > 0$))、添加有氮的铝酸钪(HfAl_xO_y ($x > 0, y > 0$))等。此外,栅极绝缘层 146 既可以采用单层结构又可以采用叠层结构。此外,虽然对栅极绝缘层 146 的厚度没有特别的限制,但是当使半导体装置微型化时,优选将栅极绝缘层 146 形成为较薄,以确保晶体管的工作。例如,当使用氧化硅时,可以将栅极绝缘层 146 形成为 1nm 以上且 100nm 以下,优选形成为 10nm 以上且 50nm 以下。

[0218] 当如上那样将栅极绝缘层形成为较薄时,发生因隧道效应等而引起的栅极泄漏的问题。为了解决栅极泄漏的问题,优选将氧化钪、氧化钽、氧化铪、硅酸钪(HfSi_xO_y ($x > 0, y > 0$))、添加有氮的硅酸钪(HfSi_xO_y ($x > 0, y > 0$))、添加有氮的铝酸钪(HfAl_xO_y ($x > 0, y > 0$))等高介电常数(high-k)材料用于栅极绝缘层 146。通过将 high-k 材料用于栅极绝缘层 146,不但可以确保电特性,而且还可以将栅极绝缘层 146 形成为较厚以抑制栅极泄漏。例如,氧化钪的介电常数为 15 左右,该数值比氧化硅的介电常数的 3 至 4 极大。通过采用这种材料,容易得到换算为氧化硅时低于 15nm,优选为 2nm 以上且 10nm 以下的栅极绝缘层。另外,还可以采用包含 high-k 材料的膜与包含氧化硅、氮化硅、氧氮化硅、氮氧化硅、氧化铝等中的任一种的膜的叠层结构。

[0219] 此外,如栅极绝缘层 146 那样,作为与氧化物半导体层 144 接触的膜,优选使用氧化膜、氮化膜或金属氧化物膜,例如使用氧化硅、氮化硅、氧氮化硅、氮氧化硅等材料而形成。另外,也可以使用包含第 13 族元素和氧的材料而形成。作为包含第 13 族元素和氧的材料,例如有包含氧化镓、氧化铝、氧化铝镓及氧化镓铝中的一种或多种的材料等。在此,氧化铝镓是指含铝量(at. %)多于含镓量(at. %)的物质,氧化镓铝是指含镓量(at. %)等

于或多于含铝量 (at. %) 的物质。金属氧化物膜可以通过使用上述材料以单层结构或叠层结构来形成。

[0220] 优选在形成栅极绝缘层 146 之后,在惰性气体气氛下或在氧气氛下进行第二热处理。热处理的温度为 200℃ 以上且 450℃ 以下,优选为 250℃ 以上且 350℃ 以下。例如,在氮气氛下以 250℃ 进行 1 小时的热处理即可。通过进行第二热处理,可以降低晶体管的电特性的不均匀性。此外,当栅极绝缘层 146 包含氧时,其向氧化物半导体层 144 供应氧而填补该氧化物半导体层 144 的氧缺陷,从而可以形成 i 型 (本征半导体) 或无限趋近于 i 型的氧化物半导体层。

[0221] 另外,在本实施方式中,虽然在形成栅极绝缘层 146 后进行第二热处理,但是进行第二热处理的时机不局限于此。例如,也可以在形成栅电极后进行第二热处理。此外,既可以在第一热处理结束后接着进行第二热处理,又可以在第一热处理中兼并第二热处理或在第二热处理中兼并第一热处理。

[0222] 如上那样,通过采用第一热处理和第二热处理中的至少一方,可以使氧化物半导体层 144 尽量不包含其主要成分以外的杂质地进行高纯度化。

[0223] 接着,在栅极绝缘层 146 上形成栅电极 148。

[0224] 栅电极 148 可以通过当在栅极绝缘层 146 上形成导电层后选择性地蚀刻该导电层来形成。成为栅电极 148 的导电层可以利用如溅射法等 PVD 法或如等离子体 CVD 法等 CVD 法形成。详细内容与形成源电极 142a 或漏电极 142b 等的情况相同,可以参照有关内容。

[0225] 通过上述步骤,完成使用被高纯度化的氧化物半导体层 144 的晶体管 162 (参照图 12C)。这种晶体管 162 具有截止电流被充分降低的特征。因此,通过将该晶体管用作写入用晶体管,可以长期保持电荷。

[0226] 接着,在栅极绝缘层 146 及栅电极 148 上形成绝缘层 150 (参照图 12D)。绝缘层 150 可以利用 PVD 法或 CVD 法形成。此外,绝缘层 150 还可以使用包含氧化硅、氮化硅、氮化硅、氧化铅、氧化铝等无机绝缘材料以单层或叠层形成。

[0227] 另外,优选将低介电常数的材料或低介电常数的结构 (多孔结构等) 用于绝缘层 150。通过降低绝缘层 150 的介电常数,可以降低发生在布线或电极等之间的电容而实现工作的高速化。

[0228] 接着,在绝缘层 150 上与源电极 142a 重叠地形成电极 152 (参照图 13A)。由于可以采用与栅电极 148 相同的方法及材料形成电极 152,所以详细内容可以参照关于上述栅电极 148 的记载。通过上述步骤完成电容器 164。

[0229] 接着,在绝缘层 150 及电极 152 上形成绝缘层 154。在绝缘层 150、绝缘层 154 中形成到达栅电极 148 的开口之后,在开口中形成电极 170,在绝缘层 154 上形成与电极 170 连接的布线 171 (参照图 13B)。通过使用掩模等选择性地蚀刻来形成该开口。

[0230] 接着,在绝缘层 154 及布线 171 上形成绝缘层 172。接着,在栅极绝缘层 146、绝缘层 150、绝缘层 154 及绝缘层 172 中形成到达漏电极 142b 的开口之后,在开口中形成电极 156,在绝缘层 172 上形成与电极 156 连接的布线 158 (参照图 13C)。通过使用掩模等选择性地蚀刻来形成该开口。

[0231] 与绝缘层 150 同样地可以采用 PVD 法或 CVD 法形成绝缘层 154 及绝缘层 172。此

外,可以使用包含氧化硅、氮化硅、氮化硅、氧化铪、氧化铝等无机绝缘材料的材料以单层或叠层形成绝缘层 154 及绝缘层 172。

[0232] 另外,优选将低介电常数的材料或低介电常数的结构(多孔结构等)用于绝缘层 154 及绝缘层 172。通过降低绝缘层 154 及绝缘层 172 的介电常数,可以降低发生在布线或电极等之间的电容而实现工作的高速化。

[0233] 另外,优选将上述绝缘层 154 及绝缘层 172 的表面形成为平坦。这是因为如下缘故:通过将绝缘层 154 及绝缘层 172 的表面形成为平坦,在使半导体装置微型化的情况之下,也可以在绝缘层 154 及绝缘层 172 上适当地形成电极或布线等。另外,绝缘层 154 及绝缘层 172 的平坦化可以利用 CMP(化学机械抛光)等方法进行。

[0234] 电极 170 及电极 156 例如可以在利用 PVD 法或 CVD 法等包括开口的区域中形成导电层之后,利用蚀刻处理或 CMP 等方法去除上述导电层的一部分来形成。

[0235] 更具体而言,例如可以采用如下方法:在包括开口的区域中通过 PVD 法形成薄的钛膜,并且通过 CVD 法形成薄的氮化钛膜,然后填充开口地形成钨膜。在此,通过 PVD 法形成的钛膜具有还原被形成面的氧化膜(自然氧化膜等)而降低与下部电极等(这里,漏电极 142b)之间的接触电阻的功能。此外,后面形成的氮化钛膜具有抑制导电材料的扩散的阻挡功能。此外,也可以在形成使用钛或氮化钛等的阻挡膜之后,通过镀敷法形成铜膜。

[0236] 布线 171 及布线 158 通过在利用如溅射法等 PVD 法或如等离子体 CVD 法等 CVD 法形成导电层之后将该导电层蚀刻为所希望的形状而形成。此外,作为导电层的材料,可以使用选自铝、铬、铜、钽、钛、钼及钨中的元素或以上述元素为成分的合金等。作为导电层的材料,还可以使用选自锰、镁、锆、铍、钕、钐中的一种或多种材料。详细内容与源电极 142a 等相同。

[0237] 另外,在上述工序结束后,还可以形成各种布线或电极等。布线或电极可以采用所谓镶嵌法、双镶嵌法等方法形成。

[0238] 通过上述工序可以制造出具有图 9A 和图 9B 所示的结构的半导体装置。

[0239] 在本实施方式所示的晶体管 162 中,由于氧化物半导体层 144 被高纯度化,所以其氢浓度为 5×10^{19} atoms/cm³ 以下,优选为 5×10^{18} atoms/cm³ 以下,更优选为 5×10^{17} atoms/cm³ 以下。此外,氧化物半导体层 144 的载流子密度比一般硅片的载流子密度 (1×10^{14} /cm³ 左右)小得多(例如,小于 1×10^{12} /cm³,更优选为小于 1.45×10^{10} /cm³)。并且,晶体管 162 的截止电流也足够小。例如,室温(25℃)下的晶体管 162 的截止电流(在此,每单位沟道宽度(1 μm)的值)为 100zA(1zA(仄普托安培)为 1×10^{-21} A)以下,优选为 10zA 以下。

[0240] 通过使用这样被高纯度化且被本征化的氧化物半导体层 144,容易充分降低晶体管 162 的截止电流。并且,通过使用这种晶体管 162,可以获得能够极为长期保持存储内容的半导体装置。

[0241] 本实施方式所示的结构及方法等可以与其他实施方式所示的结构及方法适当地组合来实施。

[0242] 实施方式 4

[0243] 在本实施方式中示出可应用于本说明书所公开的半导体装置中的晶体管的例子。对于可应用于本说明书所公开的半导体装置中的晶体管的结构没有特别的限制,例如可以采用具有顶栅结构或底栅结构的交错型及平面型等。另外,晶体管可以采用形成一个沟道

形成区的单栅结构、形成两个沟道形成区的两栅 (double gate) 结构或形成三个沟道形成区的三栅结构。另外,还可以采用在沟道区的上及下隔着栅极绝缘层配置两个栅电极层的双栅 (dual gate) 型。

[0244] 图 14A 至图 14D 示出可以应用于本说明书所公开的半导体装置 (例如,实施方式 1 中的晶体管 212) 中的晶体管的截面结构的实例。图 14A 至图 14D 所示的晶体管虽然设置在绝缘层 400 上,但是,也可以设置在玻璃衬底等的衬底上。

[0245] 图 14A 所示的晶体管 410 是底栅结构的薄膜晶体管之一,且还将其称为反交错型薄膜晶体管。

[0246] 晶体管 410 在绝缘层 400 上包括栅电极层 401、栅极绝缘层 402、氧化物半导体层 403、源电极层 405a 及漏电极层 405b。另外,设置有覆盖晶体管 410 并层叠在氧化物半导体层 403 的绝缘层 407。在绝缘层 407 上还形成有绝缘层 409。

[0247] 图 14B 所示的晶体管 420 是被称为沟道保护型 (也称为沟道停止型) 的底栅结构之一,且还将其称为反交错型薄膜晶体管。

[0248] 晶体管 420 在绝缘层 400 上包括栅电极层 401、栅极绝缘层 402、氧化物半导体层 403、覆盖氧化物半导体层 403 的沟道形成区的用作沟道保护层的绝缘层 427、源电极层 405a 及漏电极层 405b。另外,覆盖晶体管 420 地形成有绝缘层 409。

[0249] 图 14C 所示的晶体管 430 是底栅型的薄膜晶体管,并且在具有绝缘表面的衬底的绝缘层 400 上包括栅电极层 401、栅极绝缘层 402、源电极层 405a、漏电极层 405b 及氧化物半导体层 403。另外,设置有覆盖晶体管 430 且与氧化物半导体层 403 接触的绝缘层 407。在绝缘层 407 上还形成有绝缘层 409。

[0250] 在晶体管 430 中,在绝缘层 400 及栅电极层 401 上且与其接触而设置栅极绝缘层 402,在栅极绝缘层 402 上且与其接触而设置有源电极层 405a、漏电极层 405b。而且,在栅极绝缘层 402、漏电极层 405a 以及漏电极层 405b 上设置有氧化物半导体层 403。

[0251] 图 14D 所示的晶体管 440 是顶栅结构的薄膜晶体管之一。晶体管 440 在绝缘层 400 上包括绝缘层 437、氧化物半导体层 403、源电极层 405a、漏电极层 405b、栅极绝缘层 402 以及栅电极层 401。接触于源电极层 405a、漏电极层 405b 地分别设置有布线层 436a、布线层 436b,并且源电极层 405a、漏电极层 405b 分别与布线层 436a、布线层 436b 电连接。

[0252] 在将底栅结构的晶体管 410、420、430 设置在衬底上时,也可以将成为基底膜的绝缘膜设置在绝缘层 400 和栅电极层之间。基底膜具有防止来自绝缘层 400 的杂质元素的扩散的功能,并且使用选自氮化硅膜、氧化硅膜、氮氧化硅膜或氧氮化硅膜中的一种膜或多种膜的叠层结构形成。

[0253] 作为栅电极层 401 的材料,可以使用钼、钛、铬、钽、钨、铝、铜、钕、钐等的金属材料或以该金属材料为主要成分的合金材料,以单层或叠层形成栅电极层 401。

[0254] 作为栅极绝缘层 402,可以使用等离子体 CVD 法或溅射法等以氧化硅层、氮化硅层、氧氮化硅层、氮氧化硅层、氧化铝层、氮化铝层、氧氮化铝层、氮氧化铝层或氧化钪层的单层或叠层而形成。例如,作为第一栅极绝缘层,利用等离子体 CVD 法形成厚度为 50nm 以上 200nm 以下的氮化硅层 (SiN_y ($y > 0$)), 且在第一栅极绝缘层上层叠用作第二栅极绝缘层的厚度为 5nm 以上 300nm 以下的氧化硅层 (SiO_x ($x > 0$)), 来形成总厚度为 200nm 的栅极绝缘层。

[0255] 作为用于源电极层 405a、漏电极层 405b 的导电膜,例如使用选自 Al、Cr、Cu、Ta、Ti、Mo、W 中的元素或以上述元素为成分的合金、组合上述元素的合金膜等。另外,还可以采用在 Al、Cu 等的金属层的下侧和上侧中的一方或双方层叠 Ti、Mo、W 等的高熔点金属层的结构。另外,可以通过使用添加有防止在 Al 膜中产生小丘或晶须的元素(Si、Nd、Sc 等)的 Al 材料,来提高耐热性。

[0256] 如连接到源电极层 405a、漏电极层 405b 的布线层 436a、布线层 436b 那样的导电膜也可以使用与源电极层 405a、漏电极层 405b 同样的材料。

[0257] 另外,作为成为源电极层 405a、漏电极层 405b(包括由与它们相同的层形成的布线层)的导电膜,也可以使用导电金属氧化物形成。作为导电金属氧化物,可以使用氧化铟(In_2O_3)、氧化锡(SnO_2)、氧化锌(ZnO)、氧化铟氧化锡合金($\text{In}_2\text{O}_3\text{-SnO}_2$,缩写为 ITO)、氧化铟氧化锌合金($\text{In}_2\text{O}_3\text{-ZnO}$)或使这些金属氧化物材料包含氧化硅的材料。

[0258] 作为绝缘层 407、绝缘层 427 及绝缘层 437,典型地使用氧化硅膜、氮化硅膜、氧化铝膜或氮化铝膜等无机绝缘膜。

[0259] 绝缘层 409 可以使用氮化硅膜、氮化铝膜、氮氧化硅膜、氮氧化铝膜等无机绝缘膜。

[0260] 另外,也可以在绝缘层 409 上形成平坦化绝缘膜以减少因晶体管产生的表面凹凸。作为平坦化绝缘膜,可以使用聚酰亚胺、丙烯酸树脂、苯并环丁烯类树脂等的有机材料。除了上述有机材料之外,还可以使用低介电常数材料(low-k 材料)等。另外,也可以通过层叠多个由这些材料形成的绝缘膜,形成平坦化绝缘膜。

[0261] 另外,也可以在氧化物半导体层 403 与源电极层 405a、漏电极层 405b 之间作为缓冲层设置用作源区及漏区的氧化物导电层。图 15A 和图 15B 示出在图 14D 所示的晶体管 440 中设置氧化物导电层的晶体管 441 及晶体管 442。

[0262] 图 15A 和图 15B 的晶体管 441、晶体管 442 在氧化物半导体层 403 与源电极层 405a、漏电极层 405b 之间形成有用作源区及漏区的氧化物导电层 404a 及氧化物导电层 404b。图 15A 和图 15B 的晶体管 441 及晶体管 442 是其氧化物导电层 404a、氧化物导电层 404b 的形状根据制造工序不同的例子。

[0263] 在图 15A 所示的晶体管 441 中,形成氧化物半导体膜和氧化物导电膜的叠层,在同一光刻工序中加工氧化物半导体膜和氧化物导电膜的叠层来形成岛状的氧化物半导体层 403 和氧化物导电膜。在氧化物半导体层及氧化物导电膜上形成源电极层 405a、漏电极层 405b 之后,将源电极层 405a、漏电极层 405b 为掩模,对岛状的氧化物半导体膜进行蚀刻来形成成为源区及漏区的氧化物导电层 404a 及氧化物导电层 404b。

[0264] 在图 15B 所示的晶体管 442 中,通过在氧化物半导体层 403 上形成氧化物导电膜,在该氧化物导电膜上形成金属导电膜,在同一光刻工序中加工氧化物导电膜及金属导电膜,来形成氧化物导电层 404a 及氧化物导电层 404b、源电极层 405a 以及漏电极层 405b。

[0265] 另外,在用来加工氧化物导电层的形状的蚀刻处理时,适当地调整蚀刻条件(蚀刻材料的种类、浓度、蚀刻时间等),以免氧化物半导体层受到过剩的蚀刻。

[0266] 作为氧化物导电层 404a 及氧化物导电层 404b 的形成方法,使用溅射法、真空蒸镀法(电子束蒸镀法等)、电弧放电离子电镀法、喷射法。作为氧化物导电层的材料,可以应用氧化锌、氧化锌铝、氮化锌铝、氧化锌镓等。另外,也可以在上述材料中包含氧化硅。

[0267] 当作为源区和漏区将氧化物导电层设置在氧化物半导体层 403 与源电极层 405a、漏电极层 405b 之间时,可以实现源区和漏区的低电阻化,并且晶体管 441、442 可以进行高速工作。

[0268] 另外,通过采用氧化物半导体层 403、氧化物导电层 404a 及氧化物导电层 404b、源电极层 405a 及漏电极层 405b 的结构,可以提高晶体管 441 及晶体管 442 的耐压性。

[0269] 本实施方式可以与其他实施方式所记载的结构适当地组合而实施。

[0270] 实施方式 5

[0271] 参照图 16A 至图 16C 说明在上述实施方式 1 至 4 中可以用于晶体管的半导体层的氧化物半导体层的一个方式。

[0272] 本实施方式的氧化物半导体层具有在第一结晶氧化物半导体层上包括比第一结晶氧化物半导体层厚的第二结晶氧化物半导体层的叠层结构。

[0273] 在绝缘层 400 上形成绝缘层 437。在本实施方式中,作为绝缘层 437,利用 PCVD 法或溅射法,形成厚度为 50nm 以上且 600nm 以下的氧化物绝缘层。例如,可以使用选自氧化硅膜、氧化镓膜、氧化铝膜、氮化硅膜、氮化铝膜或氮氧化硅膜中的一层或叠层。

[0274] 接着,在绝缘层 437 上形成厚度为 1nm 以上且 10nm 以下的第一氧化物半导体膜。作为第一氧化物半导体膜的形成方法,利用溅射法,将该利用溅射法的成膜时的衬底温度设定为 200℃ 以上且 400℃ 以下。

[0275] 在本实施方式中,在如下条件下形成厚度为 5nm 的第一氧化物半导体膜:使用金属氧化物靶材(In-Ga-Zn-O 类金属氧化物靶材($\text{In}_2\text{O}_3 : \text{Ga}_2\text{O}_3 : \text{ZnO} = 1 : 1 : 2$ [摩尔数比]));衬底与靶材之间的距离为 170mm;衬底温度为 250℃;压力为 0.4Pa;直流(DC)电源为 0.5kW;在只有氧、只有氩或氩及氧气氛下进行成膜处理。

[0276] 接着,将配置衬底的处理室的气氛为氮或干燥空气,并进行第一加热处理。将第一加热处理的温度设定为 400℃ 以上且 750℃ 以下。通过第一加热处理形成第一结晶氧化物半导体层 450a(参照图 16A)。

[0277] 依据第一加热处理的温度,通过第一加热处理,从膜表面开始晶化,从膜表面向膜内部进展结晶成长,而可以得到具有 C 轴取向的结晶。通过第一加热处理,许多锌和氧集中在膜表面,上表面为六角形的包括锌和氧的石墨烯型的二维结晶在最外表面上以一层或多个层形成,其向膜厚度方向生长并重叠而成为叠层。在上升加热处理的温度时,从表面到内部,然后从内部到底部进展结晶成长。

[0278] 通过第一加热处理,将氧化物绝缘层的绝缘层 437 中的氧扩散到与第一结晶氧化物半导体层 450a 的界面或其附近(离界面 $\pm 5\text{nm}$ 以内),减少第一结晶氧化物半导体层的氧缺陷。从而,用作基底绝缘层的绝缘层 437 优选在膜中(块中)、第一结晶氧化物半导体层 450a 与绝缘层 437 的界面中的至少一处存在超过化学计量比的含量的氧。

[0279] 接着,在第一结晶氧化物半导体层 450a 上形成厚于 10nm 的第二氧化物半导体膜。作为第二氧化物半导体膜的形成方法利用溅射法,将该成膜时的衬底温度设定为 200℃ 以上且 400℃ 以下。通过将成膜时的衬底温度设定为 200℃ 以上且 400℃ 以下,在与第一结晶氧化物半导体层的表面上接触而形成的氧化物半导体层中产生前驱体(precursor)的排列,可以实现所谓的秩序性。

[0280] 在本实施方式中,在如下条件下形成厚度为 25nm 的第二氧化物半导体膜:使用金

属氧化物靶材 (In-Ga-Zn-O 类金属氧化物靶材 ($\text{In}_2\text{O}_3 : \text{Ga}_2\text{O}_3 : \text{ZnO} = 1 : 1 : 2$ [摩尔数比]) ; 衬底与靶材之间的距离为 170mm ; 衬底温度为 400℃ ; 压力为 0.4Pa ; 直流 (DC) 电源为 0.5kW ; 在只有氧、只有氩或氩及氧气氛下进行成膜处理。

[0281] 接着, 将配置衬底的处理室的气氛为氮气氛下、氧气氛下或氮和氧的混合气氛下, 并进行第二加热处理。将第二加热处理的温度设定为 400℃ 以上且 750℃ 以下。通过第二加热处理形成第二结晶氧化物半导体层 450b (参照图 16B)。通过在氮气氛下、氧气氛下或氮和氧的混合气氛下进行第二加热处理, 实现第二结晶氧化物半导体层 450b 的高密度化及减少缺陷数。通过第二加热处理, 以第一结晶氧化物半导体层 450a 为晶核, 向膜厚度方向, 即从底部向内部进展结晶成长, 形成第二结晶氧化物半导体层 450b。

[0282] 另外, 优选在不接触大气的状态下连续进行从绝缘层 437 的形成到第二加热处理的工序。从绝缘层 437 的形成到第二加热处理的工序进行在控制为几乎不包含氢及水分的气氛 (惰性气氛、减压气氛、干燥空气气氛等) 下, 例如, 利用水分为露点 -40℃ 以下, 优选为露点 -50℃ 以下的干燥氮气氛。

[0283] 接着, 对包括第一结晶氧化物半导体层 450a 和第二结晶氧化物半导体层 450b 的氧化物半导体叠层进行加工来形成包括岛状的氧化物半导体叠层的氧化物半导体层 453 (参照图 16C)。在附图中, 以虚线表示第一结晶氧化物半导体层 450a 与第二结晶氧化物半导体层 450b 之间的界面而说明氧化物半导体叠层, 但是不是存在有明确的界面, 而是为了易懂说明图示的。

[0284] 通过在氧化物半导体叠层上形成所希望的形状的掩模之后对该氧化物半导体叠层进行蚀刻, 可以进行氧化物半导体叠层的加工。可以利用光刻工序等的方法形成上述掩模。或者, 也可以利用喷墨法等的方法形成掩模。

[0285] 此外, 氧化物半导体叠层的蚀刻方法可以采用干蚀刻或湿蚀刻。当然, 也可以组合干蚀刻和湿蚀刻而使用。

[0286] 另外, 根据上述制造方法来得到的第一结晶氧化物半导体层 450a 及第二结晶氧化物半导体层 450b 的特征之一是具有 C 轴取向。但是, 第一结晶氧化物半导体层 450a 及第二结晶氧化物半导体层 450b 不是具有单晶结构, 又不是具有非晶结构, 是包括具有 C 轴取向的结晶 (CAxis Aligned Crystal ; 也称为 CAAC) 的氧化物。另外, 第一结晶氧化物半导体层 450a 及第二结晶氧化物半导体层 450b 的一部分具有晶粒界面。

[0287] 为了得到 CAAC 在氧化物半导体膜的堆积初期阶段形成六方晶的结晶且以该结晶为晶种进行结晶成长是重要的。为此, 将衬底加热温度设定为 100℃ 至 500℃, 优选为 200℃ 至 400℃, 更优选为 250℃ 至 300℃。此外, 除了上述条件之外, 还在高于成膜时的衬底加热温度的温度下对堆积的氧化物半导体膜进行热处理, 可以修复包含在膜中的微小缺陷或叠层界面的缺陷。

[0288] 此外, 第一及第二结晶氧化物半导体层包括至少具有 Zn 的氧化物材料, 即具有四元金属氧化物的 In-Al-Ga-Zn-O 类材料、In-Sn-Ga-Zn-O 类材料、三元金属氧化物的 In-Ga-Zn-O 类材料、In-Al-Zn-O 类材料、In-Sn-Zn-O 类材料、Sn-Ga-Zn-O 类材料、Al-Ga-Zn-O 类材料、Sn-Al-Zn-O 类材料、二元金属氧化物的 In-Zn-O 类材料、Sn-Zn-O 类材料、Al-Zn-O 类材料、Zn-Mg-O 类材料、Zn-O 类材料等。另外, 也可以使用 In-Si-Ga-Zn-O 类材料、In-Ga-B-Zn-O 类材料、In-B-Zn-O 类材料。此外, 也可以使上述材料包含 SiO_2 。在

此,例如,In-Ga-Zn-O 类材料是指具有铟(In)、镓(Ga)、锌(Zn)的氧化物膜,并对其组成比并没有限制。此外,也可以包含In、Ga及Zn以外的元素。

[0289] 另外,不局限于在第一结晶氧化物半导体层上形成第二结晶氧化物半导体层的双层结构,也可以在形成第二结晶氧化物半导体层之后,反复进行用来形成第三结晶氧化物半导体层的成膜和加热处理的步骤,形成三层以上的叠层结构。

[0290] 可以将包括使用上述制造方法形成的氧化物半导体叠层的氧化物半导体层 453 适当地用于可应用于本说明书所公开的半导体装置的晶体管(例如,实施方式 1 中的晶体管 212、实施方式 2 中的晶体管 312)。

[0291] 另外,电场不从氧化物半导体层的一方的面向另一方的面施加,此外,电流不沿着氧化物半导体叠层的厚度方向(从一方的面流到另一方的面的方向,具体地,图 16C 中的上下方向流过)。由于实现电流主要流在氧化物半导体叠层的界面的晶体管结构,即使对晶体管进行光照射或施加 BT 压力,也抑制或减少晶体管特性的劣化。

[0292] 通过将使用氧化物半导体层 453 那样的第一结晶氧化物半导体层和第二结晶氧化物半导体层的叠层用于晶体管,可以实现具有稳定的电特性且可靠性高的晶体管。

[0293] 本实施方式可以与其他实施方式所记载的结构适当地组合而实施。

[0294] 实施方式 6

[0295] 在本实施方式中,使用图 17A 至图 17F 说明将上述实施方式所说明的半导体装置应用于电子设备的情况。在本实施方式中,对将上述半导体装置应用于计算机、移动电话机(也称为手机、移动电话装置)、便携式信息终端(也包括便携式游戏机、声音再现装置等)、数码相机、数码摄像机、电子纸、电视装置(也称为电视或电视接收机)等电子设备的情况进行说明。

[0296] 图 17A 示出笔记本型个人计算机,该笔记本个人计算机包括框体 701、框体 702、显示部 703、键盘 704 等。在框体 701 及框体 702 中的至少一个中设置有上述实施方式所示的半导体装置。因此,可以实现能够长期保持存储内容,其写入及读出信息的速度较快,而且信息的写入及读出的可靠性高的笔记本型个人计算机。

[0297] 图 17B 示出便携式信息终端(PDA),其主体 711 包括显示部 713、外部接口 715 及操作按钮 714 等。此外,它还包括用来操作便携式信息终端的触摸笔 712 等。在主体 711 中设置有上述实施方式所示的半导体装置。因此,可以实现能够长期保持存储内容,其写入及读出信息的速度较快,而且信息的写入及读出的可靠性高的便携式信息终端。

[0298] 图 17C 示出安装有电子纸的电子书阅读器 720,该电子书阅读器包括两个框体,即框体 721 和框体 723。框体 721 设置有显示部 725,并且框体 723 设置有显示部 727。框体 721 和框体 723 由轴部 737 彼此连接,并且可以以该轴部 737 为轴进行开闭动作。此外,框体 721 包括电源 731、操作键 733 及扬声器 735 等。在框体 721 和框体 723 中的至少一个中设置有上述实施方式所示的半导体装置。因此,可以实现能够长期保持存储内容,其写入及读出信息的速度较快,而且信息的写入及读出的可靠性高的电子书阅读器。

[0299] 图 17D 示出移动电话机,该移动电话机包括两个框体,即框体 740 和框体 741。再者,框体 740 和框体 741 滑动而可以从如图 17D 所示那样的展开状态变成重叠状态,因此可以实现适于携带的小型化。此外,框体 741 包括显示面板 742、扬声器 743、麦克风 744、操作键 745、定位装置 746、照相用透镜 747 以及外部连接端子 748 等。此外,框体 740 包括对移

移动电话机进行充电的太阳能电池单元 749 和外部存储器插槽 750 等。此外,天线被内置在框体 741 中。在框体 740 和框体 741 中的至少一个中设置有上述实施方式所示的半导体装置。因此,可以实现能够长期保持存储内容,其写入及读出信息的速度较快,而且信息的写入及读出的可靠性高的移动电话机。

[0300] 图 17E 示出数码摄像机,该数码相机包括主体 761、显示部 767、取景器部分 763、操作开关 764、显示部 765 以及电池 766 等。在主体 761 中设置有上述实施方式所示的半导体装置。因此,可以实现能够长期保持存储内容,其写入及读出信息的速度较快,而且信息的写入及读出的可靠性高的数码摄像机。

[0301] 图 17F 示出电视装置 770,该电视装置包括框体 771、显示部 773 以及支架 775 等。可以使用框体 771 所具有的开关、遥控操作机 780 来进行电视装置 770 的操作。框体 771 及遥控操作机 780 中设置有上述实施方式所示的半导体装置。因此,可以实现能够长期保持存储内容,其写入及读出信息的速度较快,而且信息的写入及读出的可靠性高的电视装置。

[0302] 如上所述,根据本实施方式的电子设备安装有根据上述实施方式的半导体装置。因此,可以实现能够长期保持存储内容,其写入及读出信息的速度较快,而且信息的写入及读出的可靠性高的电子设备。

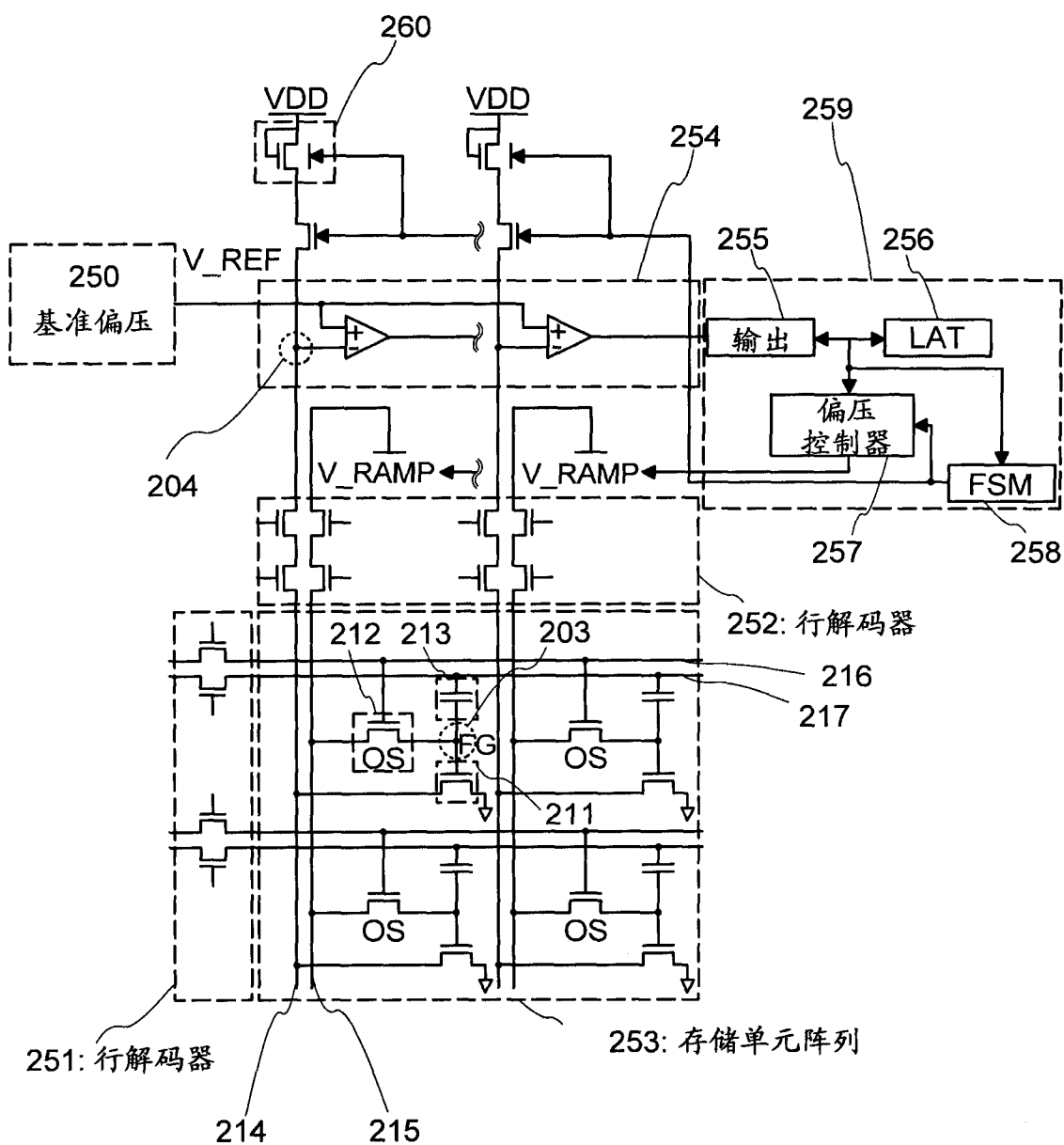


图 1

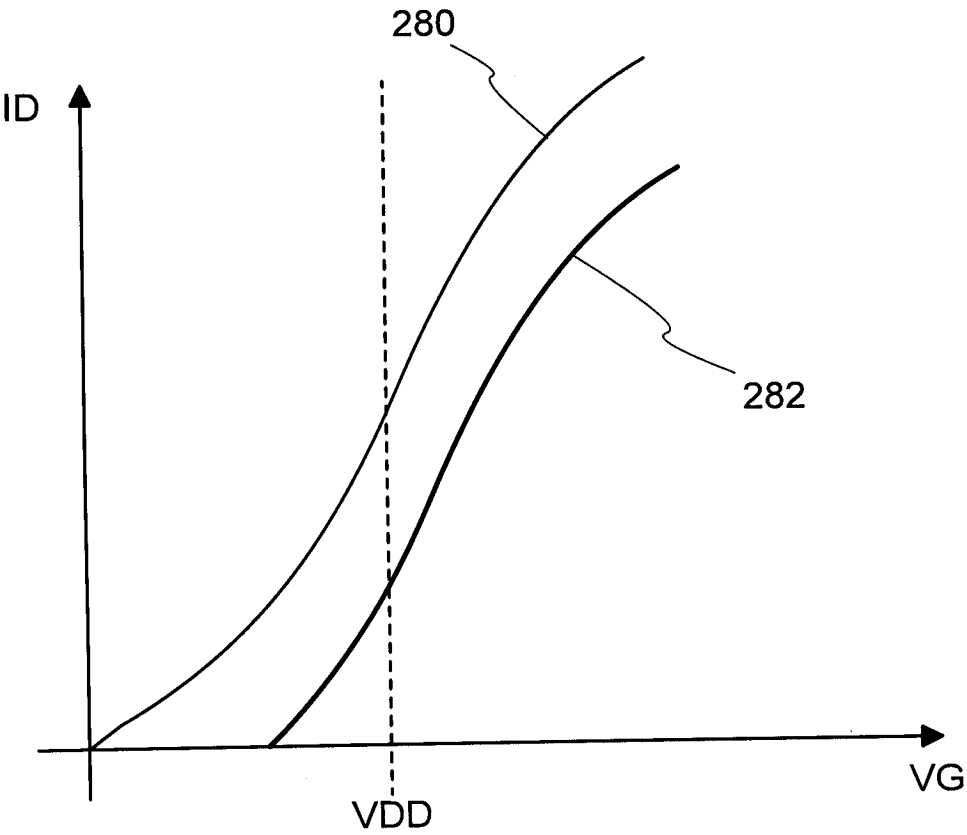
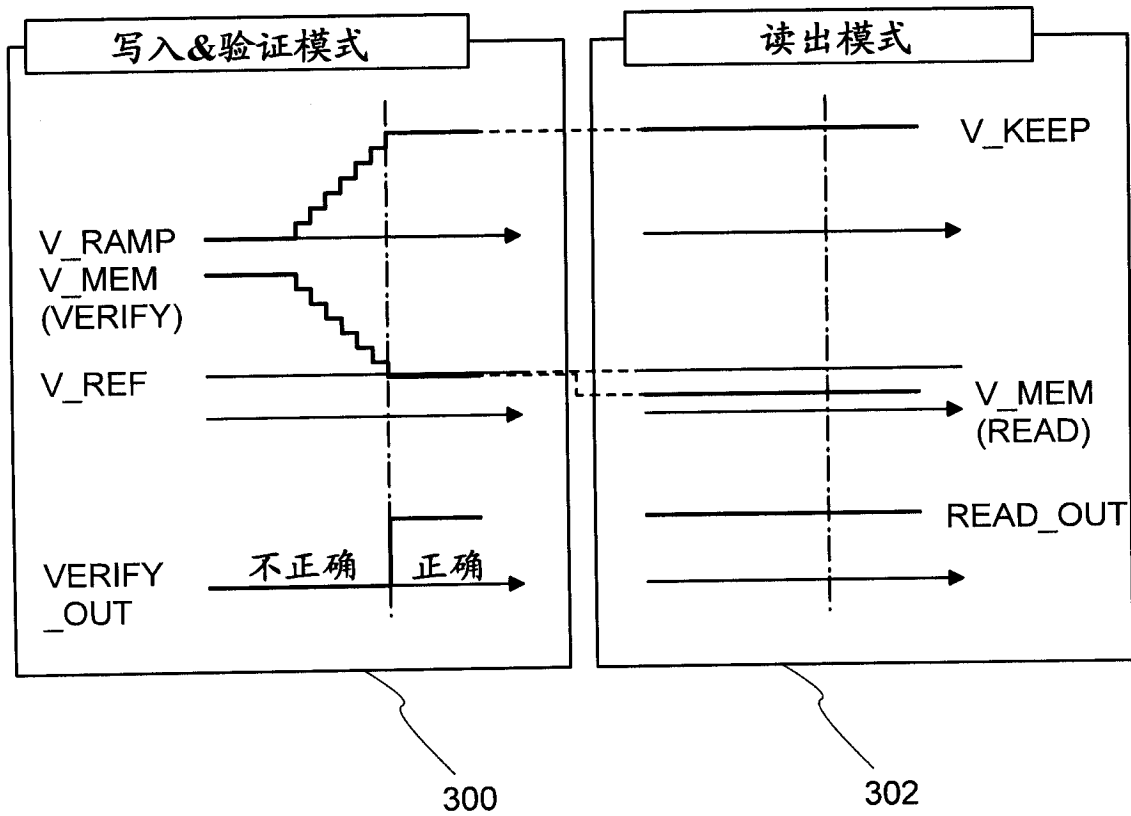


图 2

图 3A

图 3B



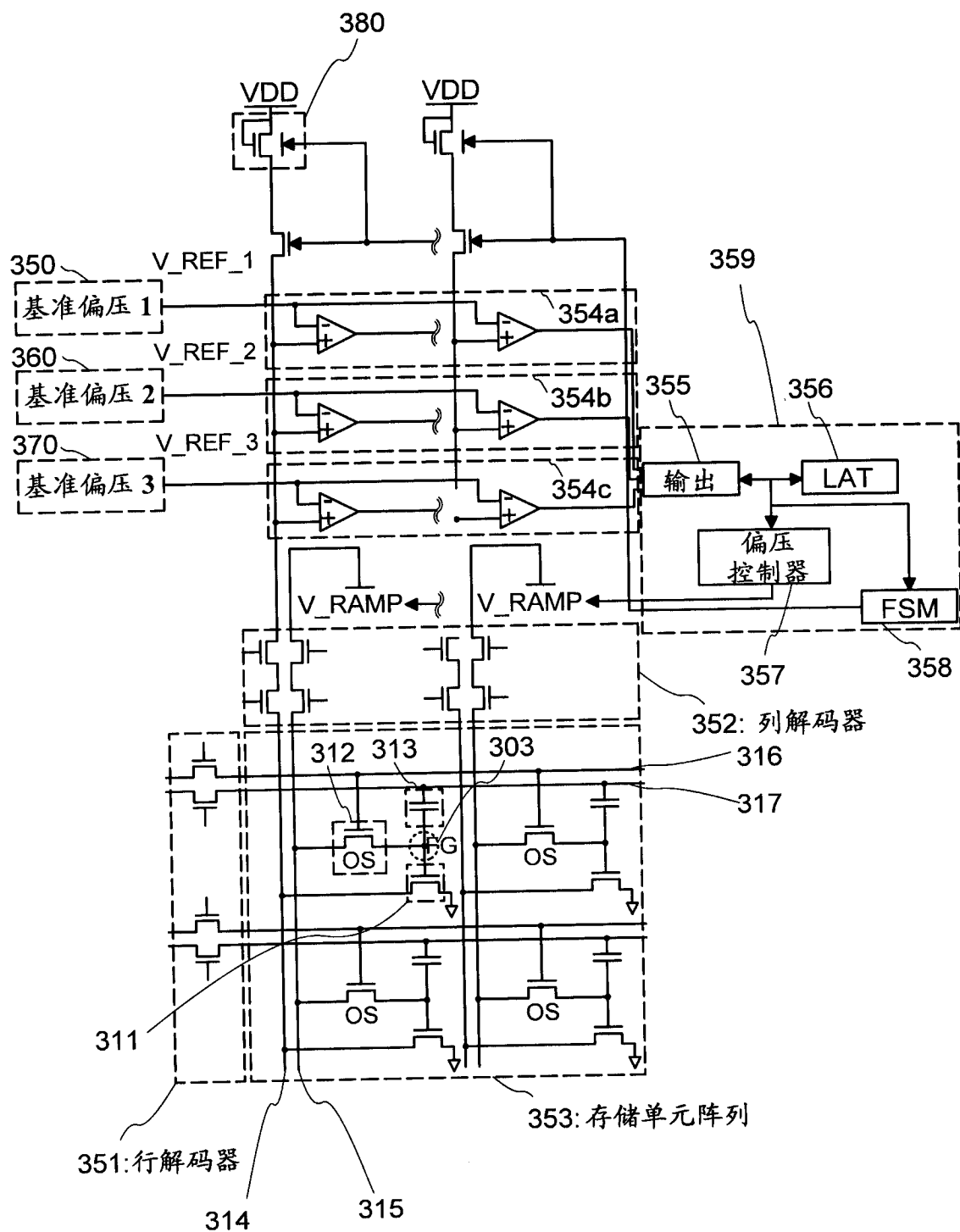


图 4

图 5A

图 5B

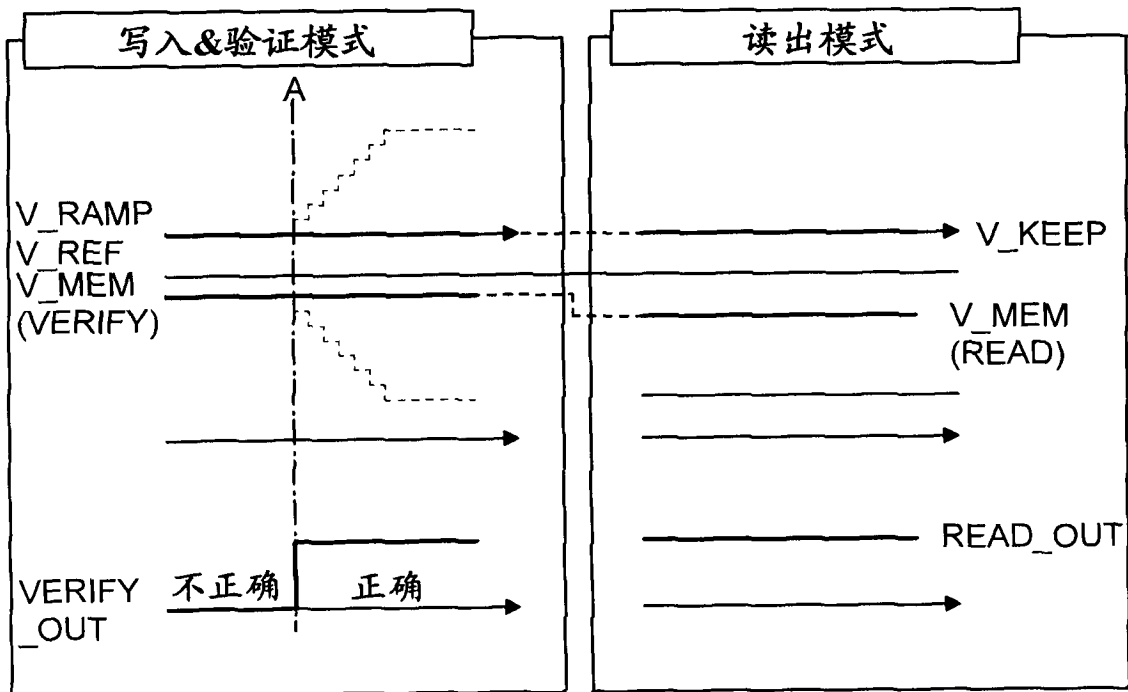


图 6A

图 6B

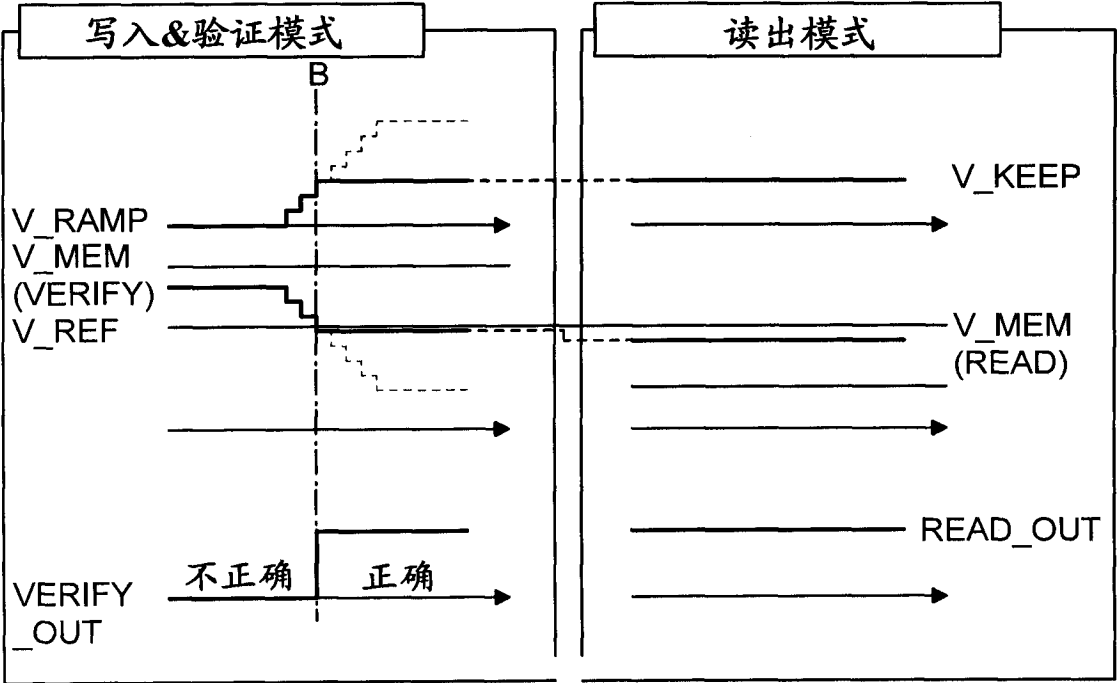


图 7A

图 7B

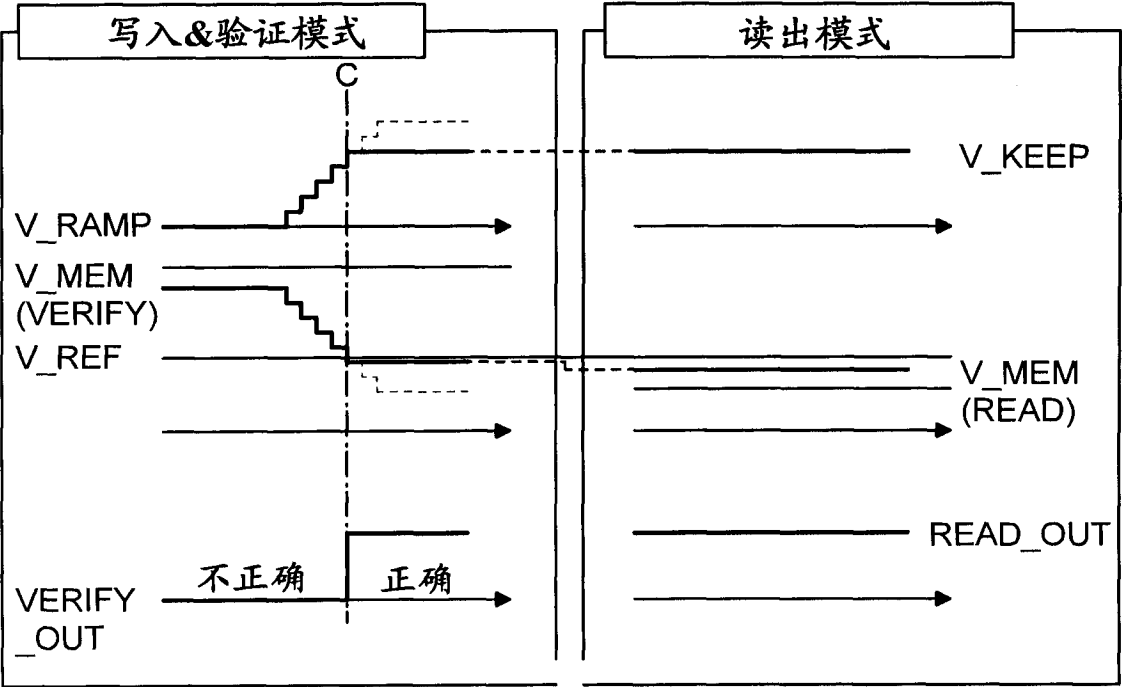
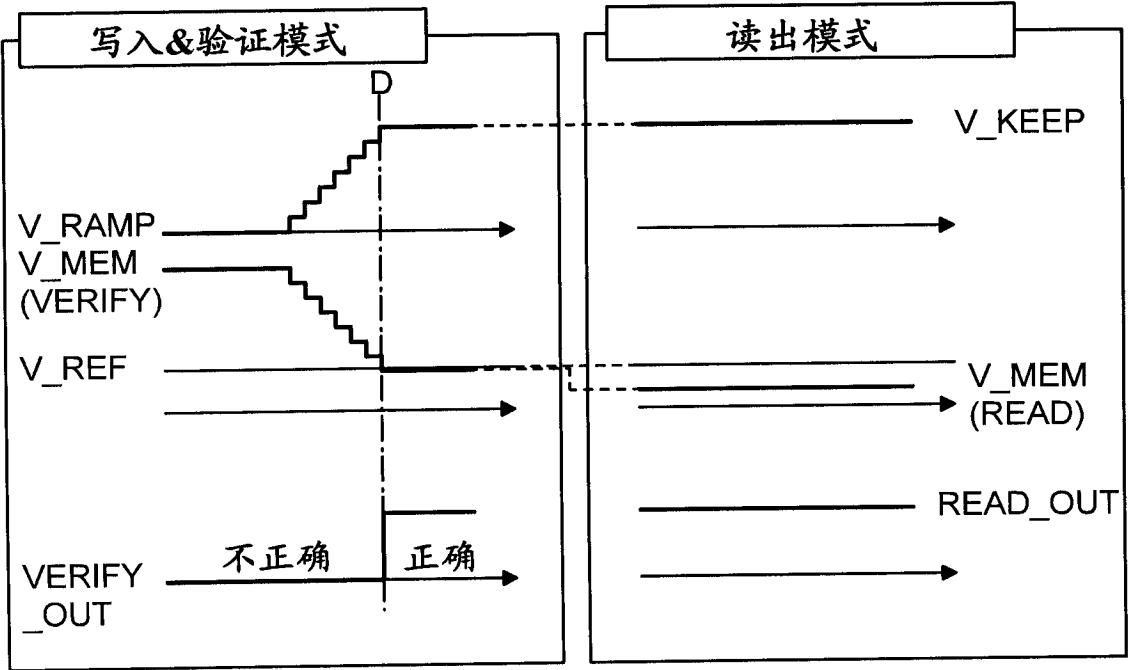


图 8A

图 8B



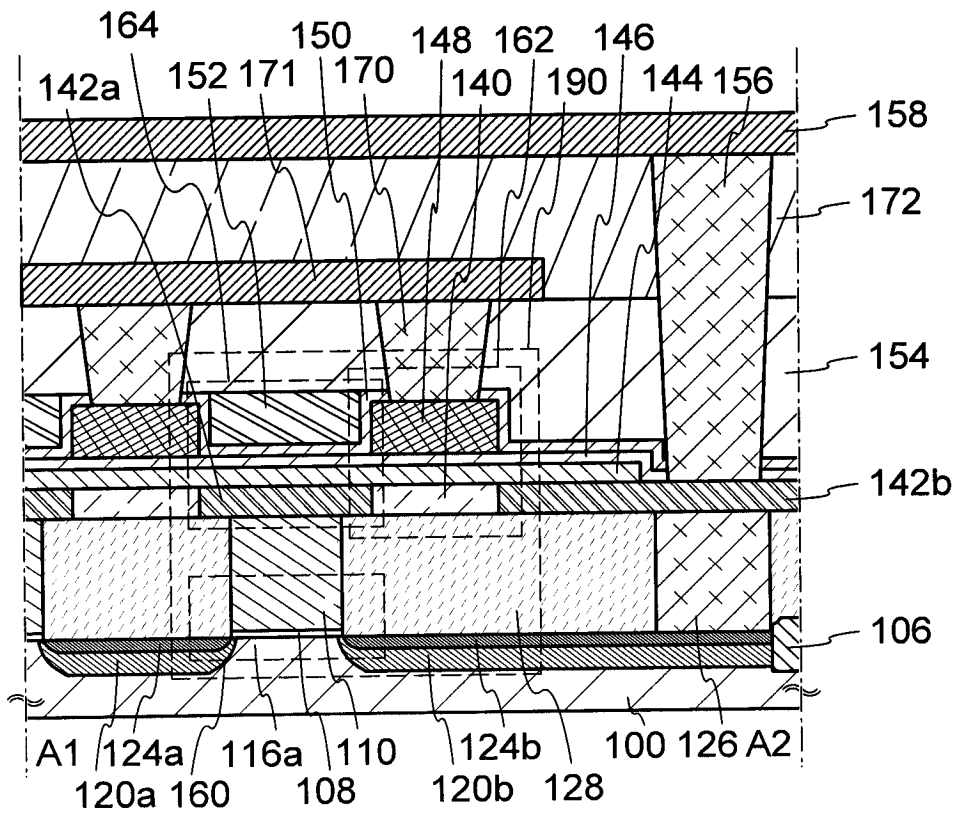


图 9A

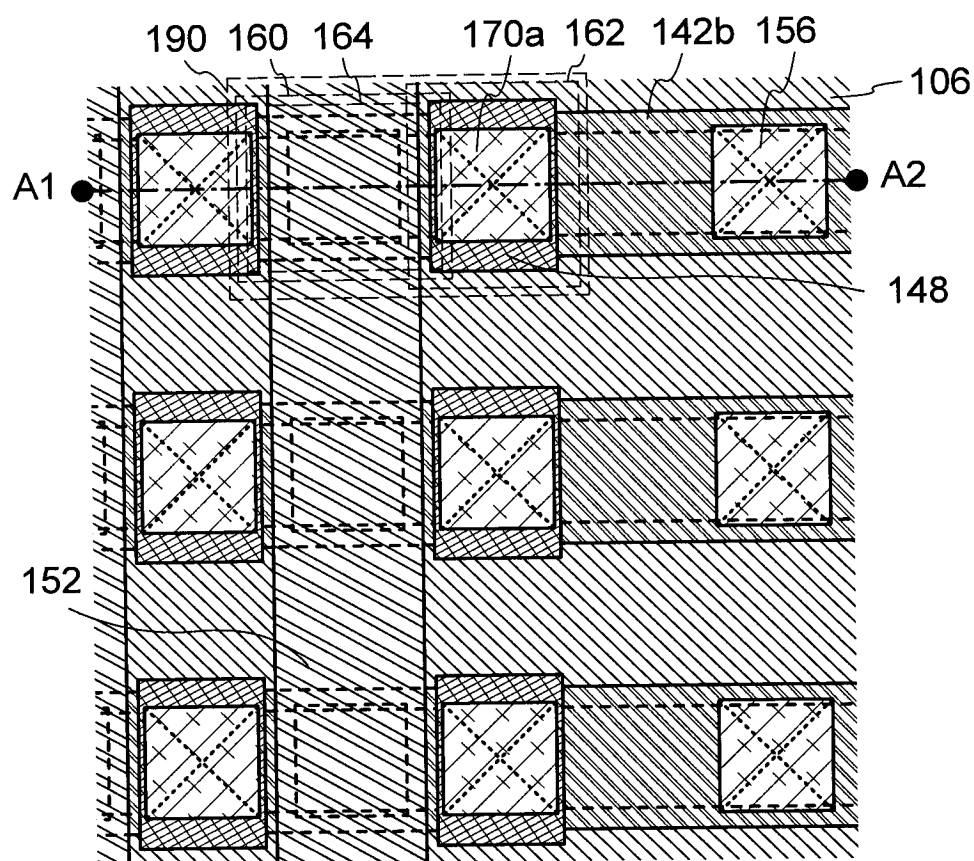


图 9B

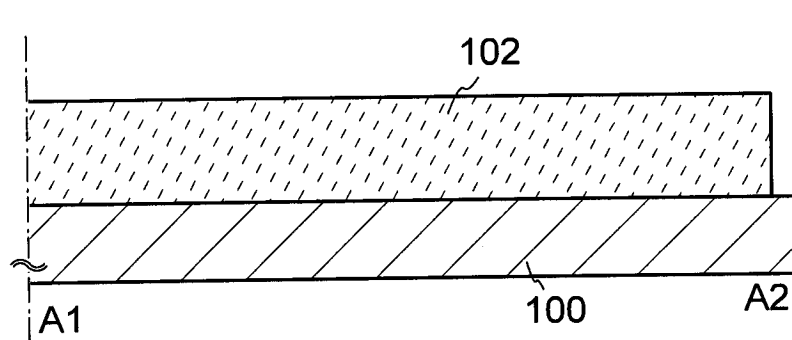


图 10A

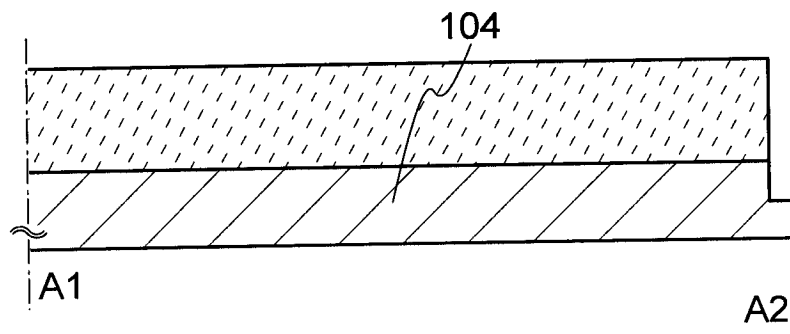


图 10B

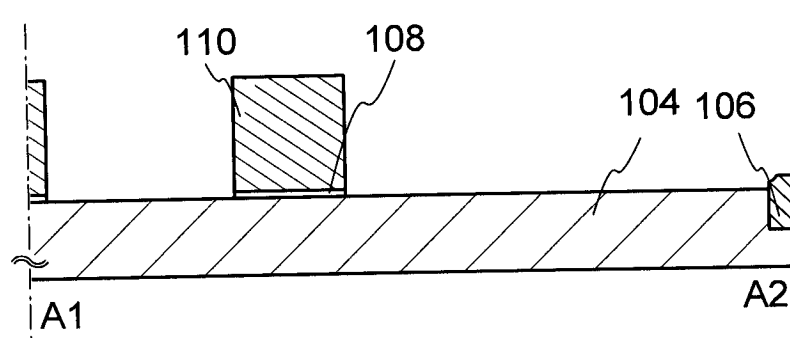


图 10C

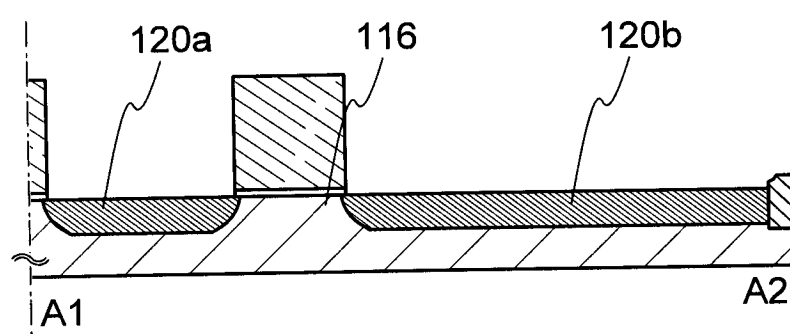


图 10D

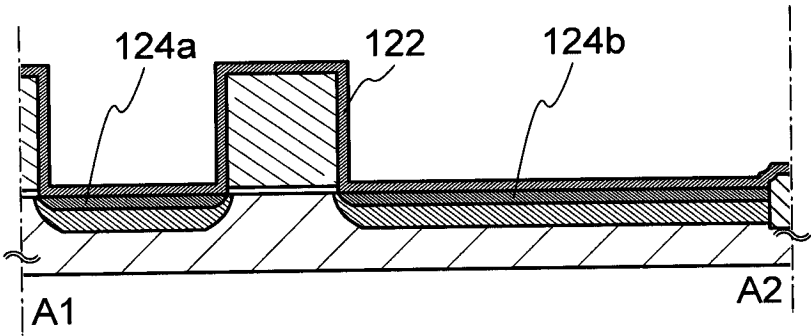


图 11A

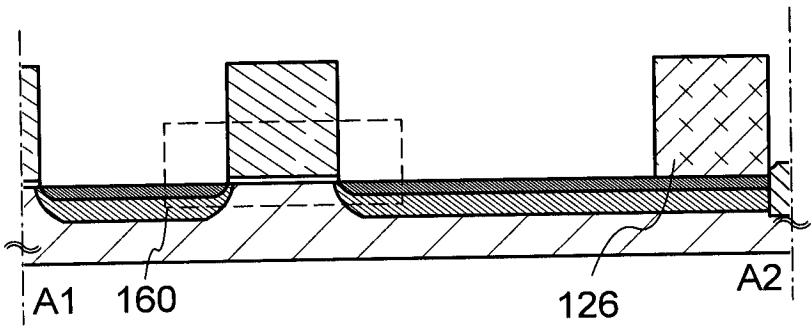


图 11B

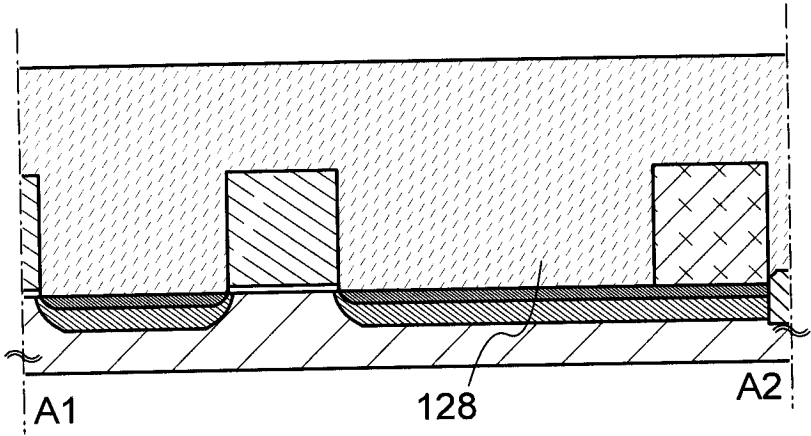


图 11C

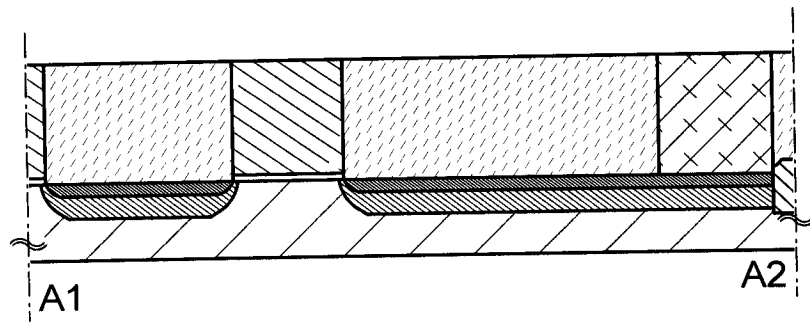


图 11D

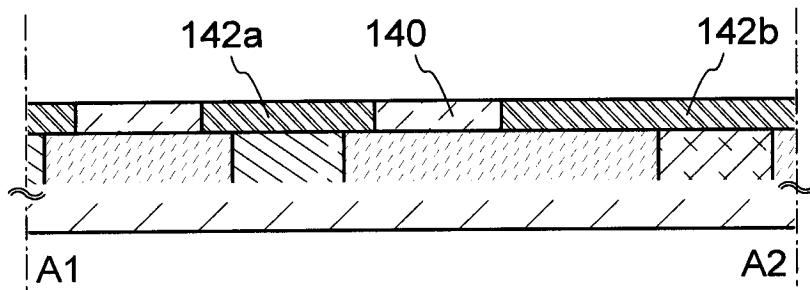


图 12A

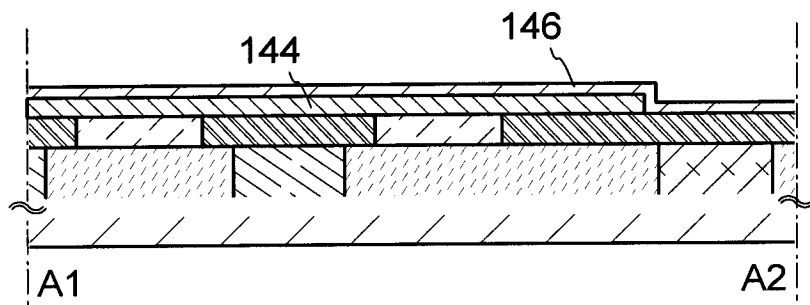


图 12B

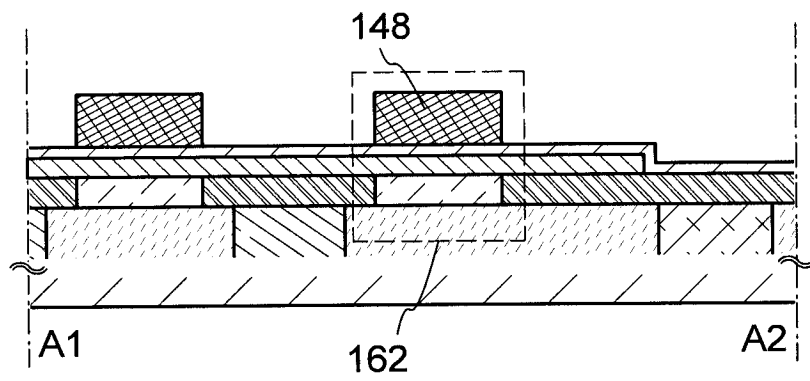


图 12C

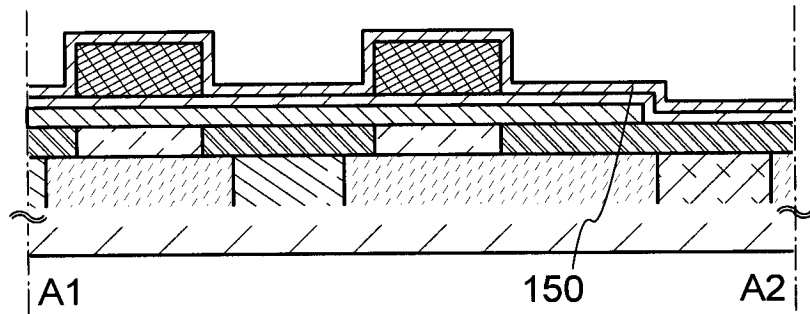


图 12D

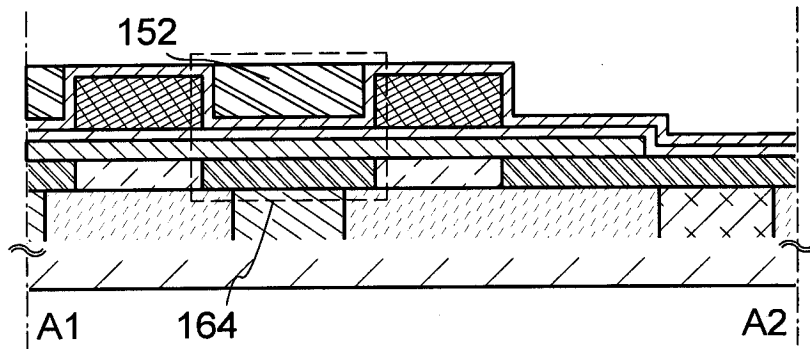


图 13A

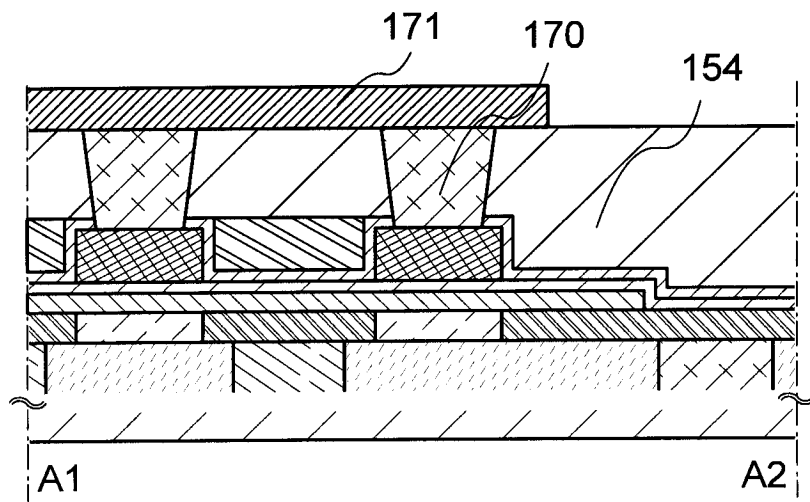


图 13B

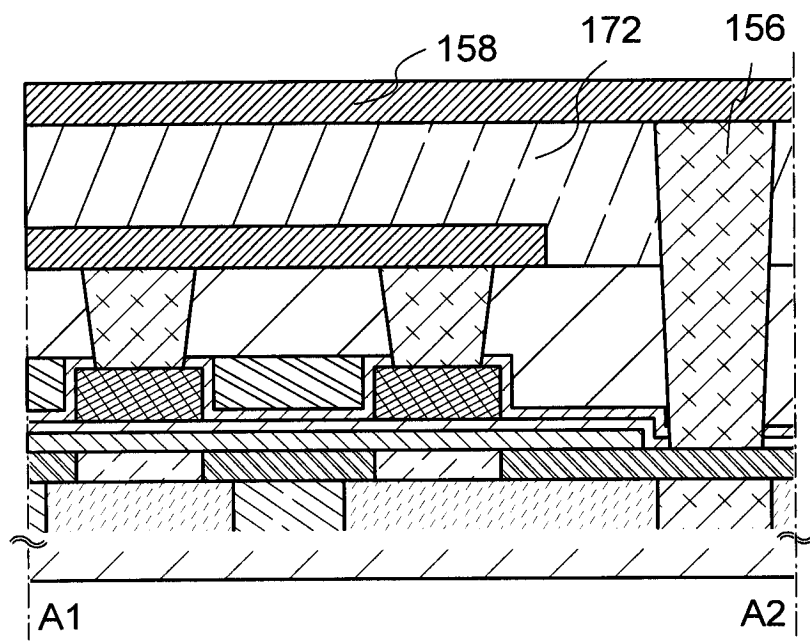


图 13C

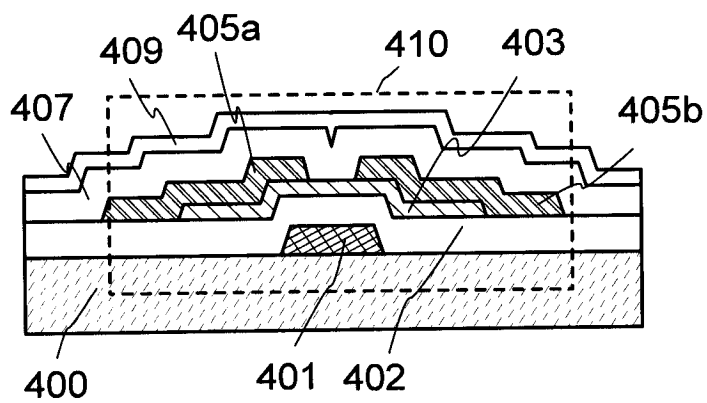


图 14A

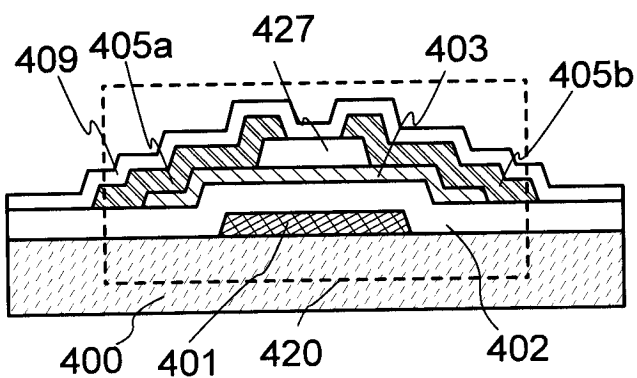


图 14B

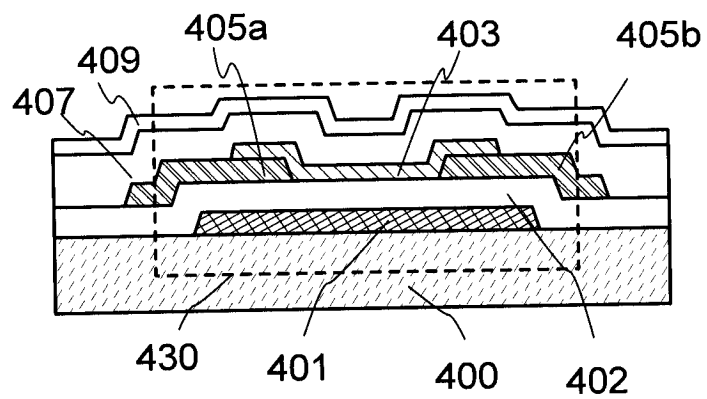


图 14C

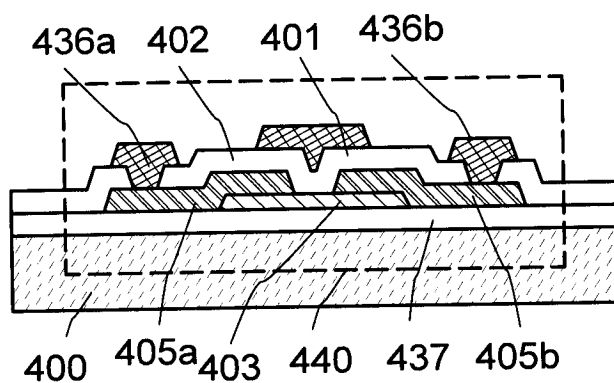


图 14D

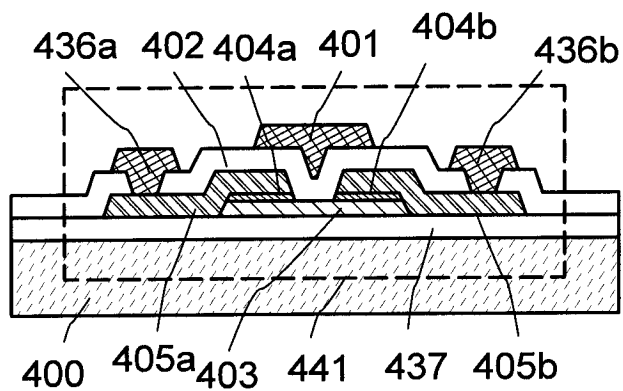


图 15A

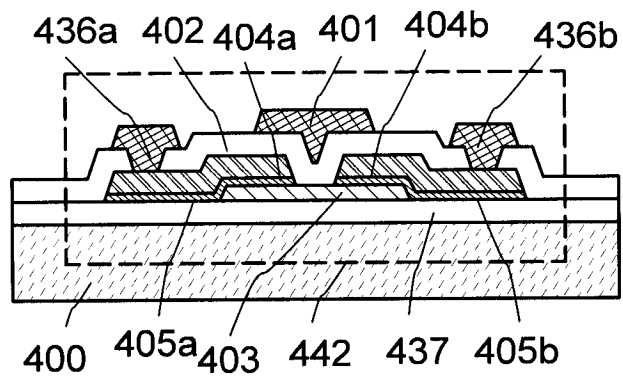


图 15B

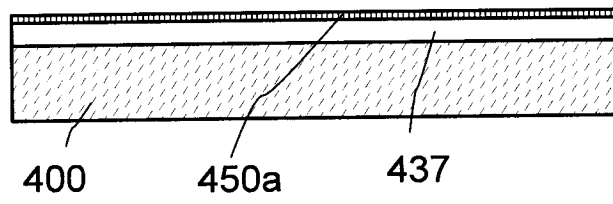


图 16A

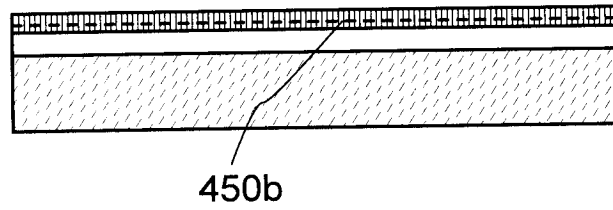


图 16B

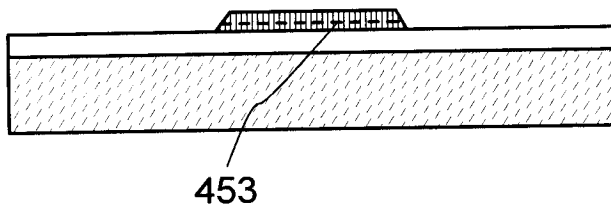


图 16C

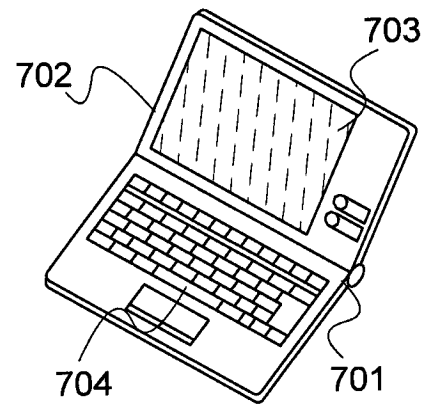


图 17A

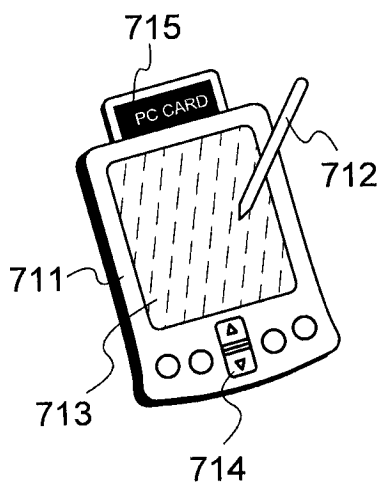


图 17B

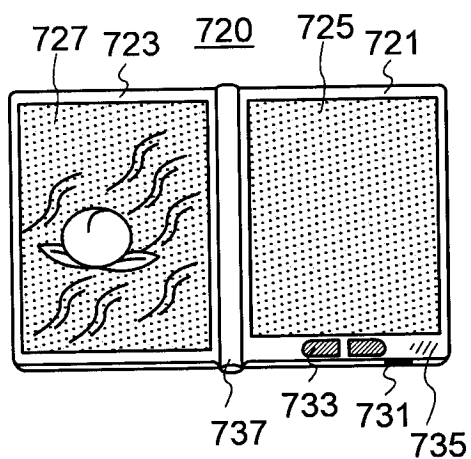


图 17C

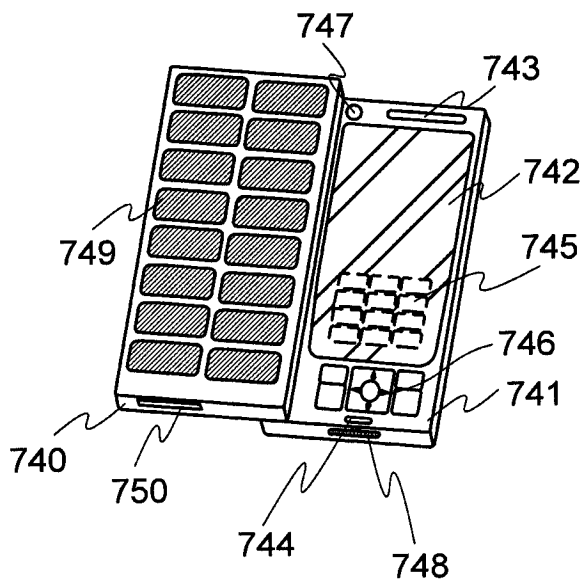


图 17D

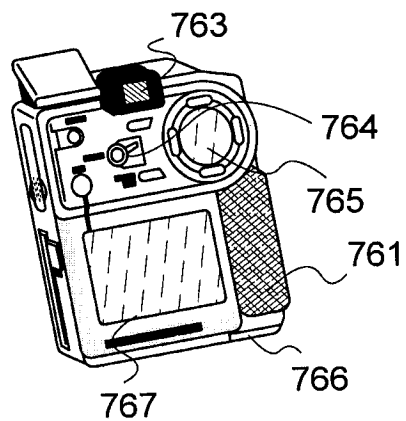


图 17E

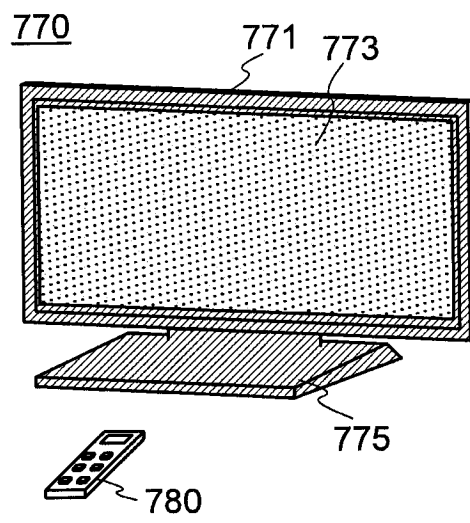


图 17F