



(19)中華民國智慧財產局

(12)發明說明書公開本

(11)公開編號：TW 201106613 A1

(43)公開日：中華民國 100 (2011) 年 02 月 16 日

(21)申請案號：099117760

(22)申請日：中華民國 99 (2010) 年 06 月 02 日

(51)Int. Cl. : *H03F1/26 (2006.01)* *H03F3/45 (2006.01)*

(30)優先權：2009/07/31 日本 2009-178960

(71)申請人：瑞薩電子股份有限公司 (日本) RENESAS ELECTRONICS CORPORATION (JP)
日本

(72)發明人：山口通正 YAMAGUCHI, MICHIMASA (JP)；川上賢一 KAWAKAMI, KENICHI (JP)

(74)代理人：周良謀；周良吉

申請實體審查：有 申請專利範圍項數：7 項 圖式數：17 共 44 頁

(54)名稱

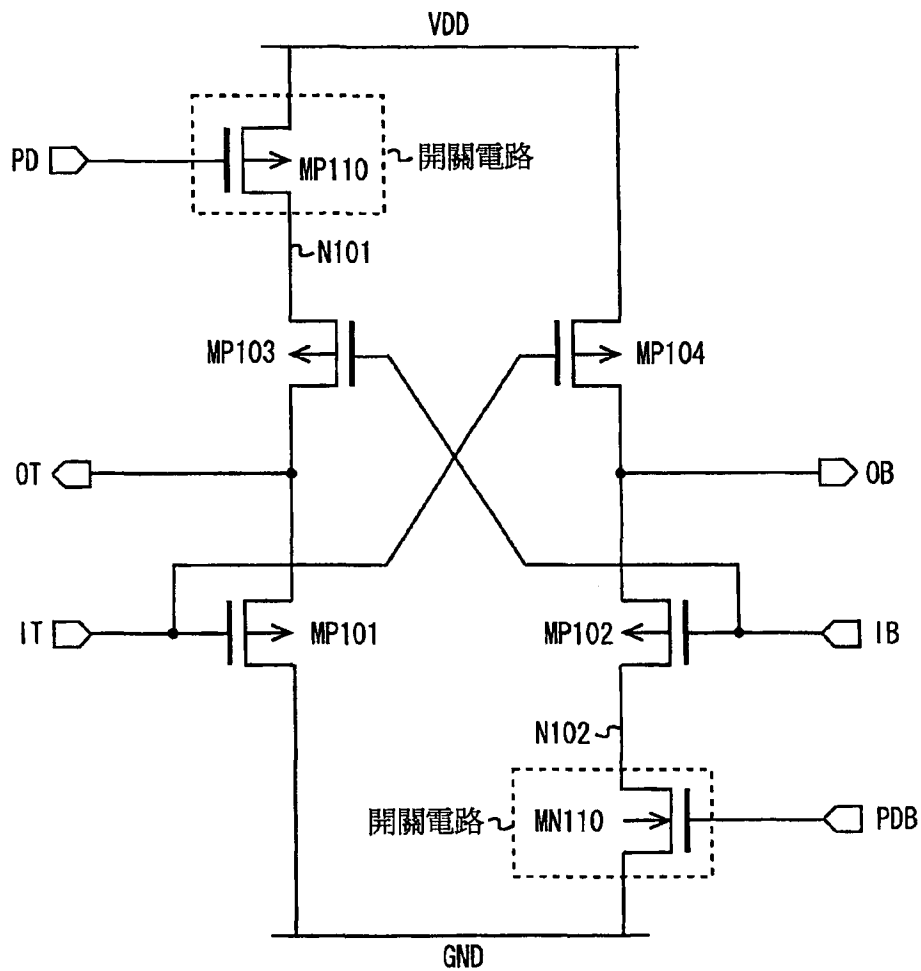
差動放大器

DIFFERENTIAL AMPLIFIER

(57)摘要

一種差動放大器，包括：第一電晶體，其在第一電源供應端與第一輸出端之間連接，且具有接收一差動輸入信號之一控制端；第二電晶體，其在第二電源供應端與第一輸出端之間連接，且具有接收另一差動輸入信號之一控制端；第一開關在第一電源供應端與第一電晶體之間連接；第三電晶體，其在第二電源供應端與第二輸出端之間連接，且具有輸入至一差動輸入信號之一控制端；第四電晶體，其在第一電源供應端與第二輸出端之間連接，且具有接收另一差動輸入信號之一控制端；第二開關在第二電源供應端與第三電晶體之間連接。第一與第二開關之驅動狀態由一控制信號控制。

100



100：差動放大器

GND：電源接地電壓
(端)IB：輸入端、輸入信
號IT：輸入端、輸入信
號MN110：NMOS 電晶
體

MP101-MP104：

PMOS 電晶體

MP110：PMOS 電晶
體

N101：節點

N102：節點

N1-N4：節點

OB：輸出端、輸出信
號OT：輸出端、輸出信
號

PD：電源關閉信號

PDB：電源關閉信號

VDD：電源供應電壓
(端)



(19)中華民國智慧財產局

(12)發明說明書公開本

(11)公開編號：TW 201106613 A1

(43)公開日：中華民國 100 (2011) 年 02 月 16 日

(21)申請案號：099117760

(22)申請日：中華民國 99 (2010) 年 06 月 02 日

(51)Int. Cl. : *H03F1/26 (2006.01)* *H03F3/45 (2006.01)*

(30)優先權：2009/07/31 日本 2009-178960

(71)申請人：瑞薩電子股份有限公司 (日本) RENESAS ELECTRONICS CORPORATION (JP)
日本

(72)發明人：山口通正 YAMAGUCHI, MICHIMASA (JP)；川上賢一 KAWAKAMI, KENICHI (JP)

(74)代理人：周良謀；周良吉

申請實體審查：有 申請專利範圍項數：7 項 圖式數：17 共 44 頁

(54)名稱

差動放大器

DIFFERENTIAL AMPLIFIER

(57)摘要

一種差動放大器，包括：第一電晶體，其在第一電源供應端與第一輸出端之間連接，且具有接收一差動輸入信號之一控制端；第二電晶體，其在第二電源供應端與第一輸出端之間連接，且具有接收另一差動輸入信號之一控制端；第一開關在第一電源供應端與第一電晶體之間連接；第三電晶體，其在第二電源供應端與第二輸出端之間連接，且具有輸入至一差動輸入信號之一控制端；第四電晶體，其在第一電源供應端與第二輸出端之間連接，且具有接收另一差動輸入信號之一控制端；第二開關在第二電源供應端與第三電晶體之間連接。第一與第二開關之驅動狀態由一控制信號控制。

六、發明說明：

【發明所屬之技術領域】

本發明係關於差動放大器。

本申請案根據並主張在 2009 年 7 月 31 日提出申請之日本專利申請案第 2009-178960 號之優先權，其內容於此全部併入以供參考。

【先前技術】

目前，差動放大器係用在高速介面(如 USB 2.0)的接收電路之差動輸入緩衝器中。日本公開專利公報第 3-85817 號揭示此類的差動放大器之技術作為先前技術。同時，在配備差動放大器的半導體元件中，當差動放大器停止運作時停止運作電流之電源關閉技術通常用以減少電力消耗。圖 12 與 13 係依照相關技術呈現差動放大器 1 與 2 之組態。在日本公開專利公報第 3-85817 號所揭示電路的組態中，為了減少電力消耗而增加一開關電路於差動放大器 1 與 2 中。請注意差動放大器 1 與 2 係由導電形式相反的 MOS 電晶體組成。

如圖 12 所示，差動放大器 1 包括 PMOS 電晶體 MP1 至 MP4，以及電源關閉開關電路 PDSW1。

PMOS 電晶體 MP3 的源極連接至電源供應電壓端 VDD，PMOS 電晶體 MP3 的汲極連接至輸出端 OT，且 PMOS 電晶體 MP3 的閘極連接至輸入端 IB。PMOS 電晶體 MP4 的源極連接至電源供應電壓端 VDD，PMOS 電晶體 MP4 的汲極連接至輸出端 OB，且 PMOS 電晶體 MP3 的閘極連接至輸入端 IT。PMOS 電晶體 MP1 的源極連接至輸出端 OT，PMOS 電晶體 MP1 的汲極連接至節點 N1，且 PMOS 電晶體 MP1 的閘極連接至輸入端 IT。PMOS 電晶體 MP2 的源極連接至輸出端 OB，PMOS 電晶體 MP2 的汲極連接至節點 N2，且 PMOS 電晶體 MP2 的閘極連接至輸入端 IB。

電源關閉開關電路 PDSW1 包括 NMOS 電晶體 MN11 與 MN12。NMOS 電晶體 MN11 的汲極連接至節點 N1，且 NMOS 電

晶體 MN11 的源極連接至接地電壓端 GND。NMOS 電晶體 MN12 的汲極連接至節點 N2，且 NMOS 電晶體 MN12 的源極連接至接地電壓端 GND。電源關閉信號 PDB 輸入至 NMOS 電晶體 MN11 與 MN12 的閘極。當電源關閉信號 PDB 為高階，差動放大器 1 係處於正常運作狀態。同時，當電源關閉信號 PDB 為低階，差動放大器 1 係處於電源關閉狀態(待命狀態)。

如圖 13 所示，差動放大器 2 包括 NMOS 電晶體 MN1 至 MN4，以及電源關閉開關電路 PDSW2。NMOS 電晶體 MN1 的源極連接至接地電壓端 GND，NMOS 電晶體 MN1 的汲極連接至輸出端 OT，且 NMOS 電晶體 MN1 的閘極連接至輸入端 IT。NMOS 電晶體 MN2 的源極連接至接地電壓端 GND，NMOS 電晶體 MN2 的汲極連接至輸出端 OB，且 NMOS 電晶體 MN2 的閘極連接至輸入端 IB。NMOS 電晶體 MN3 的源極連接至輸出端 OT，NMOS 電晶體 MN3 的汲極連接至節點 N3，且 NMOS 電晶體 MN3 的閘極連接至輸入端 IB。NMOS 電晶體 MN4 的源極連接至輸出端 OB，NMOS 電晶體 MN4 的汲極連接至節點 N4，且 NMOS 電晶體 MN4 的閘極連接至輸入端 IT。

電源關閉開關電路 PDSW2 包括 PMOS 電晶體 MP11 與 MP12。PMOS 電晶體 MP11 的汲極連接至節點 N3，PMOS 電晶體 MP11 的源極連接至電源供應電壓端 VDD。PMOS 電晶體 MP12 的汲極連接至節點 N4，PMOS 電晶體 MP12 的源極連接至電源供應電壓端 VDD。電源關閉信號 PDB 輸入至 PMOS 電晶體 MP11 與 MP12 的閘極。當電源關閉信號 PDB 為低階，差動放大器 2 係處於正常運作狀態。同時，當電源關閉信號 PDB 為高階，差動放大器 2 係處於電源關閉狀態(待命狀態)。

為便於描述，參考符號「VDD」與「GND」分別代表電源供應電壓與接地電壓，並亦代表端點名稱。另外，為便於描述，參考符號「IT」與「IB」代表端點名稱以及輸入該端點的信號名稱。此外，為便於描述，參考符號「OT」與「OB」代表端點名稱以及從該端點輸出的信號名稱。

圖 14 呈現描繪差動放大器 1 的運作之時序圖。參照圖 14，在時間 t_1 之前，因為電源關閉信號 PDB 為低階，差動放大器 1 係處於電源關閉狀態。在時間 t_1 時，電源關閉信號 PDB 為高階。因此，差動放大器 1 開始正常運作，且回應差動輸入信號 IT 與 IB 而輸出差動輸出信號 OT 與 OB。在時間 t_2 時，電源關閉信號 PDB 再次變為低階。差動放大器 1 因而再次變為電源關閉狀態。

請注意圖 14 中每個信號的極性與描繪差動放大器 2 之運作之時序圖中所示相反。此點除外：差動放大器 2 與差動放大器 1 的基本運作相似。因此，此處省略其運作說明。

【發明內容】

本發明人已發現差動放大器 1 與 2 具有以下描述問題。接著參照圖式、以差動放大器 1 為例說明該問題。圖 15 與 16 呈現用以說明差動放大器 1 的問題之示範性簡圖。差動放大器 1 的每個 PMOS 電晶體 MP1 至 MP4 在閘極與汲極之間具有寄生電容，以及在閘極與源極之間具有寄生電容。圖 15 呈現在每個 PMOS 電晶體 MP1 至 MP4 的閘極與汲極之間形成的每個寄生電容 C1 至 C4。此處在圖 15 中，為了簡化圖式而省略每個 PMOS 電晶體 MP1 至 MP4 的閘極與源極之間的寄生電容。

首先，在圖 14 的時間 t_1 之前，差動放大器 1 係處於電源關閉狀態。因為電源關閉信號 PDB 為低階，所以 NMOS 電晶體 MN11 與 MN12 關閉。因此，沒有電流流過由 PMOS 電晶體 MP3 與 MP1 以及 NMOS 電晶體 MN11 組成的第一電流路徑。所以，節點 N1 與輸出端 OT 的電位實質上與電源供應電壓 VDD 一樣。相似地，沒有電流流過由 PMOS 電晶體 MP4 與 MP2 以及 NMOS 電晶體 MN12 組成的第二電流路徑。所以，節點 N2 與輸出端 OB 的電位實質上與電源供應電壓 VDD 一樣。

在時間 t_1 時，差動放大器 1 係處於正常運作狀態。因為電源關閉信號 PDB 為高階，所以 NMOS 電晶體 MN11 與 MN12 開啟。因此，第一與第二電流路徑各自的每個運作點係由差動輸入信號

IT 與 IB 決定。所以，PMOS 電晶體 MP1 至 MP4 的汲極電壓從電源供應電壓 VDD 下降至預定電壓。亦即在 PMOS 電晶體 MP1 至 MP4 的汲極與閘極之間的每個寄生電容之每個汲極側電位下降。

因此，如圖 15 所示，產生從輸入端 IT 流至寄生電容 C1 與 C4 的充電電流。PMOS 電晶體 MP1 與 MP4 的閘極電流因而增加。所以，電流從輸入端流入，且輸入端 IT 的電位下降。當寄生電容 C1 與 C4 根據鏡像電流完成充電時，輸入端 IT 的電位回歸先前電位。相似的現象亦發生在輸入端 IB 側。

接著，在時間 t2 時，因為電源關閉信號 PDB 為低階，所以 NMOS 電晶體 MN11 與 MN12 關閉。因此，沒有電流流過第一與第二電流路徑，且節點 N1 與 N2 以及輸出端 OT 與 OB 的每個電位再次改變為實質上與電源供應電壓 VDD 的電位相等。所以，在每個 PMOS 電晶體 MP1 至 MP4 的汲極與閘極之間的每個寄生電容之每個汲極側電位上升。

因此，如圖 16 所示，放電電流從每個充電的寄生電容的閘極側流出。PMOS 電晶體 MP1 與 MP4 的閘極電流因而增加。所以，在輸入端 IT 的電流增加，且輸入端 IT 的電位上升。當寄生電容 C1 與 C4 根據鏡像電流完成放電時，輸入端 IT 的電位回歸至先前電位。相似的現象亦發生在輸入端 IB 側。

圖 17 呈現一時序圖，其描繪如上述的 PMOS 電晶體 MP1 至 MP4 以及輸入端 IT 與 IB 之電流與電壓波形。圖 17 的參考符號代表時間與圖 14 相同。如圖 17 所示，在時間 t1 與 t2 時，上述的電壓變化與輸入端 IT 及 IB 的信號位階變化一起發生。此電壓變化造成輸入至連接差動放大器 1 的輸入端 IT 與 IB 的其他電路之信號中的雜訊。包括此雜訊的輸入信號可能造成其他電路的失靈。此問題亦發生於差動放大器 2 中，但因為其基本上與差動放大器 1 相同而省略說明。

本發明的第一示範性實施態樣為一種差動放大器，包括：第一電流路徑，其在第一電源供應端與第二電源供應端之間連接，且輸出一差動輸出信號；第二電流路徑，其在第一電源供應端與

第二電源供應端之間連接，且輸出另一差動輸出信號，其中第一電流路徑包括：第一電晶體，其在第一電源供應端與輸出一差動輸出信號的第一輸出端之間連接，且具有接收一差動輸入信號之一控制端；第二電晶體，其在第二電源供應端與第一輸出端之間連接，且具有接收其他差動輸出信號之一控制端；以及第一開關電路，其在第一電源供應端與第一電晶體之間連接，第二電流路徑包括：第三電晶體，其在第二電源供應端與輸出另一差動輸出信號的第二輸出端之間連接，且具有接收一差動輸入信號之一控制端；第四電晶體，其在第一電源供應端與第二輸出端之間連接，且具有接收其他差動輸出信號之一控制端；以及第二開關電路，其在第二電源供應端與第三電晶體之間連接，且第一與第二開關電路的每一個之驅動狀態係由一控制信號控制。

根據本發明的第一示範性實施態樣之差動放大器可相互抵銷透過第一與第三電晶體的寄生電容所產生的電流，此時第一與第二開關係改變為導電狀態或非導電狀態。相似地，該差動放大器可相互抵銷透過第二與第四電晶體的寄生電容所產生的電流。能夠減少在差動輸入信號(供應至第一與第三電晶體的控制端)之一輸入端與差動輸入信號(供應至第二與第四電晶體的控制端)之另一輸入端產生的電位變化。

根據本發明的第一示範性實施態樣之差動放大器能夠減少產生於該輸入端的雜訊，並預防連接至該輸入端的其他電路之失靈。

【實施方式】

[第一示範性實施例]

本發明的第一示範性實施例將參照隨附圖式詳細描述如下。圖 1 係依照此示範性實施例呈現差動放大器 100 之組態。如圖 1 所示，差動放大器 100 包括 PMOS 電晶體 MP101 至 MP104 與 MP110，以及 NMOS 電晶體 MN110。

PMOS 電晶體 MP110 的源極連接至電源供應電壓端 VDD，且 PMOS 電晶體 MP110 的汲極連接至節點 N101。電源關閉信號 PD

輸入至 PMOS 電晶體 MP110 的閘極。PMOS 電晶體 MP103 的源極連接至節點 N101，PMOS 電晶體 MP103 的汲極連接至輸出端 OT，且 PMOS 電晶體 MP103 的閘極連接至輸入端 IB。PMOS 電晶體 MP101 的源極連接至輸出端 OT，PMOS 電晶體 MP101 的汲極連接至接地電壓端 GND，且 PMOS 電晶體 MP101 的閘極連接至輸入端 IT。這些 PMOS 電晶體 MP110、MP103 與 MP101 組成第一電流路徑。

PMOS 電晶體 MP104 的源極連接至電源供應電壓端 VDD，PMOS 電晶體 MP104 的汲極連接至輸出端 OB，且 PMOS 電晶體 104 的閘極連接至輸入端 IT。PMOS 電晶體 MP102 的源極連接至輸出端 OB，PMOS 電晶體 MP102 的汲極連接至節點 N102，且 PMOS 電晶體 MP102 的閘極連接至輸入端 IB。NMOS 電晶體 MN110 的汲極連接至節點 N102，且 NMOS 電晶體 MN110 的源極連接至接地電壓端 GND。電源關閉信號 PDB 輸入至 NMOS 電晶體 MN110 的閘極。電源關閉信號 PDB 為電源關閉信號 PD 的反向信號。這些 PMOS 電晶體 MP104 與 MP102 以及 NMOS 電晶體 MN110 組成第二電流路徑。

PMOS 電晶體 MP110 與 NMOS 電晶體 MN110 可視為開關電路，其分別回應電源關閉信號 PD 與 PDB 而控制是否引發驅動電流流過第一與第二電流路徑。亦即差動放大器 100 的驅動狀態可由電源關閉信號 PD 與 PDB 控制。電源關閉信號 PD 與 PDB 具有彼此相反的相位，因此可藉由使用反向器電路等反轉一信號的相位而容易產生。電源關閉信號 PD 與 PDB 因而可視為一控制信號。

圖 2 呈現描繪差動放大器 100 運作之時序圖。參照圖 2，在時間 t_1 之前，電源關閉信號 PDB 為低階且電源關閉信號 PD 為高階。PMOS 電晶體 MP110 與 NMOS 電晶體 MN110 因而關閉。因此，沒有驅動電流流過第一與第二電流路徑，且差動放大器 100 係處於電源關閉狀態(待命狀態)。

因為沒有電流流過第一電流路徑，所以節點 N101 與輸出端 OT 的電位實質上與接地電壓 GND 一樣。另外，因為沒有電流流

過第二電流路徑，所以節點 N102 與輸出端 OB 的電位實質上與電源供應電壓 VDD 一樣。

接著，在時間 t_1 時，電源關閉信號 PDB 為高階且電源關閉信號 PD 為低階。因此，PMOS 電晶體 MP110 與 NMOS 電晶體 MN110 從關閉狀態進入開啟狀態。所以，驅動電流流過第一與第二路電流路徑，且差動放大器 100 係處於正常運作狀態。差動輸出信號 OT 與 OB 係回應輸入至差動輸入端 IT 與 IB 之差動輸入信號 IT 與 IB 而從差動輸出端 OT 與 OB 輸出。因此，第一與第二電流路徑各自的每個運作點係由差動輸入信號 IT 與 IB 決定。在第一電流路徑中，PMOS 電晶體 MP101 與 103 的源極電壓從接地電壓 GND 上升至預定電壓。另外，在第二電流路徑中，PMOS 電晶體 MP101 與 MP103 的汲極電壓從電源供應電壓下降至預定電壓。

接著，在時間 t_2 時，電源關閉信號 PDB 為低階且電源關閉信號 PD 為高階。PMOS 電晶體 MP110 與 NMOS 電晶體 MN110 因而從開啟狀態進入關閉狀態。因此，沒有驅動電流流過第一與第二電流路徑，且差動放大器 100 再次進入電源關閉狀態(待命狀態)。

所以，沒有電流流過第一電流路徑，且節點 N101 與輸出端 OT 的電位下降至接地電壓 GND。另外，沒有電流流過第二電流路徑，且節點 N102 與輸出端 OB 的電位上升至電源供應電壓 VDD。請注意在下列描述中，在運作狀態從電源關閉狀態改變為正常運作狀態或是從正常運作狀態改變為電源關閉狀態的期間之時段稱作為「運作狀態改變期間」。

在此狀況中，如同相關技術的差動放大器 1，每個 PMOS 電晶體在閘極與汲極之間以及閘極與源極之間具有寄生電容。在差動放大器 1 的運作狀態改變期間，由寄生電容的充電與放電運作造成的雜訊在輸入端 IT 與 IB 產生。然而，在第一示範性實施例的差動放大器 100 中，在運作狀態改變期間產生於輸入端 IT 與 IB 的雜訊可被減少。由差動放大器 100 提供的雜訊縮減機制將參照圖式描述如下。圖 3 與圖 4 呈現描繪寄生電容的充電與放電電流

之簡圖，該電流產生於差動放大器 100 的運作狀態改變期間。為簡化說明，閘極與汲極之間的寄生電容以及閘極與源極之間的寄生電容中僅有一個呈現在圖 3 與圖 4 裡。事實上，當注意充電與放電係由閘極與汲極之間的寄生電容以及閘極與源極之間的寄生電容兩者所造成。另外，圖 5 呈現一時序圖，其描繪 PMOS 電晶體 MP101 至 MP104 以及輸入端 IT 與 IB 之電流與電壓波形。圖 5 中的參考符號代表時間與圖 2 中相同。

如圖 3 所示，差動放大器 100 的 PMOS 電晶體 MP101 至 MP104 分別具有寄生電容 C101 至 C104。寄生電容 C101 與 C103 分別為 PMOS 電晶體 MP101 與 MP103 的閘極與源極之間的寄生電容。另外，寄生電容 C102 與 C104 分別為 PMOS 電晶體 MP102 與 MP104 的閘極與汲極之間的寄生電容。

圖 3 為一簡圖，其呈現當 PMOS 電晶體 MP110 與 NMOS 電晶體 MN110 在時間 t_1 時從關閉狀態進入開啟狀態時，每個寄生電容的充電與放電電流。在此狀況中，如上所述，輸出端 OT 的電位從接地電壓 GND 上升，且輸出端 OB 的電位從電源供應電壓 VDD 下降。如圖 3 所示，寄生電容 C101 與 C103 允許電流從閘極流出，而寄生電容 C102 與 C104 允許電流從閘極流入。因此，如在時間 t_1 時的圖 5 所示，當從輸入端側觀之，PMOS 電晶體 MP101 與 MP103 的閘極電流減少，而從輸入端側觀之，PMOS 電晶體 MP102 與 MP104 的閘極電流增加。

當寄生電容 C101 與 C104 為關注焦點時，一電流從寄生電容 C101 流出，且在同一時間，一電流流入寄生電容 C104。相似地，當寄生電容 C102 與 C103 為關注焦點時，一電流從寄生電容 C103 流出，且在同一時間，一電流流入寄生電容 C102。閘極與輸入端 IT 連接的 PMOS 電晶體 MP101 與 PM104 的閘極電流之流入與流出同時發生，且該電流相互抵銷。另外，閘極與輸入端 IB 連接的 PMOS 電晶體 MP102 與 PM103 的閘極電流之流入與流出同時發生，且該電流相互抵銷。因此，如圖 5 所示，即使在時間 t_1 時，運作狀態從電源關閉狀態改變為正常運作狀態，輸入端 IT 與 IB

的電流增加與減少仍受抑制。所以，輸入端 IT 與 IB 的電位變化減少，且產生於輸入端 IT 與 IB 的雜訊亦可減少。

圖 4 為一簡圖，其呈現當 PMOS 電晶體 MP110 與 NMOS 電晶體 MN110 在時間 t_2 時從開啟狀態進入關閉狀態時，每個寄生電容的充電與放電電流。在此狀況中，如上所述，輸出端 OT 與節點 N101 的電位下降至接地電壓 GND，且輸出端 OB 與節點 N102 的電位上升至電源供應電壓 VDD。因此，如圖 4 所示，寄生電容 C101 與 C103 允許電流從閘極流入，而寄生電容 C102 與 C104 允許電流從閘極流出。因此，如在時間 t_2 時的圖 5 所示，當從輸入端側觀之，PMOS 電晶體 MP101 與 MP103 的閘極電流增加，而從輸入端側觀之，PMOS 電晶體 MP102 與 MP104 的閘極電流減少。

當寄生電容 C101 與 C104 為關注焦點時，一電流流入寄生電容 C101，且在同一時間，一電流從寄生電容 C104 流出。相似地，當寄生電容 C102 與 C103 為關注焦點時，一電流從寄生電容 C102 流出，且在同一時間，一電流流入寄生電容 C103。閘極與輸入端 IT 連接的 PMOS 電晶體 MP101 與 MP104 的閘極電流之流入與流出在同一時間產生，且該電流相互抵銷。另外，閘極與輸入端 IB 連接的 PMOS 電晶體 MP102 與 MP103 的閘極電流之流入與流出在同一時間產生，且該電流相互抵銷。因此，如圖 5 所示，即使在時間 t_2 時，運作狀態從正常運作狀態改變為電源關閉狀態，輸入端 IT 與 IB 的電流增加與減少仍受抑制。所以，輸入端 IT 與 IB 的電位變化減少，且產生於輸入端 IT 與 IB 的雜訊亦可減少。。

因此，第一示範性實施例的差動放大器 100 可能減少雜訊，其在運作狀態改變期間產生於相關技術的差動放大器 1 之輸入端 IT 與 IB 中。所以，依照第一示範性實施例，雜訊並未傳輸至與差動放大器 100 的輸入端連接的其他電路之信號輸入。依照第一示範性實施例的差動放大器 100 可預防造成其他電路失靈。

另外，圖 6 呈現差動放大器 101 之組態，其中圖 1 的差動放大器 100 的 MOS 電晶體導電形式係受反轉。如圖 6 所示，差動放

大器 101 包括 NMOS 電晶體 MN101 至 MN104 與 MN110，以及 PMOS 電晶體 MP110。

PMOS 電晶體 MP110 的源極連接至電源供應電壓端 VDD，且 PMOS 電晶體 MP110 的汲極連接至節點 N101。電源關閉信號 PD 輸入至 PMOS 電晶體 MP110 的閘極。NMOS 電晶體 MN103 的汲極連接至節點 N101，NMOS 電晶體 MN103 的源極連接至輸出端 OT，且 NMOS 電晶體 MN103 的閘極連接至輸入端 IB。NMOS 電晶體 MN101 的汲極連接至輸出端 OT，NMOS 電晶體 MN101 的源極連接至接地電壓端 GND，且 NMOS 電晶體 MN101 的閘極連接至輸入端 IT。PMOS 電晶體 MP110 與 NMOS 電晶體 MN103 與 MN101 組成第一電流路徑。

NMOS 電晶體 MN104 的汲極連接至電源供應電壓端 VDD，NMOS 電晶體 MN104 的源極連接至輸出端 OB，且 NMOS 電晶體 MN104 的閘極連接至輸入端 IT。NMOS 電晶體 MN102 的汲極連接至輸出端 OB，NMOS 電晶體的源極連接至節點 N102，且 NMOS 電晶體 MN102 的閘極連接至輸入端 IB。NMOS 電晶體 MN110 的汲極連接至節點 N102，且 NMOS 電晶體 MN110 的源極至接地電壓端 GND。電源關閉信號 PDB 輸入至 NMOS 電晶體 MN110 的閘極。電源關閉信號 PDB 為電源關閉信號 PD 的反相信號。NMOS 電晶體 MN104、MN102 與 MN110 組成第二電流路徑。

請注意圖 6 中與圖 1 相同的參考符號代表相同或相似的元件。差動放大器 101 具有一組態，其中差動放大器 100 的 PMOS 電晶體 MP101 至 MP104 分別置換為 NMOS 電晶體 MN101 至 MN104。因此，抑制在運作狀態改變期間產生於輸入端 IT 與 IB 的電流增加或減少之原則與差動放大器 100 中的原則相似。差動放大器 101 的原則等等之詳細描述因而省略。

因此，在差動放大器 101 中，即使由輸入信號 IT 與 IB 驅動的 MOS 電晶體的導電形式與差動放大器 100 相反，仍可減少輸入端 IT 與 IB 的電位變化。另外，亦能減少產生於輸入端 IT 與 IB 的雜訊。所以，雜訊未傳輸至連接差動放大器 101 的輸入端之其

他電路的信號輸入。差動放大器 101 可預防造成其他電路失靈，如同差動放大器 100。

[第二示範性實施例]

本發明的第二示範性實施例將參照圖式詳細描述如下。圖 7 係依照第二示範性實施例呈現差動放大器 200 之示範性組態。如圖 7 所示，差動放大器 200 包括 PMOS 電晶體 MP101 至 MP104、MP110 與 MP210，以及 NMOS 電晶體 MN110 與 MN210。

PMOS 電晶體 MP110 的源極連接至電源供應電壓端 VDD，且 PMOS 電晶體 MP110 的汲極連接至節點 N101。電源關閉信號 PD 輸入至 PMOS 電晶體 MP110 的閘極。PMOS 電晶體 MP103 的源極連接至節點 N101，PMOS 電晶體 MP103 的汲極連接至輸出端 OT，且 PMOS 電晶體 MP103 的閘極連接至輸入端 IB。PMOS 電晶體 MP101 的源極連接至輸出端 OT，PMOS 電晶體 MP101 的汲極連接至節點 N201，且 PMOS 電晶體 MP101 的閘極連接至輸入端 IT。NMOS 電晶體 MN210 的汲極連接至節點 N201，且 NMOS 電晶體 MN210 的源極連接至接地電壓端 GND。電源供應電壓 VDD 輸入至 NMOS 電晶體 MN210 的閘極。PMOS 電晶體 MP110、MP103、與 MP101 以及 NMOS 電晶體 MN210 組成第一電流路徑。

PMOS 電晶體 MP210 的源極連接至電源供應電壓端 VDD，且 PMOS 電晶體 210 的汲極連接至節點 202。接地電壓 GND 輸入至 PMOS 電晶體 MP210 的閘極。PMOS 電晶體 MP104 的源極連接至節點 N202，PMOS 電晶體 MP104 的汲極連接至輸出端 OB，且 PMOS 電晶體 MP104 的閘極連接至輸入端 IT。PMOS 電晶體 MP102 的源極連接至輸出端 OB，PMOS 電晶體 MP102 的汲極連接至節點 N102，且 PMOS 電晶體 MP102 的閘極連接至輸入端 IB。NMOS 電晶體 MN110 的汲極連接至節點 N102，且 NMOS 電晶體 MN110 的源極連接至接地電壓端 GND。電源關閉信號 PDB 輸入至 NMOS 電晶體 MN110 的閘極。電源關閉信號 PDB 為電源關閉信號 PD 的反相信號。PMOS 電晶體 MP210、MP104、與 MP102 以及 NMOS 電晶體 MN110 組成第二電流路徑。

請注意圖 7 中與圖 1 相同的參考符號代表相同或相似的元件。差動放大器 200 與第一示範性實施例的差動放大器 100 之不同點在於：PMOS 電晶體 MP210 在 PMOS 電晶體 MP104 與電源供應電壓端 VDD 之間連接，以及 NMOS 電晶體 MN210 在 PMOS 電晶體 MP101 與接地電壓端 GND 之間連接。

PMOS 電晶體 MP210 的閘極電壓係箝(clamp)至接地電壓 GND。另外，NMOS 電晶體 MN210 的閘極電壓係箝至電源供應電壓 VDD。因此，PMOS 電晶體 MP210 與 NMOS 電晶體 MN210 總是處於開啟狀態。所以，差動放大器 200 的輸入端 IT 與 IB 之運作與雜訊縮減機制與差動放大器 100 相似。

假定 PMOS 電晶體 MP110 與 MP210 具有一樣的電晶體尺寸等等。假定 PMOS 電晶體 MP103 與 MP104 具有一樣的電晶體尺寸等等。假定 PMOS 電晶體 MP101 與 MP102 具有一樣的電晶體尺寸等等。假定 NMOS 電晶體 MN110 與 MN210 具有一樣的電晶體尺寸等等。電流路徑 1 與電流路徑 2 可設計為相對稱。因此，電流路徑 1 與電流路徑 2 可設計為具有一樣的電氣特性。

當電流路徑 1 與電流路徑 2 如在差動放大器 100 或 101 中為不對稱相似，分別相應電流路徑 1 與 2 的電晶體尺寸亦變成不對稱，以便在輸出信號 OT 與 OB 中取得預期電壓水準。因此，很難設計電流路徑 1 與電流路徑 2 具有一樣的電氣特性，且有設計難度增加之問題。此可能對製造變異有顯著影響。

如上所述，因為電流路徑 1 與電流路徑 2 為對稱，差動放大器 200 強化設計之簡易並可容忍製造變異。

另外，圖 8 呈現差動放大器 201 之組態，其中圖 7 的差動放大器 200 的 MOS 電晶體導電形式被反轉。如圖 8 所示，差動放大器 201 包括 NMOS 電晶體 MN101 至 MN104、MN110 與 MN210，PMOS 電晶體 MP110 與 MP210。

PMOS 電晶體 MP110 的源極連接至電源供應電壓端 VDD，且 PMOS 電晶體 MP110 的汲極連接至節點 N101。電源關閉信號 PD 輸入至 PMOS 電晶體 MP110 的閘極。NMOS 電晶體 MN103 的汲

極連接至節點 N101，NMOS 電晶體 MN103 的源極連接至輸出端 OT，且 NMOS 電晶體 MN103 的閘極連接至輸入端 IB。NMOS 電晶體 MN101 的汲極連接至輸出端 OT，NMOS 電晶體 MN101 的源極連接至節點 N201，且 NMOS 電晶體 MN101 的閘極連接至輸入端 IT。NMOS 電晶體 MN210 的汲極連接至節點 N201，且 NMOS 電晶體 MN210 的源極連接至接地電壓端 GND。電源供應電壓 VDD 輸入至 NMOS 電晶體 MN210 的閘極。PMOS 電晶體 MP110、NMOS 電晶體 MN103、MN101 與 MN210 組成第一電流路徑。

PMOS 電晶體 MP210 的源極連接至電源供應電壓端 VDD，且 PMOS 電晶體 MP210 的汲極連接至節點 N202。接地電壓 GND 輸入至 PMOS 電晶體 MP210 的閘極。NMOS 電晶體 MN104 的汲極連接至節點 N202，NMOS 電晶體 MN104 的源極連接至輸出端 OB，且 NMOS 電晶體 MN104 的閘極連接至輸入端 IT。NMOS 電晶體 MN102 的汲極連接至輸出端 OB，NMOS 電晶體 MN102 的源極連接至節點 N102，且 NMOS 電晶體 MN102 的閘極連接至輸入端 IB。NMOS 電晶體 MN110 的汲極連接至節點 N102，NMOS 電晶體 MN110 的源極連接至接地電壓端 GND。電源關閉信號 PDB 輸入至 NMOS 電晶體 MN110 的閘極。電源關閉信號 PDB 為電源關閉信號 PD 的反相信號。PMOS 電晶體 MP210 以及 NMOS 電晶體 MN104、MN102、與 MN110 組成第二電流路徑。

請注意圖 8 中與圖 1 及圖 6 相同的參考符號代表相同或相似的元件。差動放大器 201 具有一組態，其中差動放大器 200 的 MOS 電晶體導電形式被反轉。差動放大器 201 與第一示範性實施例的差動放大器 101 之不同點在於：PMOS 電晶體 MP210 在 NMOS 電晶體 MN104 與電源供應電壓端 VDD 之間連接，且 NMOS 電晶體 MN210 在 NMOS 電晶體 101 與接地電壓端 GND 之間連接。

PMOS 電晶體 MP210 的閘極電壓係接至接地電壓 GND。另外，NMOS 電晶體 MN210 的閘極電壓係接至電源供應電壓 VDD。因此，PMOS 電晶體 MP210 與 NMOS 電晶體 MN210 總是處於開啟狀態，如差動放大器 200。所以，差動放大器 201 的輸入端 IT

與 IB 之運作與雜訊縮減機制與差動放大器 101 相似。

假定 PMOS 電晶體 MP110 與 MP210 具有一樣的電晶體尺寸等等。假定 NMOS 電晶體 MN103 與 MN104 具有一樣的電晶體尺寸等等。假定 NMOS 電晶體 MN101 與 MN102 具有一樣的電晶體尺寸等等。假定 NMOS 電晶體 MN110 與 MN210 具有一樣的電晶體尺寸等等。電流路徑 1 與電流路徑 2 可設計為相對稱。因此，如同差動放大器 200，電流路徑 1 與電流路徑 2 可設計為具有一樣的電氣特性。因此，在差動放大器 201 中可強化設計之簡易。另外，差動放大器 201 可容忍製造變異。

[第三示範性實施例]

本發明的第三實施例將參照圖式詳細描述如下。圖 9 係依照第三示範性實施例呈現差動放大器 300 的組態之實例。如圖 9 所示，差動放大器 300 包括 PMOS 電晶體 MP101 至 MP104、MP110 與 MP210，NMOS 電晶體 MN110 與 MN210，電容器 C301 至 C304。

PMOS 電晶體 MP110 的源極連接至電源供應電壓端 VDD，且 PMOS 電晶體 MP110 的汲極連接至節點 N101。電源關閉信號 PD 輸入至 PMOS 電晶體 MP110 的閘極。PMOS 電晶體 MP103 的源極連接至節點 101，PMOS 電晶體 MP103 的汲極連接至輸出端 OT，且 PMOS 電晶體 MP103 的閘極連接輸入端 IB。PMOS 電晶體 MP101 的源極連接至輸出端 OT，PMOS 電晶體 MP101 的汲極連接至節點 N201，且 PMOS 電晶體 MP101 的閘極連接至輸入端 IT。NMOS 電晶體 MN210 的汲極連接至節點 N201，且 NMOS 電晶體 MN210 的源極連接至接地電壓端 GND。電源供應電壓 VDD 輸入至 NMOS 電晶體 MN210 的閘極。電容器 C301 在 PMOS 電晶體 MP101 的閘極與源極之間連接。電容器 C303 在 PMOS 電晶體 MP103 的閘極與源極之間連接。PMOS 電晶體 MP110、MP103 與 MP101，以及 NMOS 電晶體 MN210 組成第一電流路徑。

PMOS 電晶體 MP210 的源極連接至電源供應電壓端 VDD，PMOS 電晶體 MP210 的汲極連接至節點 N202。接地電壓 GND 輸入至 PMOS 電晶體 MP210 的閘極。PMOS 電晶體 MP104 的源極

連接至節點 N202，PMOS 電晶體 MP104 的汲極連接至輸出端 OB，且 PMOS 電晶體 MP104 的閘極連接至輸入端 IT。PMOS 電晶體 MP102 的源極連接至輸出端 OB，PMOS 電晶體 MP102 的汲極連接至節點 N102，且 PMOS 電晶體 MP102 的閘極連接至輸入端 IB。NMOS 電晶體 MN110 的汲極連接至節點 N102，且 NMOS 電晶體 MN110 的源極連接至接地電壓端 GND。電源關閉信號 PDB 輸入至 NMOS 電晶體 MN110 的閘極。電源關閉信號 PDB 為電源關閉信號 PD 的反相信號。電容器 C302 在 PMOS 電晶體 MP102 的閘極與源極之間連接。電容器 C304 在 PMOS 電晶體 MP104 的閘極與源極之間連接。PMOS 電晶體 MP210、MP104 與 MP102 以及 NMOS 電晶體 MN110 組成第二電流路徑。

請注意圖 9 中與圖 7 相同的參考符號代表相同或相似的元件。差動放大器 300 與第二示範性實施例的差動放大器 200 之不同點在於電容器 C301 至 C304 分別在 PMOS 電晶體 MP101 至 MP104 的閘極與源極之間連接。

因為電容器 C301 至 C304 分別與 PMOS 電晶體 MP101 至 MP104 的閘極連接，所以可抑制在運作狀態改變期間產生於 PMOS 電晶體 MP101 至 MP104 的閘極電流之快速變化。舉例來說，當在第一與第二示範性實施例中發生閘極電流的快速變化時，在相應的寄生電容中流入與流出電流可能不足以相互抵銷電流。此時，在第三實施例中，電容器 C301 至 C304 預防閘極電流的快速變化，幫助上述的電流相互抵銷。所以，相較於第一與第二示範性實施例，輸入端 IT 與 IB 的電位變化減少。因此，可進一步減少產生於輸入端 IT 與 IB 的雜訊。另外，能以非常小的電容值(例如約 50 fF 至 100 fF)設計這些電容器 C301 至 C304。因此，電路面積的增加對於安置差動放大器 300 的半導體積體電路晶片的影響很小。

此外，產生的雜訊量可能根據輸入信號 IT 與 IB 的輸入電壓不同而有所差異。然而，在第三示範性實施例的差動放大器 300 中，產生於輸入端 IT 與 IB 的雜訊量可藉由調整電容器 C301 至

C304 的電容值而減少。圖 10 呈現輸入端 IT 的電壓值，舉例來說，此時電容器 C303 與 C304 的電容值改變為 0 f[F]、50 f[F]、與 100 f[F]。請注意輸入端 IT 的電壓值中的雜訊量可藉由進一步改變電容器 C301 與 C302 的電容值而更加減少。因此，使產生於輸入端 IT 與 IB 的雜訊量最小之最佳電容值可藉由改變電容器 C301 至 C304 的電容值而獲得。再者，即使僅連接電容器 C301 至 C304 的至少其中一個，仍可達成減少雜訊的有益效應。舉例來說，當輸入至輸入端 IB 的信號固定至接地電壓 GND 或電源供應電壓 VDD，且輸入至輸入端 IT 的信號振幅改變時，僅連接電容器 C301。調整電容器 C301 的電容值可能減少在輸入端 IT 的電壓值中的雜訊量。再者，可相似地連接電容器 C301 與 C304。調整電容器 C301 與 C304 的電容值可能減少在輸入端 IT 的電壓值中的雜訊量。

另外，圖 11 呈現差動放大器 301 之組態，其中圖 9 的差動放大器 300 的 MOS 電晶體導電形式被反轉。如圖 11 所示，差動放大器 301 包括 NMOS 電晶體 MN101' 至 MN104、MN110 與 MN210，PMOS 電晶體 MP110 與 MP210，電容器 C301 至 C304。

PMOS 電晶體 MP110 的源極連接至電源供應電壓端 VDD，且 PMOS 電晶體 MP110 的汲極連接至節點 N101。電源關閉信號 PD 輸入至 PMOS 電晶體 MP110 的閘極。NMOS 電晶體 MN103 的汲極連接至節點 N101，NMOS 電晶體 MN103 的源極連接至輸出端 OT，且 NMOS 電晶體 MN103 的閘極連接至輸入端 IB。NMOS 電晶體 MN101 的汲極連接至輸出端 OT，NMOS 電晶體 MN101 的源極連接至節點 N201，且 NMOS 電晶體 MN101 的閘極連接至輸入端 IT。NMOS 電晶體 MN210 的汲極連接至節點 N201，且 NMOS 電晶體 MN210 的源極連接至接地電壓端 GND。電源供應電壓 VDD 輸入至 NMOS 電晶體 MN210 的閘極。電容器 C301 在 NMOS 電晶體 MN101 的閘極與源極之間連接。電容器 C303 在 NMOS 電晶體 MN103 的閘極與源極之間連接。PMOS 電晶體 MP110 與 NMOS 電晶體 MN103、MN101 與 MN210 組成第一電流路徑。

PMOS 電晶體 MP210 的源極連接至電源供應電壓端 VDD，且 PMOS 電晶體 MP210 的汲極連接至節點 N202。接地電壓 GND 輸入至 PMOS 電晶體 MP210 的閘極。NMOS 電晶體 MN104 的汲極連接至節點 N202，NMOS 電晶體 MN104 的源極連接至輸出端 OB，且 NMOS 電晶體 MN104 的閘極連接至輸入端 IT。NMOS 電晶體 MN102 的汲極連接至輸出端 OB，NMOS 電晶體 MN102 的源極連接至節點 N102，且 NMOS 電晶體 MN102 的閘極連接至輸入端 IB。NMOS 電晶體 MN110 的汲極連接至節點 N102，且 NMOS 電晶體 MN110 的源極連接至接地電壓端 GND。電源關閉信號 PDB 輸入至 NMOS 電晶體 MN110 的閘極。電源關閉信號 PDB 為電源關閉信號 PD 的反相信號。電容器 C302 在 NMOS 電晶體 MN102 的閘極與源極之間連接。電晶體 C304 在 NMOS 電晶體 MN104 的閘極與源極之間連接。PMOS 電晶體 MP210、MP104、與 MP102，以及 NMOS 電晶體 MN110 組成第二電流路徑。

請注意圖 11 中與圖 8 及圖 9 相同的參考符號代表相同或相似的元件。差動放大器 301 具有一組態，其中差動放大器 300 的 PMOS 電晶體 MP101 至 MP104 分別置換為 NMOS 電晶體 MN101 至 MN104。另外，差動放大器 301 與第二示範性實施例的差動放大器 201 之不同點在於：電容器 C301 至 C304 分別在 NMOS 電晶體 MN101 至 MN104 的閘極與源極之間連接。

因為這些電容器 C301 至 C304 分別與 NMOS 電晶體 MN101 至 MN104 的閘極連接，所以可抑制在運作狀態改變期間產生的 PMOS 電晶體 MP101 至 MP104 的閘極電流之快速變化。變化受抑制之閘極電流允許相應的寄生電容相互抵銷流入電流與流出電流，如同第一與第二示範性實施例所述。所以，如同差動放大器 300，相較於於第一與第二示範性實施例，輸入端 IT 與 IB 的電位變化減少。因此，產生於輸入端 IT 與 IB 的雜訊亦可減少。其他效應亦與差動放大器 300 相似。

請注意本發明不限於上述示範性實施例，且可在未偏離本發明的範疇下以各種方式修改。舉例來說，在第三示範性實施例中，

可以僅設置電容器 C301 與 C302。或者，可以僅設置電容器 C303 與 C304 於第三示範性實施例中。在第一示範性實施例之組態中，電容器 C301 至 C304 可在 PMOS 電晶體 MP101 至 MP104 的閘極與源極之間連接，如同第三示範性實施例。另外，電容器 C301 至 C304 可在閘極與汲極之間連接。雖然在第一與第二示範性實施例中，第一與第二電流路徑係由 MOS 電晶體組成，然而 MOS 電晶體可置換為雙極電晶體。

雖然本發明已透過多種示範性實施例描述之，然而熟悉此技藝者當知本發明可在隨附申請專利範圍的精神與範疇內以各式修改實行，且本發明不限於上述的實例。

另外，申請專利範圍之範疇不限於上述的示範性實施例。

此外，請注意即使於日後申請過程中有所變更，申請者之意圖為包含所有申請專利範圍元素之均等物。

第一至第三示範性實施例可由此技藝的一般技術者隨其所望而結合。

【圖式簡單說明】

上述及其他實施態樣、優點與特點隨前述特定示範性實施例之說明與隨附圖式當可更加明白，其中：

圖 1 係依照本發明的第一實施例呈現差動放大器之組態；

圖 2 係依照本發明的第一實施例呈現差動放大器運作之時序圖；

圖 3 係依照本發明的第一實施例說明差動放大器的有益效應之簡圖；

圖 4 係依照本發明的第一實施例說明差動放大器的有益效應之簡圖；

圖 5 係依照本發明的第一實施例說明差動放大器的有益效應之時序圖；

圖 6 係依照本發明的第一實施例呈現差動放大器之另一組態；

圖 7 係依照本發明的第二實施例呈現差動放大器之組態；

圖 8 係依照本發明的第二實施例呈現差動放大器之另一組態；

圖 9 係依照本發明的第三實施例呈現差動放大器之組態；

圖 10 係依照本發明的第三實施例說明差動放大器的有益效應之時序圖；

圖 11 係依照本發明的第三實施例呈現差動放大器之另一組態；

圖 12 係依照相關技術呈現差動放大器之組態；

圖 13 係依照相關技術呈現差動放大器之組態；

圖 14 係依照相關技術呈現差動放大器的運作之時序圖；

圖 15 係說明依照相關技術的差動放大器的問題之簡圖；

圖 16 係說明依照相關技術的差動放大器的問題之簡圖；

圖 17 係說明依照相關技術的差動放大器的問題之時序圖。

【主要元件符號說明】

1、2、100、101、200、201、300、301 差動放大器

C101-C104 寄生電容

C301-C304 電容器

MN1、MN2、MN11、MN12 NMOS 電晶體

MN110、MN101-MN104、MN210 NMOS 電晶體

MP1-MP4 PMOS 電晶體

MP110、MP101-MP104、MP210 PMOS 電晶體

N1-N4 節點

N101、N102、N201、N202 節點

PDSW1、PDSW2 電源關閉開關電路

GND 電源接地電壓(端)

PD、PDB 電源關閉信號

IB、IT 輸入端、輸入信號

OB、OT 輸出端、輸出信號

VDD 電源供應電壓(端)

發明專利說明書

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：99117760

※ 申請日：99. 6. 2 ※IPC 分類：

H03F1/56 (2006.01)
H03F3/45 (2006.01)

一、發明名稱：(中文/英文)

差動放大器

DIFFERENTIAL AMPLIFIER

二、中文發明摘要：

一種差動放大器，包括：第一電晶體，其在第一電源供應端與第一輸出端之間連接，且具有接收一差動輸入信號之一控制端；第二電晶體，其在第二電源供應端與第一輸出端之間連接，且具有接收另一差動輸入信號之一控制端；第一開關在第一電源供應端與第一電晶體之間連接；第三電晶體，其在第二電源供應端與第二輸出端之間連接，且具有輸入至一差動輸入信號之一控制端；第四電晶體，其在第一電源供應端與第二輸出端之間連接，且具有接收另一差動輸入信號之一控制端；第二開關在第二電源供應端與第三電晶體之間連接。第一與第二開關之驅動狀態由一控制信號控制。

三、英文發明摘要：

A differential amplifier including: 1st transistor that is connected between 1st power-supply terminal and 1st output terminal, and has a control terminal receiving one of the differential input signals; 2nd transistor that is connected between 2nd power-supply terminal and 1st output terminal, and has a control terminal receiving the other of the differential input signals; 1st switch that is connected between 1st power-supply terminal and 1st transistor; 3rd transistor that is connected between 2nd power-supply terminal and 2nd output terminal, and has a control terminal is input to one of the differential

input signals; 4th transistor that is connected between 1st power-supply terminal and 2nd output terminal, and has a control terminal receiving the other of the differential input signals; 2nd switch that is connected between 2nd power-supply terminal and 3rd transistor. Drive state of 1st and 2nd switches are controlled by a control signal.

七、申請專利範圍：

1. 一種差動放大器，包含：

第一電流路徑，其在第一電源供應端與第二電源供應端之間連接，且輸出一差動輸出信號；以及第二電流路徑，其在第一電源供應端與第二電源供應端之間連接，且輸出另一差動輸出信號，其中

第一電流路徑包括：

第一電晶體，其在第一電源供應端與輸出一差動輸出信號的第一輸出端之間連接，且具有接收一差動輸入信號之一控制端；

第二電晶體，其在第二電源供應端與第一輸出端之間連接，且具有接收其他差動輸出信號之一控制端；以及

第一開關電路，其在第一電源供應端與第一電晶體之間連接；

第二電流路徑包括：

第三電晶體，其在第二電源供應端與輸出另一差動輸出信號的第二輸出端之間連接，且具有接收一差動輸入信號之一控制端；

第四電晶體，其在第一電源供應端與第二輸出端之間連接，且具有接收其他差動輸出信號之一控制端；以及

第二開關電路，其在第二電源供應端與第三電晶體之間連接，且

第一與第二開關電路的每一個之驅動狀態係由一控制信號控制。

2. 如申請專利範圍第1項之差動放大器，其中第一至第四電晶體為第一導電形式的電晶體。

3. 如申請專利範圍第2項之差動放大器，其中

第一開關電路包括一個第一導電形式的第五電晶體，

第五電晶體在第一電源供應端與第一電晶體之間連接，且具有接收該控制信號的一正相信號與一反相信號之一者的一控制端，

第二開關電路包括一個第二導電形式的第六電晶體，以及第六電晶體在第二供應端與第三電晶體之間連接，且具有接收該控制信號的該正相信號與該反相信號之另一者的一控制端。

4. 如申請專利範圍第3項之差動放大器，其中

第一電流路徑更包括一個第二導電形式的第七電晶體，

第七電晶體在第二供應端與第二電晶體之間連接，且具有一控制端，其以第一供應端的電壓供應之；

第二電流路徑更包括一個第一導電形式的第八電晶體，以及

第八電晶體在第一供應端與第四電晶體之間連接，且具有一控制端，其以第二供應端的電壓供應之。

5. 如申請專利範圍第4項之差動放大器，其中

第七電晶體的尺寸實質上與第六電晶體的尺寸相等，以及

第八電晶體的尺寸實質上與第五電晶體的尺寸相等。

6. 如申請專利範圍第1項之差動放大器，其中第一至第四電晶體的至少一個連接至一電容器，該電容器係在該至少一個電晶體的一端及另一端其中一個、與一控制端之間連接。

7. 如申請專利範圍第6項之差動放大器，其中該電容器具有100f[F]或更小的電容值。

八、圖式：

第五電晶體在第一電源供應端與第一電晶體之間連接，且具有接收該控制信號的一正相信號與一反相信號之一者的一控制端，

第二開關電路包括一個第二導電形式的第六電晶體，以及第六電晶體在第二供應端與第三電晶體之間連接，且具有接收該控制信號的該正相信號與該反相信號之另一者的一控制端。

4. 如申請專利範圍第3項之差動放大器，其中

第一電流路徑更包括一個第二導電形式的第七電晶體，

第七電晶體在第二供應端與第二電晶體之間連接，且具有一控制端，其以第一供應端的電壓供應之；

第二電流路徑更包括一個第一導電形式的第八電晶體，以及第八電晶體在第一供應端與第四電晶體之間連接，且具有一控制端，其以第二供應端的電壓供應之。

5. 如申請專利範圍第4項之差動放大器，其中

第七電晶體的尺寸實質上與第六電晶體的尺寸相等，以及第八電晶體的尺寸實質上與第五電晶體的尺寸相等。

6. 如申請專利範圍第1項之差動放大器，其中第一至第四電晶體的至少一個連接至一電容器，該電容器係在該至少一個電晶體的一端及另一端其中一個、與一控制端之間連接。

7. 如申請專利範圍第6項之差動放大器，其中該電容器具有100f[F]或更小的電容值。

八、圖式：

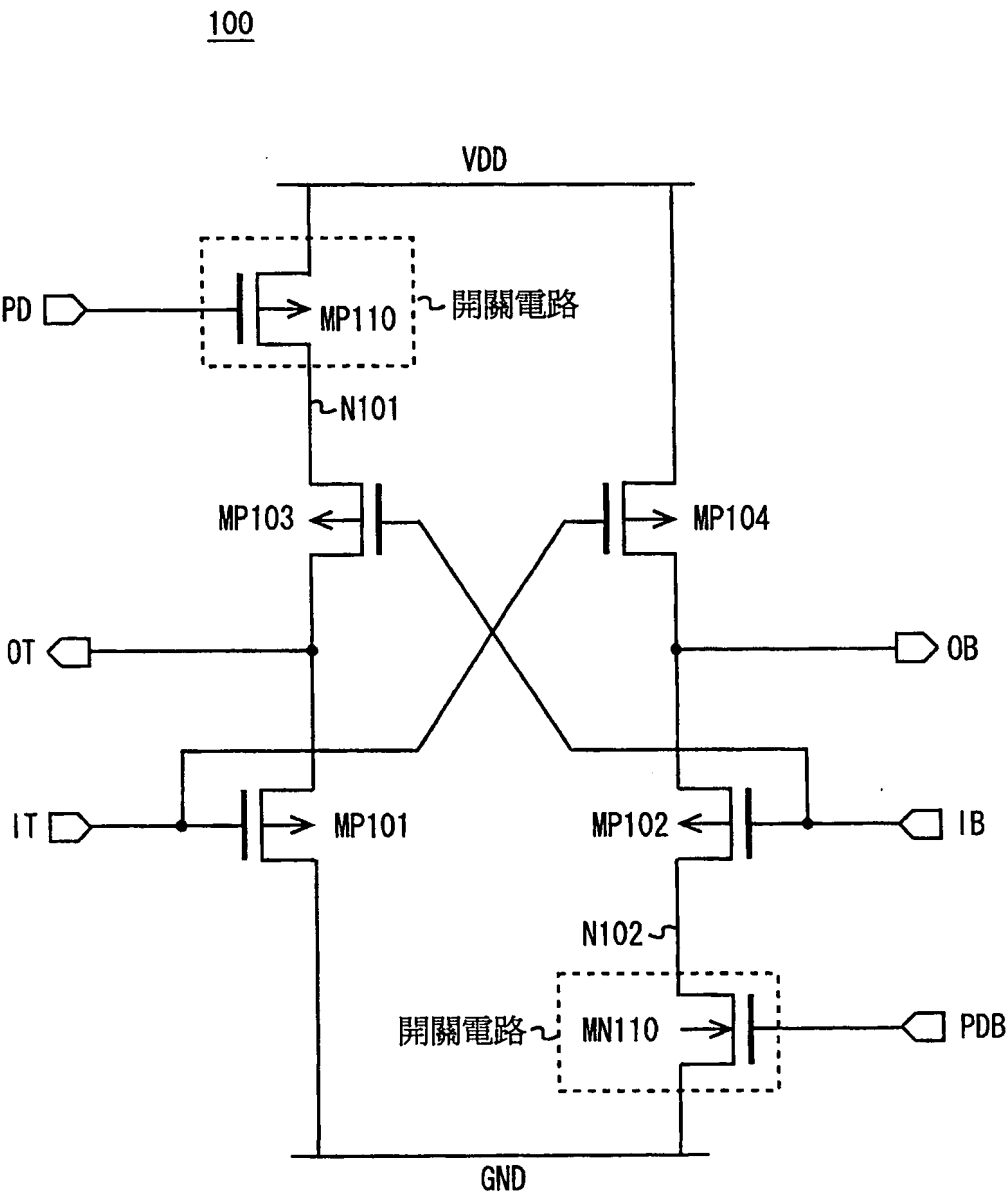


圖 1

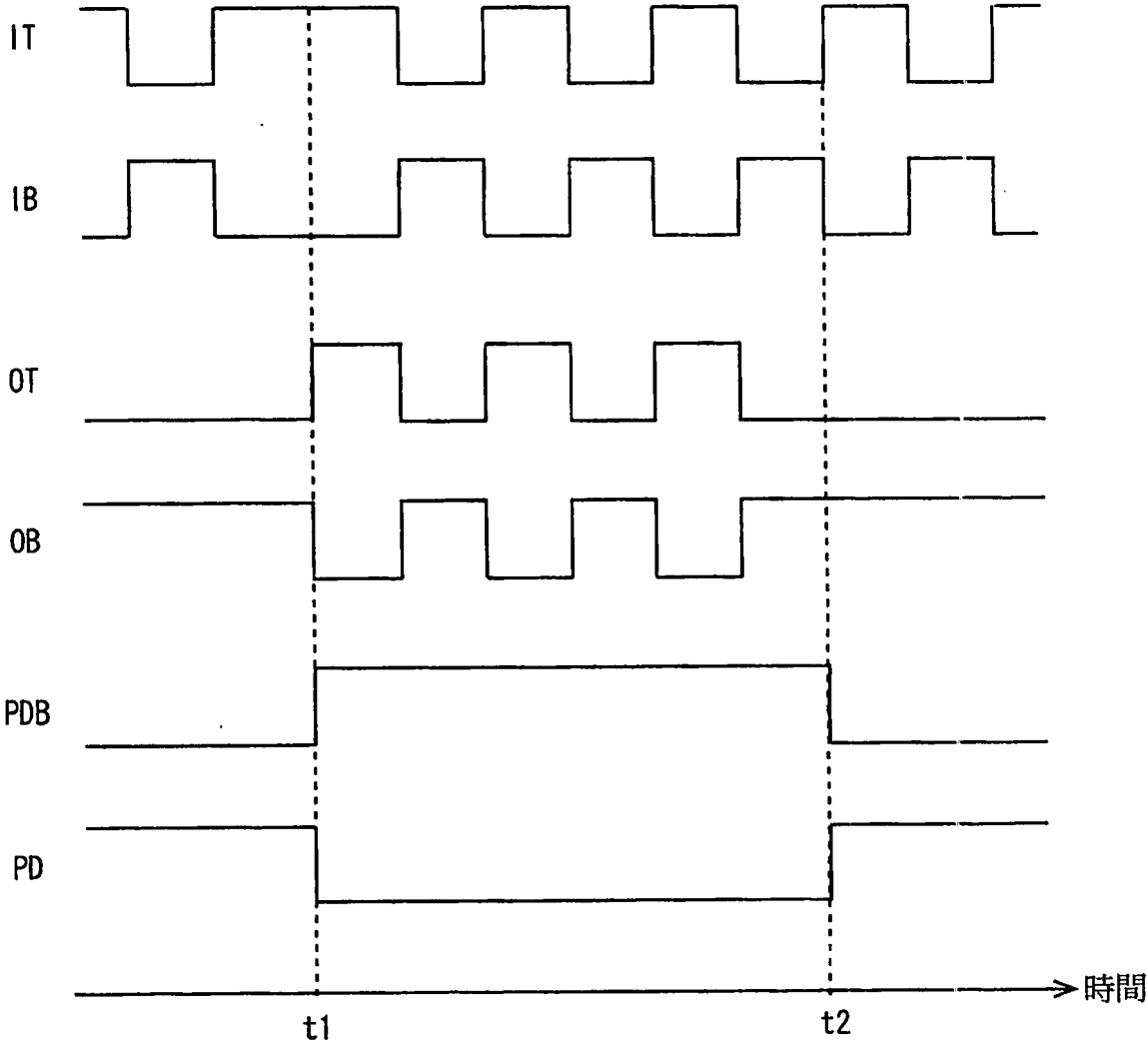
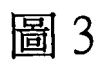


圖 2

100



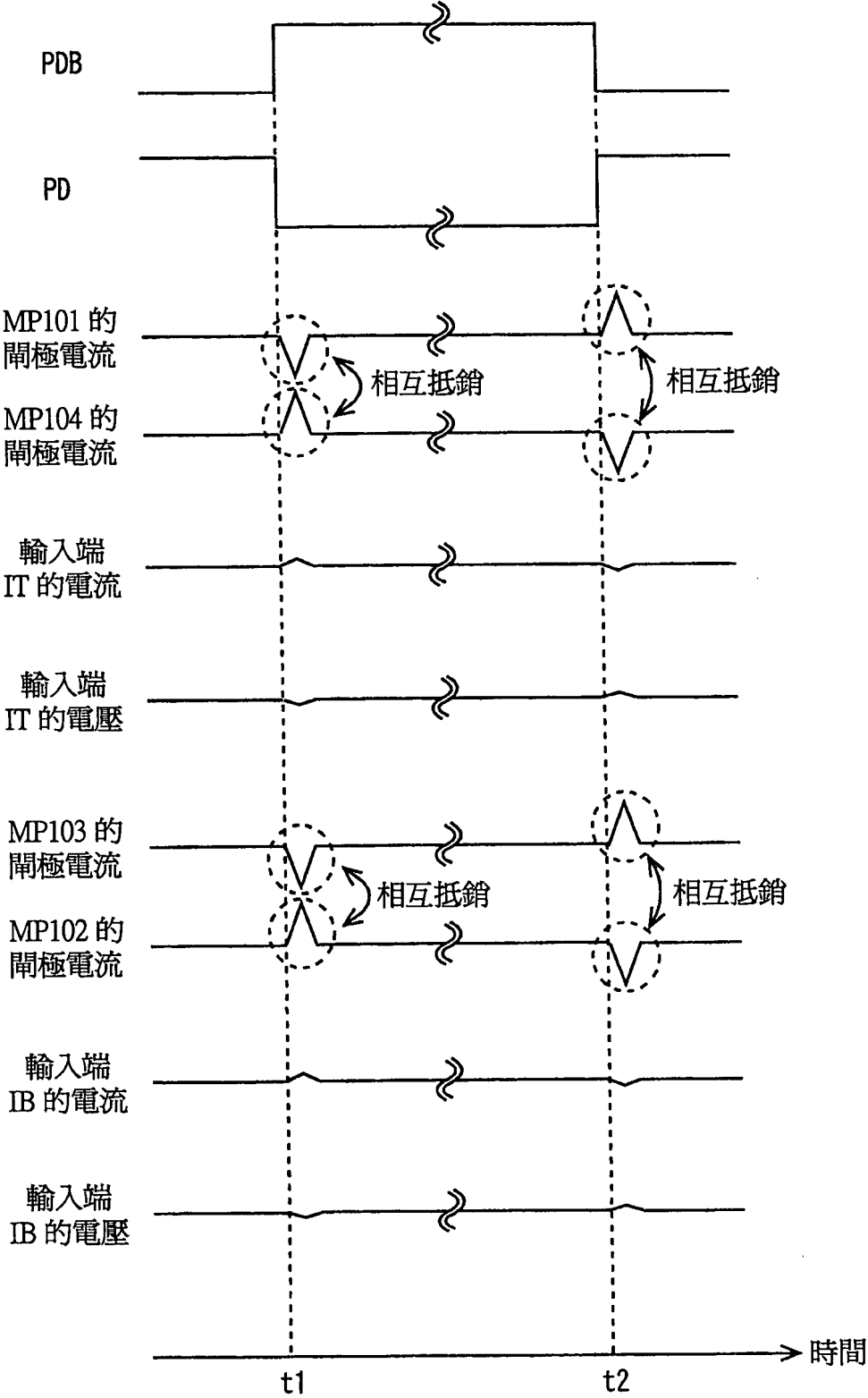


圖 5

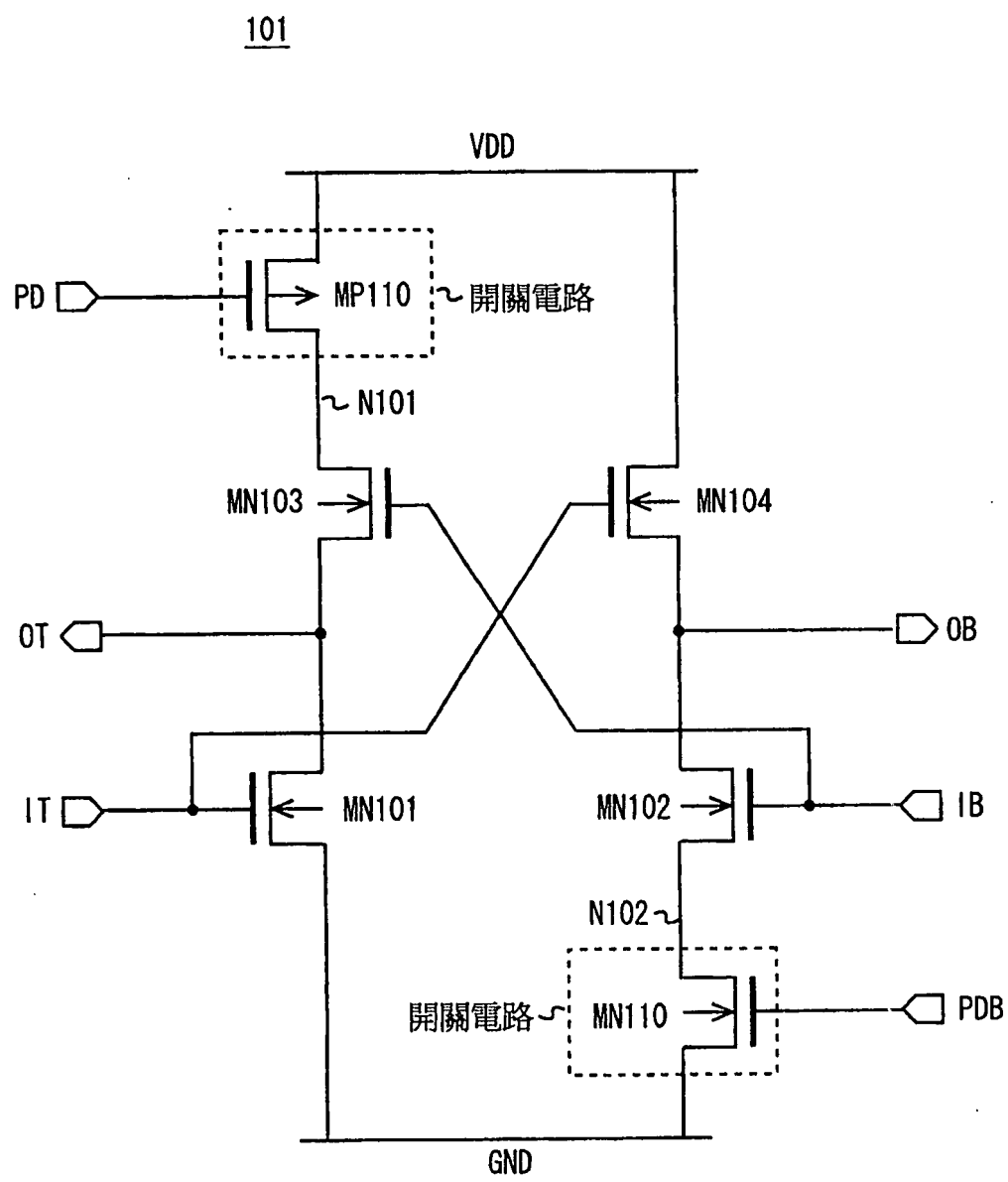


圖 6

200

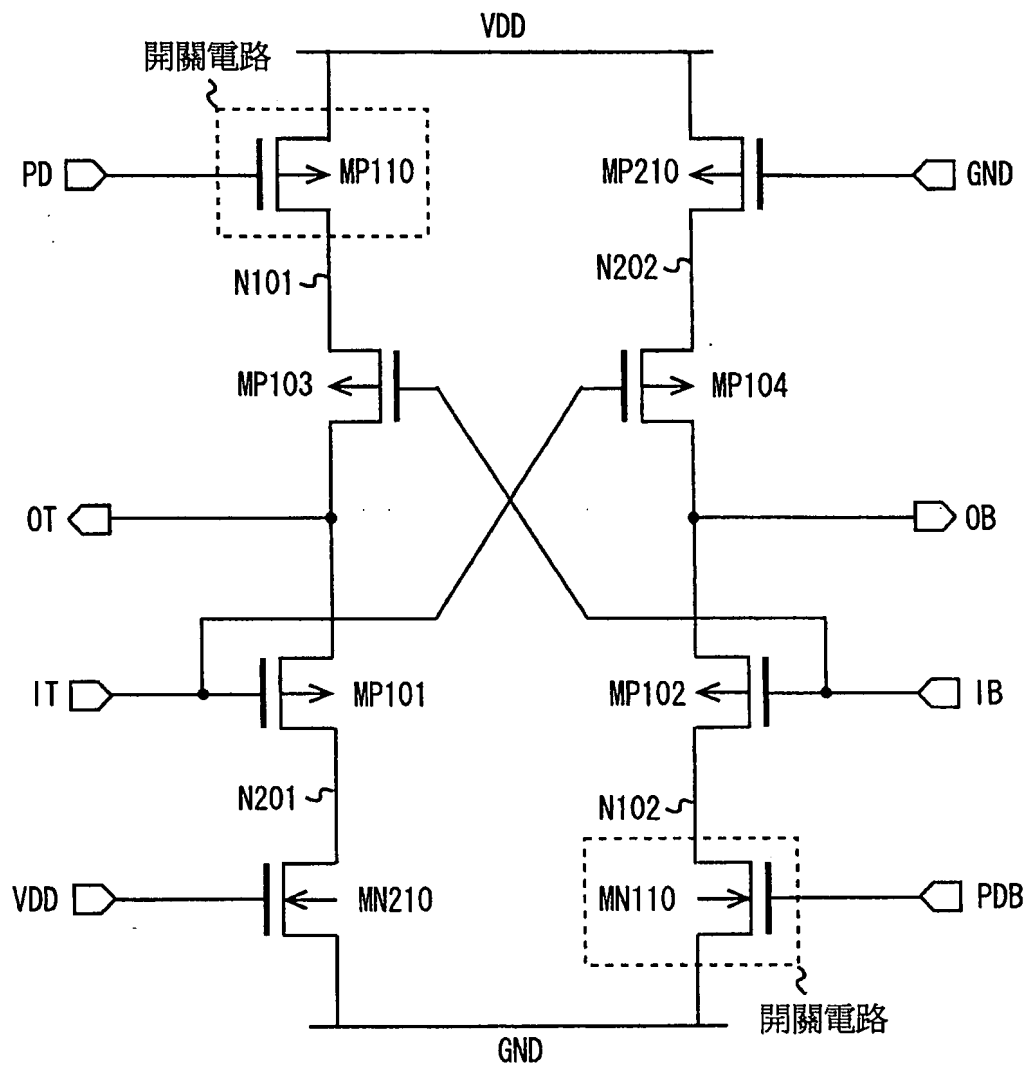


圖 7

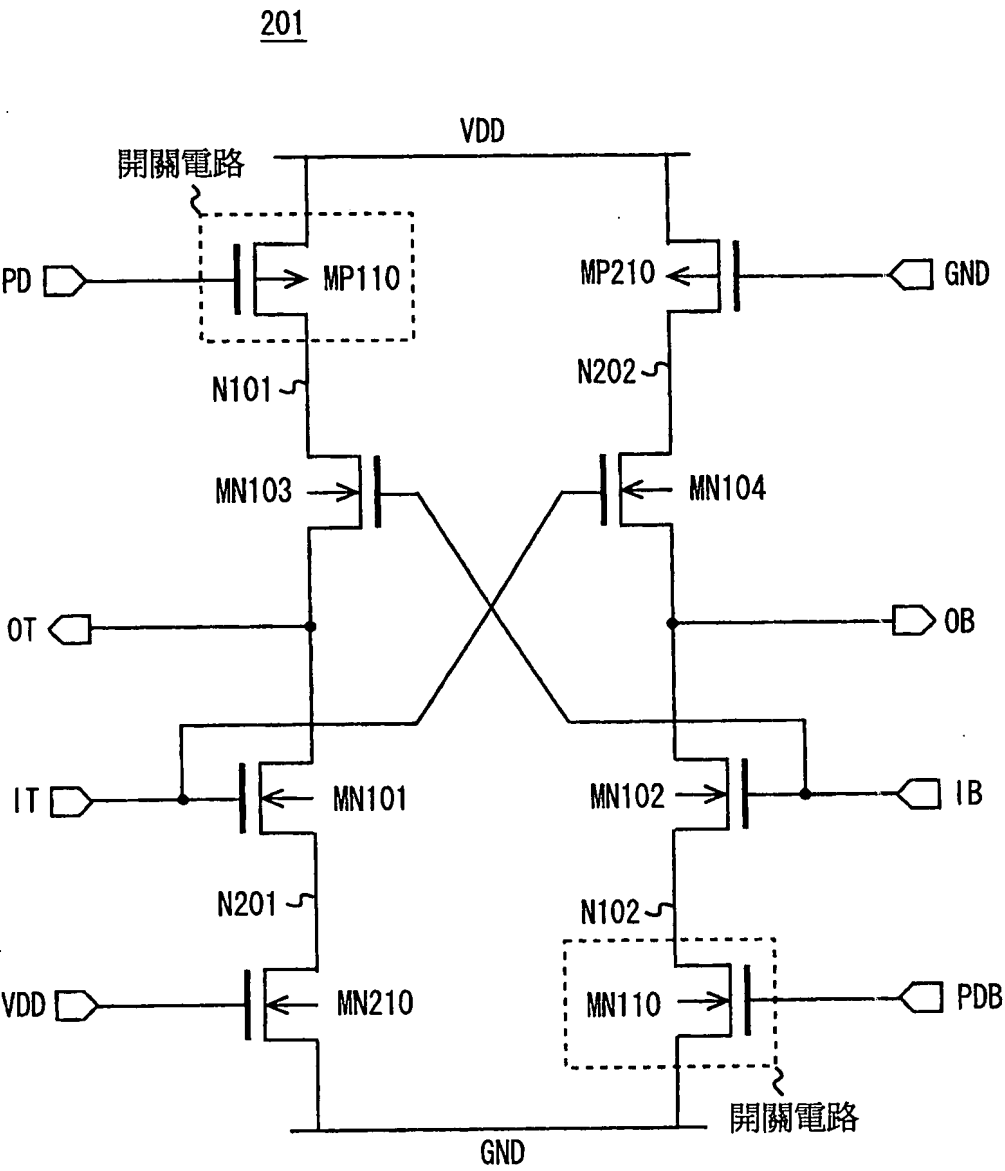


圖 8

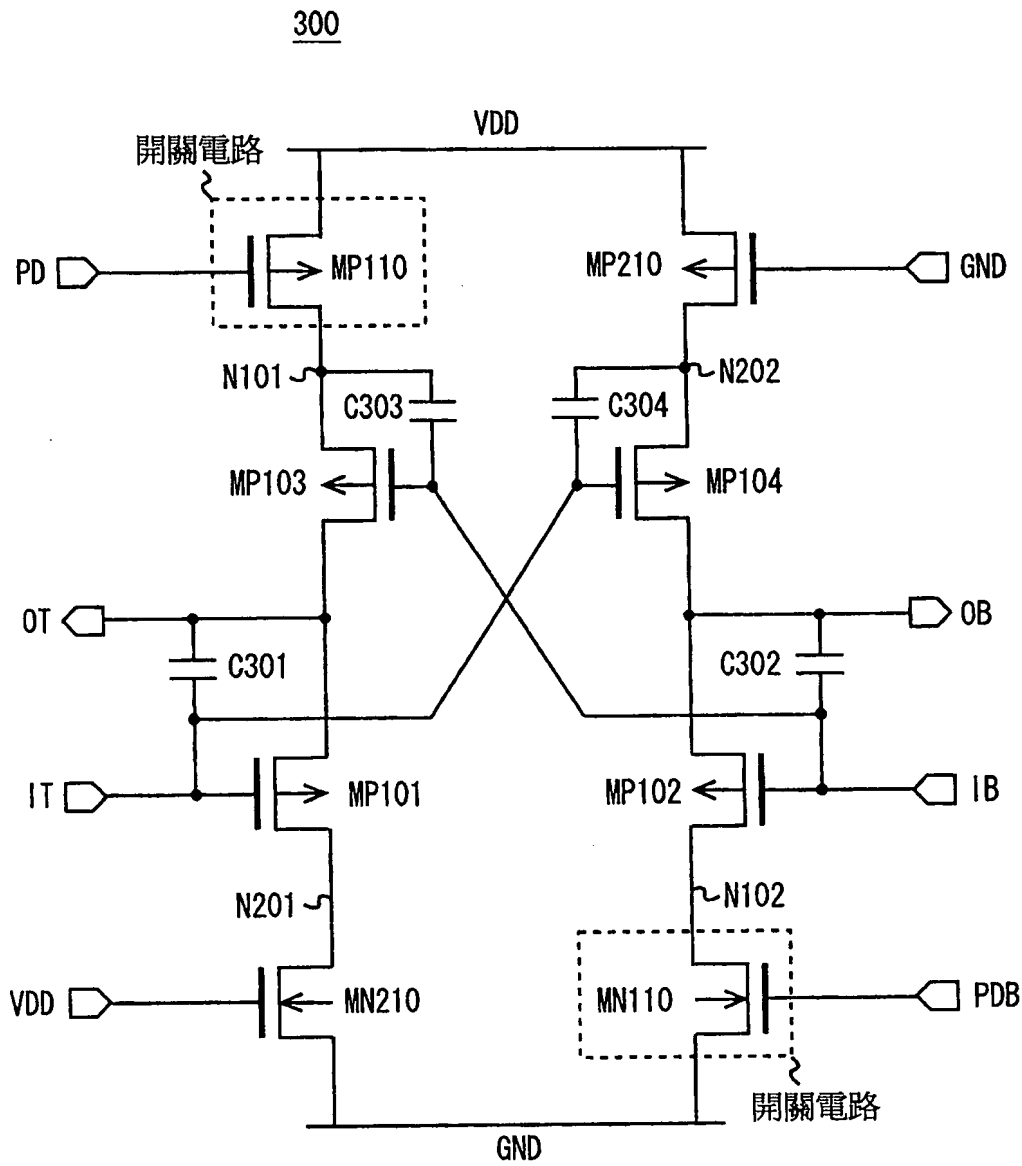


圖 9

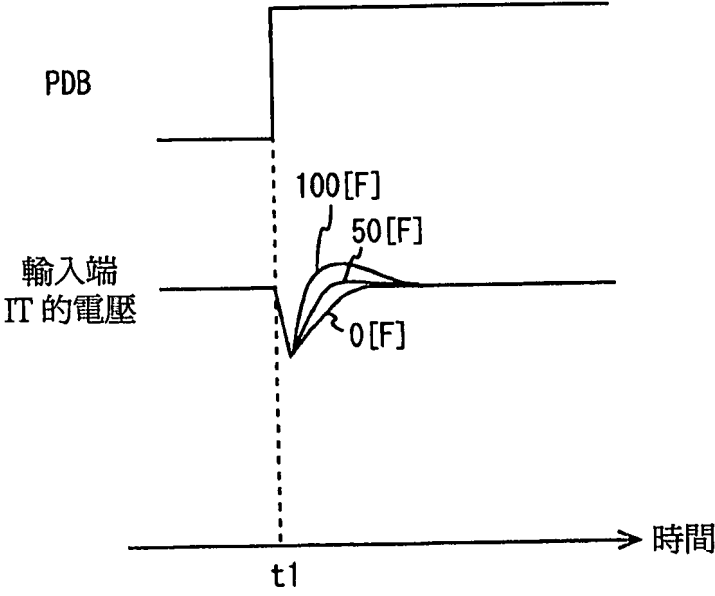


圖 10

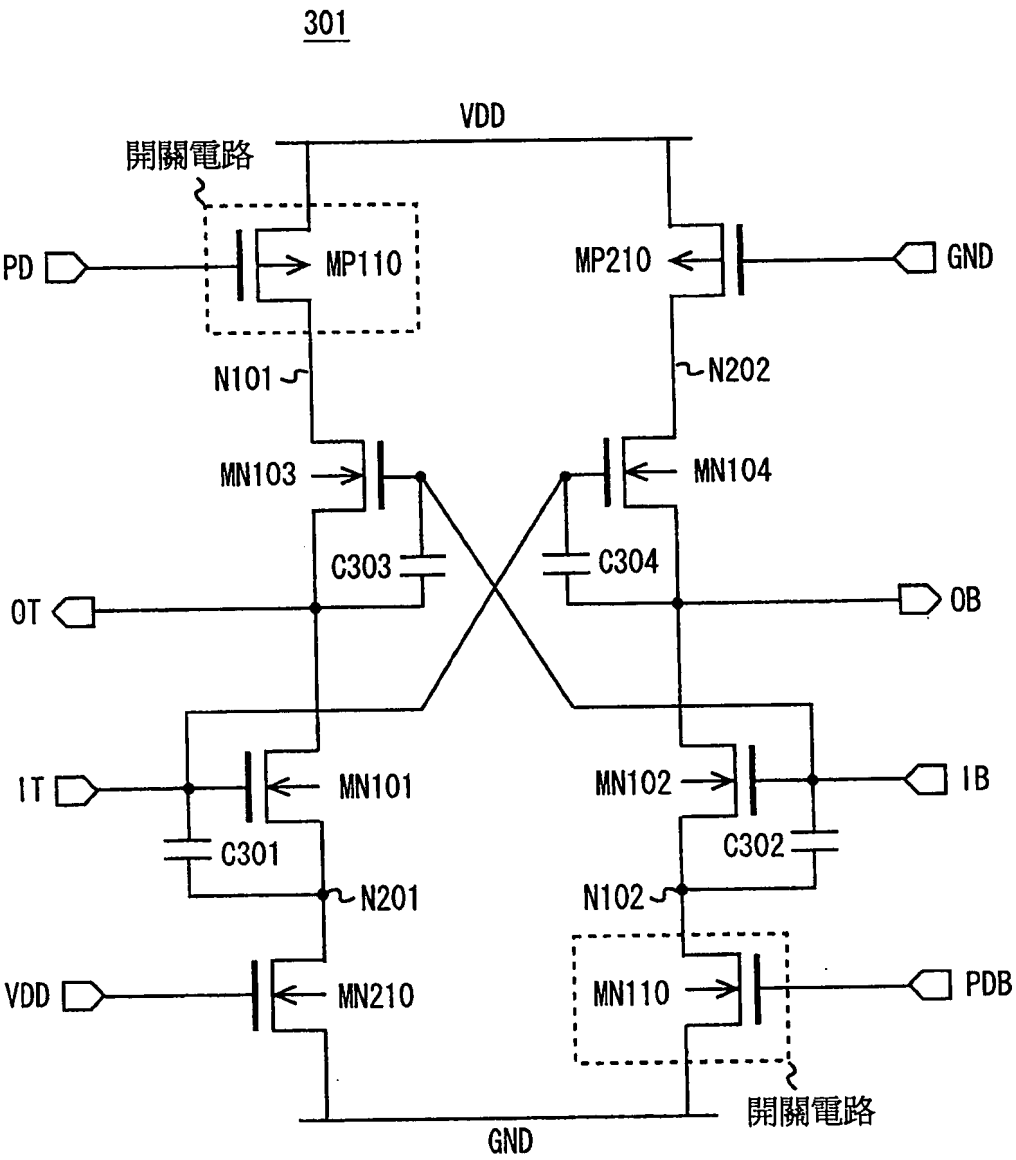


圖 11

1

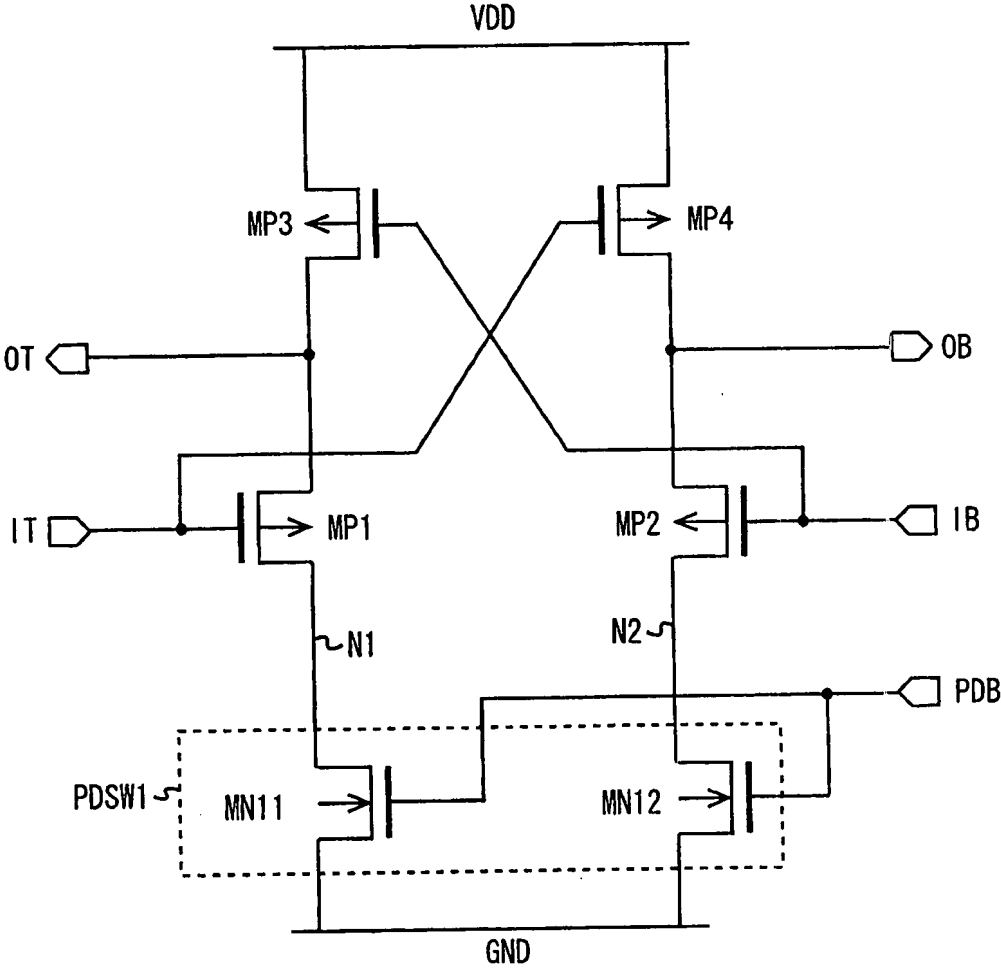


圖 12

2

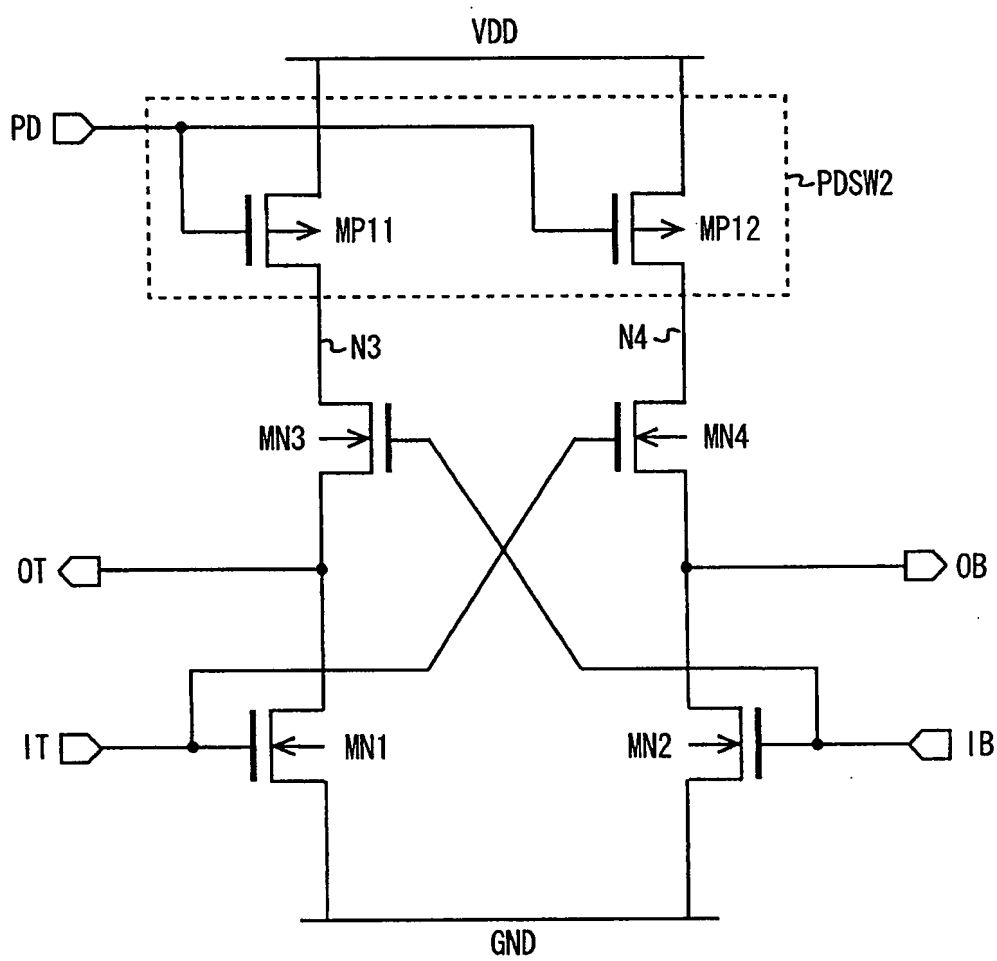


圖 13

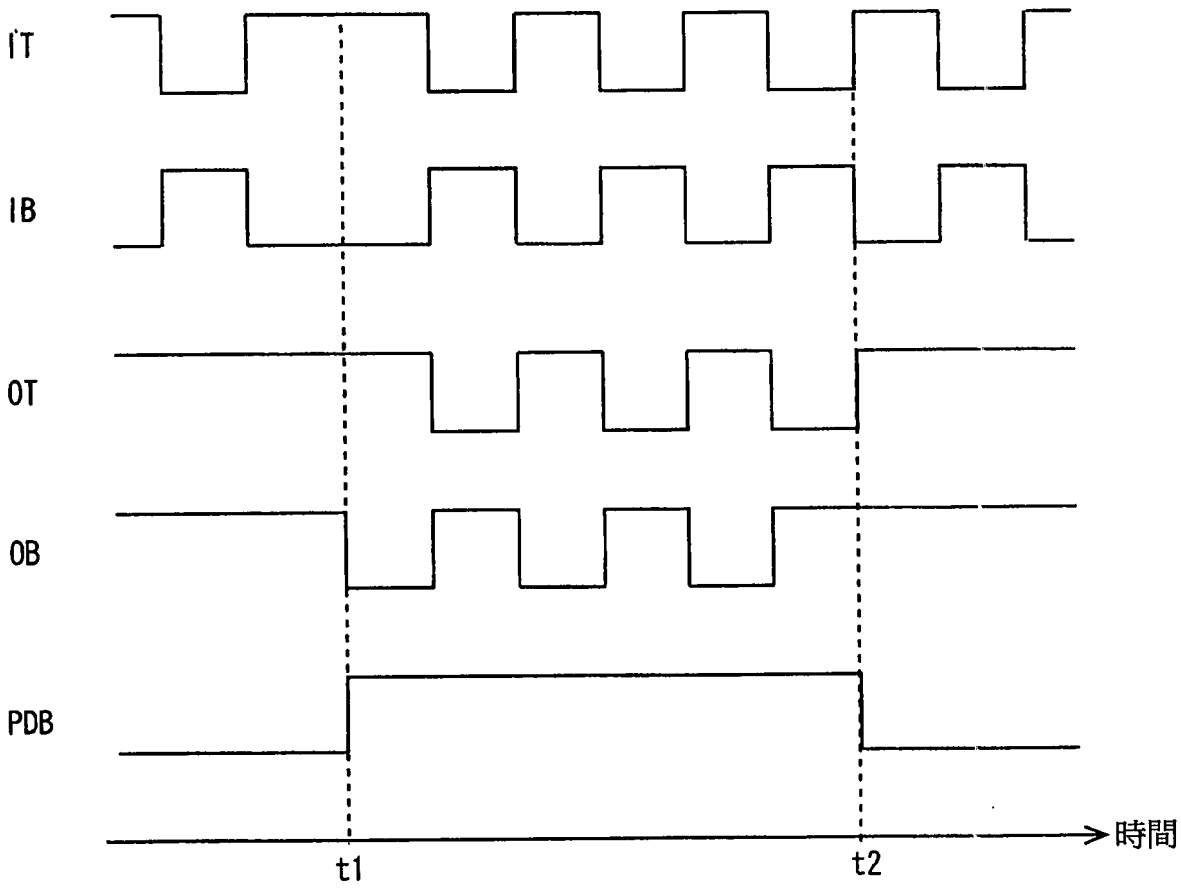


圖 14

1

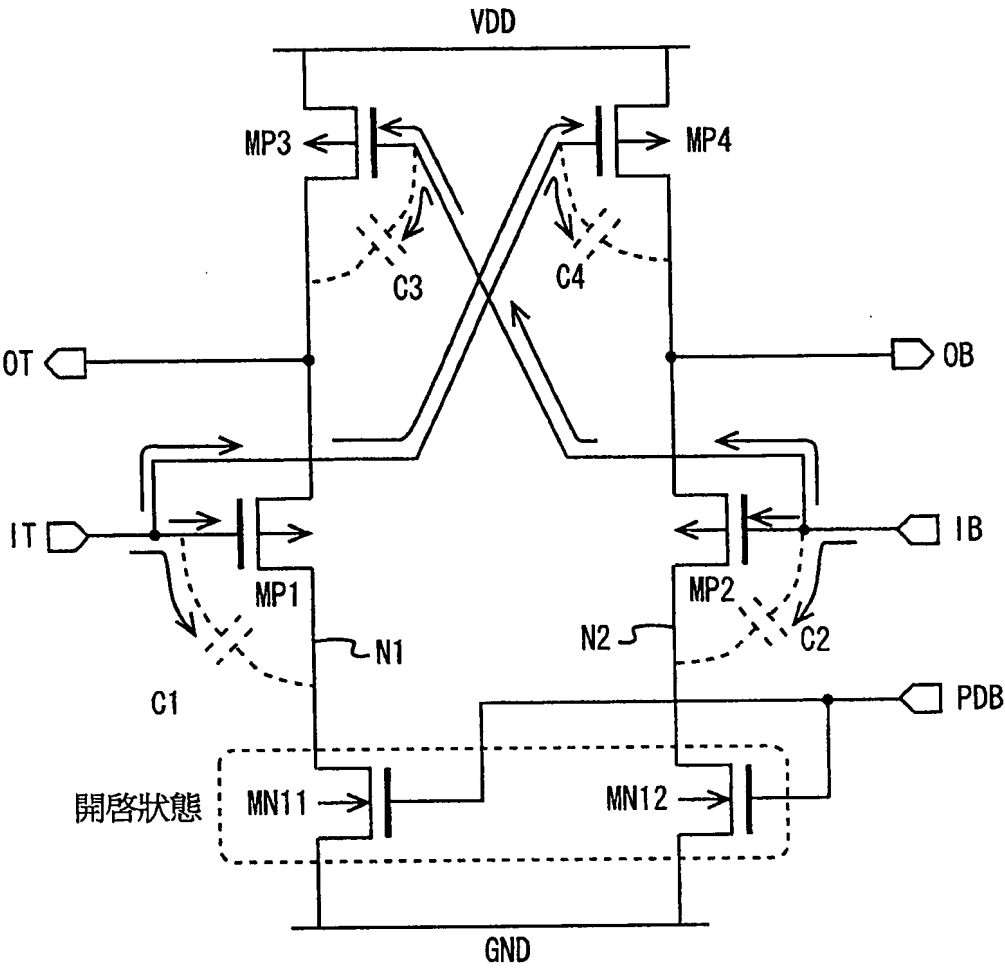


圖 15

1

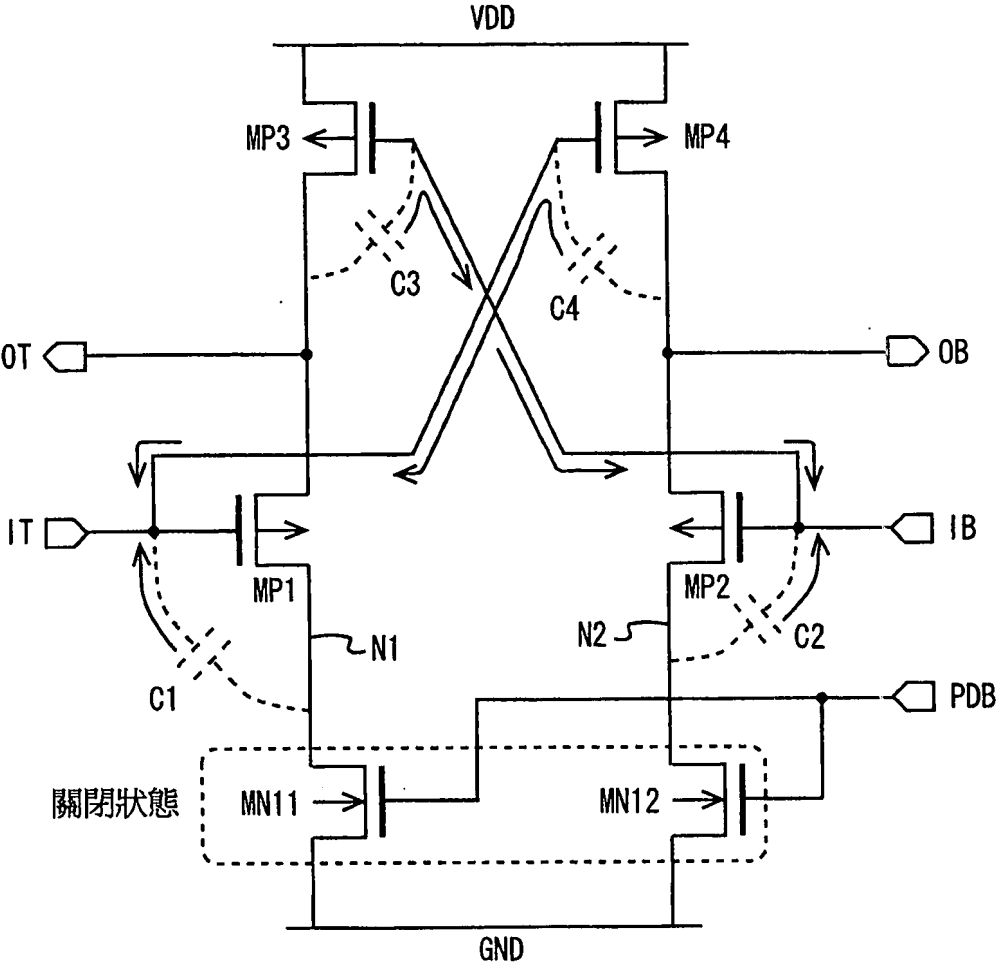


圖 16

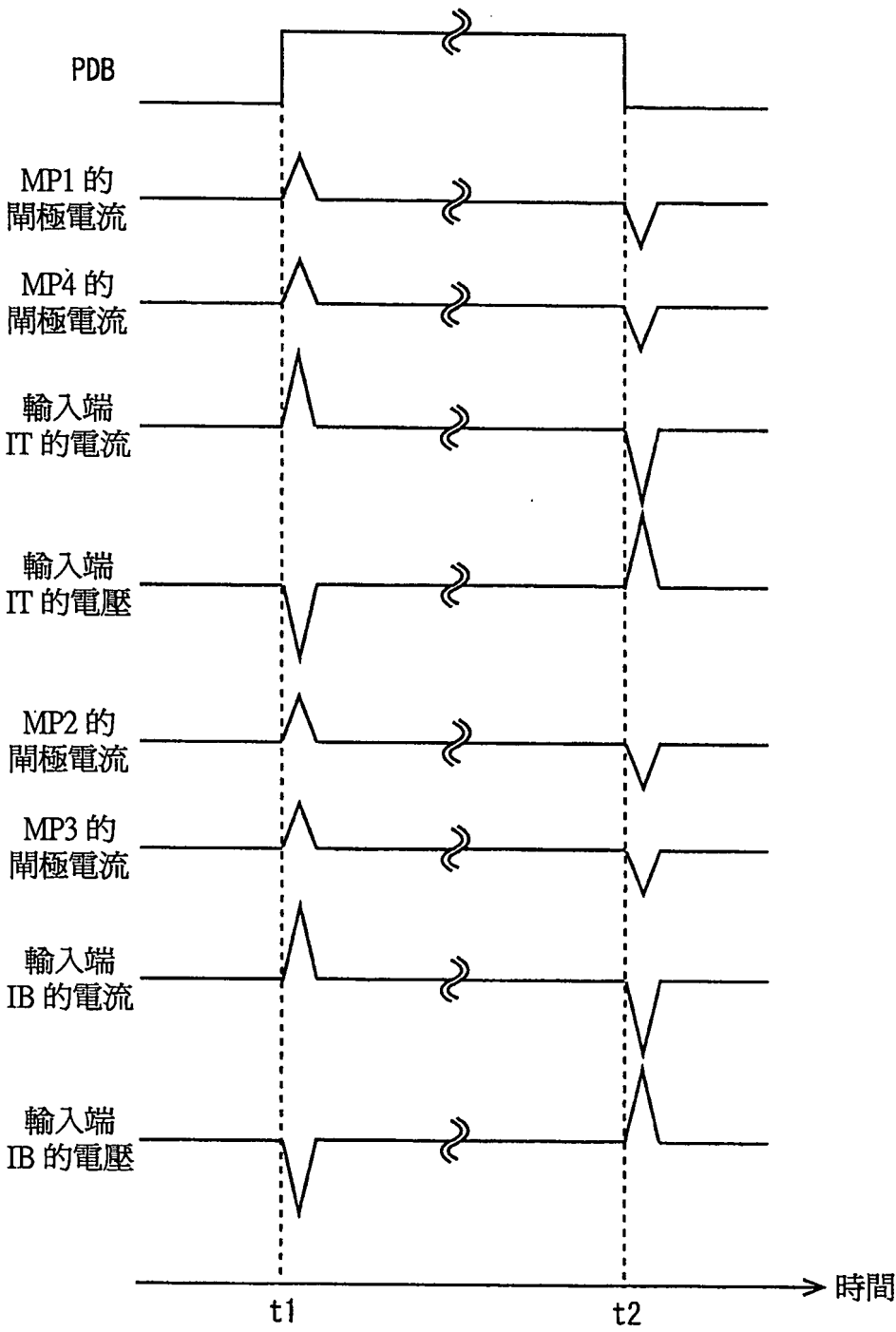


圖 17

四、指定代表圖：

(一)本案指定代表圖為：第(1)圖。

(二)本代表圖之元件符號簡單說明：

100	差動放大器
MN110	NMOS 電晶體
MP110、MP101-MP104	PMOS 電晶體
N1-N4	節點
N101、N102	節點
GND	電源接地電壓(端)
PD、PDB	電源關閉信號
IB、IT	輸入端、輸入信號
OB、OT	輸出端、輸出信號
VDD	電源供應電壓(端)

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：
(無)。

發明專利說明書

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號：99117760

※申請日：99-6- >

※IPC 分類：

H03F 1/26 (2006.01)
H03F 3/45 (2006.01)

一、發明名稱：(中文/英文)

差動放大器

DIFFERENTIAL AMPLIFIER

二、中文發明摘要：

一種差動放大器，包括：第一電晶體，其在第一電源供應端與第一輸出端之間連接，且具有接收一差動輸入信號之一控制端；第二電晶體，其在第二電源供應端與第一輸出端之間連接，且具有接收另一差動輸入信號之一控制端；第一開關在第一電源供應端與第一電晶體之間連接；第三電晶體，其在第二電源供應端與第二輸出端之間連接，且具有接收一差動輸入信號之一控制端；第四電晶體，其在第一電源供應端與第二輸出端之間連接，且具有接收另一差動輸入信號之一控制端；第二開關在第二電源供應端與第三電晶體之間連接。第一與第二開關之驅動狀態由一控制信號控制。

三、英文發明摘要：

A differential amplifier including: 1st transistor that is connected between 1st power-supply terminal and 1st output terminal, and has a control terminal receiving one of the differential input signals; 2nd transistor that is connected between 2nd power-supply terminal and 1st output terminal, and has a control terminal receiving the other of the differential input signals; 1st switch that is connected between 1st power-supply terminal and 1st transistor; 3rd transistor that is connected between 2nd power-supply terminal and 2nd output terminal, and has a control terminal receiving one of the differential

IT 與 IB 決定。所以，PMOS 電晶體 MP1 至 MP4 的汲極電壓從電源供應電壓 VDD 下降至預定電壓。亦即在 PMOS 電晶體 MP1 至 MP4 的汲極與閘極之間的每個寄生電容之每個汲極側電位下降。

因此，如圖 15 所示，產生從輸入端 IT 流至寄生電容 C1 與 C4 的充電電流。PMOS 電晶體 MP1 與 MP4 的閘極電流因而增加。所以，電流從輸入端流入，且輸入端 IT 的電位下降。當寄生電容 C1 與 C4 根據鏡像電流完成充電時，輸入端 IT 的電位回歸先前電位。相似的現象亦發生在輸入端 IB 側。

接著，在時間 t2 時，因為電源關閉信號 PDB 為低階，所以 NMOS 電晶體 MN11 與 MN12 關閉。因此，沒有電流流過第一與第二電流路徑，且節點 N1 與 N2 以及輸出端 OT 與 OB 的每個電位再次改變為實質上與電源供應電壓 VDD 的電位相等。所以，在每個 PMOS 電晶體 MP1 至 MP4 的汲極與閘極之間的每個寄生電容之每個汲極側電位上升。

因此，如圖 16 所示，放電電流從每個充電的寄生電容的閘極側流出。PMOS 電晶體 MP1 與 MP4 的閘極電流因而增加。所以，在輸入端 IT 的電流增加，且輸入端 IT 的電位上升。當寄生電容 C1 與 C4 根據鏡像電流完成放電時，輸入端 IT 的電位回歸至先前電位。相似的現象亦發生在輸入端 IB 側。

圖 17 呈現一時序圖，其描繪如上述的 PMOS 電晶體 MP1 至 MP4 以及輸入端 IT 與 IB 之電流與電壓波形。圖 17 的參考符號代表時間與圖 14 相同。如圖 17 所示，在時間 t1 與 t2 時，上述的電壓變化與輸入端 IT 及 IB 的信號位階變化一起發生。此電壓變化造成輸入至連接差動放大器 1 的輸入端 IT 與 IB 的其他電路之信號中的雜訊。包括此雜訊的輸入信號可能造成其他電路的失靈。此問題亦發生於差動放大器 2 中，但因為其基本上與差動放大器 1 相同而省略說明。

本發明的第一示範性實施態樣為一種差動放大器，包括：第一電流路徑，其在第一電源供應端與第二電源供應端之間連接，且輸出一差動輸出信號；第二電流路徑，其在第一電源供應端與

第二電源供應端之間連接，且輸出另一差動輸出信號，其中第一電流路徑包括：第一電晶體，其在第一電源供應端與輸出一差動輸出信號的第一輸出端之間連接，且具有接收一差動輸入信號之一控制端；第二電晶體，其在第二電源供應端與第一輸出端之間連接，且具有接收其他差動輸入信號之一控制端；以及第一開關電路，其在第一電源供應端與第一電晶體之間連接，第二電流路徑包括：第三電晶體，其在第二電源供應端與輸出另一差動輸出信號的第二輸出端之間連接，且具有接收一差動輸入信號之一控制端；第四電晶體，其在第一電源供應端與第二輸出端之間連接，且具有接收其他差動輸入信號之一控制端；以及第二開關電路，其在第二電源供應端與第三電晶體之間連接，且第一與第二開關電路的每一個之驅動狀態係由一控制信號控制。

根據本發明的第一示範性實施態樣之差動放大器可相互抵銷透過第一與第三電晶體的寄生電容所產生的電流，此時第一與第二開關係改變為導電狀態或非導電狀態。相似地，該差動放大器可相互抵銷透過第二與第四電晶體的寄生電容所產生的電流。能夠減少在差動輸入信號(供應至第一與第三電晶體的控制端)之一輸入端與差動輸入信號(供應至第二與第四電晶體的控制端)之另一輸入端產生的電位變化。

根據本發明的第一示範性實施態樣之差動放大器能夠減少產生於該輸入端的雜訊，並預防連接至該輸入端的其他電路之失靈。

【實施方式】

[第一示範性實施例]

本發明的第一示範性實施例將參照隨附圖式詳細描述如下。圖 1 係依照此示範性實施例呈現差動放大器 100 之組態。如圖 1 所示，差動放大器 100 包括 PMOS 電晶體 MP101 至 MP104 與 MN110，以及 NMOS 電晶體 MN110。

PMOS 電晶體 MP110 的源極連接至電源供應電壓端 VDD，且 PMOS 電晶體 MP110 的汲極連接至節點 N101。電源關閉信號 PD

C304 的電容值而減少。圖 10 呈現輸入端 IT 的電壓值，舉例來說，此時電容器 C303 與 C304 的電容值改變為 0 fF]、50 fF]、與 100 fF]。請注意輸入端 IT 的電壓值中的雜訊量可藉由進一步改變電容器 C301 與 C302 的電容值而更加減少。因此，使產生於輸入端 IT 與 IB 的雜訊量最小之最佳電容值可藉由改變電容器 C301 至 C304 的電容值而獲得。再者，即使僅連接電容器 C301 至 C304 的至少其中一個，仍可達成減少雜訊的有益效應。舉例來說，當輸入至輸入端 IB 的信號固定至接地電壓 GND 或電源供應電壓 VDD，且輸入至輸入端 IT 的信號振幅改變時，僅連接電容器 C301。調整電容器 C301 的電容值可能減少在輸入端 IT 的電壓值中的雜訊量。再者，可相似地連接電容器 C301 與 C304。調整電容器 C301 與 C304 的電容值可能減少在輸入端 IT 的電壓值中的雜訊量。

另外，圖 11 呈現差動放大器 301 之組態，其中圖 9 的差動放大器 300 的 MOS 電晶體導電形式被反轉。如圖 11 所示，差動放大器 301 包括 NMOS 電晶體 MN101 至 MN104、MN110 與 MN210，PMOS 電晶體 MP110 與 MP210，電容器 C301 至 C304。

PMOS 電晶體 MP110 的源極連接至電源供應電壓端 VDD，且 PMOS 電晶體 MP110 的汲極連接至節點 N101。電源關閉信號 PD 輸入至 PMOS 電晶體 MP110 的閘極。NMOS 電晶體 MN103 的汲極連接至節點 N101，NMOS 電晶體 MN103 的源極連接至輸出端 OT，且 NMOS 電晶體 MN103 的閘極連接至輸入端 IB。NMOS 電晶體 MN101 的汲極連接至輸出端 OT，NMOS 電晶體 MN101 的源極連接至節點 N201，且 NMOS 電晶體 MN101 的閘極連接至輸入端 IT。NMOS 電晶體 MN210 的汲極連接至節點 N201，且 NMOS 電晶體 MN210 的源極連接至接地電壓端 GND。電源供應電壓 VDD 輸入至 NMOS 電晶體 MN210 的閘極。電容器 C301 在 NMOS 電晶體 MN101 的閘極與源極之間連接。電容器 C303 在 NMOS 電晶體 MN103 的閘極與源極之間連接。PMOS 電晶體 MP110 與 NMOS 電晶體 MN103、MN101 與 MN210 組成第一電流路徑。

PMOS 電晶體 MP210 的源極連接至電源供應電壓端 VDD，且 PMOS 電晶體 MP210 的汲極連接至節點 N202。接地電壓 GND 輸入至 PMOS 電晶體 MP210 的閘極。NMOS 電晶體 MN104 的汲極連接至節點 N202，NMOS 電晶體 MN104 的源極連接至輸出端 OB，且 NMOS 電晶體 MN104 的閘極連接至輸入端 IT。NMOS 電晶體 MN102 的汲極連接至輸出端 OB，NMOS 電晶體 MN102 的源極連接至節點 N102，且 NMOS 電晶體 MN102 的閘極連接至輸入端 IB。NMOS 電晶體 MN110 的汲極連接至節點 N102，且 NMOS 電晶體 MN110 的源極連接至接地電壓端 GND。電源關閉信號 PDB 輸入至 NMOS 電晶體 MN110 的閘極。電源關閉信號 PDB 為電源關閉信號 PD 的反相信號。電容器 C302 在 NMOS 電晶體 MN102 的閘極與源極之間連接。電晶體 C304 在 NMOS 電晶體 MN104 的閘極與源極之間連接。PMOS 電晶體 MP210 與 NMOS 電晶體 MN104、MN102、與 MN110 組成第二電流路徑。

請注意圖 11 中與圖 8 及圖 9 相同的參考符號代表相同或相似的元件。差動放大器 301 具有一組態，其中差動放大器 300 的 PMOS 電晶體 MP101 至 MP104 分別置換為 NMOS 電晶體 MN101 至 MN104。另外，差動放大器 301 與第二示範性實施例的差動放大器 201 之不同點在於：電容器 C301 至 C304 分別在 NMOS 電晶體 MN101 至 MN104 的閘極與源極之間連接。

因為這些電容器 C301 至 C304 分別與 NMOS 電晶體 MN101 至 MN104 的閘極連接，所以可抑制在運作狀態改變期間產生的 NMOS 電晶體 MN101 至 MN104 的閘極電流之快速變化。變化受抑制之閘極電流允許相應的寄生電容相互抵銷流入電流與流出電流，如同第一與第二示範性實施例所述。所以，如同差動放大器 300，相較於於第一與第二示範性實施例，輸入端 IT 與 IB 的電位變化減少。因此，產生於輸入端 IT 與 IB 的雜訊亦可減少。其他效應亦與差動放大器 300 相似。

請注意本發明不限於上述示範性實施例，且可在未偏離本發明的範疇下以各種方式修改。舉例來說，在第三示範性實施例中，

發明專利說明書

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號：99117760

※申請日：99-6- >

※IPC 分類：

H03F 1/26 (2006.01)
H03F 3/45 (2006.01)

一、發明名稱：(中文/英文)

差動放大器

DIFFERENTIAL AMPLIFIER

二、中文發明摘要：

一種差動放大器，包括：第一電晶體，其在第一電源供應端與第一輸出端之間連接，且具有接收一差動輸入信號之一控制端；第二電晶體，其在第二電源供應端與第一輸出端之間連接，且具有接收另一差動輸入信號之一控制端；第一開關在第一電源供應端與第一電晶體之間連接；第三電晶體，其在第二電源供應端與第二輸出端之間連接，且具有接收一差動輸入信號之一控制端；第四電晶體，其在第一電源供應端與第二輸出端之間連接，且具有接收另一差動輸入信號之一控制端；第二開關在第二電源供應端與第三電晶體之間連接。第一與第二開關之驅動狀態由一控制信號控制。

三、英文發明摘要：

A differential amplifier including: 1st transistor that is connected between 1st power-supply terminal and 1st output terminal, and has a control terminal receiving one of the differential input signals; 2nd transistor that is connected between 2nd power-supply terminal and 1st output terminal, and has a control terminal receiving the other of the differential input signals; 1st switch that is connected between 1st power-supply terminal and 1st transistor; 3rd transistor that is connected between 2nd power-supply terminal and 2nd output terminal, and has a control terminal receiving one of the differential

input signals; 4th transistor that is connected between 1st power-supply terminal and 2nd output terminal, and has a control terminal receiving the other of the differential input signals; 2nd switch that is connected between 2nd power-supply terminal and 3rd transistor. Drive state of 1st and 2nd switches are controlled by a control signal.

七、申請專利範圍：

1. 一種差動放大器，包含：

第一電流路徑，其在第一電源供應端與第二電源供應端之間連接，且輸出一差動輸出信號；以及第二電流路徑，其在第一電源供應端與第二電源供應端之間連接，且輸出另一差動輸出信號，其中

第一電流路徑包括：

第一電晶體，其在第一電源供應端與輸出一差動輸出信號的第一輸出端之間連接，且具有接收一差動輸入信號之一控制端；

第二電晶體，其在第二電源供應端與第一輸出端之間連接，且具有接收其他差動輸入信號之一控制端；以及

第一開關電路，其在第一電源供應端與第一電晶體之間連接；

第二電流路徑包括：

第三電晶體，其在第二電源供應端與輸出另一差動輸出信號的第二輸出端之間連接，且具有接收一差動輸入信號之一控制端；

第四電晶體，其在第一電源供應端與第二輸出端之間連接，且具有接收其他差動輸入信號之一控制端；以及

第二開關電路，其在第二電源供應端與第三電晶體之間連接，且

第一與第二開關電路的每一個之驅動狀態係由一控制信號控制。

2. 如申請專利範圍第1項之差動放大器，其中第一至第四電晶體為第一導電形式的電晶體。

3. 如申請專利範圍第2項之差動放大器，其中

第一開關電路包括一個第一導電形式的第五電晶體，

第五電晶體在第一電源供應端與第一電晶體之間連接，且具有接收該控制信號的一正相信號與一反相信號之一者的一控制端，

第二開關電路包括一個第二導電形式的第六電晶體，以及第六電晶體在第二電源供應端與第三電晶體之間連接，且具有接收該控制信號的該正相信號與該反相信號之另一者的一控制端。

4. 如申請專利範圍第3項之差動放大器，其中

第一電流路徑更包括一個第二導電形式的第七電晶體，

第七電晶體在第二電源供應端與第二電晶體之間連接，且具有一控制端，其以第一電源供應端的電壓供應之；

第二電流路徑更包括一個第一導電形式的第八電晶體，以及

第八電晶體在第一電源供應端與第四電晶體之間連接，且具有一控制端，其以第二電源供應端的電壓供應之。

5. 如申請專利範圍第4項之差動放大器，其中

第七電晶體的尺寸實質上與第六電晶體的尺寸相等，以及

第八電晶體的尺寸實質上與第五電晶體的尺寸相等。

6. 如申請專利範圍第1項之差動放大器，其中第一至第四電晶體的至少一個連接至一電容器，該電容器係在該至少一個電晶體的一端及另一端其中一個、與一控制端之間連接。

7. 如申請專利範圍第6項之差動放大器，其中該電容器具有100f[F]或更小的電容值。

八、圖式：

第五電晶體在第一電源供應端與第一電晶體之間連接，且具有接收該控制信號的一正相信號與一反相信號之一者的一控制端，

第二開關電路包括一個第二導電形式的第六電晶體，以及第六電晶體在第二電源供應端與第三電晶體之間連接，且具有接收該控制信號的該正相信號與該反相信號之另一者的一控制端。

4. 如申請專利範圍第3項之差動放大器，其中

第一電流路徑更包括一個第二導電形式的第七電晶體，

第七電晶體在第二電源供應端與第二電晶體之間連接，且具有一控制端，其以第一電源供應端的電壓供應之；

第二電流路徑更包括一個第一導電形式的第八電晶體，以及

第八電晶體在第一電源供應端與第四電晶體之間連接，且具有一控制端，其以第二電源供應端的電壓供應之。

5. 如申請專利範圍第4項之差動放大器，其中

第七電晶體的尺寸實質上與第六電晶體的尺寸相等，以及

第八電晶體的尺寸實質上與第五電晶體的尺寸相等。

6. 如申請專利範圍第1項之差動放大器，其中第一至第四電晶體的至少一個連接至一電容器，該電容器係在該至少一個電晶體的一端及另一端其中一個、與一控制端之間連接。

7. 如申請專利範圍第6項之差動放大器，其中該電容器具有100f[F]或更小的電容值。

八、圖式：