

(19)日本国特許庁(JP)

(12)公表特許公報(A)

(11)公表番号

特表2024-527731

(P2024-527731A)

(43)公表日 令和6年7月26日(2024.7.26)

(51)国際特許分類	F I	テーマコード(参考)
G 0 9 F 9/30 (2006.01)	G 0 9 F 9/30 3 3 8	3 K 1 0 7
G 0 9 G 3/20 (2006.01)	G 0 9 F 9/30 3 6 5	5 C 0 8 0
G 0 9 G 3/3233(2016.01)	G 0 9 G 3/20 6 2 4 B	5 C 0 9 4
H 1 0 K 59/121 (2023.01)	G 0 9 G 3/20 6 8 0 G	5 C 3 8 0
H 1 0 K 59/131 (2023.01)	G 0 9 G 3/3233	5 F 1 1 0

審査請求 未請求 予備審査請求 未請求 (全33頁) 最終頁に続く

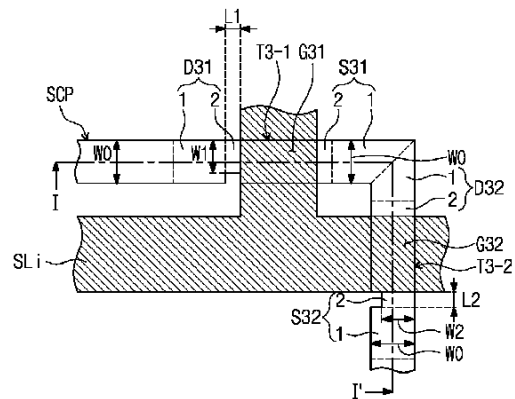
(21)出願番号 特願2024-500393(P2024-500393)
 (86)(22)出願日 令和4年7月1日(2022.7.1)
 (85)翻訳文提出日 令和6年1月5日(2024.1.5)
 (86)国際出願番号 PCT/KR2022/009496
 (87)国際公開番号 WO2023/003210
 (87)国際公開日 令和5年1月26日(2023.1.26)
 (31)優先権主張番号 10-2021-0094660
 (32)優先日 令和3年7月20日(2021.7.20)
 (33)優先権主張国・地域又は機関
 韓国(KR)
 (81)指定国・地域 AP(BW,GH,GM,KE,LR,LS,MW,MZ,NA, RW,SD,SL,ST,SZ,TZ,UG,ZM,ZW),EA(AM,AZ,BY,KG,KZ,RU,TJ,TM),EP(AL,A T,BE,BG,CH,CY,CZ,DE,DK,EE,ES,FI,FR ,GB,GR,HR,HU,IE,IS,IT,LT,LU,LV,MC, 最終頁に続く

(71)出願人 512187343
 三星ディスプレイ株式会社
 Samsung Display Co., Ltd.
 大韓民国京畿道龍仁市器興区三星路11, Samsung-ro, Giheung-gu, Yongin-si, Gyeonggi-do, Republic of Korea
 (74)代理人 100121382
 弁理士 山下 託嗣
 (72)発明者 キム,クンウ
 大韓民国, 13600 キョンギ-ド, ソンナム-シ, ブンダン-グ, スネ-口 206, 304-402 最終頁に続く

(54)【発明の名称】 表示装置

(57)【要約】

表示装置が提供される。表示装置は、駆動トランジスタのゲートに連結されるn個の第3トランジスタを含む。n個の第3トランジスタのそれぞれは、チャンネル領域と、延長方向内にて前記チャンネル領域を間に挟んで配置されるソース領域及びドレイン領域とを含む半導体領域と、前記チャンネル領域に重畳するゲートと、を含む。前記n個の第3トランジスタのうちの、前記第1トランジスタの前記ゲートに最も隣接する第3トランジスタについての前記ドレイン領域は、第1領域と、前記第1領域と前記チャンネル領域との間の第2領域と、を含む。前記第2領域は、前記第1領域よりもドーピング濃度が低く、前記延長方向に直交する基準方向内にて前記第2領域の幅は、前記第1領域の幅よりも小さい。



【特許請求の範囲】

【請求項 1】

第 1 トランジスタと、

前記第 1 トランジスタに電氣的に連結され、データ信号を出力する第 2 トランジスタと

、
前記第 1 トランジスタのゲートに電氣的に連結され、互いに直列に連結される n (ここで、 n は 2 以上の自然数) 個の第 3 トランジスタと、

前記データ信号に対応する電圧を充電するキャパシタと、

前記第 1 トランジスタに電氣的に連結される発光素子と、を含み、

前記 n 個の第 3 トランジスタそれぞれは、

チャンネル領域と、延長方向内にて、前記チャンネル領域を間に挟んで配置されるソース領域及びドレイン領域とを含む半導体領域と、

前記チャンネル領域に重畳するゲートと、を含み、

前記 n 個の第 3 トランジスタのうちの、前記第 1 トランジスタの前記ゲートに最も隣接する第 3 トランジスタについての、前記ソース領域または前記ドレイン領域のうちで前記第 1 トランジスタの前記ゲートに、より隣接する領域は、前記第 1 領域と、前記第 1 領域と前記チャンネル領域との間の第 2 領域と、を含み、

前記第 2 領域は、前記第 1 領域よりもドーピング濃度が低く、

前記延長方向に直交する基準方向内にて前記第 2 領域の幅は、前記第 1 領域の幅よりも小さい表示装置。

【請求項 2】

前記 n 個の第 3 トランジスタのうちの、前記第 1 トランジスタの前記ゲートから最も遠く配置される第 3 トランジスタについての、前記ソース領域または前記ドレイン領域のうちで前記第 1 トランジスタの前記ゲートに、より遠く配置される領域は、前記第 3 領域と、前記第 3 領域と前記チャンネル領域との間の第 4 領域と、を含み、

前記第 4 領域は、前記第 3 領域よりもドーピング濃度が低く、

前記基準方向内にて前記第 4 領域の幅は、前記第 3 領域の幅よりも小さい請求項 1 に記載の表示装置。

【請求項 3】

前記 n 個の第 3 トランジスタのうちの、前記第 1 トランジスタの前記ゲートに最も隣接する第 3 トランジスタについての、前記ソース領域または前記ドレイン領域のうち前記第 1 トランジスタの前記ゲートに、より遠く配置される領域は、前記第 3 領域と、前記第 3 領域と前記チャンネル領域との間の第 4 領域と、を含み、

前記第 4 領域は、前記第 3 領域よりもドーピング濃度が低い請求項 1 に記載の表示装置

。

【請求項 4】

前記基準方向内にて前記第 3 領域と前記第 4 領域とは実質的に同じ幅を有する請求項 3 に記載の表示装置。

【請求項 5】

前記基準方向内にて前記第 2 領域の幅は $1 \mu\text{m}$ 乃至 $2 \mu\text{m}$ である請求項 1 に記載の表示装置。

【請求項 6】

前記第 2 領域の幅は、前記第 1 領域の幅よりも 10% 乃至 50% 小さい請求項 1 に記載の表示装置。

【請求項 7】

前記延長方向内にて前記第 2 領域の長さは $0.1 \mu\text{m}$ 乃至 $0.5 \mu\text{m}$ である請求項 1 に記載の表示装置。

【請求項 8】

前記第 1 トランジスタと前記 n 個の第 3 トランジスタは、P 型のポリシリコントランジスタを含み、

10

20

30

40

50

前記第 n 個の第 3 トランジスタは、前記第 1 トランジスタの前記ゲートと、前記第 1 トランジスタの半導体領域のソース領域またはドレイン領域との間に、直列に連結される請求項 1 に記載の表示装置。

【請求項 9】

前記 n 個の第 3 トランジスタのうちの、前記第 1 トランジスタの前記ゲートに最も隣接する前記第 3 トランジスタについての前記ソース領域と、前記第 1 トランジスタの前記ゲートから最も遠く配置される前記第 3 トランジスタについての前記ドレイン領域とは、前記基準方向内にて実質的に同じ幅を有する請求項 8 に記載の表示装置。

【請求項 10】

前記 n 個の第 3 トランジスタのうちの、前記第 1 トランジスタの前記ゲートに最も隣接する前記第 3 トランジスタと、前記第 1 トランジスタの前記ゲートから最も遠く配置される第 3 トランジスタとの間に配置される、第 3 トランジスタの前記ドレイン領域と前記ソース領域とは、前記基準方向内にて実質的に同じ幅を有する請求項 8 に記載の表示装置。

10

【請求項 11】

前記第 1 トランジスタは、前記第 1 トランジスタの前記ゲートに重畳するチャンネル領域と、前記チャンネル領域を間に挟んで配置されるソース領域とドレイン領域とを含む半導体領域と、を含み、

前記第 1 トランジスタの前記ソース領域、または前記第 1 トランジスタの前記ドレイン領域のうちの少なくとも一つ以上の幅は、前記第 1 トランジスタの前記チャンネル領域の幅よりも大きい請求項 1 に記載の表示装置。

20

【請求項 12】

前記第 1 トランジスタの前記ソース領域、及び前記第 1 トランジスタの前記ドレイン領域のうちの少なくとも一つ以上の幅は、前記第 1 トランジスタの前記チャンネル領域の幅よりも 5 % 乃至 20 % 大きい請求項 11 に記載の表示装置。

【請求項 13】

前記第 1 トランジスタの前記ソース領域、及び前記第 1 トランジスタの前記ドレイン領域のそれぞれは、

第 3 領域と、前記第 3 領域と前記チャンネル領域との間の第 4 領域と、を含み、

前記第 4 領域は前記第 3 領域よりドーピング濃度が低く、

前記第 3 領域と前記第 4 領域の幅は実質的に同じである請求項 11 に記載の表示装置。

30

【請求項 14】

前記第 1 トランジスタの前記ソース領域、または前記ドレイン領域の幅は、前記 n 個の第 3 トランジスタのそれぞれの前記半導体領域の幅よりも大きい請求項 11 に記載の表示装置。

【請求項 15】

前記第 1 トランジスタと前記 n 個の第 3 トランジスタは、P 型のポリシリコントランジスタを含み、

前記第 n 個の第 3 トランジスタは、前記第 1 トランジスタの前記ゲートと、初期化電圧を受信する電圧ラインとの間に連結される請求項 1 に記載の表示装置。

【請求項 16】

前記キャパシタは、前記第 1 トランジスタの前記ゲートと、電源電圧を受信する電圧ラインとの間に電氣的に連結される請求項 1 に記載の表示装置。

40

【請求項 17】

第 1 トランジスタと、

前記第 1 トランジスタに電氣的に連結され、データ信号を出力する第 2 トランジスタと、

前記第 1 トランジスタのゲートに電氣的に連結され、互いに直列に連結される n (ここで、 n は 2 以上の自然数) 個の第 3 トランジスタと、

前記データ信号に対応する電圧を充電するキャパシタと、

前記第 1 トランジスタに電氣的に連結される発光素子と、を含み、

50

前記 n 個の第 3 トランジスタのそれぞれは、
 チャンネル領域と、延長方向内にて、前記チャンネル領域を間に挟んで配置される、ソース領域及びドレイン領域とを含む半導体領域と、
 前記チャンネル領域に重畳するゲートと、を含み、
 前記 n 個の第 3 トランジスタのうちの、前記第 1 トランジスタの前記ゲートから最も遠く配置される第 3 トランジスタについての、前記ソース領域または前記ドレイン領域のうちで前記第 1 トランジスタの前記ゲートに、より遠く配置される領域は、前記第 1 領域と、前記第 1 領域と前記チャンネル領域との間の第 2 領域と、を含み、
 前記第 2 領域は、前記第 1 領域よりもドーピング濃度が低く、
 前記延長方向に直交する基準方向内にて前記第 2 領域の幅は、前記第 1 領域の幅よりも小さい表示装置。

10

【請求項 18】

第 1 トランジスタと、
 前記第 1 トランジスタに電氣的に連結され、データ信号を出力する第 2 トランジスタと、
 、
 前記第 1 トランジスタのゲートに電氣的に連結される第 3 トランジスタと、
 前記第 1 トランジスタに電氣的に連結される発光素子と、を含み、
 前記第 3 トランジスタは、
 チャンネル領域と、延長方向内にて前記チャンネル領域を間に挟んで配置されるドレイン領域及びソース領域とを含む半導体領域と、
 前記チャンネル領域に重畳するゲートと、を含み、
 前記ドレイン領域及び前記ソース領域のうちの少なくとも一つ以上は、第 1 領域と、前記第 1 領域と前記チャンネル領域との間の第 2 領域と、を含み、
 前記第 2 領域は、前記第 1 領域よりもドーピング濃度が低く、
 前記延長方向に直交する基準方向内にて前記第 2 領域の幅は、前記第 1 領域の幅よりも小さい表示装置。

20

【請求項 19】

第 1 トランジスタと、
 前記第 1 トランジスタに電氣的に連結され、データ信号を出力する第 2 トランジスタと、
 、
 前記第 1 トランジスタのゲートに電氣的に連結され、互いに直列に連結される n (ここで、n は 1 以上の自然数) 個の第 3 トランジスタと、
 前記第 1 トランジスタに電氣的に連結される発光素子と、を含み、
 前記第 1、第 2、及び第 3 トランジスタのそれぞれは、
 チャンネル領域と、前記チャンネル領域を間に挟んで配置されるソース領域及びドレイン領域とを含む半導体領域と、
 前記チャンネル領域に重畳するゲートと、を含み、
 前記ドレイン領域及び前記ソース領域のそれぞれは、第 1 領域と、前記第 1 領域と前記チャンネル領域との間の第 2 領域と、を含み、前記第 2 領域は、前記第 1 領域よりもドーピング濃度が低く、
 前記第 1 トランジスタの前記ソース領域、及び前記第 1 トランジスタの前記ドレイン領域のそれぞれの幅は、前記第 1 トランジスタの前記チャンネル領域の幅よりも大きい表示装置。

30

40

【請求項 20】

前記第 1 トランジスタの前記ドレイン領域の幅は、前記第 1 トランジスタの前記チャンネル領域の幅よりも 5 % 乃至 20 % 大きい請求項 19 に記載の表示装置。

【請求項 21】

前記第 1 トランジスタにおける前記ソース領域の前記第 2 領域の幅と、前記第 1 トランジスタにおける前記ドレイン領域の前記第 2 領域の幅とは、実質的に同じである請求項 19 に記載の表示装置。

50

【請求項 2 2】

前記第 1 トランジスタにおける前記ドレイン領域の幅は、前記 n 個の第 3 トランジスタの前記ドレイン領域の幅よりも大きい請求項 1 9 に記載の表示装置。

【請求項 2 3】

前記 n 個の第 3 トランジスタの前記ソース領域、及び前記 n 個の第 3 トランジスタの前記ドレイン領域のうち少なくともいずれか一つの幅は、前記 n 個の第 3 トランジスタにおける前記チャンネル領域の幅と実質的に同じである請求項 1 9 に記載の表示装置。

【発明の詳細な説明】**【技術分野】****【0001】**

本発明は表示装置に関し、動作特性が向上されたトランジスタを備える表示装置に関する。

10

【背景技術】**【0002】**

表示装置は、複数個の画素と、複数個の画素を制御する駆動回路（例えば、スキャン駆動回路及びデータ駆動回路）とを含む。複数個の画素それぞれは、表示素子と、表示素子を制御する画素の駆動回路とを含む。画素の駆動回路は有機的に連結される複数個のトランジスタを含みうる。

【0003】

スキャン駆動回路及び/またはデータ駆動回路は複数個の画素と同じ工程によって形成される。スキャン駆動回路及び/またはデータ駆動回路は有機的に連結される複数個のトランジスタを含みうる。

20

【発明の概要】**【発明が解決しようとする課題】****【0004】**

本発明の目的は、表示品質が向上された表示装置を提供することである。

【課題を解決するための手段】**【0005】**

本発明の一実施例による表示装置は、第 1 トランジスタと、前記第 1 トランジスタに電氣的に連結され、前記第 1 トランジスタにデータ信号を出力する第 2 トランジスタと、前記第 1 トランジスタのゲートに電氣的に連結され、互いに直列に連結される n（ここで、n は 2 以上の自然数）個の第 3 トランジスタと、前記データ信号に対応する電圧を充電するキャパシタと、前記第 1 トランジスタに電氣的に連結される発光素子と、を含みうる。前記 n 個の第 3 トランジスタのそれぞれは、チャンネル領域と、延長方向内にて前記チャンネル領域を間に挟んで配置されるソース領域及びドレイン領域とを含む半導体領域と、前記チャンネル領域に重畳するゲートと、を含みうる。

30

【0006】

前記 n 個の第 3 トランジスタのうち、前記第 1 トランジスタの前記ゲートに最も隣接する第 3 トランジスタについての、前記ソース領域または前記ドレイン領域のうちで前記第 1 トランジスタの前記ゲートに、より隣接する領域は、前記第 1 領域と、前記第 1 領域と前記チャンネル領域との間の第 2 領域と、を含みうる。前記第 2 領域は、前記第 1 領域よりもドーピング濃度が低く、前記延長方向に直交する基準方向内で前記第 2 領域の幅は前記第 1 領域の幅より小さいのでありうる。

40

【0007】

前記 n 個の第 3 トランジスタのうち、前記第 1 トランジスタの前記ゲートから最も遠く配置される第 3 トランジスタについての、前記ソース領域または前記ドレイン領域のうち、前記第 1 トランジスタの前記ゲートに、より遠く配置される領域は、前記第 3 領域と、前記第 3 領域と前記チャンネル領域との間の第 4 領域と、を含みうる。

【0008】

前記第 4 領域は、前記第 3 領域よりもドーピング濃度が低く、前記基準方向内にて前記

50

第 4 領域の幅は、前記第 3 領域の幅よりも小さいのでありうる。

【 0 0 0 9 】

前記 n 個の第 3 トランジスタのうち、前記第 1 トランジスタの前記ゲートに最も隣接する第 3 トランジスタの前記ソース領域または前記ドレイン領域のうち前記第 1 トランジスタの前記ゲートにより遠く配置される領域は、前記第 3 領域と、前記第 3 領域と前記チャンネル領域との間の第 4 領域と、を含む。前記第 4 領域は前記第 3 領域よりドーピング濃度が低いのでありうる。

【 0 0 1 0 】

前記基準方向内にて、前記第 3 領域と前記第 4 領域とは、実質的に同じ幅を有しうる。

【 0 0 1 1 】

前記基準方向内にて前記第 2 領域の幅は、1 μm 乃至 2 μm でありうる。

【 0 0 1 2 】

前記第 2 領域の幅は、前記第 1 領域の幅よりも 10 % 乃至 50 % 小さいのでありうる。

【 0 0 1 3 】

前記延長方向内にて前記第 2 領域の長さは、0.1 μm 乃至 0.5 μm でありうる。

【 0 0 1 4 】

前記第 1 トランジスタと前記 n 個の第 3 トランジスタは P 型のポリシリコントランジスタを含み、前記第 n 個の第 3 トランジスタは、前記第 1 トランジスタの前記ゲートと、前記第 1 トランジスタのソースまたはドレインとの間に、直列に連結されうる。

【 0 0 1 5 】

前記第 1 トランジスタの前記ゲートに最も隣接する、前記第 3 トランジスタの前記ソース領域と、前記第 1 トランジスタの前記ゲートに最も遠く配置される前記第 3 トランジスタの前記ドレイン領域とは、前記基準方向内にて実質的に同じ幅を有しうる。

【 0 0 1 6 】

前記 n 個の第 3 トランジスタのうちの、前記第 1 トランジスタの前記ゲートに最も隣接する前記第 3 トランジスタと、前記第 1 トランジスタの前記ゲートから最も遠く配置される前記第 3 トランジスタと、の間に配置される第 3 トランジスタにおける前記ドレイン領域と前記ソース領域とは、前記基準方向内で実質的に同じ幅を有しうる。

【 0 0 1 7 】

前記第 1 トランジスタは、前記第 1 トランジスタの前記ゲートに重畳する（重なり合う）チャンネル領域と、前記チャンネル領域を間に挟んで配置されるソース領域及びドレイン領域とを含む半導体領域と、を含み、前記第 1 トランジスタの前記ソース領域、または前記第 1 トランジスタの前記ドレイン領域のうちの少なくとも一つ以上の幅は、前記第 1 トランジスタの前記チャンネル領域の幅より大きいのでありうる。

【 0 0 1 8 】

前記第 1 トランジスタの前記ソース領域、及び前記第 1 トランジスタの前記ドレイン領域のうちの少なくとも一つ以上の幅は、前記第 1 トランジスタの前記チャンネル領域の幅よりも 5 % 乃至 20 % 大きいのでありうる。

【 0 0 1 9 】

前記第 1 トランジスタの前記ソース領域、及び前記第 1 トランジスタ前記ドレイン領域のそれぞれは、第 3 領域と、前記第 3 領域と前記チャンネル領域との間の第 4 領域と、を含み、前記第 4 領域は、前記第 3 領域よりもドーピング濃度が低く、前記第 3 領域と前記第 4 領域との幅は実質的に同じでありうる。

【 0 0 2 0 】

前記第 1 トランジスタの前記ソース領域または前記ドレイン領域の幅は、前記 n 個の第 3 トランジスタのそれぞれの前記半導体領域の幅よりも大きいのでありうる。

【 0 0 2 1 】

前記第 1 トランジスタと前記 n 個の第 3 トランジスタのそれぞれは P 型のポリシリコントランジスタを含み、前記第 n 個の第 3 トランジスタは、前記第 1 トランジスタの前記ゲートと、初期化電圧を受信する電圧ラインとの間に連結されうる。

10

20

30

40

50

【0022】

前記キャパシタは、前記第1トランジスタの前記ゲートと、電源電圧を受信する電圧ラインとの間に電氣的に連結されうる。

【0023】

本発明の一実施例による表示装置は、第1トランジスタと、前記第1トランジスタに電氣的に連結され、前記第1トランジスタにデータ信号を出力する第2トランジスタと、前記第1トランジスタのゲートに電氣的に連結され、互いに直列に連結される n （ここで、 n は2以上の自然数）個の第3トランジスタと、前記データ信号に対応する電圧を充電するキャパシタと、前記第1トランジスタに電氣的に連結される発光素子と、を含む。前記 n 個の第3トランジスタのそれぞれは、チャンネル領域と、延長方向内にて前記チャンネル領域を間に挟んで配置されるソース領域及びドレイン領域とを含む半導体領域と、前記チャンネル領域に重畳するゲートと、を含みうる。

10

【0024】

前記 n 個の第3トランジスタのうちの、前記第1トランジスタの前記ゲートから最も遠く配置される第3トランジスタについての、前記ソース領域または前記ドレイン領域のうちで前記第1トランジスタの前記ゲートに、より遠く配置される領域は、前記第1領域と、前記第1領域と前記チャンネル領域との間の第2領域と、を含む。前記第2領域は前記第1領域よりもドーピング濃度が低く、前記延長方向に直交する基準方向内にて前記第2領域の幅は前記第1領域の幅よりも小さいのでありうる。

【0025】

本発明の一実施例による表示装置は、第1トランジスタと、前記第1トランジスタに電氣的に連結され、前記第1トランジスタにデータ信号を出力する第2トランジスタと、前記第1トランジスタのゲートに電氣的に連結される第3トランジスタと、前記第1トランジスタに電氣的に連結される発光素子と、を含みうる。

20

【0026】

前記第3トランジスタは、チャンネル領域と、延長方向内にて前記チャンネル領域を間に挟んで配置されるドレイン領域及びソース領域と、を含む半導体領域と、前記チャンネル領域に重畳するゲートと、を含みうる。前記ドレイン領域と前記ソース領域のうち少なくとも一つ以上は、第1領域と、前記第1領域と前記チャンネル領域との間の第2領域と、を含みうる。前記第2領域は前記第1領域よりドーピング濃度が低く、前記延長方向に直交する基準方向内で前記第2領域の幅は前記第1領域の幅よりも小さいのでありうる。

30

【0027】

本発明の一実施例による表示装置は、第1トランジスタと、前記第1トランジスタに電氣的に連結され、前記第1トランジスタにデータ信号を出力する第2トランジスタと、前記第1トランジスタのゲートに電氣的に連結され、互いに直列に連結される n （ここで、 n は1以上の自然数）個の第3トランジスタと、前記第1トランジスタに電氣的に連結される発光素子と、を含みうる。前記第1、第2、第3トランジスタのそれぞれは、チャンネル領域と、前記チャンネル領域を間に挟んで配置されるソース領域及びドレイン領域とを含む半導体領域と、前記チャンネル領域に重畳するゲートと、を含みうる。前記ドレイン領域及び前記ソース領域のそれぞれは、第1領域と、前記第1領域と前記チャンネル領域との間の第2領域と、を含み、前記第2領域は、前記第1領域よりもドーピング濃度が低く、前記第1トランジスタの前記ソース領域、及び前記第1トランジスタの前記ドレイン領域のそれぞれの幅は、前記第1トランジスタの前記チャンネル領域の幅よりも大きいのでありうる。

40

【0028】

前記第1トランジスタの前記ドレイン領域の幅は、前記第1トランジスタの前記チャンネル領域の幅よりも5%乃至20%大きいのでありうる。

【0029】

前記第1トランジスタにおける前記ソース領域の前記第2領域の幅と、前記第1トランジスタにおける前記ドレイン領域の前記第2領域の幅とは、実質的に同じでありうる。

50

【 0 0 3 0 】

前記第 1 トランジスタにおける前記ドレイン領域の幅は、前記 n 個の第 3 トランジスタの前記ドレイン領域の幅よりも大きいのでありうる。

【 0 0 3 1 】

前記 n 個の第 3 トランジスタの前記ソース領域と、前記 n 個の第 3 トランジスタの前記ドレイン領域のうち少なくともいずれか一つの幅は、前記 n 個の第 3 トランジスタの前記チャンネル領域の幅と実質的に同じでありうる。

【 発明の効果 】

【 0 0 3 2 】

上述によると、狭い面積のドーピング領域で、ドレイン/ソースフィールド減少効果が獲得される。長さが短くても幅を減少させることで低ドーピング領域の抵抗を、目的のレベルに増加させることができる。

【 0 0 3 3 】

駆動トランジスタのゲートに連結されるトランジスタのドレインフィールドが減少されることで、トランジスタの漏洩電流が減少される。発光区間の間に、駆動トランジスタは、データ電圧に対応する電流を発光素子に提供する。

【 0 0 3 4 】

駆動トランジスタの低ドーピング領域の幅を増加させることで、駆動トランジスタの駆動電流の減少を防止することができる。

【 図面の簡単な説明 】

【 0 0 3 5 】

【 図 1 】本発明の一実施例による表示装置のブロック図である。

【 図 2 】本発明の一実施例による画素の等価回路図である。

【 図 3 】図 2 に示した画素を駆動するための駆動信号の波形図である。

【 図 4 】本発明の一実施例による画素に対応する表示パネルの断面図である。

【 図 5 a 】本発明の一実施例による画素の平面図である。

【 図 5 b 】本発明の一実施例による画素に含まれるパターンの積層順による平面図である。

【 図 5 c 】本発明の一実施例による画素に含まれるパターンの積層順による平面図である。

【 図 5 d 】本発明の一実施例による画素に含まれるパターンの積層順による平面図である。

【 図 5 e 】本発明の一実施例による画素に含まれるパターンの積層順による平面図である。

【 図 5 f 】本発明の一実施例による画素に含まれるパターンの積層順による平面図である。

【 図 5 g 】本発明の一実施例による画素に含まれるパターンの積層順による平面図である。

【 図 6 a 】本発明の一実施例による第 3 トランジスタの平面図である。

【 図 6 b 】図 6 a の I - I ' に対応する第 3 トランジスタの断面図である。

【 図 6 c 】図 6 a の I - I ' に対応する第 3 トランジスタの断面図である。

【 図 6 d 】比較例によるトランジスタと本発明の一実施例によるトランジスタの電圧 - 電流グラフである。

【 図 6 e 】トランジスタのドーピング工程を示す断面図である。

【 図 6 f 】高階調のデータ信号に対応する発光区間における第 1 トランジスタ及び第 3 トランジスタの動作を示す回路図である。

【 図 6 g 】中間階調のデータ信号に対応する発光区間における第 1 トランジスタ及び第 3 トランジスタの動作を示す回路図である。

【 図 7 a 】本発明の一実施例による第 3 トランジスタの回路図である。

【 図 7 b 】本発明の一実施例による第 3 トランジスタの平面図である。

10

20

30

40

50

【図 7 c】本発明の一実施例による第 3 トランジスタの回路図である。

【図 7 d】本発明の一実施例による第 3 トランジスタの平面図である。

【図 8 a】本発明の一実施例による第 4 トランジスタの平面図である。

【図 8 b】発光区間における第 1 トランジスタ及び第 4 トランジスタの動作を示す回路図である。

【図 9 a】本発明の一実施例による第 1 トランジスタの平面図である。

【図 9 b】図 9 a の II - II' に対応する第 1 トランジスタの断面図である。

【発明を実施するための形態】

【0036】

本明細書において、ある構成要素（または領域、層、部分など）が他の構成要素の「上にある」、または「結合される」と言及されれば、それは他の構成要素の上に直接配置・連結・結合され得るか、またはそれらの間に第 3 の構成要素が配置され得ることを意味する。

【0037】

同じ図面符号は同じ構成要素を指す。また、図面において、構成要素の厚さ、割合、及び寸法は技術的内容の効果的な説明のために誇張されている。「及び/または」は、関連する構成要素が定義する一つ以上の組み合わせを全て含む。

【0038】

第 1、第 2 などの用語は多様な構成要素を説明するのに使用されるが、前記構成要素は前記用語に限らない。前記用語は一つの構成要素を他の構成要素から区別する目的にのみ使用される。例えば、本発明の権利範囲を逸脱しないながらも第 1 構成要素は第 2 構成要素と命名されてもよく、類似して第 2 構成要素も第 1 構成要素と命名されてもよい。単数の表面は、文脈上明白に異なるように意味しない限り複数の表現を含む。

【0039】

また、「下に」、「下側に」、「上に」、「上側に」などの用語は、図面に示した構成要素の連関関係を説明するために使用される。前記用語は相対的な概念であって、図面に示した方向を基準に説明される。

【0040】

「含む」または「有する」などの用語は明細書の上に記載された特徴、数字、ステップ、動作、構成要素、部品またはこれらを組み合わせたものが存在することを指定するものであって、一つまたはそれ以上の他の特徴や数字、ステップ、動作、構成要素、部品またはこれらを組み合わせたものの存在または付加可能性を予め排除しないと理解すべきである。

【0041】

異なるように定義されない限り、本明細書で使用された全ての用語（技術的及び科学的用語を含む）は、本発明の属する技術分野の当業者によって一般的に理解されるようなものと同じ意味を有する。また、一般的に使用される辞書で定義された用語のような用語は、関連技術の脈絡で有する意味と一致する意味を有すると解釈すべきであって、ここで明示的に定義されない限り、過度に理想的であるか形式的な意味で解釈してはならない。

【0042】

以下、図面を参照して本発明の実施例を説明する。

【0043】

図 1 は、本発明の一実施例による表示装置 DD のブロック図である。

【0044】

表示装置 DD は、タイミング制御部 TC と、スキャン駆動回路 SDC と、データ駆動回路 DDC と、表示パネル DP とを含む。本実施例において、表示パネル DP は発光型表示パネルと説明される。発光型表示パネルは、有機発光表示パネルまたは無機発光表示パネルを含みうる。

【0045】

タイミング制御部 TC は、入力映像信号を受信し、スキャン駆動回路 SDC とのインタ

ーフェースの仕様に合うように、入力映像信号のタイミングフォーマットを変換して映像データD-RGBを生成する。タイミング制御部TCは、映像データD-RGBと各種制御信号DCS、SCSを出力する。

【0046】

スキャン駆動回路SDCは、タイミング制御部TCからスキャン制御信号SCSを受信する。スキャン制御信号SCSは、スキャン駆動回路SDCの動作を開始する垂直開始信号と、信号の出力時期を決定するクロック信号などを含みうる。スキャン駆動回路SDCは、スキャン信号を生成し、対応するスキャン信号ラインSL11乃至SL1nに、順次出力する。また、スキャン駆動回路SDCは、スキャン制御信号SCSに応答して複数個の発光制御信号を生成し、対応する発光制御ラインECL1乃至ECLnに複数個の発光制御信号を出力する。

10

【0047】

図1では、複数個のスキャン信号と複数個の発光制御信号が、一つのスキャン駆動回路SDCから出力されることとして示したが、本発明はこれに限られない。本発明の一実施例において、表示装置DDは、複数個のスキャン駆動回路を含みうる。また、本発明の一実施例において、複数個のスキャン信号を生成して出力する駆動回路と、複数個の発光制御信号を生成して出力する駆動回路とは、別個に形成されうる。

【0048】

データ駆動回路DDCは、タイミング制御部TCからデータ制御信号DCS及び映像データD-RGBを受信する。データ駆動回路DDCは、映像データD-RGBをデータ信号に変換し、データ信号を後述する複数個のデータラインDL1乃至DLmに出力する。データ信号は、映像データD-RGBの階調値に対応するアナログ電圧である。

20

【0049】

発光表示パネルDPは、スキャン信号ラインSL11乃至SL1nと、発光制御ラインECL1乃至ECLnと、データラインDL1乃至DLmと、第1電圧ラインVL1と、第2電圧ラインVL2と、複数個の画素PXとを含む。

【0050】

スキャン信号ラインSL11乃至SL1n及び発光制御ラインECL1乃至ECLnのそれぞれは、第1方向DR1に延長され、第2方向DR2に並べられうる。データラインDL1乃至DLmはスキャン信号ラインSL11乃至SL1nと交差しうる。

30

【0051】

第1電圧ラインVL1は、第1電源電圧ELVDDを受信する。図示していないが、第2電源電圧ELVSSを受信する電圧ラインが更に配置されてもよい。第2電源電圧ELVSSは、第1電源電圧ELVDDより低いレベルを有する。第2電圧ラインVL2は初期化電圧Vintを受信する。初期化電圧Vintは、第1電源電圧ELVDDよりも低いレベルを有する。

【0052】

これまで図1を参照して一実施例による表示装置DDを説明したが、本発明の表示装置DDはこれに限られない。画素駆動回路の構成に応じて信号ラインが更に追加されるか省略されてもよい。また、一つの画素PXと信号ラインとの電気的連結関係も変更されてもよい。

40

【0053】

複数個の画素PXは、互いに異なるカラーの光を生成する複数個の群を含みうる。例えば、赤色光を生成する第1群の画素と、緑色光を生成する第2群の画素と、青色光を生成する第3群の画素とを含みうる。赤色画素の発光ダイオード、緑色画素の発光ダイオード、及び青色画素の発光ダイオードは、互いに異なる物質の発光層を含みうる。

【0054】

画素駆動回路は複数個のトランジスタと少なくとも一つのキャパシタとを含みうる。スキャン駆動回路SDCとデータ駆動回路DDCとのうちの少なくともいずれか一つは、画素駆動回路と同じ工程によって形成される複数個のトランジスタを含みうる。

50

【0055】

フォトリソグラフィ工程とエッチング工程を複数回繰り返し、ベース基板の上に、上述した信号ライン、複数個の画素PX、スキャン駆動回路SDC、及びデータ駆動回路DDCを形成しうる。

【0056】

図2は、本発明の一実施例による画素PX_{ij}の等価回路図である。図3は、図2に示した画素PX_{ij}を駆動するための駆動信号の波形図である。

【0057】

画素PXは、発光素子LDと画素回路CCとを含みうる。画素回路CCは、第1乃至第7トランジスタT1乃至T7とキャパシタCPとを含みうる。画素回路CCは、データ信号に対応して発光素子LDに流れる電流量を制御する。発光素子LDは、画素回路CCから提供される電流量に対応して所定の輝度で発光しうる。

10

【0058】

第1乃至第7トランジスタT1乃至T7のそれぞれは、ソースと、ドレインと、チャンネルと、ゲートとを含む。ソース、ドレイン、チャンネルのそれぞれは、半導体パターンの互いに異なる領域で具現されうる。本実施例において、第1乃至第7トランジスタT1乃至T7のそれぞれは、P型のトランジスタと説明される。但し、これに限られず、第1乃至第7トランジスタT1乃至T7のうちの少なくとも一部は、N型のトランジスタであってもよい。P型のトランジスタのソース及びドレインは、N型のトランジスタのソース及びドレインにそれぞれ対応しうる。特に、第3トランジスタT3-1、T3-2及び第4トランジスタT4-1、T4-2はN型でありうる。N型の第3トランジスタT3-1、T3-2及び第4トランジスタT4-1、T4-2にも、後述するドレイン/ソースフィールド減少効果が発生しうる。

20

【0059】

第1トランジスタT1のソースは、第5トランジスタT5を経由して第1電圧ラインV1に電氣的に連結され、第1トランジスタT1のドレインは第6トランジスタT6を経由して発光素子LDのアノードに電氣的に連結される。第1トランジスタT1は駆動トランジスタと称されうる。第1トランジスタT1は、ゲートに印加される電圧に対応して、発光素子LDに流れる電流量を制御する。第1トランジスタT1のゲートは、基準ノードNDと説明されうる。

30

【0060】

第2トランジスタT2は、データラインDLと第1トランジスタT1との間に電氣的に連結される。そして、第2トランジスタT2のゲートは、i番目のスキャンラインSL_iに電氣的に連結される。第2トランジスタT2はスイッチトランジスタと称されうる。

【0061】

第3トランジスタT3-1、T3-2は、第1トランジスタT1のゲートとドレインとの間に電氣的に連結される。本実施例では、互いに直列に連結される2つの第3トランジスタT3-1、T3-2を例示的に示している。しかし、本発明はこれに限られず、n(ここで、nは1以上の自然数)個の第3トランジスタが、第1トランジスタT1のゲートとドレインとの間に直列に連結されうる。第3トランジスタT3-1、T3-2のそれぞれのゲートは、i番目のスキャンラインSL_iに電氣的に連結される。

40

【0062】

第4トランジスタT4-1、T4-2は、基準ノードNDと第2電圧ラインVL2との間に電氣的に連結される。本実施例では、互いに直列に連結される2つの第4トランジスタT4-1、T4-2を例示的に示している。しかし、本発明はこれに限られず、n(ここで、nは1以上の自然数)個の第4トランジスタが、基準ノードNDと第2電圧ラインVL2との間に、電氣的に連結されてもよい。第4トランジスタT4-1、T4-2のそれぞれのゲートは、i-1番目のスキャンラインSL_{i-1}に電氣的に連結される。

【0063】

第5トランジスタT5は、第1電圧ラインVL1と第1トランジスタT1のソースとの

50

間に電氣的に連結される。第5トランジスタT6のゲートは、i番目の発光制御ラインECLiに電氣的に連結される。

【0064】

第6トランジスタT6は、第1トランジスタT1のドレインと、発光素子LDのアノード電極との間に電氣的に連結される。そして、第6トランジスタT6のゲートは、i番目の発光制御ラインECLiに電氣的に連結される。

【0065】

第7トランジスタT7は、第2電圧ラインVL2と、発光素子LDのアノード電極との間に電氣的に連結される。そして、第7トランジスタT7のゲートは、i+1番目のスキャンラインSLi+1に電氣的に連結される。

【0066】

キャパシタCPは、第1電圧ラインVL1と基準ノードNDとの間に配置される。キャパシタCPはデータ信号に対応する電圧を貯蔵(格納)する。キャパシタCPに貯蔵された電圧に応じて、第5トランジスタT5及び第6トランジスタT6がターンオンされる際に、第1トランジスタT1に流れる電流量が決定されうる。

【0067】

図2及び図3を参照すると、発光制御信号Eiは、ハイレベルE-HIGHまたはローレベルE-LOWを有しうる。スキャン信号SLi-1、SLi、SLi+1は、それぞれハイレベルS-HIGHまたはローレベルS-LOWを有しうる。

【0068】

発光制御信号EiがハイレベルE-HIGHを有すれば、第5トランジスタT5及び第6トランジスタT6がターンオフされる。発光制御信号EiがハイレベルE-HIGHを有する区間は、発光素子LDの非発光区間と定義されうる。

【0069】

i-1番目のスキャンラインSLi-1に提供されるi-1番目のスキャン信号Si-1が、ローレベルS-LOWを有すれば、第4トランジスタT4-1、T4-2がターンオンされる。第4トランジスタT4-1、T4-2がターンオンされれば、初期化電圧Vintが基準ノードNDに提供される。基準ノードNDとキャパシタCPは初期化電圧Vintに初期化される。

【0070】

i番目のスキャンラインSLiに提供されるi番目のスキャン信号SiがローレベルS-LOWを有すれば、第2トランジスタT2及び第3トランジスタT3がターンオンされる。第2トランジスタT2がターンオフされれば、データ信号は第1トランジスタT1に提供される。i番目のスキャン信号SiがローレベルS-LOWを有すれば、第1トランジスタT1は、第2トランジスタT2と第3トランジスタT3との間に、ダイオードの形で接続される。第1トランジスタT1がターンオンされれば、データ信号に対応する電圧が基準ノードNDに提供される。データ信号に対応する電圧とは、データ信号から第1トランジスタT1の閾値電圧(Threshold voltage)だけ減少した電圧でありうる。キャパシタCPはデータ信号に対応する電圧を貯蔵する。

【0071】

i+1番目のスキャン信号Si+1がローレベルS-LOWを有すれば、第7トランジスタT7がターンオンされる。第7トランジスタT7がターンオンされれば、初期化電圧Vintが発光素子LDのアノード電極に提供されて発光素子LDの寄生キャパシタが放電される。

【0072】

i番目の発光制御ラインECLiに提供される発光制御信号EiがローレベルE-LOWを有すれば、第5トランジスタT5及び第6トランジスタT6がターンオンされる。第5トランジスタT5がターンオンされれば、第1電源電圧EVLDDが第1トランジスタT1に提供される。第6トランジスタT6がターンオンされれば、第1トランジスタT1と、発光素子LDとが電氣的に連結される。すると、発光素子LDは、提供される電流量

10

20

30

40

50

に対応して、所定輝度の光を生成する。よって、発光制御信号 E_i がローレベル $E - LOW$ を有する区間は、発光素子 LD の発光区間と定義されうる。

【0073】

図4は、本発明の一実施例による画素 PX に対応する表示パネル DP の断面図である。

【0074】

図5aは、本発明の一実施例による画素 PX の平面図である。図5b乃至図5gは、本発明の一実施例による画素 PX に含まれるパターンについての積層順による平面図である。

【0075】

図4を参照すると、表示パネル DP は、ベース層 BS と、ベース層 BS の上に配置される回路素子層 $DP - CL$ と、表示素子層 $DP - OLED$ と、薄膜封止層 TFE とを含みうる。表示パネル DP は、反射防止層または屈折率調節層などのような機能層を更に含むうる。回路素子層 $DP - CL$ は、少なくとも複数個の絶縁層と回路素子を含む。以下で説明される絶縁層は、有気層及び/または無機層を含みうる。

【0076】

コーティング、蒸着などの工程によって絶縁層、半導体層、及び導電層を形成する。次に、フォトリソグラフィ及びエッチング工程によって絶縁層、半導体層、及び導電層を選択的にパターンニングしうる。このような工程によって半導体パターン、導電パターン、信号ラインなどを形成する。同じ層に配置されるパターンは、同じ工程によって形成される。

【0077】

ベース層 BS は合成樹脂フィルムを含みうる。合成樹脂フィルムは熱硬化性樹脂を含みうる。特に、合成樹脂層は、ポリイミド系樹脂層であってもよいが、その材料は特に限られない。合成樹脂層は、アクリル系樹脂、メタクリル系樹脂、ポリイソプレン、ビニル系樹脂、エポキシ系樹脂、ウレタン系樹脂、セルロース系樹脂、シロキサン系樹脂、ポリアミド系樹脂、及びフェリレン系樹脂のうち少なくともいずれか一つを含みうる。その他、ベース層はガラス基板、金属基板、または有/無機複合材料基板などを含みうる。

【0078】

ベース層 BS の上面に少なくとも一つの無機層を形成する。無機層は、酸化アルミニウム、酸化チタン、酸化シリコン、窒化シリコン、酸窒化シリコン、酸化ジルコニウム、及び酸化ハフニウムのうち少なくとも一つを含みうる。無機層は多層から形成されうる。多層の無機層は、後述するバリア層 $BR L$ 及び/またはバッファ層 $BF L$ を構成しうる。バリア層 $BR L$ とバッファ層 $BF L$ とは任意選択的に配置されうる。

【0079】

バリア層 $BR L$ は、外部から異物が流入されることを減少または防止する。バリア $BR L$ は、酸化シリコン層と窒化シリコン層とを含みうる。これらはそれぞれ複数個が提供されうるのであって、酸化シリコン層と窒化シリコン層は交互に積層されうる。

【0080】

バッファ層 $BF L$ は、ベース層 BS と、半導体パターン及び/または導電パターンとの間の結合力を向上させる。バッファ層 $BF L$ は、酸化シリコン層と窒化シリコン層とを含みうる。酸化シリコン層及び窒化シリコン層は交互に積層されうる。

【0081】

バッファ層 $BF L$ の上に半導体パターン SCP が配置されうる。半導体パターンは、非晶質または結晶質シリコン半導体を含みうる。図4に示したように、半導体パターン SCP は、第1半導体領域 $AC 1$ と、第2半導体領域 $AC 2$ とを含みうる。第1半導体領域 $AC 1$ は第1トランジスタ $T 1$ のソース領域 $S 1$ と、チャンネル領域 $A 1$ と、ドレイン領域 $D 1$ とを含み、第2半導体領域 $AC 2$ は第2トランジスタ $T 2$ のソース領域 $S 2$ と、チャンネル領域 $A 2$ と、ドレイン領域 $D 2$ とを含みうる。図2を参照して説明したトランジスタのソース及びドレインは、半導体領域を説明するに当たってソース領域及びドレイン領域と説明されうる。

10

20

30

40

50

【0082】

バッファ層BFLの上に第1絶縁層10が配置される。第1絶縁層10は半導体パターンSCPをカバーする。第1絶縁層10は有機層または無機層である。後述する第2乃至第6絶縁層20乃至60は同じく有機層または無機層であるが、特に限らない。

【0083】

第1絶縁層10の上に第1導電層CL1が配置される。第1導電層CL1は複数個の導電パターンを含みうる。第1絶縁層CL1は、第1トランジスタのゲートG1と、第2トランジスタのゲートG2とを含みうる。

【0084】

第1絶縁層10の上に、第1導電層CL1をカバーする第2絶縁層20が配置される。第2絶縁層20の上に第2導電層CL2が配置される。第2導電層CL2は複数個の導電パターンを含む。第2導電層CL2は上部電極UEを含む。上部電極UEは第1トランジスタT1のゲートG1に重畳し、開口部UE-OPが形成される。重畳する上部電極UEと第1トランジスタT1のゲートG1はキャパシタCP(図2を参照)を定義する。

10

【0085】

第2絶縁層20の上に第2導電層CL2をカバーする第3絶縁層30が配置される。第3絶縁層30の上に第3導電層CL3が配置される。第3導電層CL3は複数個の導電パターンを含む。第3導電層CL3は連結電極CNE-G3を含む。一つの連結電極CNE-G3は、第2絶縁層20及び第3絶縁層30を貫通するコンタクト孔CH10を介して第1連結電極T1のゲートG1に連結される。コンタクト孔CH10は開口部UE-OPを通過する。他の一つの連結電極CNE-G3は、第1絶縁層10、第2絶縁層20、及び第3絶縁層30を貫通するコンタクト孔CH20を通じて第2トランジスタT2のソース領域S2に連結されうる。第3導電層CL3は、図示していない複数個の連結電極を更

20

【0086】

第3絶縁層30の上に第3導電層CL3をカバーする第4絶縁層40が配置される。第4絶縁層40の上に第4導電層CL4が配置される。第4導電層CL4は複数個の導電パターンを含みうる。第4導電層CL4は連結電極CNE-D1を含みうる。連結電極CNE-D1は、第4絶縁層40が貫通するコンタクト孔CH11、CH21を介して対応する連結電極CNE-G3にそれぞれ連結されうる。

30

【0087】

第4絶縁層40の上に第4導電層CL4をカバーする第5絶縁層50が配置される。第5絶縁層50の上に第5導電層CL5が配置される。第5導電層CL5は複数個の導電パターンを含みうる。第5導電層CL5はデータラインDLを含みうる。データラインDLは、第5絶縁層50を貫通するコンタクト孔CH22を介して、対応する連結電極CNE-D1に連結されうる。

【0088】

第5絶縁層50の上に第5導電層CL5をカバーする第6絶縁層60が配置される。第6絶縁層60の上に発光素子LDが配置される。発光素子LDの第1電極AEが第6絶縁層60の上に配置される。第1電極AEはアノードでありうる。第6絶縁層60の上に画素画定膜PDLが配置される。

40

【0089】

画素画定膜PDLの開口部OPは第1電極AEの少なくとも一部分を露出させ。画素画定膜PDLの開口部OPは発光領域を画定する。第1電極AEの上に発光層EMLが配置される。本実施例において、パターンニングされた発光層EMLを例示的に示したが、発光層EMLは、複数個の画素PX(図1を参照)に共通に配置されうる。共通に配置される発光層EMLは、白色光または青色光を生成しうる。また、発光層EMLは多層構造を有しうる。

【0090】

図示していないが、正孔輸送層が、第1電極AEと発光層EMLとの間に更に配置され

50

うる。正孔注入層が、正孔輸送層と第1電極A Eとの間に更に配置されうる。正孔輸送層または正孔注入層は、複数個の画素P X (図1を参照)に共通に配置されうる。

【0091】

発光層E M Lの上に第2電極C Eが配置される。図示していないが、電子輸送層が第2電極C Eと発光層E M Lとの間に更に配置されてもよい。電子注入層が、電子輸送層と第2電極C Eとの間に更に配置されうる。電子輸送層または電子注入層は、複数個の画素P X (図1を参照)に共通に配置されうる。

【0092】

第2電極C Eの上に薄膜封止層T F Eが配置される。薄膜封止層T F Eは複数個の画素P X (図1を参照)が共通に配置される。本実施例において、薄膜封止層T F Eは第2電極C Eを直接カバーする。本発明の一実施例において、第2電極C Eを直接カバーするキャッピング層が更に配置されうる。薄膜封止層T F Eは、少なくとも無機層または有機層を含む。本発明の一実施例において、薄膜封止層T F Eは、2つの無機層と、その間に配置される有機層とを含みうる。本発明の一実施例において、薄膜封止層T F Eは、交互に積層される複数の無機層と、複数の有機層とを含む。

10

【0093】

図5 aを参照すると、画素P Xの第1乃至第7トランジスタT 1乃至T 7が示されている。また、スキャンラインS L i - 1、S L i、S L i + 1、発光制御ラインE C L i、第1電圧ラインV L i、及び第2電圧ラインV L 2が示されている。

【0094】

図5 bを参照すると、ベース層B S (図4を参照)の上に半導体パターンS C Pが配置される。半導体パターンS C Pは、第1乃至第7トランジスタT 1乃至第T 7 (図2を参照)に対応する第1乃至第7半導体領域A C 1乃至A C 7を含む。

20

【0095】

第1乃至第7半導体領域A C 1乃至A C 7のそれぞれは、対応するソース領域S 1乃至S 7と、対応するチャンネル領域A 1乃至A 7と、対応するドレイン領域D 1乃至D 7とを含む。ソース領域S 1乃至S 7及びドレイン領域D 1乃至D 7はドーピング濃度が高くて実質的に伝導性を有する領域であり、チャンネル領域A 1乃至A 7はドーピング濃度が低い領域であってソース領域S 1乃至S 7とドレイン領域D 1乃至D 7との間に配置される。実質的に、第1乃至第7トランジスタT 1乃至T 7それぞれのソース及びドレインは、第1乃至第7半導体領域A C 1乃至A C 7についての、それぞれのソース領域S 1乃至S 7及びドレイン領域D 1乃至D 7によって画定される。

30

【0096】

第1乃至第7半導体領域A C 1乃至A C 7は、一体の形状を有しうる。第1乃至第7半導体領域A C 1乃至A C 7のうちの、隣接する半導体領域のソース領域S 1乃至S 7とドレイン領域D 1乃至D 7とは互いに区分されないものでありうる。図5 bでは、説明の便宜上、隣接する半導体領域のソース領域S 1乃至S 7とドレイン領域D 1乃至D 7を区分して示している。また、第1乃至第7半導体領域A C 1乃至A C 7のうちの、互いに異なる半導体領域のソース領域S 1乃至S 7とドレイン領域D 1乃至D 7との間に、信号切断領域S T Aが配置されると示したが、これに限られない。実質的に信号切断領域S T Aはソース領域S 1乃至S 7またはドレイン領域D 1乃至D 7と同じドーピング濃度を有する領域でありうる。

40

【0097】

図5 cを参照すると、第1絶縁層I 0 (図4を参照)の上に第1導電層C L 1が配置される。第1導電層C L 1は、第1方向D R 1に延長されるスキャンラインS L i - 1、S L i、S L i + 1と、発光制御ラインE C L iと、第1ゲートG 1ゲートとを含みうる。

【0098】

半導体パターンS C Pに重畳するi番目のスキャンラインS L iの一部が第2トランジスタT 2のゲートG 2であり、i番目のスキャンラインS L iの他の部分が一つの第3トランジスタT 3 - 1のゲートG 3 1であり、i番目のスキャンラインS L iのまた他の

50

部分が他の一つの第3トランジスタT3-2のゲートG32でありうる。

【0099】

図5cには、i-1番目のスキャンラインSLi-1に配置される第4トランジスタT4-1、T4-2のゲートG41、G42が示されており、i+1番目のスキャンラインSLi+1に配置される第7トランジスタT7のゲートG72が示されており、i番目の発光制御ラインECLiに配置される第5トランジスタT5のゲートG5及び第6トランジスタT6のゲートG6が示されている。

【0100】

図5dを参照すると、第2絶縁層20(図4を参照)の上に第2導電層CL2が配置される。第2導電層CL2は上部電極UEと第2電圧ラインVL2とを含む。第2電圧ラインVL2は第1方向DR1に延長される。第2導電層CL2は複数個の第2電圧ラインVL2を含むが、複数個の第2電圧ラインVL2は第2方向DR2に並べられる。

10

【0101】

図5eを参照すると、第3絶縁層30(図4を参照)の上に第3導電層CL3が配置される。第3導電層CL3は図4を参照して説明した連結電極CNE-G3を含む。

【0102】

第3導電層CL3はダミーラインDMLを更にも含む。ダミーラインDMLは第1方向DR1に延長されうる。第3導電層CL3は複数個のダミーラインDMLを含みうるのであり、複数個のダミーラインDMLは、第2方向DR2に並べられる。本実施例による複数個のダミーラインDMLは一例に過ぎず、複数個のダミーラインDMLは第2方向DR2に延長されてもよい。

20

【0103】

複数個のダミーラインDMLはグランド電圧を受信するか、フローティングされうる。本発明の一実施例において、複数個のダミーラインDMLは図5dに示した複数個の第2電圧ラインVL2に電氣的に連結されうる。本発明の一実施例において、複数個のダミーラインDMLは、後述する図5fに示した複数個の第1電圧ラインVL1に電氣的に連結されうる。

【0104】

図5fを参照すると、第4絶縁層40(図4を参照)の上に第4導電層CL4が配置される。第4導電層CL4は、第1電圧ラインVL1と複数個の連結電極とを含みうる。複数個の連結電極は図4を参照して説明した連結電極CNE-D1を含みうる。

30

【0105】

図5gを参照すると、第5絶縁層50(図4を参照)の上に第5導電層CL5が配置される。第5導電層CL5はデータラインDLと連結電極CNEとを含みうる。図5gの連結電極CNEに図4の第1電極AEが連結されうる。

【0106】

図6aは、本発明の一実施例による第3トランジスタT3-1、T3-2の平面図である。図6b及び図6cそれぞれは、図6aのI-I'に対応する第3トランジスタT3-1、T3-2の断面図である。図6dは、比較例によるトランジスタと本発明の一実施例によるトランジスタの電圧VGS-電流IDSのグラフである。図6eは、トランジスタT3-1のドーピング工程を示す断面図である。図6fは、高階調のデータ信号に対応する発光区間における第1トランジスタT1及び第3トランジスタT3-1、T3-2の動作を示す回路図である。図6gは、中間階調のデータ信号に対応する発光区間における第1トランジスタT1及び第3トランジスタT3-1、T3-2の動作を示す回路図である。

40

【0107】

図6aは、図2、図5a乃至図5gに示した第3トランジスタT3-1、T3-2を拡大して示している。図6a及び図6bを参照すると、2つの第3トランジスタT3-1、T3-2のうちの電流経路内にて、第1トランジスタT1(図2を参照)のゲートに、より隣接する第3トランジスタT3-1は、左側トランジスタT3-1と定義され、第1ト

50

ランジスタ T 1 (図 2 を参照) のゲートに、より遠く配置される第 3 トランジスタ T 3 - 2 は、右側トランジスタ T 3 - 2 と定義される。図 6 b を参照すると、半導体パターン S C P に、左側トランジスタ T 3 - 1 の半導体領域 A C 3 1 と、右側トランジスタ T 3 - 2 の半導体領域 A C 3 2 とが示されている。

【 0 1 0 8 】

図 6 a と図 6 b を参照すると、上述したように、第 3 トランジスタ T 3 - 1、T 3 - 2 は P 型のトランジスタであるため、左側トランジスタ T 3 - 1 のドレイン領域 D 3 1 は左側トランジスタ T 3 - 1 のソース領域 S 3 1 より第 1 トランジスタ T 1 (図 2 を参照) のゲート領域により隣接するように配置され、右側トランジスタ T 3 - 2 のドレイン領域 D 3 2 は右側トランジスタ T 3 - 2 のソース領域 S 3 2 により第 1 トランジスタ T 1 (図 2 を参照) のゲートにより隣接するように配置される。

10

【 0 1 0 9 】

第 3 トランジスタ T 3 - 1、T 3 - 2 のドレイン領域 D 3 1、D 3 2 とソース領域 S 3 2、S 3 2 のそれぞれは、相対的にドーピング濃度が高い高ドーピング領域 1 と、相対的にドーピング濃度が低い低ドーピング領域 2 とを含みうる。低ドーピング領域 2 は、高ドーピング領域 1 と対応するチャンネル領域 A 3 1、A 3 2 の間に配置されうる。

【 0 1 1 0 】

以下、ドレイン領域 D 3 1、D 3 2 とソース領域 S 3 1、S 3 2 のそれぞれの高ドーピング領域 1 が第 1 領域と称され、低ドーピング領域 2 が第 2 領域と称されうる。高ドーピング領域 1 を区分するか、低ドーピング領域 2 を区分するために、ドレイン領域 D 3 1、D 3 2 とソース領域 S 3 1、S 3 2 のうちのいずれか一つの領域における高ドーピング領域 1 及び低ドーピング領域 2 が、第 1 領域及び第 2 領域とそれぞれ称されるならば、他の一つの領域における高ドーピング領域 1 及び低ドーピング領域 2 は、第 3 領域及び第 4 領域とそれぞれ称されてもよい。

20

【 0 1 1 1 】

第 1 領域 1 のドーピング濃度は約 $1 \times 10^{20} / \text{cm}^3$ でありうる。第 2 領域 2 のドーピング濃度は第 1 領域 1 のドーピング濃度の約 5 % 乃至 20 % でありうる。一方、第 3 トランジスタ T 3 - 1、T 3 - 2 それぞれのゲート G 3 1、G 3 2 がマスクの役割を有するため、チャンネル領域 A 3 1、A 3 2 は、ドーピング濃度の非常に低いのでありうる。

【 0 1 1 2 】

本発明の一実施例によると、図 6 a 及び図 6 b の図示とは異なって、左側トランジスタ T 3 - 1 のソース領域 S 3 1 と右側トランジスタ T 3 - 2 のドレイン領域 D 3 2 のそれぞれは、第 2 領域 2 を含まなくてもよい。ドーピング方法によって第 1 領域 1 と第 2 領域 2 のドーピング濃度が決定されるが、左側トランジスタ T 3 - 1 のソース領域 S 3 1 と、右側トランジスタ T 3 - 2 のドレイン領域 D 3 2 との、ドーピング濃度を実質的に同じく制御してもよい。

30

【 0 1 1 3 】

例えば、第 2 領域 2 が除去されるように、左側トランジスタ T 3 - 1 のソース領域 S 3 1 と、右側トランジスタ T 3 - 2 のドレイン領域 D 3 2 との、それぞれの第 2 領域 2 に追加のドーピングを行いうる。本発明の一実施例において、左側トランジスタ T 3 - 1 のソース領域 S 3 1 と、右側トランジスタ T 3 - 2 のドレイン領域 D 3 2 とのドーピング濃度を増加させて、第 1 領域 1 と第 2 領域 2 とのドーピング濃度の差を、第 1 領域 1 と第 2 領域 2 のドーピング濃度に比べ低いレベルに制御しうる。

40

【 0 1 1 4 】

図 6 b に示したように、第 1 領域 1、第 2 領域 2、及びチャンネル領域 A 3 1、A 3 2 の間の境界線が、断面上で直線であってもよいが、図 6 c に示したように第 1 領域 1、第 2 領域 2、及びチャンネル領域 A 3 1、A 3 2 の間の境界線が、断面上で曲線であってもよい。図 6 c において、チャンネル領域 A 3 1、A 3 2 に隣接する第 2 領域 2 のドーピング濃度は、半導体パターン S C P の上面からの直線距離に応じたガウス分布を有してもよい。

【 0 1 1 5 】

50

第2領域2は、チャンネル領域A31、A32と、ドレイン領域D31、D32、またはソース領域S31、S32との間の急激な電界の増加を防ぐ（以下、ドレイン/ソースフィールド減少効果）。これによって第3トランジスタT3-1、T3-2のオフ電流（または漏洩電流）を減らすことができ、それだけでなくチャンネル領域A31、A32の長さが短くなることで現われるホットキャリア効果（hot carrier effect；HCE）を抑制することができる。

【0116】

図6dは、第2領域2の有無によるトランジスタのオフ電流を示している。第1グラフG10は、第2領域2が形成されていない比較例によるトランジスタの電圧 V_{GS} -電流 I_{DS} の特性を示し、第2グラフG10は第2領域2が形成されている本実施例によるトランジスタの電圧 V_{GS} -電流 I_{DS} の特性を示す。ゲート-ソース電圧 V_{GS} が5V以上の区間において、本実施例によるP型のトランジスタの漏洩電流が減少されていることが分かる。

10

【0117】

これは、ドレイン/ソースフィールド減少効果によって、ゲート誘導ドレインリーク電流（ I_{GIDL} 、gate induced drain leakage current）が減少されたためである。漏洩電流 I_{GIDL} は、以下の数式によるが、ドレイン-ゲートフィールドが減少されて漏洩電流 I_{GIDL} が減少されたのである。数式において、指数関数の指数因子に含まれている $E_x(DL)$ はドレイン-ゲート間に形成されるフィールド値を意味する。

20

【0118】

$$I_{GIDL} \cong W \frac{(DL)_{eff}}{2} \cdot \frac{\pi q^2 \cdot m_p^* \cdot E_G \cdot V_{BD}}{h^3} \cdot \frac{E_x(DL)}{\frac{\pi^2 \cdot \sqrt{2m_p^* \cdot E_G^{2/3}}}{2q \cdot h}} \cdot \exp\left(-\frac{\pi^2 \cdot \sqrt{m_p^* \cdot E_G^{2/3}}}{2q \cdot h \cdot E_x(DL)}\right)$$

【0119】

ドレイン/ソースフィールド減少効果が発生するためには、第2領域2は、所定の抵抗を有するべきである。第2領域2の抵抗は、厚さに反比例し、長さに比例し、幅に反比例する。一体形状の半導体パターンSCP内で、第2領域2の抵抗を制御するために第2領域2の長さや幅を制御する。

30

【0120】

図6a及び図6bに示したように、幅を変更することで第2領域2の抵抗を制御する。左側トランジスタT3-1のドレイン領域D31における第2領域2の幅 W_1 は、左側トランジスタT3-1のドレイン領域D31における第1領域1の幅 W_0 よりも小さいのでありうる。右側トランジスタT3-2のソース領域S32における第2領域2の幅 W_2 は、右側トランジスタT3-2のソース領域S32における第1領域1の幅 W_0 よりも小さいのでありうる。幅は半導体パターンSCPの延長方向に直交する基準方向内で測定される。一方、長さは半導体パターンSCPの延長方向で測定される。

【0121】

第2領域2の長さが同じであると仮定すると、左側トランジスタT3-1のドレイン領域D31の第2領域2と、右側トランジスタT3-2のソース領域S32の第2領域2とで相対的に大きいドレイン/ソースフィールド減少効果が発生する。第2領域2の長さが基準値より短ければ一部の第2領域2は相対的に小さい抵抗を有し、当該第2領域2ではドレイン/ソースフィールド減少効果が発生しないのでありうる。第2領域2が同じ長さを有しても一部の第2領域2は相対的に小さい幅を有するため、相対的に大きい抵抗を有する。相対的に小さい幅を有する第2領域2ではドレイン/ソースフィールド減少効果が発生する。例えば、左側トランジスタT3-1のドレイン領域D31の第2領域2と右側トランジスタT3-2のソース領域S32の第2領域2のそれぞれは、小さい幅 W_1 、 W_2 を理由に大きい抵抗を有するため、ドレイン/ソースフィールド減少効果が発生し

40

50

うる。

【0122】

左側トランジスタT3-1のソース領域S31における第1領域1と第2領域2とで幅W0は実質的に同じであり、右側トランジスタT3-2のドレイン領域D32における第1領域1と第2領域2の幅W0は実質的に同じでありうる。左側トランジスタT3-1のソース領域S31と、右側トランジスタT3-2のドレイン領域D32とで幅W0は実質的に同じでありうる。相対的に大きい幅W0を有する左側トランジスタT3-1のソース領域S31と、右側トランジスタT3-2のドレイン領域D32とにはドレイン/ソースフィールド減少効果が発生しないのでありうる。

【0123】

左側トランジスタT3-1のドレイン領域D31と、右側トランジスタT3-2のソース領域S32とにおける、第2領域2の幅W1、W2のそれぞれは1 μ m乃至2 μ mでありうる。第2領域2の幅W1、W2のそれぞれは1.5 μ mでありうる。左側トランジスタT3-1のドレイン領域D31における第2領域2の幅W1と、右側トランジスタT3-2のソース領域S32における第2領域2の幅W2は、同じであることに限られない。左側トランジスタT3-1のドレイン領域D31と、右側トランジスタT3-2のソース領域S32とにおける第2領域2の幅W1、W2は、第1領域1の幅よりも10%乃至50%小さくてもよい。

【0124】

図6eは、一実施例によるドーピング工程を示している。本実施例によると、第2絶縁層20を形成した後、ゲートG31をマスクとして利用して、トランジスタT3-1の半導体領域AC3をドーピングしうる。例えば、 $1 \times 10^{15} / \text{cm}^2$ のドーピング濃度でドーピングしうる。

【0125】

図6eには、図5cのX-X'に対応する断面が例示的に示されている。第1、第2、第4乃至第7半導体領域AC1、AC2、AC4乃至AC7も、図6eに示したようにドーピングされるか、追加のマスクを利用してドーピングされるのであって、その方法は特に限られない。

【0126】

図6eを参照すると、ゲートG31の傾斜した側面に沿って第2絶縁層20が配置される。第2絶縁層20のゲートG31の傾斜した側面に対応する領域(以下、傾斜領域)は、第2絶縁層20の平面に対応する領域よりも第1絶縁層10の上面を基準に大きい厚さを有する。第2絶縁層20の傾斜領域において、第2絶縁層20の上面と、半導体領域AC3との間の距離DT2は、第2絶縁層20の平面領域における第2絶縁層20の上面と、半導体領域AC3との間の距離DT1よりも大きいのでありうる。前記傾斜領域はドーピングを妨害する領域に当たるが、これはマスクパターンに当たりうる。

【0127】

第2絶縁層20の傾斜領域に対応するように、ドレイン領域D31とソース領域S31の第2領域2が画定される。ゲートG31の厚さに応じて、傾斜領域の長さ、つまり、第2領域2の長さが決定されうる。本実施例において、ゲートG31の厚さは3000乃至5000でありうる。

【0128】

左側トランジスタT3-1のドレイン領域D31と、右側トランジスタT3-2のソース領域S32の第2領域2についての長さL1、L2のそれぞれは、0.1 μ m乃至0.5 μ mでありうる。左側トランジスタT3-1のドレイン領域D31における第2領域2の長さL1と、右側トランジスタT3-2のソース領域S32における第2領域2の長さL2とは、同じであるのに限られない。ドーピング工程に応じて、左側トランジスタT3-1のソース領域S31における第2領域2の長さ、右側トランジスタT3-1のドレイン領域D32における第2領域2の長さとは、上述した第2領域2の長さL1、L2の範囲で決定されうる。

10

20

30

40

50

【0129】

図6fを参照して、発光区間における高階調のデータ電圧に対応する第1トランジスタT1及び第3トランジスタT3-1、T3-2の動作を説明する。

【0130】

キャパシタCP(図2を参照)に充電されている高階調のデータ電圧に対応するように、第1トランジスタT1のゲートG1の電圧は1Vを有しうる。このとき、第1トランジスタT1のドレインD1の電圧は2Vでありうる。右側トランジスタT3-2のソースS32の電圧も同じく2Vでありうる。発光区間の間に第3トランジスタT3-1、T3-2はターンオフされるが、右側トランジスタT3-2のソースS32から左側トランジスタT3-1のドレインD31に漏洩電流が発生しうる。それだけでなく、第3トランジスタT3-1、T3-2がターンオンからターンオフに転換する過程にて、キックバック電圧(または寄生キャパシタンス)の影響で、右側トランジスタT3-2と左側トランジスタT3-1との中間のノードS31/D32における電圧が上昇し、中間ノードS31/D32から左側トランジスタT3-1のドレインD31へと漏洩電流が発生しうる。漏洩電流が発生したら、ゲートG1の電圧が増加して、発光素子LD(図2を参照)は目的の階調よりも暗い輝度で発光しうる。

10

【0131】

図6a及び図6bによると、少なくとも左側トランジスタT3-1のドレインD31の第2領域2にて、上述したドレイン/ソースフィールド減少効果が発生し、前記漏洩電流を減少または防止しうる。

20

【0132】

図6gを参照して、発光区間における中間階調のデータ電圧に対応する、第1トランジスタT1及び第3トランジスタT3-1、T3-2の動作を説明する。

【0133】

キャパシタCP(図2を参照)に充電されている中間階調のデータ電圧に対応するように、第1トランジスタT1のゲートG1の電圧は3Vを有しうる。このとき、右側トランジスタT3-2のソースS32の電圧は2Vでありうる。発光区間の間に第3トランジスタT3-1、T3-2はターンオフされるが、左側トランジスタT3-1のドレインD31または中間ノードS31/D32から右側トランジスタT3-2のソースS32に漏洩電流が発生しうる。漏洩電流が発生したら、ゲートG1の電圧が減少して発光素子LD(図2を参照)は、目的の階調より明るい輝度で発光しうる。

30

【0134】

図6a及び図6bによると、少なくとも右側トランジスタT3-2におけるソースS32の第2領域2にて上述したドレイン/ソースフィールド減少効果が発生し、前記漏洩電流を減少または防止する。

【0135】

図7aは、本発明の一実施例による第3トランジスタT3-1乃至T3-3の回路図である。図7bは、本発明の一実施例による第3トランジスタT3-1乃至T3-3の平面図である。図7cは、本発明の一実施例による第3トランジスタT3の回路図である。図7dは、本発明の一実施例による第3トランジスタT3の平面図である。以下、図1乃至図6gを参照して説明した構成に関する詳細な説明は省略する。

40

【0136】

図7aを参照すると、n(ここで、nは2以上の自然数)個の第3トランジスタT3-1乃至T3-3が第1トランジスタT1のゲートG1とドレインD1との間に直列に連結される。本実施例において、nは3である。

【0137】

図7a及び図7bを参照すると、第3トランジスタT3-1乃至T3-3のうちで、第1トランジスタT1のゲートG1とドレインD1の電流経路内にて第1トランジスタT1のゲートG1に最も隣接する、最も左側のトランジスタT3-1のドレイン領域D31は、第1領域1と第2領域2とを含む。第3トランジスタT3-1乃至T3-3のうちで、

50

第 1 トランジスタ T 1 のゲート G 1 から最も遠く配置される、最も右側のトランジスタ T 3 - 3 のソース領域 S 3 3 は、第 1 領域 1 と第 2 領域 2 とを含む。

【 0 1 3 8 】

図 7 b を参照すると、最も左側のトランジスタ T 3 - 1 におけるドレイン領域 D 3 1 の第 2 領域 2 と、最も右側のトランジスタ T 3 - 3 におけるソース領域 S 3 3 の第 2 領域 2 とは、相対的に小さい幅を有しうる。最も左側のトランジスタ T 3 - 1 のソース領域 S 3 1 と、最も右側のトランジスタ T 3 - 3 におけるドレイン領域 D 3 3 とは、実質的に同じ幅を有しうる。中間に配置されるトランジスタ T 3 - 2 におけるドレイン領域 D 3 2 とソース領域 S 3 2 は、実質的に同じ幅を有しうる。

【 0 1 3 9 】

図 6 f と図 6 g を参照して説明したように、高階調のデータ電圧に対応する発光区間において、最も左側のトランジスタ T 3 - 1 によって漏洩電流が減少または防止され、中間階調のデータ電圧に対応する発光区間において、最も右側のトランジスタ T 3 - 3 によって漏洩電流が減少または防止されうる。

【 0 1 4 0 】

図 7 c を参照すると、第 1 トランジスタ T 1 のゲート G 1 とドレイン D 1 との間に一つの第 3 トランジスタ T 3 が連結される。図 7 d を参照すると、第 3 トランジスタ T 3 におけるドレイン領域 D 3 1 の第 2 領域 2 と、ソース領域 S 3 1 の第 2 領域 2 は、半導体パターン S C P の他の領域に比べ相対的に小さい幅を有しうる。第 3 トランジスタ T 3 には漏洩電流が発生しないのでありうる。

【 0 1 4 1 】

図 8 a は、本発明の一実施例による第 4 トランジスタ T 4 - 1、T 4 - 2 の平面図である。図 8 b は、発光区間における第 1 トランジスタ T 1 及び第 4 トランジスタ T 4 - 1、T 4 - 2 の動作を示す回路図である。以下、図 1 乃至図 6 g を参照して説明した構成に関する詳細な説明は省略する。

【 0 1 4 2 】

2 つのトランジスタ T 4 - 1、T 4 - 2 が例示的に示されたが、一つまたは 3 つ以上のトランジスタが第 1 トランジスタ T 1 のゲート G 1 と第 2 電圧ライン V L 2 との間に直列に連結されてもよい。

【 0 1 4 3 】

本実施例によると、第 4 トランジスタ T 4 - 1、T 4 - 2 のうちの第 1 トランジスタ T 1 のゲート G 1 と、第 2 電圧ライン V L 2 との間の電流経路内にて、第 1 トランジスタ T 1 のゲート G 1 に、より隣接するトランジスタは左側トランジスタ T 4 - 1 であり、第 1 トランジスタ T 1 のゲート G 1 から、より遠く配置されるトランジスタは右側トランジスタ T 4 - 2 である。

【 0 1 4 4 】

本実施例によると、少なくとも左側トランジスタ T 4 - 1 のソース領域 S 4 1 の第 2 領域 2 と右側トランジスタ T 4 - 2 のドレイン領域 D 4 2 の第 2 領域 2 が相対的に小さい幅を有する。初期化電圧 V i n t は - 2 V 乃至 - 3 V のバイアス電圧である。発光区間の間に第 1 トランジスタ T 1 のゲート G 1 は 1 V 乃至 4 V を有するため、第 1 トランジスタ T 1 のゲート G 1 から第 2 電圧ライン V L 2 に漏洩電流経路が形成される。右側トランジスタ T 4 - 2 のドレイン領域 D 4 2 はこのような漏洩電流が発生することを減少または防止する。

【 0 1 4 5 】

左側トランジスタ T 4 - 1 のソース領域 S 4 1 は発光区間の間に第 4 トランジスタ T 4 - 1、T 4 - 2 の中間ノード S 4 1 / D 4 2 から第 1 トランジスタ T 1 のゲート G 1 に一時的な漏洩電流が流れることを防止する。

【 0 1 4 6 】

図 9 a は、本発明の一実施例による第 1 トランジスタ T 1 の平面図である。図 9 b は、図 9 a の II - II' に対応する第 1 トランジスタ T 1 の断面図である。以下、図 1 乃至図 8

10

20

30

40

50

bを参照して説明した構成に関する詳細な説明は省略する。

【0147】

第1トランジスタT1は、ソース領域S1と、ドレイン領域D1と、これらの間に配置されるチャンネル領域A1とを含む半導体領域AC1と、チャンネル領域A1に重畳するゲートG1と、を含む。第1トランジスタT1も同じく図6eを参照して説明したのと同じ方式でドーピングされうる。これに伴い、ソース領域S1とドレイン領域D1それぞれは第1領域1と第2領域2とを含みうる。

【0148】

第2領域2がドレイン/ソースフィールド減少効果を発生させれば、第1トランジスタT1のターンオン状態にて駆動電流が減少しうる。本実施例によると、第2領域2がドレイン/ソースフィールド減少効果を有しないように、第2領域2の抵抗を基準値よりも大きく設計しうる。第2領域2の抵抗を減少させるために、第2領域2の幅W4は、チャンネル領域A1の幅W3よりも大きいのでありうる。第2領域2の幅W4は、チャンネル領域A1の幅W3よりも5%乃至20%大きいのでありうる。

10

【0149】

ソース領域S1及びドレイン領域D1は、全体がチャンネル領域A1より大きい幅を有しうる。ソース領域S1は均一な幅を有し、ドレイン領域D1は均一な幅を有しうる。

【0150】

第1トランジスタT1のソース領域S1またはドレイン領域D1の幅W4は、図6a及び図6bに示した第3トランジスタT3-1、T3-2のソース領域S31、S32またはドレイン領域D31、D32の幅よりも大きいのでありうる。図5bに示した一体形状の半導体パターンSCPを領域によって異なる幅にパターニングしうる。

20

【0151】

これまで本発明の好ましい実施例を参照して説明したが、該当技術分野における熟練した当業者または該当技術分野における通常の知識を有する者であれば、後述する特許請求の範囲に記載された本発明の思想及び技術領域から逸脱しない範囲内で本発明を多様に修正及び変更し得ることを理解できるはずである。

【0152】

よって、本発明の技術的範囲は明細書の詳細な説明に記載されている内容に限らず、特許請求の範囲によって決められるべきである。

30

【産業上の利用可能性】

【0153】

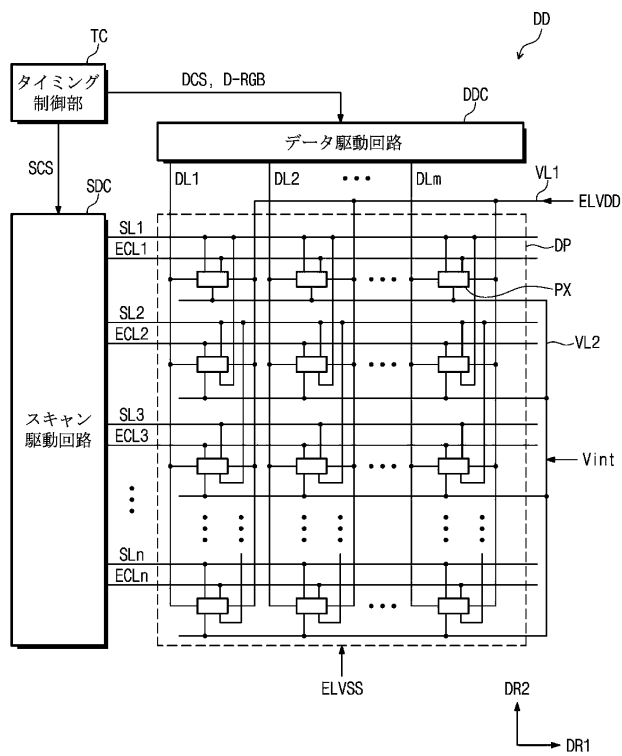
本実施例によると、トランジスタの設計を変更することで、画素駆動回路の性能が向上されうる。画素駆動回路は表示装置に必須的な構成であって、本発明は表示装置に適用される可能性が高い。

40

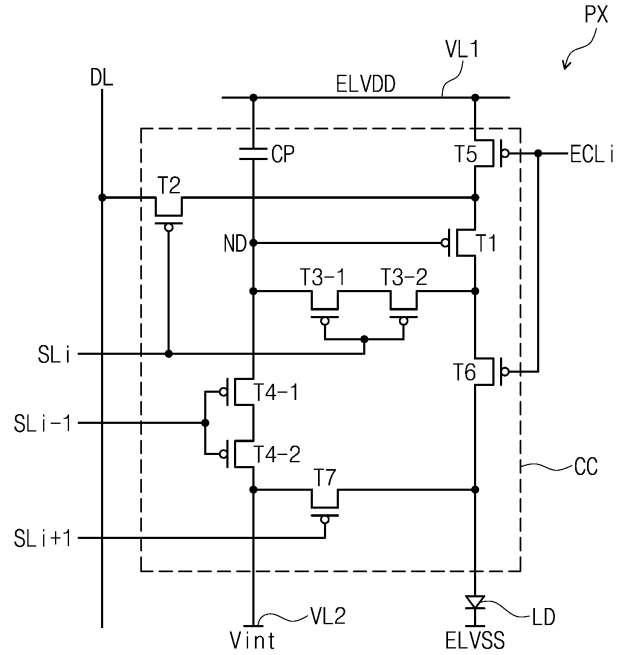
50

【 図 面 】

【 図 1 】



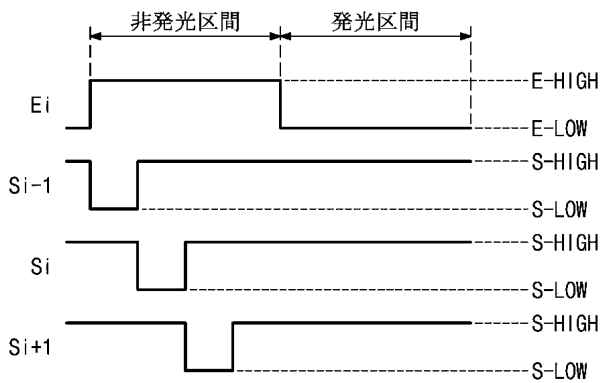
【 図 2 】



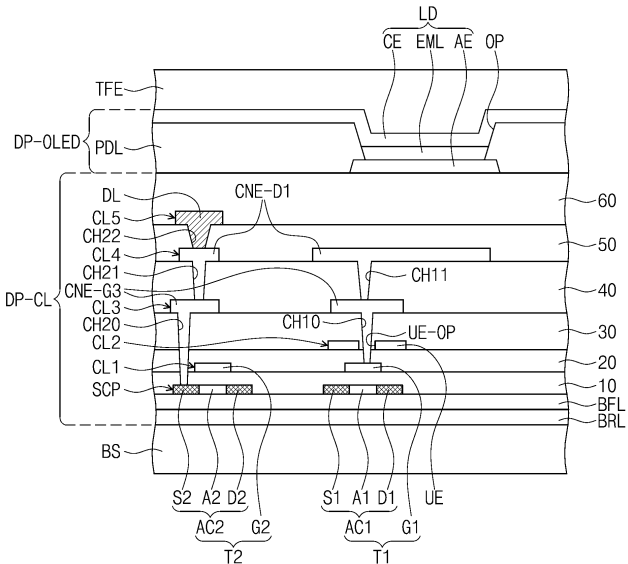
10

20

【 図 3 】



【 図 4 】

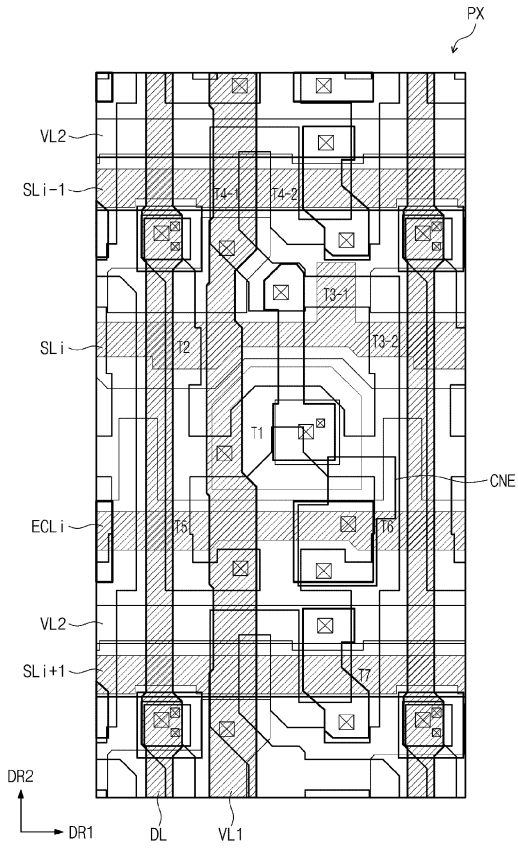


30

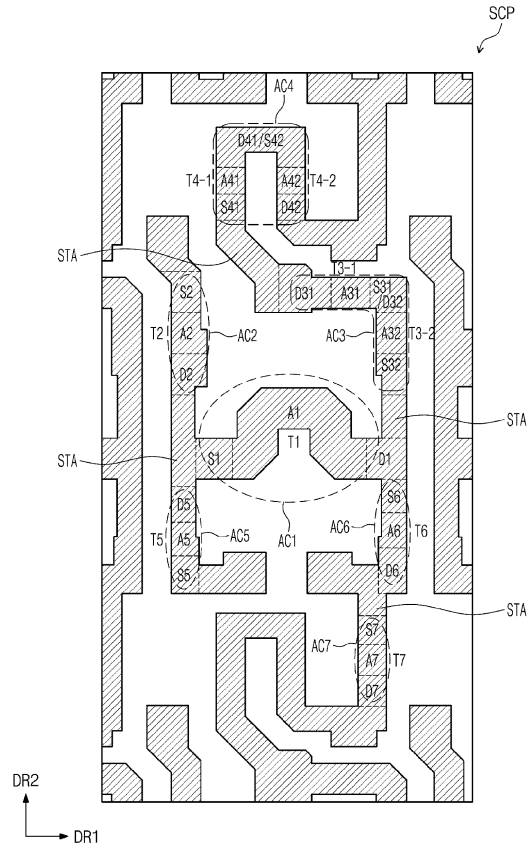
40

50

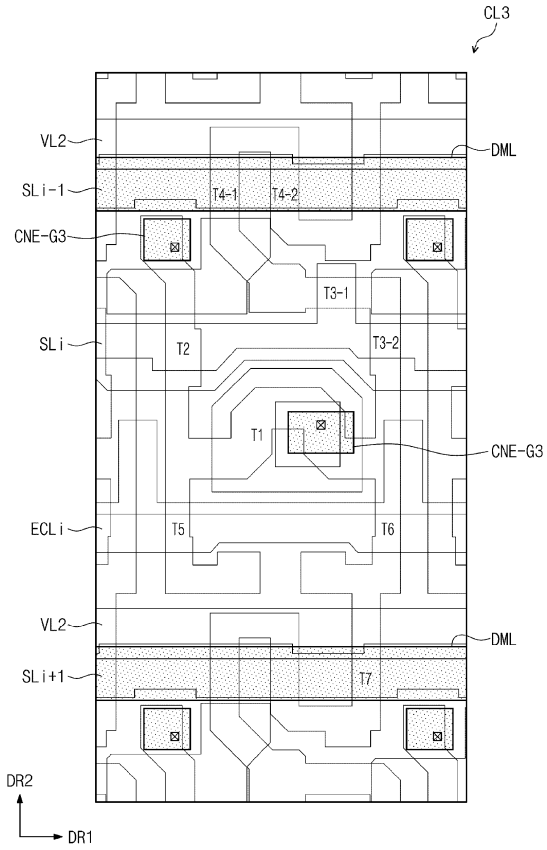
【 5 a 】



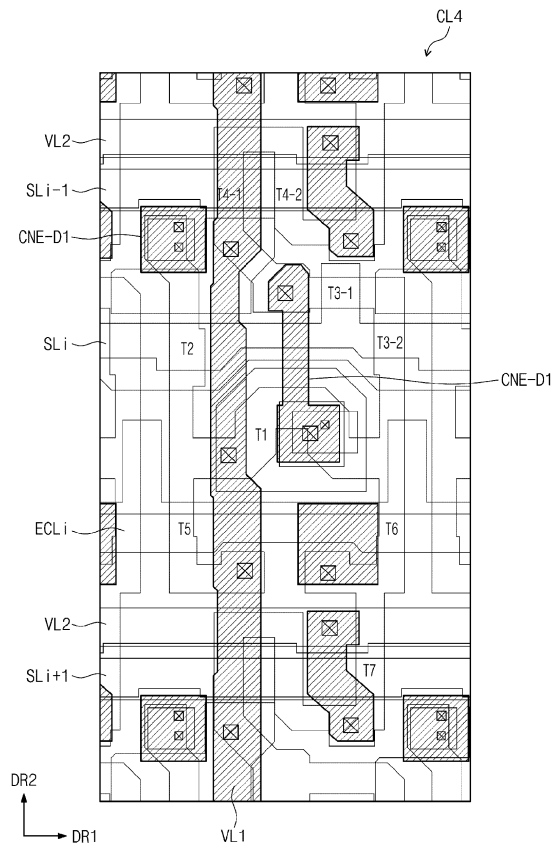
【 5 b 】



【 5 e 】



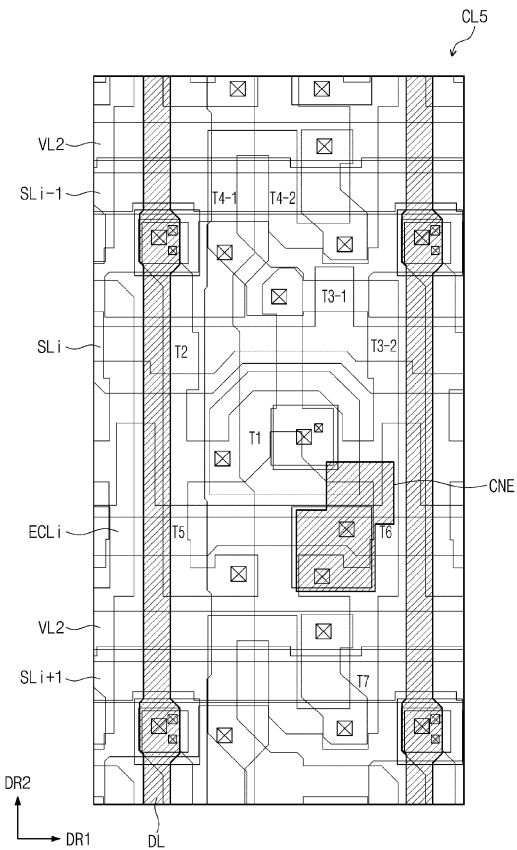
【 5 f 】



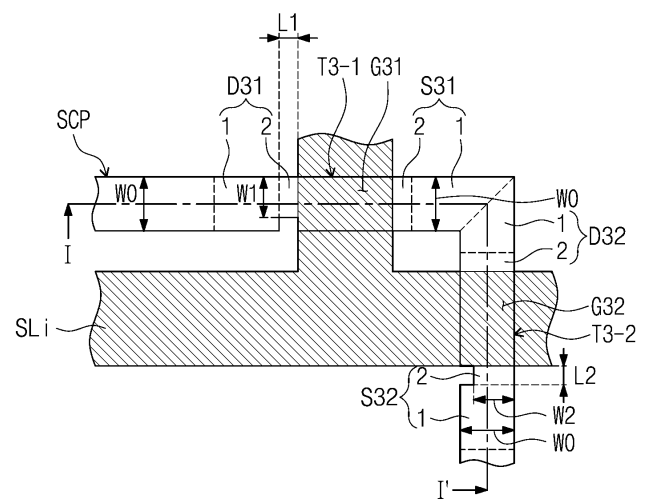
10

20

【 5 g 】



【 6 a 】

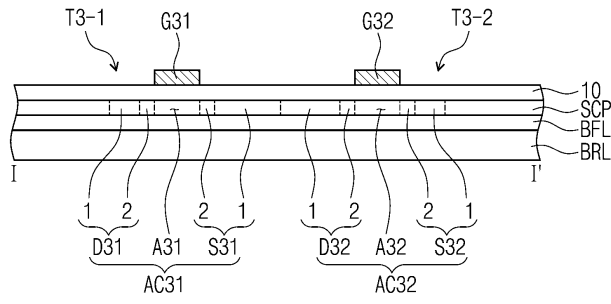


30

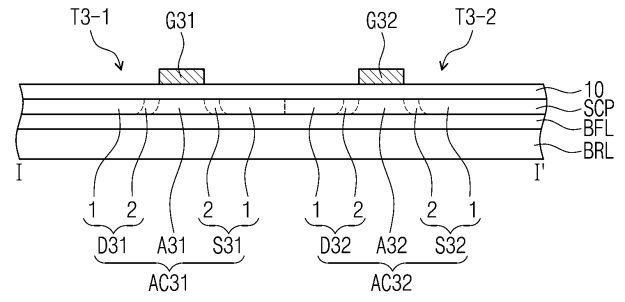
40

50

【 図 6 b 】

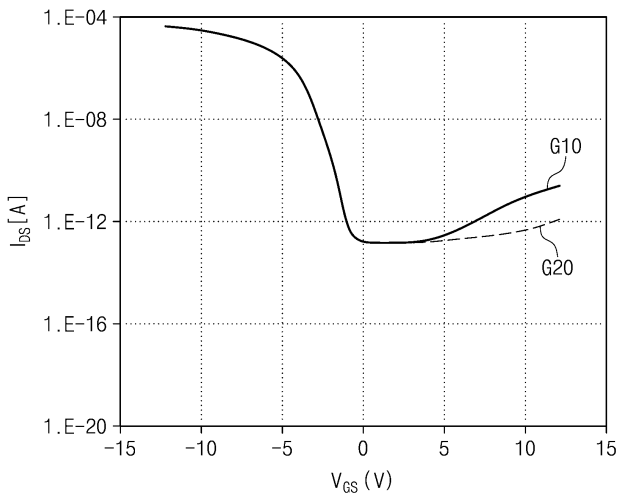


【 図 6 c 】

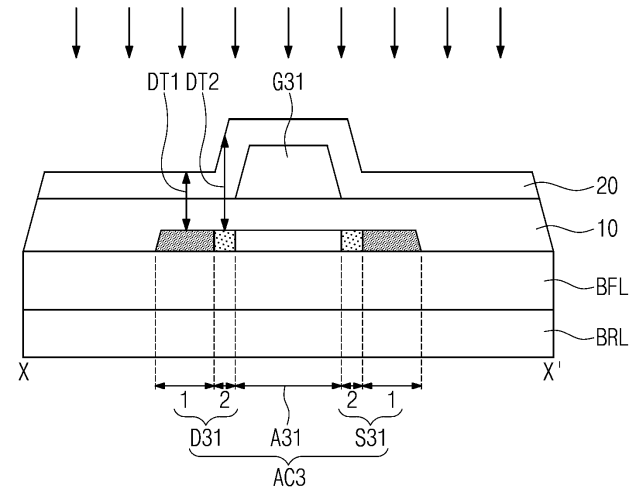


10

【 図 6 d 】

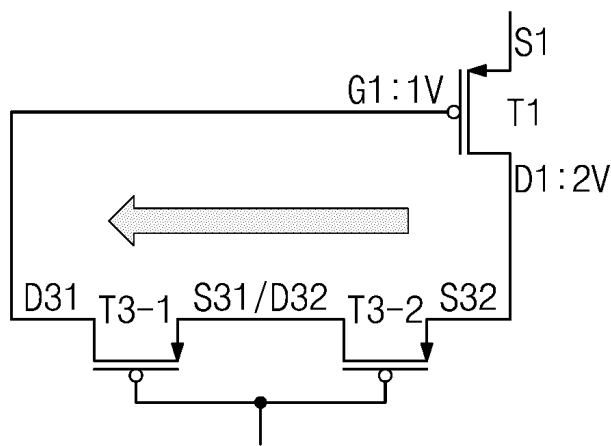


【 図 6 e 】



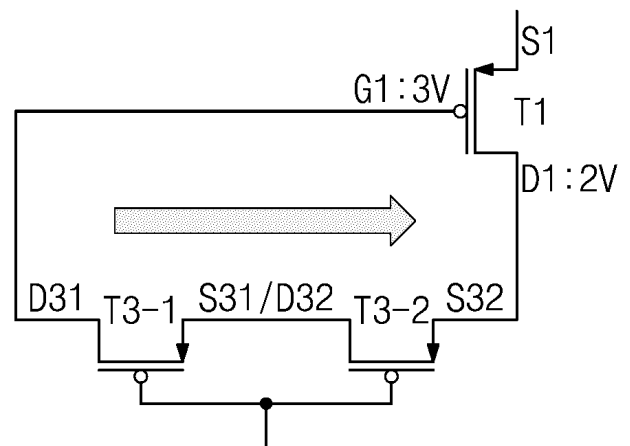
20

【 図 6 f 】



30

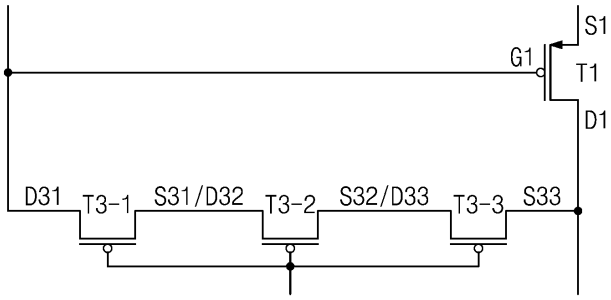
【 図 6 g 】



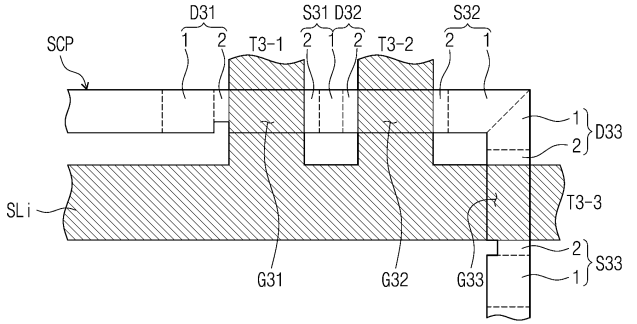
40

50

【 7 a 】

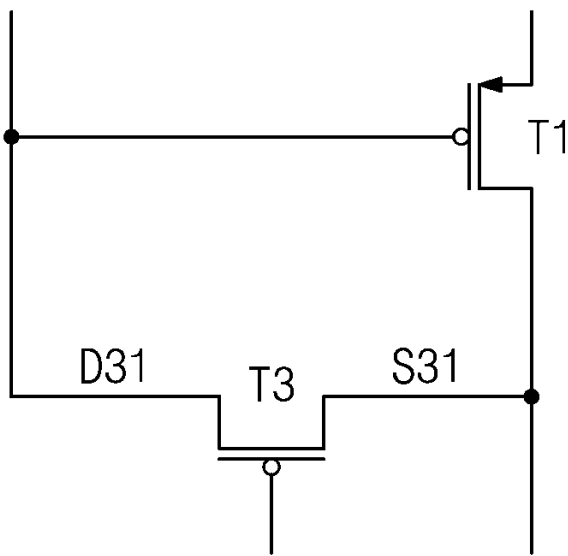


【 7 b 】

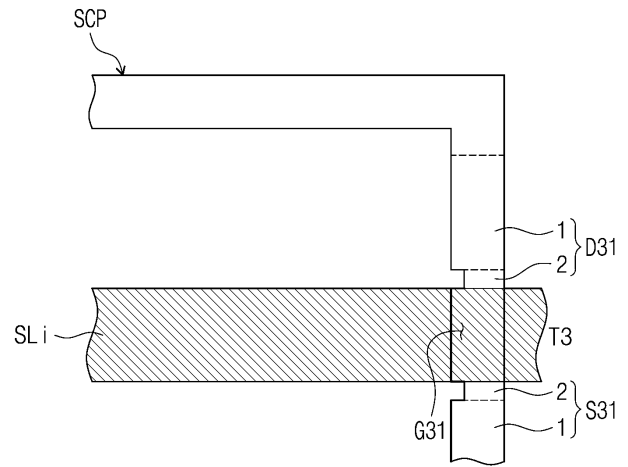


10

【 7 c 】



【 7 d 】



20

30

40

50

【 国際調査報告 】

INTERNATIONAL SEARCH REPORT

International application No.
PCT/KR2022/009496

A. CLASSIFICATION OF SUBJECT MATTER H01L 27/12(2006.01); H01L 27/32(2006.01); According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) H01L 27/12(2006.01); G02F 1/136(2006.01); G09G 3/3208(2016.01); H01L 21/336(2006.01); H01L 29/786(2006.01) Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Korean utility models and applications for utility models: IPC as above Japanese utility models and applications for utility models: IPC as above Electronic data base consulted during the international search (name of data base and, where practicable, search terms used) eKOMPASS (KIPO internal) & keywords: 트랜지스터(transistor), 발광소자(light emitting element), 직렬(series), 도핑 농도(doping concentration), 너비(width)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	KR 10-2021-0022807 A (SAMSUNG DISPLAY CO., LTD.) 04 March 2021 (2021-03-04) See paragraphs [0055]-[0094], [0133] and [0184]-[0187]; and figure 2.	1-23
Y	JP 06-232152 A (MITSUBISHI ELECTRIC CORP.) 19 August 1994 (1994-08-19) See claim 1; and figure 1.	1-18
Y	KR 10-0992137 B1 (SAMSUNG ELECTRONICS CO., LTD.) 04 November 2010 (2010-11-04) See paragraphs [0038]-[0039] and [0047]-[0058]; and figures 1-2.	11-14,19-23
A	KR 10-0274546 B1 (SAMSUNG ELECTRONICS CO., LTD.) 15 December 2000 (2000-12-15) See paragraphs [0029]-[0036]; and figures 5-8.	1-23
A	KR 10-1999-0004943 A (HYUNDAI ELECTRONICS IND. CO., LTD.) 25 January 1999 (1999-01-25) See paragraphs [0014]-[0018]; and figures 2a-2d.	1-23
<input type="checkbox"/> Further documents are listed in the continuation of Box C. <input checked="" type="checkbox"/> See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "D" document cited by the applicant in the international application "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed		"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family
Date of the actual completion of the international search 07 October 2022		Date of mailing of the international search report 07 October 2022
Name and mailing address of the ISA/KR Korean Intellectual Property Office Government Complex-Daejeon Building 4, 189 Cheongsaro, Seo-gu, Daejeon 35208 Facsimile No. +82-42-481-8578		Authorized officer Telephone No.

10

20

30

40

50

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/KR2022/009496

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
KR	10-2021-0022807	A	04 March 2021	CN	112419972	A	26 February 2021
				US	2021-0057502	A1	25 February 2021
JP	06-232152	A	19 August 1994	None			
KR	10-0992137	B1	04 November 2010	KR	10-2005-0047885	A	23 May 2005
KR	10-0274546	B1	15 December 2000	KR	10-2000-0014518	A	15 March 2000
KR	10-1999-0004943	A	25 January 1999	None			

10

20

30

40

50

국제조사보고서

국제출원번호

PCT/KR2022/009496

A. 발명이 속하는 기술분류(국제특허분류(IPC)) H01L 27/12(2006.01); H01L 27/32(2006.01);		
B. 조사된 분야		
조사된 최소문헌(국제특허분류 기재) H01L 27/12(2006.01); G02F 1/136(2006.01); G09G 3/3208(2016.01); H01L 21/336(2006.01); H01L 29/786(2006.01)		
조사된 기술분야에 속하는 최소문헌 이외의 문헌 한국등록실용신안공보 및 한국공개실용신안공보; 조사된 최소문헌란에 기재된 IPC 일본등록실용신안공보 및 일본공개실용신안공보; 조사된 최소문헌란에 기재된 IPC		
국제조사에 이용된 전산 데이터베이스(데이터베이스의 명칭 및 검색어(해당하는 경우)) eKOMPASS(특허청 내부 검색시스템) & 키워드: 트랜지스터(transistor), 발광소자(light emitting element), 직렬(series), 도핑 농도(doping concentration), 너비(width)		
C. 관련 문헌		
카테고리*	인용문헌명 및 관련 구절(해당하는 경우)의 기재	관련 청구항
Y	KR 10-2021-0022807 A (삼성디스플레이 주식회사) 2021.03.04 단락 [0055]-[0094], [0133], [0184]-[0187]; 및 도면 2	1-23
Y	JP 06-232152 A (MITSUBISHI ELECTRIC CORP.) 1994.08.19 청구항 1; 및 도면 1	1-18
Y	KR 10-0992137 B1 (삼성전자주식회사) 2010.11.04 단락 [0038]-[0039], [0047]-[0058]; 및 도면 1-2	11-14, 19-23
A	KR 10-0274546 B1 (삼성전자 주식회사) 2000.12.15 단락 [0029]-[0036]; 및 도면 5-8	1-23
A	KR 10-1999-0004943 A (현대전자산업 주식회사) 1999.01.25 단락 [0014]-[0018]; 및 도면 2a-2d	1-23
<input type="checkbox"/> 추가 문헌이 C(계속)에 기재되어 있습니다. <input checked="" type="checkbox"/> 대응특허에 관한 별지를 참조하십시오.		
* 인용된 문헌의 특별 카테고리: "A" 특별히 관련이 없는 것으로 보이는 일반적인 기술수준을 정의한 문헌 "D" 본 국제출원에서 출원인이 인용한 문헌 "E" 국제출원일보다 빠른 출원일 또는 우선일을 가지나 국제출원일 이후에 공개된 선출원 또는 특허 문헌 "L" 우선권 주장에 의문을 제기하는 문헌 또는 다른 인용문헌의 공개일 또는 다른 특별한 이유(이유를 명시)를 밝히기 위하여 인용된 문헌 "O" 구두 개시, 사용, 전시 또는 기타 수단을 언급하고 있는 문헌 "P" 우선일 이후에 공개되었으나 국제출원일 이전에 공개된 문헌		
"T" 국제출원일 또는 우선일 후에 공개된 문헌으로, 출원과 상충하지 않으며 발명의 기초가 되는 원리나 이론을 이해하기 위해 인용된 문헌 "X" 특별한 관련이 있는 문헌. 해당 문헌 하나만으로 청구된 발명의 신규성 또는 진보성이 없는 것으로 본다. "Y" 특별한 관련이 있는 문헌. 해당 문헌이 하나 이상의 다른 문헌과 조합하는 경우로 그 조합이 당업자에게 자명한 경우 청구된 발명은 진보성이 없는 것으로 본다. "&" 동일한 대응특허문헌에 속하는 문헌		
국제조사의 실제 완료일	국제조사보고서 발송일	
2022년10월07일(07.10.2022)	2022년10월07일(07.10.2022)	
ISA/KR의 명칭 및 우편주소	심사관	
대한민국 특허청 (35208) 대전광역시 서구 청사로 189, 4동 (둔산동, 정부대전청사) 팩스 번호 +82-42-481-8578	박혜련 전화번호 +82-42-481-3463	

서적 PCT/ISA/210 (두 번째 용지) (2022년 7월)

10

20

30

40

50

국제조사보고서
대응특허에 관한 정보

국제출원번호
PCT/KR2022/009496

국제조사보고서에서 인용된 특허문헌	공개일	대응특허문헌	공개일
KR 10-2021-0022807 A	2021/03/04	CN 112419972 A US 2021-0057502 A1	2021/02/26 2021/02/25
JP 06-232152 A	1994/08/19	없음	
KR 10-0992137 B1	2010/11/04	KR 10-2005-0047885 A	2005/05/23
KR 10-0274546 B1	2000/12/15	KR 10-2000-0014518 A	2000/03/15
KR 10-1999-0004943 A	1999/01/25	없음	

10

20

30

40

서식 PCT/ISA/210 (대응특허 추가용지) (2022년 7월)

50

フロントページの続き

(51)国際特許分類

H 0 1 L 21/336(2006.01)

F I

G 0 9 G	3/20	6 1 1 J
G 0 9 G	3/20	6 4 2 A
G 0 9 G	3/20	6 4 2 C
H 1 0 K	59/121	2 1 3
H 1 0 K	59/131	
H 0 1 L	29/78	6 1 6 A
H 0 1 L	29/78	6 1 2 Z

テーマコード (参考)

MK,MT,NL,NO,PL,PT,RO,RS,SE,SI,SK,SM,TR),OA(BF,BJ,CF,CG,CI,CM,GA,GN,GQ,GW,KM,ML,MR,N
E,SN,TD,TG),AE,AG,AL,AM,AO,AT,AU,AZ,BA,BB,BG,BH,BN,BR,BW,BY,BZ,CA,CH,CL,CN,CO,CR,CU,
CZ,DE,DJ,DK,DM,DO,DZ,EC,EE,EG,ES,FI,GB,GD,GE,GH,GM,GT,HN,HR,HU,ID,IL,IN,IQ,IR,IS,IT,JM,J
O,JP,KE,KG,KH,KN,KP,KW,KZ,LA,LC,LK,LR,LS,LU,LY,MA,MD,ME,MG,MK,MN,MW,MX,MY,MZ,N
A,NG,NI,NO,NZ,OM,PA,PE,PG,PH,PL,PT,QA,RO,RS,RU,RW,SA,SC,SD,SE,SG,SK,SL,ST,SV,SY,TH,TJ,
TM,TN,TR,TT,TZ,UA,UG,US,UZ,VC,VN,WS,ZA,ZM,ZW

(72)発明者

カン, テウク

大韓民国, 1 3 5 8 1 キョンギ - ド, ソンナム - シ, プンダン - グ, スネ - ロ 1 8 1, 3 1 1 -
4 0 3

(72)発明者

キム, ジャン - ヒョン

大韓民国, 1 8 4 7 3 キョンギ - ド, ファソン - シ, ドンタン - デロ 2 4 - ギル 1 9 9, 4 7
2 - 3 0 1

(72)発明者

ベ, ジュン ウ

大韓民国, 1 8 4 2 9 キョンギ - ド, ファソン - シ, ドンタンゴンウォン - ロ 2 1 - 1 2, 9 1
2 - 1 0 1

(72)発明者

イ, ジェソブ

大韓民国, 0 6 5 9 2 ソウル, ソチョ - グ, ソチョジュンアン - ロ 2 9 - ギル 2 8, 3 0 2 -
6 0 2

(72)発明者

ジン, ドンギユ

大韓民国, 1 8 4 7 8 キョンギ - ド, ファソン - シ, ドンタン - デロ 4 9 5

(72)発明者

チェ, サンゴン

大韓民国, 1 6 4 2 0 キョンギ - ド, スウォン - シ, ジャンアン - グ, ファサン - ロ 8 5, 1 3
1 - 7 0 2

F ターム (参考)

3K107 AA01 BB01 CC41 EE04 FF14 FF15 HH05
5C080 AA06 BB05 CC03 DD05 EE29 FF03 FF11 HH09 JJ02 JJ03
JJ04 JJ05 JJ06
5C094 AA21 BA03 BA27 CA19 DB04 FA02 FB19 JA01 JA08
5C380 AA01 AA02 AB06 AB22 AB34 BA10 BA19 BA20 BA40 BB05
BB21 CB01 CC06 CC07 CC26 CC33 CC39 CC55 CC61 CC65 CC66
CC72 CC77 CD019 CE04 CE20 DA02 DA06 HA03 HA13
5F110 BB01 CC02 DD01 DD12 DD13 DD14 DD15 DD17 EE28 GG02
GG13 GG23 HJ04 HM15 NN72 QQ11