



(12) 发明专利

(10) 授权公告号 CN 1953028 B

(45) 授权公告日 2011.08.03

(21) 申请号 200610135660.6

(22) 申请日 2006.10.20

(30) 优先权数据

2005-307715 2005.10.21 JP

(73) 专利权人 株式会社半导体能源研究所

地址 日本神奈川

(72) 发明人 加藤太一

(74) 专利代理机构 中国国际贸易促进委员会专

利商标事务所 11038

代理人 王永刚

(51) Int. Cl.

G09G 3/32 (2006.01)

G09G 3/30 (2006.01)

G09G 3/20 (2006.01)

H05B 33/08 (2006.01)

H05B 33/14 (2006.01)

(56) 对比文件

US 20050099371 A1, 2005.05.12, 说明书第
1 页第 0012 段, 第 0016 段-0021 段、附图 5.

CN 1540616 A, 2004.10.27, 全文.

US 2001022570 A1, 2001.09.20, 全文.

CN 1623116 A, 2005.06.01, 全文.

US 2003098833 A1, 2003.05.29, 全文.

US 6535193 B1, 2003.03.18, 全文.

审查员 罗强

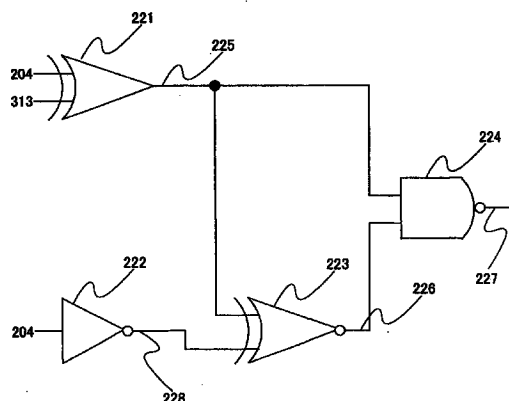
权利要求书 2 页 说明书 10 页 附图 15 页

(54) 发明名称

显示装置及其驱动方法, 以及电子设备

(57) 摘要

本发明的目的是校正由于晶体管的特性而发生的栅信号的上升的不一致。本发明的技术要点如下: 当将黑显示于显示装置时, 使用检查电路和信号修正电路, 正确地显示黑。当由于晶体管的特性等使栅信号发生延迟时, 有可能不能以显示黑的时序正确地显示黑。这种情况下, 用检查电路检测出栅信号的异常, 并且用信号修正电路修正栅信号。



1. 一种显示装置,其包括:

第一布线;

第二布线;

将第一信号输出到所述第一布线的驱动电路,该驱动电路包括移位寄存电路和被配置为将所述第一布线连接至所述移位寄存电路的开关;

连接于所述第一布线及所述第二布线的像素,当所述第一布线被选择时从所述第二布线向所述像素写入第二信号;

第三布线,向所述第三布线输入用于控制所述开关的控制信号;以及

当所述第二布线的所述第二信号变化时,检测所述第一布线是否被选择的检查电路,

其中,所述驱动电路包括输入有由所述检查电路检测出的信息的信号修正电路,该信号修正电路根据所述信息修正将所述第一信号输出到所述第一布线的时序。

2. 一种显示装置,其包括:

第一布线;

第二布线;

将第一信号输出到所述第一布线的驱动电路;

连接于所述第一布线及所述第二布线的像素,当所述第一布线被选择时从所述第二布线向所述像素写入第二信号;以及

当所述第二布线的所述第二信号变化时,检测所述第一布线是否被选择的检查电路,

其中,所述驱动电路包括输入有由所述检查电路检测出的信息的信号修正电路,该信号修正电路根据所述信息修正将所述第一信号输出到所述第一布线的时序。

3. 根据权利要求2所述的显示装置,

其中,所述信号修正电路包括多个缓冲电路,

并且,所述多个缓冲电路串联连接。

4. 一种包括权利要求1和2中任何之一的显示装置的电子设备。

5. 一种显示装置的驱动方法,

其中,该显示装置包括:

第一布线;

第二布线;

将第一信号输出到所述第一布线的驱动电路;

将第二信号输出到所述第二布线的驱动电路;以及,

连接于所述第一布线及所述第二布线的像素,当所述第一布线被选择时从所述第二布线向所述像素写入第二信号,

其中,当所述第二布线的所述第二信号变化时,所述驱动电路检测所述第一布线是否被选择,并修正将所述第一信号输出到所述第一布线的时序。

6. 根据权利要求5所述的显示装置的驱动方法,其中所述时序的修正使用串连连接的多个缓冲电路。

7. 一种显示装置,其包括:

第一布线;

第二布线;

将第一信号输出到所述第一布线的第二驱动电路；

将第二信号输出到所述第二布线的第二驱动电路；

连接于所述第一布线及所述第二布线的像素，当第一布线被选择时从第二布线向所述像素写入所述第二信号；以及

输入有所述第二布线的所述第二信号、并且检测出所述第一布线不被选择的情况的检查电路，

其中，所述第一驱动电路包括输入有由所述检查电路检测出的信息的信号修正电路，该信号修正电路根据所述信息修正将所述第一信号输出到所述第一布线的时序。

8. 根据权利要求 7 所述的显示装置，

其中，所述信号修正电路包括多个缓冲电路，

并且，所述多个缓冲电路串联连接。

9. 根据权利要求 8 所述的显示装置，其中所述信号修正电路被配置为改变串联连接的所述多个缓冲电路的个数。

10. 根据权利要求 2 所述的显示装置，其中，所述信号修正电路包括第一至第三缓冲电路，并根据第一状态，第二状态，或第三状态修正将所述第一信号输出到所述第一布线的时序，在该第一状态中所述第一信号通过所述第一及第二缓冲电路被输出，在该第二状态中所述第一信号通过所述第一至第三缓冲电路被输出，在该第三状态中所述第一信号通过所述第一缓冲电路被输出。

11. 根据权利要求 7 所述的显示装置，其中，所述信号修正电路包括第一至第三缓冲电路，并按照第一状态，第二状态，或第三状态修正将信号输出到所述第一布线的时序，在该第一状态中信号通过所述第一及第二缓冲电路被输出，在该第二状态中信号通过所述第一至第三缓冲电路被输出，在该第三状态中信号通过所述第一缓冲电路被输出。

显示装置及其驱动方法,以及电子设备

技术领域

[0001] 本发明涉及显示装置。此外,还涉及在其显示部分具有显示装置的电子设备。

背景技术

[0002] 近年来,由自发光型的发光元件形成像素的薄型显示装置引人注目。作为发光元件,有机发光二极管(Organic Light Emitting Diode; OLED), EL(Electro Luminescence; EL) 元件受到了注目,并已经被用于 EL 显示器。

[0003] 当将多灰度的图像显示于使用如上述的发光元件的显示装置时,可以举如下驱动方法;模拟驱动法(模拟灰度法)和数字驱动法(数字灰度法)。

[0004] 模拟驱动法是通过连续地控制在发光元件流过的电流的大小,而获得灰度的方法。此外,数字驱动法是根据两种状态驱动的方法。该两种状态是;发光元件为导通(ON)态(亮度大约为 100%的点灯(lighton)的状态)和为截止(OFF)态(亮度大约为 0%,即非点灯(lightoff)的状态)。

[0005] 其次将简单地说明采用了时间灰度法的显示装置的像素结构的一个例子以及其驱动。图 1 所示的电路具有晶体管 201、晶体管 202、发光元件 203。晶体管 201 的栅电极连接于栅信号线 205,第一电极连接于源信号线 204,并且第二电极连接于晶体管 202 的栅电极。晶体管 202 的第一电极连接于电源线 206,并且第二电极连接于发光元件 203 的第一电极。发光元件 203 的第二电极连接于相对电极。

[0006] 注意,因为薄膜晶体管(下面记为 TFT)从其结构上很难定义源极和漏极。所以在此,将一个电极称作第一电极,而将另一个电极称作第二电极。一般在 N 沟道型晶体管中,电位低的电极成为源极电极,而电位高的电极成为漏极电极,并且在 P 沟道型晶体管中,电位高的电极成为源极电极,而电位低电极则成为漏极电极。因此,在电路工作的说明中,在涉及栅电极/源极之间的电压等的记载中,依据上述标准。

[0007] 其次,使用图 2 的时序图说明图 1。以 SWE211(源写入删除选择信号)决定被选择的源信号线 204。此外,以 G1WE212(栅写入选择信号)和 G2WE213(栅删除选择信号)决定被选择的栅信号线 205。根据该源信号线 204 的信号和栅信号线 205 的信号决定发光元件 203 是否点灯。在此,关于任意的布线,将数字信号“1”记为高电平的 H(High level),并且将“0”记为低电平的 L(Low level)。但是,“0”意味的不仅是接地电压,也可以是共通电位。也可以以其电位高于任意的阈值的状态为 H,以其电位低于任意的阈值的状态为 L。

[0008] 当源信号 214 为 H 时写入黑,但是如此刻栅信号 215 不成为 H 的话,则不反映到发光元件 203。此外,当源信号 214 为 L 时写入白就是数据,但是如此刻栅信号 215 不成为 H 的话则不反映到发光元件 203。

[0009] 其次就数字驱动法进行说明。当单独使用数字驱动法时,其只能表示 2 个灰度,因此被建议与显示多灰度的驱动法如面积灰度法或者时间灰度法组合。面积灰度法是将副像素设于像素内,而根据其发光面积的大小来显示灰度的方法(例如参照专利文件 1)。此外,时间灰度法是通过控制发光期间的长短或者发光的次数,来显示灰度的方法(例如参照专

利文件 2 及 3)。

[0010] 专利文件 1 专利公开 HEI11-73158 号

[0011] 专利文件 2 专利公开 2001-5426 号

[0012] 专利文件 3 专利公开 2001-343933 号

发明内容

[0013] 在上述的时间灰度法中,根据源信号线 204 和栅信号线 205 决定发光元件 203 是否点灯。因此,有必要使源信号线 204 和栅信号线 205 的信号正确地输入到晶体管 201 和发光元件 203。

[0014] 但是,实际上由于 TFT 的特性等发生迟延,因此栅信号 215 的时序发生偏差。这在显示黑时特别显明。下面参照图 3 进行说明。当显示黑时,由于因迟延等发生的极微小的偏差(在图 3 中表示的 T/8 的偏差),在图 3 中,本来当源信号线的源信号 214 成为 H 时,栅信号线的栅信号 215 应该成为 H。但是由于栅信号 215 的偏差,即使源信号 214 成为 L,栅信号 215 也为 H 的状态而写入数据。像这样,本来显示黑的像素会显示微小的白,而导致显示不良的问题。

[0015] 因此,当设计面板时,本来应考虑 TFT 的特性而进行设计,但是由于高精细化等,考虑面板内所有的 TFT 的特性是很困难的。

[0016] 鉴于上述问题,本发明的目的是通过更正确地掌握发光元件的点灯或不点灯,即不良信号的位置来提供防止显示不良的显示装置。

[0017] 本发明提出一种信号修正电路及检查电路。该信号修正电路及检查电路可以将信号正确地输入到晶体管和发光元件。尤其提出一种信号修正电路及检查电路,其中当显示黑时,通过正确地掌握显示不良的信号的位置,可以将正确的信号输入到晶体管和发光元件。

[0018] 具体地,使发光元件在点灯时和不点灯时成为不同的信号。本发明注目于不点灯时的信号,而具有如下电路结构;在发光元件为点灯状态时,不妨碍其工作地检查信号,在发生不良信号时将不良信号修正为正确的信号,而且可以将信号连续地输入到晶体管和发光元件。

[0019] 本发明的一种方式是一种显示装置,其包括:第一布线;第二布线;连接于上述第一布线及上述第二布线,且当第一布线被选择时,从所述第二布线写入信号的像素;以及当上述第二布线的信号变化时,检测上述第一布线是否被选择的信息的电路。

[0020] 此外,本发明的其他方式是一种显示装置,其包括:第一布线;第二布线;将信号输出到上述第一布线的驱动电路;连接于上述第一布线及上述第二布线,且当第一布线被选择时,从第二布线写入信号的像素;以及当上述第二布线的信号变化时,检测上述第一布线是否被选择的信息的检查电路,其中,上述驱动电路具有根据输入进来的由上述检查电路检测的信息,修正输出到上述第一布线的信号的时序的信号修正电路。

[0021] 此外,本发明的其他方式是在上述结构中,上述信号修正电路具有复数个缓冲电路,并且,上述复数个缓冲电路串联连接,并且,修正输出到上述第一布线的信号的时序。

[0022] 此外,本发明的其他方式是包括上述结构的显示装置的电子设备。

[0023] 此外,本发明的其他方式是一种显示装置的驱动方法,其中,该显示装置包括:第

一布线；第二布线；将信号输出到上述第一布线的的第一驱动电路；将信号输出到上述第二布线的第二驱动电路；以及连接于上述第一布线及上述第二布线，且当第一布线被选择时，从第二布线写入信号的像素，并且，当上述第二布线的信号变化时，上述第一驱动电路检测上述第一布线是否被选择的信息，并对输出到上述第一布线的信号进行时序的修正。

[0024] 本发明的其他方式是在上述驱动方法中，将串连连接的复数个缓冲电路用于上述时序的修正。

[0025] 根据本发明，即使不良的信号输入到写入晶体管 and 发光元件，也可以简单地判断在面板内的不良的有无，并且可以缩短检查所需要的时间。此外，本发明的显示装置在即使不良信号输入到写入晶体管 and 发光元件的情况下，由于具有掌握不良信号的位置并修正该不良信号的电路结构，因此可以减少显示不良，而且可以将正确的信号输入到写入晶体管和发光元件。

附图说明

- [0026] 图 1 是像素电路图；
- [0027] 图 2 是在本发明中的正常的时序图；
- [0028] 图 3 是在本发明中的有不良的时序图；
- [0029] 图 4 是检查电路图 1；
- [0030] 图 5A 至图 5D 是真值表 1；
- [0031] 图 6 是图 4 的电路结构的时序图；
- [0032] 图 7 是检查电路图 2；
- [0033] 图 8A 至图 8B 是真值表 2；
- [0034] 图 9 是图 7 的电路结构的时序图；
- [0035] 图 10 是信号修正电路图；
- [0036] 图 11 是检查电路图 3；
- [0037] 图 12 是图 11 的电路结构的时序图；
- [0038] 图 13A 至图 13F 是说明使用了发光装置的电子设备的图；
- [0039] 图 14 是说明显示装置的结构图；
- [0040] 图 15 是图 14 的显示装置的时序图；
- [0041] 图 16 是说明驱动方法的图。

具体实施方式

[0042] 关于本发明的实施方式将参照附图给予说明。但是，本发明不局限于以下说明，所属领域的普通人员可以很容易地理解一个事实就是其方式和详细内容可以被变换为各种各样的形式，而不脱离本发明的宗旨及范围。因此，本发明不应该被解释为仅限定在实施方式所记载的内容中。

[0043] 注意，在用于说明实施方式的所有的图面中，同一部分或者具有同样的功能的部分使用相同的符号，并省略其重复的说明。

[0044] 实施方式 1

[0045] 在本实施方式中，对本发明的检查电路及可以适用该检查电路的显示装置和其驱

动方法进行说明。

[0046] 首先,对显示装置的驱动方法,使用图 16 进行说明。

[0047] 在寻址周期 $Ta1$ 中,从第一行对栅信号线顺序地输入信号,而选择任意的像素。当像素被选择时,信号从源信号线输入到像素。并且,信号一旦从源信号线写入到像素,直到信号再次被写入,该像素保持该信号。在持续周期 $Ts1$ 中,由该被写入的信号控制各个像素的点灯或不点灯。换句话说,在完成了来自源信号线的信号的写入工作的行中,按照写入的信号,像素立即变成点灯或不点灯的状态。相同的工作进行到最后一行,寻址周期 $Ta1$ 结束。然后,从持续周期结束的行开始顺序地转移到下一子帧周期的信号写入工作。以类似的方式,在寻址周期 $Ta2, Ta3, Ta4$ 中,信号输入到像素,由该信号控制在持续周期 $Ts2, Ts3, Ts4$ 中的各个像素的点灯或不点灯。接着,将删除工作的开始设定为持续周期 $Ts4$ 的结束时间。因为,当在各行的删除时间 Te 内将写入到像素的信号删除时,直到向下一个像素写入信号,与写入到像素的信号无关地迫使寻址周期为不点灯。换句话说,从删除时间 Te 开始的行的像素结束持续周期。

[0048] 这样,可以提供不用分开寻址周期和持续周期,比寻址周期更短,高灰度且高占空比的显示装置。在此,占空比是相对于 1 个帧周期的点灯期间的比例。此外,由于可以将瞬间亮度降低,因此可以提高显示元件的可靠性。

[0049] 上述的驱动方式在图 1 所示的电路结构中可以实现。如图 16B 所示那样,在一个水平期间中,通过设置写入时间和删除时间,可以显示如图 16A 中的 $Ta4$ 和 $Ts4$ 那样的持续时间比寻址时间短时的灰度。例如,如图 15 所示那样,将一个水平期间分割成两个期间。在此,假定前半期间是写入时间而后半期间是删除时间。换句话说,在图 15 中,在一个水平期间中,写入时间是 (1),删除时间是 (2)。在被分割的水平期间中,选择各个栅信号线 205,将相应于此时的信号输入到源信号线 204。例如,在任意的一个水平期间的前半期间中选择第 i 行,而在后半期间中选择第 j 行。于是,在一个水平期间中,可以恰似同时选择了两行一样地工作。换句话说,使用每一个水平期间的前半期间的写入时间,在写入时间 $Tb1$ 至 $Tb4$ 中将来自源信号线 204 的信号写入到像素。并且,在此刻的一个水平期间的后半期间的删除时间中不选择像素。此外,使用另一水平期间的后半期间的删除时间,在删除时间 Te 中,将来自源信号线 204 的信号输入到像素。在此刻的一个水平期间的前半期间的写入时间中不选择像素。通过上述方法,可以提供具有开口率高的像素的显示装置,而且可以提高成品率。

[0050] 此外,在图 14 中示出如上述那样驱动的显示装置的电路结构的一个例子。

[0051] 在图 14 中,显示装置包括:第一驱动电路 1401、第二驱动电路 1402、第三驱动电路 1405、像素部分 1403。在该像素部分 1403 中,相应栅信号线 $G1$ 至 Gm 和源信号线 $S1$ 至 Sn ,而矩阵状地设置像素。第二驱动电路 1402 包括:第一移位寄存电路 1406、开关 1408。该开关 1408 控制第一移位寄存电路 1406 和每个栅信号线 $G1$ 至 Gm 之间的导通或非导通。只要是能够根据需要控制导通或者非导通的部件就可以作为开关 1408 而使用,其可以由晶体管等构成。此外,第三驱动电路 1405 包括:第二移位寄存电路 1407、开关 1409。该开关 1409 控制第二移位寄存电路 1407 和每个栅信号线 $G1$ 至 Gm 之间的导通或非导通。只要是能够根据需要控制导通或者非导通的部件,就可以作为该开关 1409 而适用,其可以由晶体管等构成。

[0052] 注意,栅信号线 G_p (表示栅信号线 G_1 至 G_m 中的任一个) 相当于图 1 的栅信号线 205,源信号线 S_q (表示栅信号线 S_1 至 S_n 中的任一个) 相当于图 1 的源信号线 204。

[0053] 时钟信号 (G_CLK)、时钟反转信号 (G_CLKB)、起始脉冲信号 (G_SP)、栅写入选择信号 ($G1WE$) 等的信号输入到第二驱动电路 1402。然后,根据该信号,将选择像素的信号输出到被选择的像素行的栅信号线 G_p (栅信号线 G_1 至 G_m 中的任一个)。注意,此刻被输出的信号是如图 15 的时序图所示那样,在一个水平期间的前半期间中被输出的脉冲。换句话说,从第一移位寄存电路 1406 输出的信号只当开关 1408 开时才被输出到栅信号线 G_1 至 G_m 。

[0054] 时钟信号 (R_CLK)、时钟反转信号 (R_CLKB)、起始脉冲信号 (R_SP)、栅删除选择信号 ($G2WE$) 等的信号输入到第三驱动电路 1405。然后,根据该信号,将选择像素的信号输出到被选择的像素行的栅信号线 R_i (栅信号线 R_1 至 R_m 中的任一个)。注意,此时被输出的信号是如图 15 的时序图所示那样,在一个水平期间的后半期间中被输出的脉冲。换句话说,从第二移位寄存电路 1407 输出的信号只当开关 1409 为开时才被输出到栅信号线 G_1 至 G_m 。

[0055] 此外,时钟信号 (S_CLK)、时钟反转信号 (S_CLKB)、起始脉冲信号 (S_SP)、数字视频信号 (Digital Video Data)、输出控制信号 (SWE) 等的信号输入到第一驱动电路 1401。然后,根据该信号,将相应于各列的像素的信号输入到各源信号线 S_1 至 S_n 。由输出控制信号 (SWE) 控制从第一驱动电路 1401 输出的信号。

[0056] 因此,输入到源信号线 S_1 至 S_n 的数字视频信号写入到由从第二驱动电路 1402 输入到栅信号线 G_p (栅信号线 G_1 至 G_m 中的任一个) 的信号选择的像素行的各列的像素 1404。然后,由栅信号线 G_1 至 G_m 选择各个像素的行,并将相应于每个像素 1404 的数字视频信号写入到所有的像素。然后,每个像素 1404 将被写入的数字视频信号的数据保持一段期间。每个像素 1404 通过将数字视频信号保持一段期间,可以维持点灯或者不点灯的状态。

[0057] 此外,使像素不点灯的删除信号从源信号线 S_1 至 S_n 写入到由从第三驱动电路 1405 输入到栅信号线 G_p (栅信号线 G_1 至 G_m 中的任一个) 的信号选择的像素行的各行的像素 1404。然后通过由栅信号线 G_1 至 G_m 选择各个像素的行,可以设定不点灯期间。例如,根据从第三驱动电路 1405 输入到栅信号线 G_p 的信号,第 p 行的像素被选择的时间是在图 16 中的删除时间 T_e 。

[0058] 接着,在图 4 中表示本发明的检查电路结构的一个例子。该检查电路包括:源信号线 204、 $G2WE$ 线 313、电路 A221、电路 B222、电路 C223 及电路 D224。

[0059] 在图 4 中,源信号线 204 和 $G2WE$ 线 313 连接于电路 A221 的输入部分。源信号线 204 连接于电路 B222 的输入部分。电路 A221 的输出部分和电路 B222 的输出部分连接于电路 C223 的输入部分。电路 A221 的输出部分和电路 C223 的输出部分连接于电路 D224 的输入部分,从电路 D 的输出部分输出检查结果。

[0060] 下面对电路 A221,电路 B222,电路 C223 及电路 D224 的工作进行说明。当 L 和 L 或者 H 和 H 输入到电路 A221 的输入部分时,L 被输出。此外,当 H 和 L 或者 L 和 H 输入时,H 被输出。即,成为图 5A 的真值表。当 L 输入到电路 B222 的输入部分时,H 被输出。此外,当输入有 H 时,L 被输出。即,成为图 5B 的真值表。当 L 和 L 或者 H 和 H 输入到电路 C223 的输入部分时,H 被输出。此外,当输入有 H 和 L 或者 L 和 H 时,L 被输出。即,成为图 5C 的真值表。当 L 和 L、L 和 H 或者 H 和 L 输入到电路 D224 的输入部分时,L 被输出。此外,当输入有 H 和 H 时,L 被输出。即,成为图 5D 真值表。

[0061] 下面,参照图 6 就图 4 的电路工作详细地进行说明。在图 6 中,将输出部分 225 的信号作为信号 245,将输出部分 226 的信号作为信号 246,将输出部分 227 的信号作为信号 247,将输出部分 228 的信号作为信号 248。

[0062] 首先,对图 6 的虚线的边线 (e) 的信号进行说明。L 和 L 输入到电路 A221,而输出部分 225 的信号 245 成为 L。L 输入到电路 B222,而输出部分 228 的信号 248 成为 H。电路 A221 的输出部分 225 的信号 245 的 L 和电路 B222 的输出部分 228 的信号 248 的 H 输入到电路 C223,而输出部分 226 的信号 246 成为 L。电路 A221 的输出部分 225 的信号 245 的 L 和电路 C223 的输出部分 226 的信号 246 的 L 输入到电路 D224,而输出部分 227 的信号 247 成为 H。

[0063] 其次,对图 6 的虚线的边线 (f) 的信号进行说明。H 和 L 输入到电路 A221,而输出部分 225 的信号 245 成为 H。H 输入到电路 B222,而输出部分 228 的信号 248 成为 L。电路 A221 的输出部分 225 的信号 245 的 H 和电路 B222 的输出部分 228 的信号 248 的 L 输入到电路 C223,而输出部分 226 的信号 246 成为 L。电路 A221 的输出部分 225 的信号 245 的 H 和电路 C223 的输出部分 226 的信号 246 的 L 输入到电路 D224,而输出部分 227 的信号 247 成为 H。

[0064] 接着,对图 6 的虚线的边线 (g) 的信号进行说明。H 和 H 输入到电路 A221,而输出部分 225 的信号 245 成为 L。H 输入到电路 B222,而输出部分 228 的信号 248 成为 L。电路 A221 的输出部分 225 的信号 245 的 L 和电路 B222 的输出部分 228 的信号 248 的 L 输入到电路 C223,而输出部分 226 的信号 246 成为 H。电路 A221 的输出部分 225 的信号 245 的 L 和电路 C223 的输出部分 226 的信号 246 的 H 输入到电路 D224,而输出部分 227 的信号 247 成为 H。

[0065] 接着,对图 6 的虚线的边线 (h) 的信号进行说明。L 和 H 输入到电路 A221,而输出部分 225 的信号 245 成为 H。L 输入到电路 B222,而输出部分 228 的信号 248 成为 H。电路 A221 的输出部分 225 的信号 245 的 H 和电路 B222 的输出部分 228 的信号 248 的 H 输入到电路 C223,而输出部分 226 的信号 246 成为 H。电路 A221 的输出部分 225 的信号 245 的 H 和电路 C223 的输出部分 226 的信号 246 的 H 输入到电路 D224,而输出部分 227 的信号 247 成为 L。

[0066] 如上述所示,显示不良的信号,就是当源信号线的信号成为 L,并且 G2WE213 成为 H 时,由输出部分 227 的信号 247 可以检测出信号的延迟。当信号 247 是 H 时判断其为正常,而当输出 L 时判断其为异常。这样,通过参照电路 D 的输出,可以检测出源信号的迟延的有无。

[0067] 实施方式 2

[0068] 对本发明的检查电路的与实施方式 1 不同的方式参照图 7 进行说明。本实施方式的输出与其他实施方式的相同。

[0069] 图 7 的检查电路包括:源信号线 204、G2WE 线 313、,电路 E231、电路 F232、电路 B233、电路 F234、电路 D235。

[0070] 源信号线 204 和 G2WE 线 313 连接于电路 E231 的输入部分。源信号线 204 和 G2WE 线 313 连接于电路 F232 的输入部分。源信号线 204 连接于电路 B233 的输入部分。电路 E231 的输出部分 236 和电路 F232 的输出部分 237 连接于电路 F234 的输入部分。电路 F234

的输出部分 239 和电路 B233 的输出部分 238 连接于电路 D235 的输入部分,从电路 D 的输出部分 240 输出检查结果。

[0071] 下面,对如下电路即电路 F232、电路 B233、电路 F234、电路 D235 的工作进行说明。电路 B233 和电路 D235 的工作与在实施方式 1 中说明了的图 4 中的电路 B222 及电路 D224 的工作相同。当输入 L 和 L、L 和 H 或者 H 和 L 到电路 E231 的输入部分时,L 被输出。此外,只当 H 和 H 输入到输入部分时,H 被输出。即,成为图 8A 的真值表。当 L 和 H、H 和 L 或者 H 和 H 输入到电路 F232 和电路 F234 的各个输入部分时,L 被输出。此外,只当 L 和 L 输入到输入部分时,H 被输出。即,成为图 8B 的真值表。

[0072] 下面,参照图 9 对图 7 的电路工作进行说明。

[0073] 对图 9 的虚线的边线 (k) 的信号进行说明。L 和 L 的信号输入到电路 E231,而输出部分 236 的信号 336 成为 L。L 和 L 的信号也输入到电路 F232,而输出部分 237 的信号 337 成为 H。L 的信号输入到电路 B233,而输出部分 238 的信号 338 成为 H。电路 E231 的输出部分 236 的信号 336 的 L 和电路 F232 的输出部分 237 的信号 337 的 H 输入到电路 F234,而输出部分 239 的信号 339 成为 L。电路 F234 的输出部分 239 的信号 339 的 L 和电路 B233 的输出部分 238 的信号 338 的 H 输入到电路 D235 的输入部分,而输出部分 240 的信号 340 成为 H。

[0074] 接着,对图 9 的虚线的边线 (l) 的信号进行说明。H 和 L 的信号输入到电路 E231,而输出部分 236 的信号 336 成为 L。H 和 L 的信号也输入到电路 F232,而输出部分 237 的信号 337 成为 L。H 的信号输入到电路 B233,而输出部分 238 的信号 338 成为 L。电路 E231 的输出部分 236 的信号 336 的 L 和电路 F232 的输出部分 237 的信号 337 的 L 输入到电路 F234,而输出部分 239 的信号 339 成为 H。电路 F234 的输出部分 239 的信号 339 的 H 和电路 B233 的输出部分 238 的信号 338 的 L 输入到电路 D235 的输入部分,而输出部分 240 的信号 340 成为 H。

[0075] 接着,对图 9 的虚线的边线 (m) 的信号进行说明。H 和 H 的信号输入到电路 E231,而输出部分 236 的信号 336 成为 H。H 和 H 的信号也输入到电路 F232,而输出部分 237 的信号 337 成为 L。H 的信号输入到电路 B233,而输出部分 238 的信号 338 成为 L。电路 E231 的输出部分 236 的信号 336 的 H 和电路 F232 的输出部分 237 的信号 337 的 L 输入到电路 F234,而输出部分 239 的信号 339 成为 L。电路 F234 的输出部分 239 的信号 339 的 L 和电路 B233 的输出部分 238 的信号 338 的 L 输入到电路 D235 的输入部分,而输出部分 240 的信号 340 成为 H。

[0076] 接着,对图 9 的虚线的边线 (n) 的信号进行说明。L 和 H 的信号输入到电路 E231,而输出部分 236 的信号 336 成为 L。L 和 H 的信号也输入到电路 F232,而输出部分 237 的信号 337 成为 L。L 的信号输入到电路 B233,而输出部分 238 的信号 338 成为 H。电路 E231 的输出部分 236 的信号 336 的 L 和电路 F232 的输出部分 237 的信号 337 的 L 输入到电路 F234,而输出部分 239 的信号 339 成为 H。电路 F234 的输出部分 239 的信号 339 的 H 和电路 B233 的输出部分 238 的信号 338 的 H 输入到电路 D235 的输入部分,而输出部分 240 的信号 340 成为 L。

[0077] 如上述所示,与实施方式 1 相同,可以进行信号的检测。显示不良的信号,就是当源信号线的信号成为 L,并且 G2WE213 成为 H 时,由输出部分 240 的信号 340 可以检测出信

号的延迟。当信号 340 是 H 时判断其为正常,而当输出 L 时判断其为异常。这样,通过参照电路 D 的输出,可以检测出源信号的迟延的有无。

[0078] 实施方式 3

[0079] 在图 10 中表示合并本发明的检查电路和信号修正电路而形成的电路的一个例子。将图 4 所示的电路用于检查电路。也可以使用图 7 的电路来代替图 4 的电路。

[0080] 图 10 的电路包括:虚线 (o) 包围的计数电路、虚线 (p) 包围的计数电路、虚线 (q) 包围的源信号线的缓冲电路。此外,在图 11 中表示检查电路的结构的一个例子。该检查电路包括:源信号线 204、G2WE 线 313、电路 A221、电路 B222、电路 C223、电路 D224。

[0081] 首先,对虚线 (o) 包围的计数电路进行说明。栅信号线 250 连接于 JK 触发器电路 253、JK 触发器电路 254、JK 触发器电路 255 的 CK 部分。检查电路的输出部分 227 连接于 JK 触发器电路 253 的 RESET (复位) 部分。(图 10 中 251 连接于 227。)JK 触发器电路 253 的 Q 部分连接于 JK 触发器电路 254 的 RESET 部分。此外,该 JK 触发器电路 253 的 Q 部分也连接于 JK 触发器电路 253 的 J 部分和 K 部分。JK 触发器电路 254 的 Q 部分连接于 JK 触发器电路 255 的 RESET 部分。此外,该 JK 触发器电路 254 的 Q 部分也连接于 JK 触发器电路 254 的 J 部分和 K 部分。JK 触发器电路 255 的 Q 部分连接于图 11 的检查电路输入部分的开关 281 的栅电极 257。此外,该 JK 触发器电路 255 的 Q 部分也连接于 JK 触发器电路 255 的 J 部分和 K 部分。注意,图 11 为在图 4 的输入部分中设置开关 281 的结构。

[0082] 对虚线 (p) 包围的计数电路进行说明。检查电路的输出部分 227 中介电路 B260 连接于 D 触发器电路 263、D 触发器电路 264、D 触发器电路 265 的 CK 部分。复位信号线 261 连接于 D 触发器电路 263、D 触发器电路 264、D 触发器电路 265 的 RESET 部分。D 触发器电路 263 的 Q 部分连接于 D 触发器电路 264 的 D 部分及电路 F262 的输入部分。D 触发器电路 264 的 Q 部分连接于 D 触发器电路 265 的 D 部分及电路 F262 的输入部分。电路 F262 的输出部分连接于 D 触发器电路 263 的 D 部分。

[0083] 虚线 (p) 包围的计数电路的输出部分 266 由于在本发明的电路结构中不使用,所以采用连接于地线等不影响图 10 中的电路的结构即可。

[0084] 对虚线 (q) 包围的栅信号线的缓冲电路电路进行说明。将缓冲电路 275 及布线 276 新加到现有的缓冲电路电路中。电路 F271 的输入部分连接于 D 触发器电路 263 及 D 触发器电路 264 的 Q 部分。电路 F271 的输出部分连接于开关 273 的栅电极。开关 272 的栅电极连接于 D 触发器电路 263 的 Q 部分。开关 274 连接于 D 触发器电路 264 的 Q 部分。缓冲电路 275 的输入部分连接于开关 272,而输出部分连接于开关 273 和缓冲电路 288 之间。布线 276 与缓冲电路 277 的输入部分、开关 273 及缓冲电路 288 连接。

[0085] 下面,对图 10 及图 11 的电路图的工作,用图 12 进行说明。

[0086] 图 12 的信号 241 所示的检查电路的输出输入到图 10 的虚线 (o) 包围的电路中的 JK 触发器电路 253 的 RESET 部分。信号 241 是从图 4 的检查电路的输出部分 227 或者从图 7 的检查电路的输出部分 240 输出的信号。因此,复位 JK 触发器电路 253。复位后,从输入到 JK 触发器电路 253 的 CK 部分的栅信号线 250 的信号,就是从图 12 的信号 242 的上升 (rising) 开始读取。其他的 JK 触发器电路 254 及 JK 触发器电路 255 也进行相同的工作。由于上述的工作,如图 12 的信号 243 所示那样,从输出部分 256 输出的信号 243 在以栅信号线 250 的信号 242 为基准而数的三个周期的时间成为 H 的信号。该信号输入到图 11 的

开关 281。当输出的信号 243 为 H 时,将开关 281 与开关 281 的栅电极 257 连接以便使开关 281 为关。因此,信号 243 一旦成为 H,图 11 的检查电路不工作。此外,当信号 243 从 H 变到 L 时,开关 281 为开,图 11 的检查电路重新开始工作。

[0087] 复位信号输入到图 10 的虚线 (p) 包围的计算电路的 D 触发器电路 263 的 RESET 部分。该复位信号是当从图 11 的检查电路输出 L 的信号时,成为 H 的信号。换句话说,可中介电路 B 连接图 11 的检查电路的输出部分。图 11 的检查电路的输出中介电路 B260 输入到 D 触发器电路 263 的 CK 部分。当该图 11 的检查电路的输出为 L 时,D 触发器电路 263 的 Q 部分成为 H。直到再次从检查电路输出 L,D 触发器电路 263 的 Q 部分保持 H。此外,当再次从检查电路输出 L 时,D 触发器电路 263 的 Q 部分成为 L,而 D 触发器电路 264 的 Q 部分成为 H。在此,直到再次从检查电路输出 L,也保持 H。

[0088] D 触发器电路 263 的 Q 部分和 D 触发器电路 264 的 Q 部分连接于图 10 的虚线 (q) 包围的电路中的电路 F271。该电路是只当输入有 L 和 L 时才输出 H 的电路。因此,当图 11 的检查电路的输出为 H 时,L 和 L 被输入,而输出成为 H。此外,当图 11 的检查电路的输出变为 L 时,L 和 H 或者 H 和 L 被输入,而输出成为 L。开关 272、开关 273 及开关 274 是当各个的栅电极为 H 时成为开,而当各个的栅电极为 L 时成为关的开关。开关 273 是当栅电极为 L 时成为开,而当栅电极为 H 时成为关的开关。开关 272 根据 D 触发器电路 263 的 Q 部分的状态,而决定开或者关。开关 273 只当 L 和 L 输入到电路 F271 时才成为关。

[0089] 在图 11 的检查电路中,当输出 L 时,图 10 的虚线 (p) 包围的电路中的 D 触发器电路 263 的 Q 部分成为 H。因此,与开关 273 成为关同时,开关 272 成为开,而通过开关 272 连接于缓冲电路 275。因此栅信号线的缓冲电路的整体变长,从而可以将栅信号线的信号延迟,结果是可以修正不良。在以栅信号线 250 的信号 242 为标准的三个周期的时间中维持该状态。其后,使图 11 的检查电路再次工作而检查,当正常时维持现状。当异常时,图 11 的检查电路输出 L,因为图 10 的虚线 (q) 包围的电路的 D 触发器电路 263 的 Q 部分成为 L,D 触发器电路 264 的 Q 部分成为 H,所以开关 272 为开,而开关 273 为关,开关 274 为开。其后,进行与上述的工作相同的工作。

[0090] 综上所述,根据本发明的实施方式,当从源信号线的驱动电路输出写入到像素的信号时,如果栅信号线的驱动电路的信号时序发生偏差,通过检测出该偏差的不良信号并且对该信号进行校正,可以按照来自源驱动器的信号修正扫描信号的时序,以防止显示不良。

[0091] 因此,本发明适用于电池驱动的电子设备的显示部分、大尺寸的显示装置及电子设备的显示部分等。作为搭载的例子,例如可以搭载到:电视装置(电视机,电视接收机)、数码相机,数码摄像机、便携式电话装置(便携式电话机)、PDA 等的便携式信息终端、便携式游戏机、监视器、电脑、汽车音响等的具有显示部分的音频再现装置、家用游戏机等具有记录介质的图像再现装置等。

[0092] 对上述的搭载例子,参照图 13 进行说明。图 13A 表示便携式信息终端;图 13B 表示数码视频相机;图 13C 表示便携式电话机;图 13D 表示便携式电视装置;图 13E 表示笔记本型电脑;图 13F 表示电视装置。可以在各个显示部分 300 至 305 中,搭载使用了本发明的发光装置。

[0093] 本说明书根据 2005 年 10 月 21 日在日本专利局受理的日本专利申请编号

2005-307715 而制作,所述申请内容包括在本说明书中。

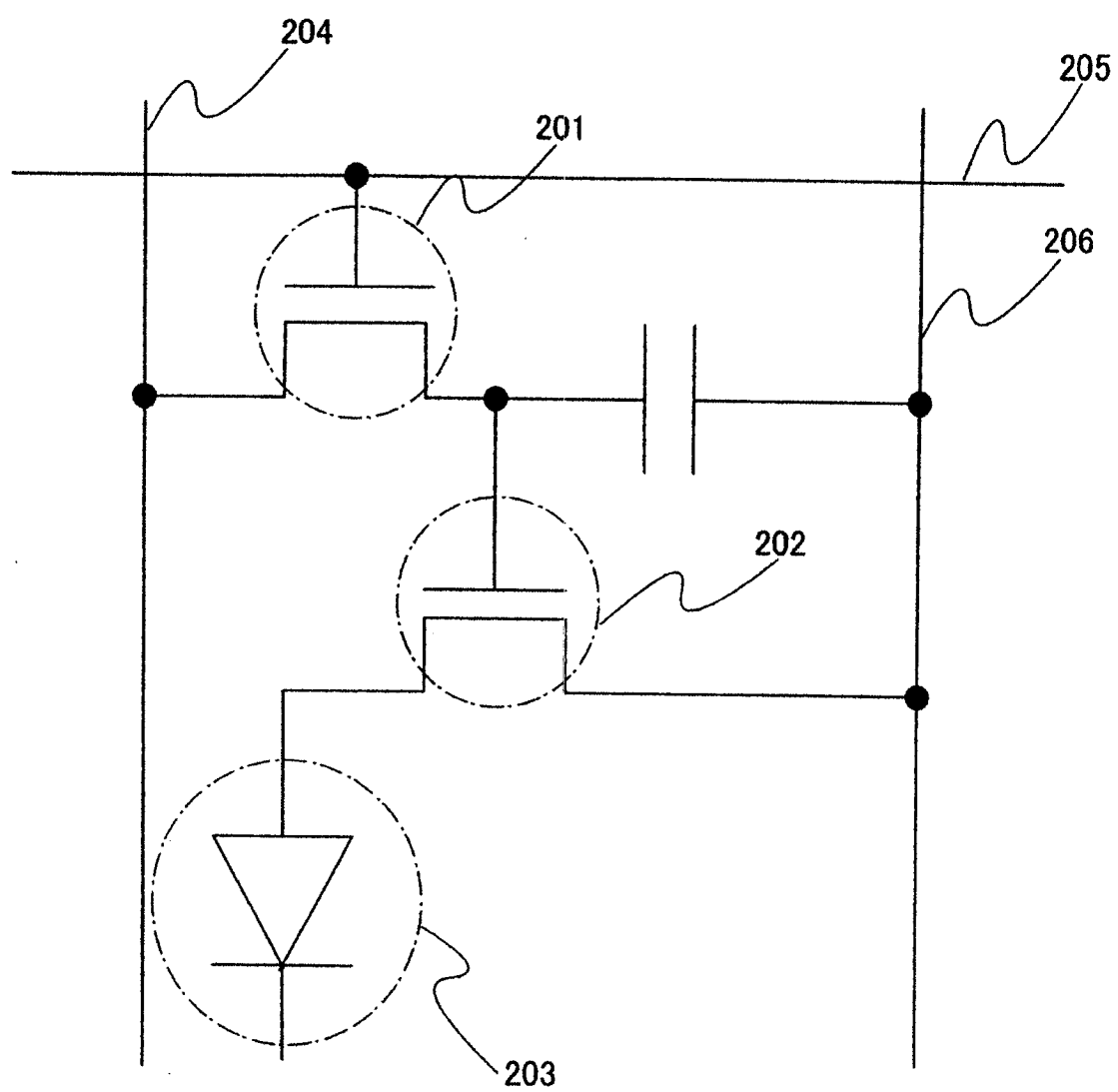


图 1

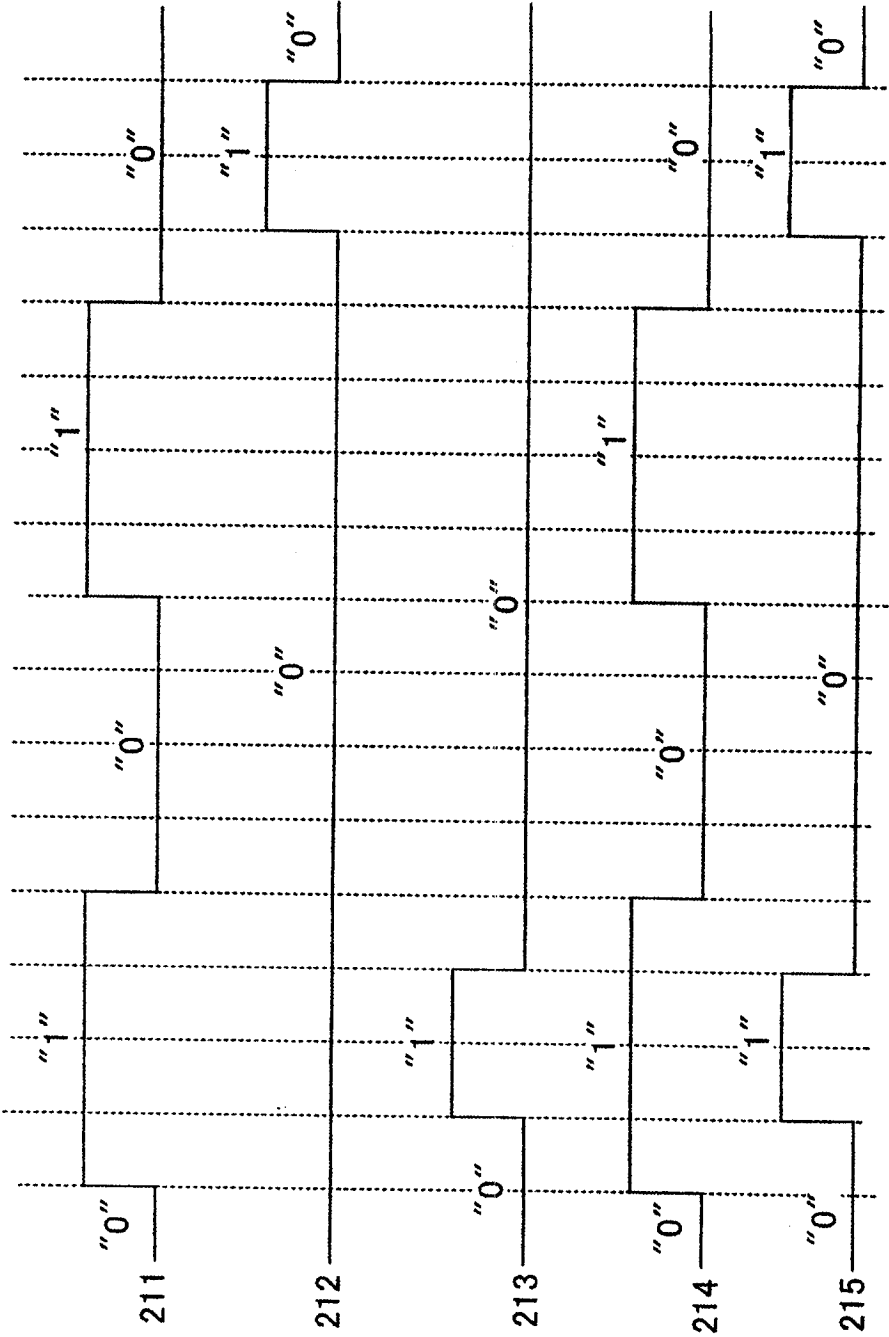


图2

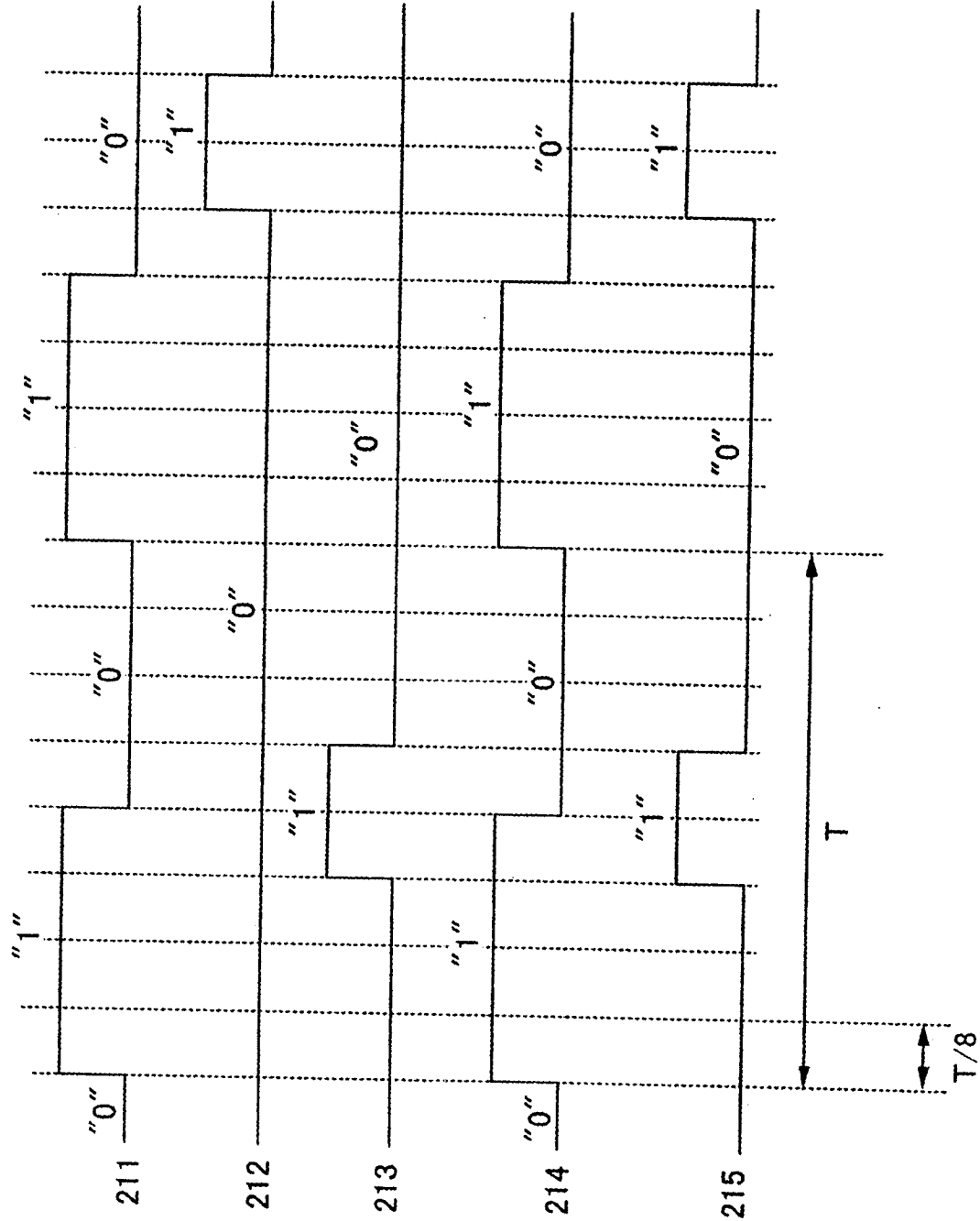


图 3

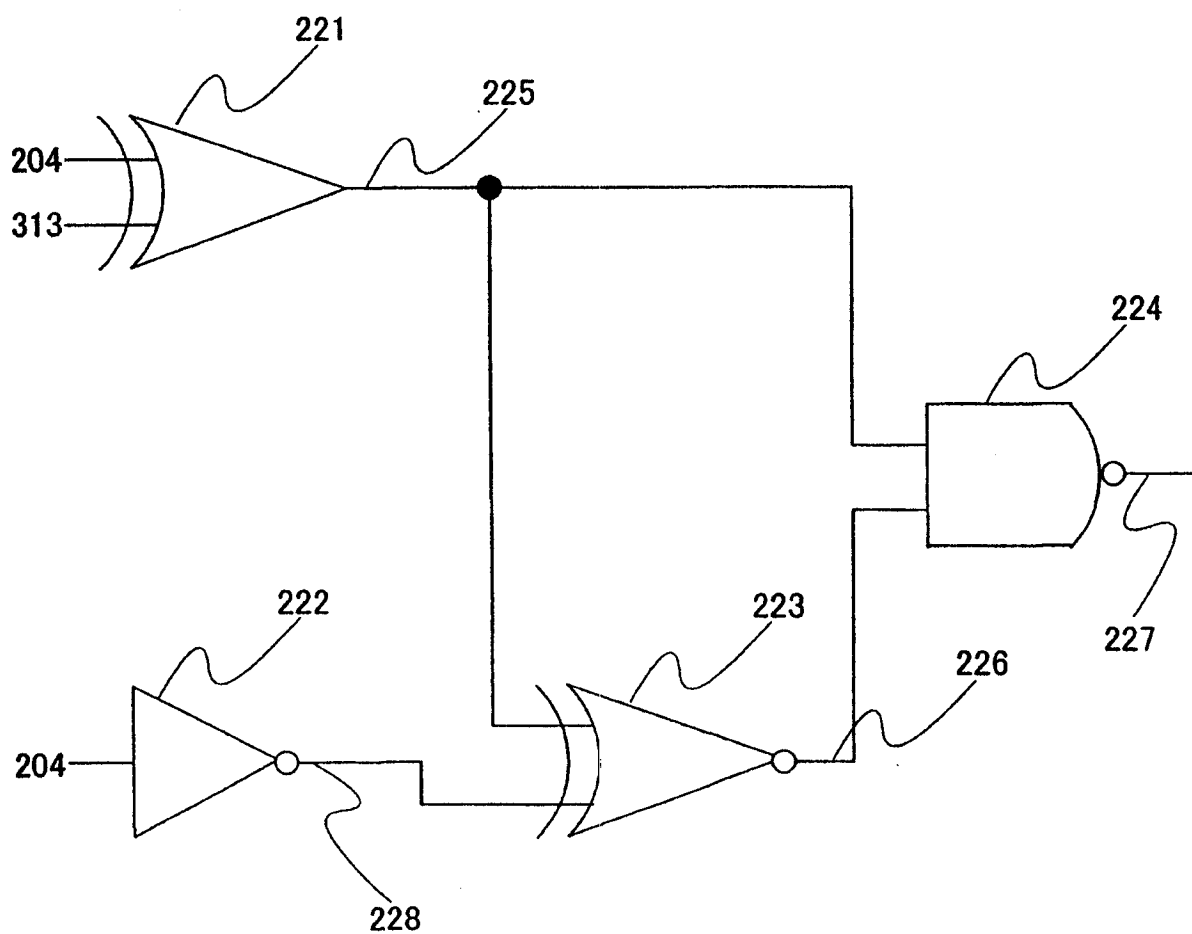


图 4

输入		输出
L	L	L
L	H	H
H	L	H
H	H	L

图 5A

输入	输出
L	H
H	L

图 5B

输入		输出
L	L	H
L	H	L
H	L	L
H	H	H

图 5C

输入		输出
L	L	H
L	H	H
H	L	H
H	H	L

图 5D

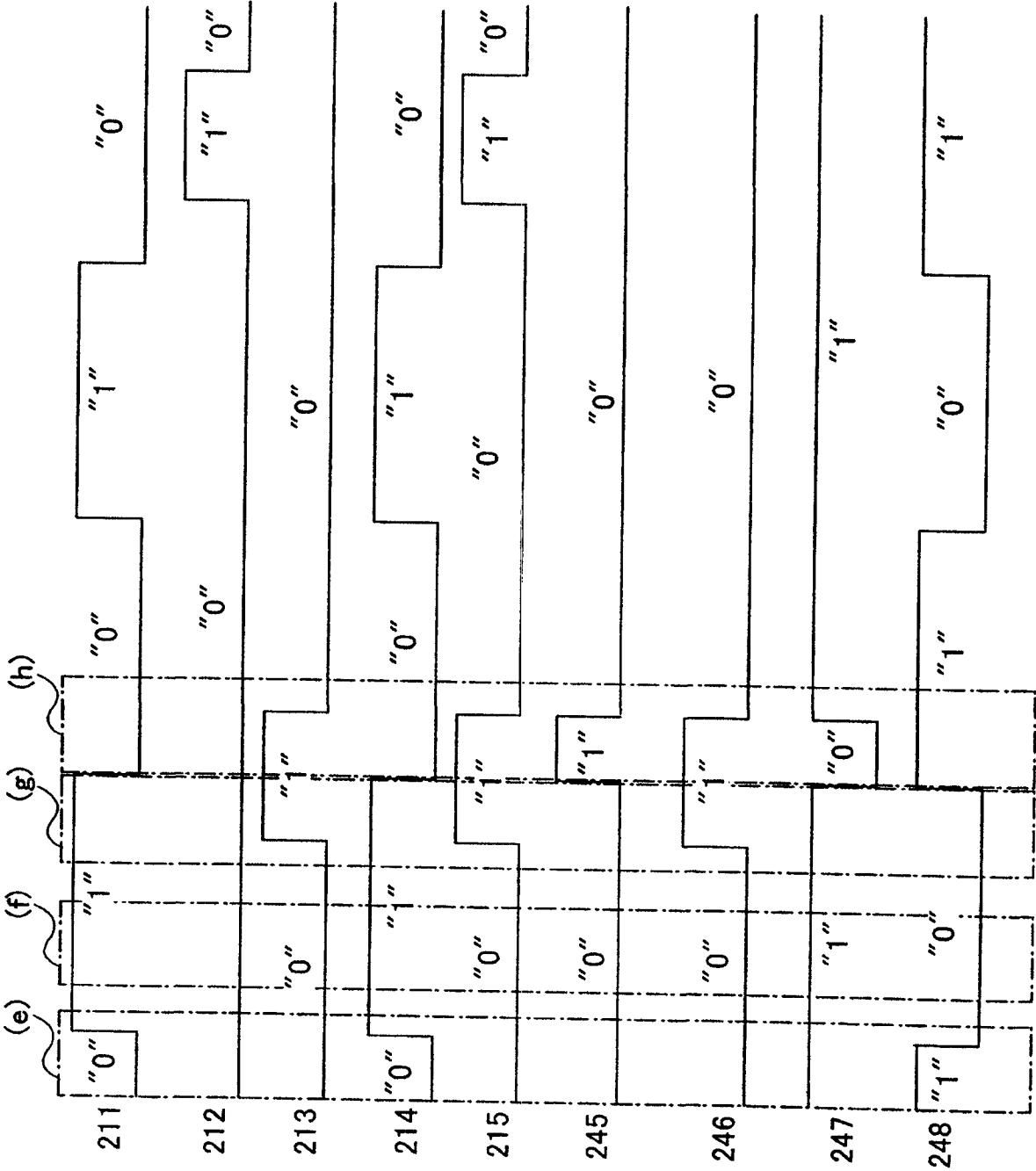


图 6

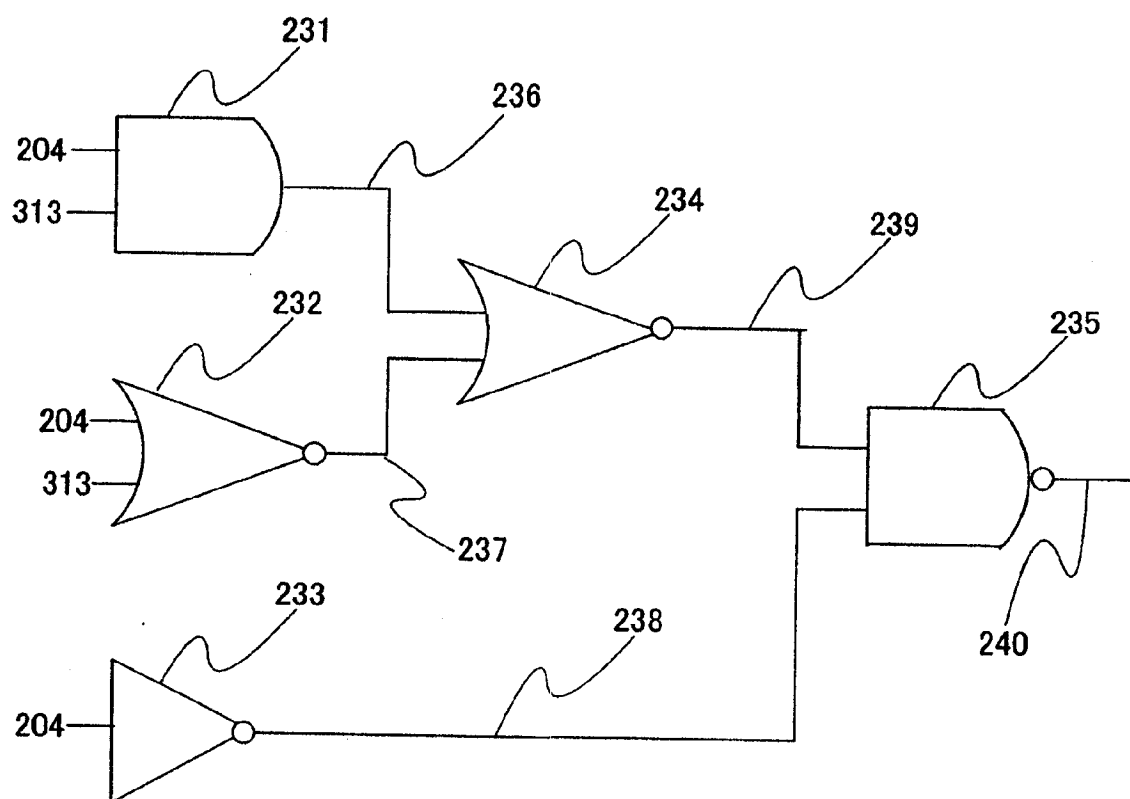


图 7

输入		输出
L	L	L
L	H	L
H	L	L
H	H	H

图 8A

输入		输出
L	L	H
L	H	L
H	L	L
H	H	L

图 8B

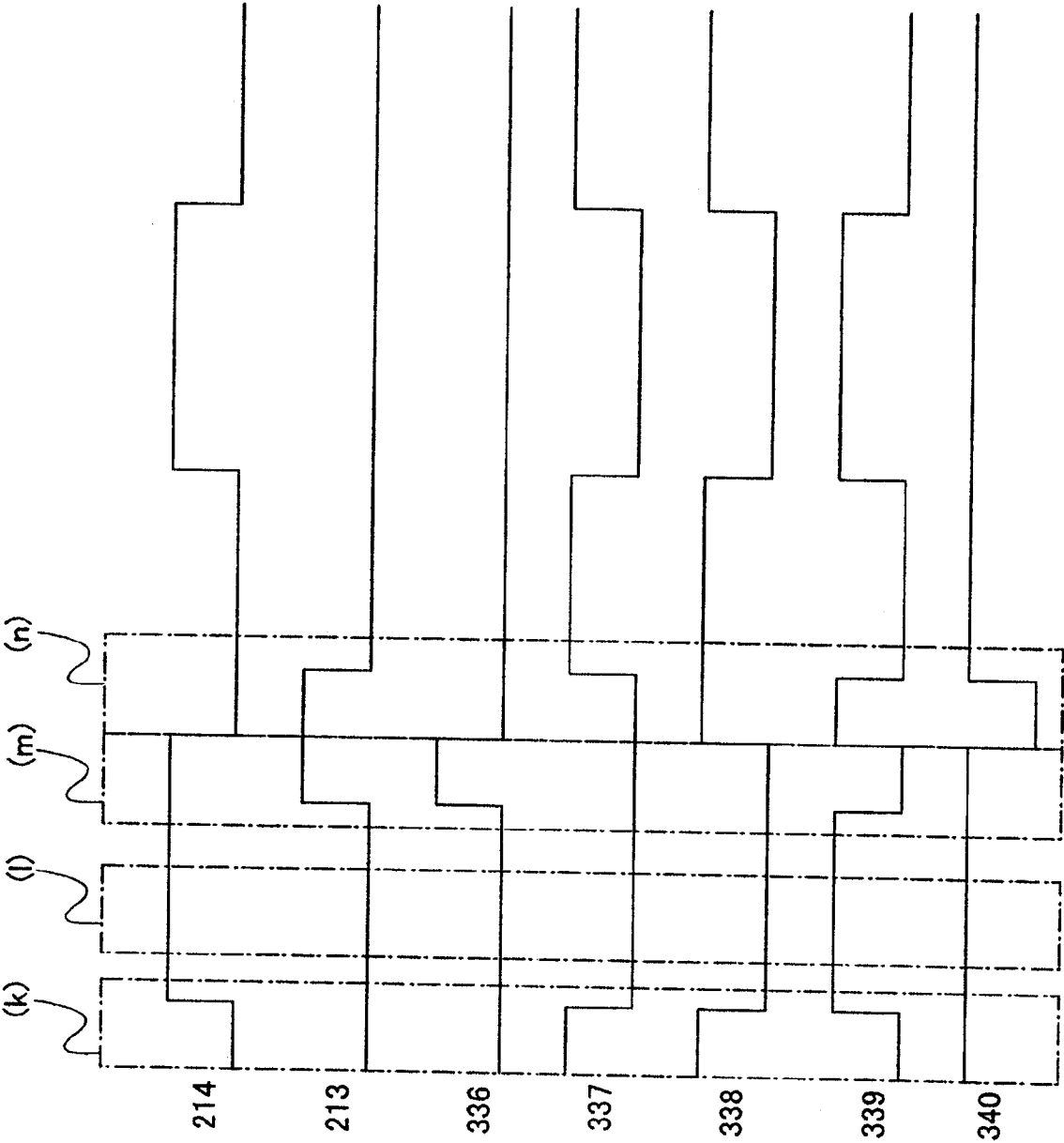


图9

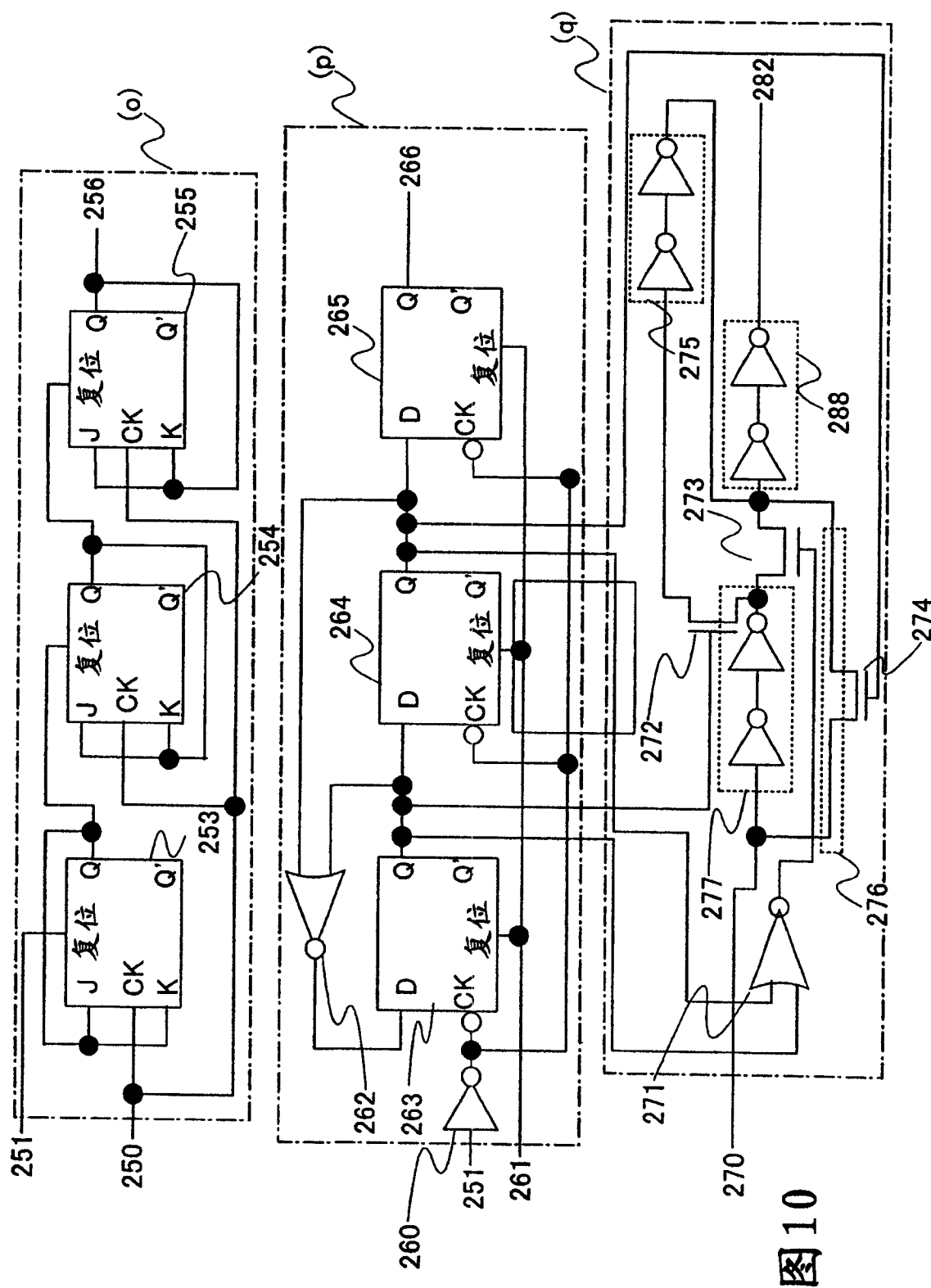


图 10

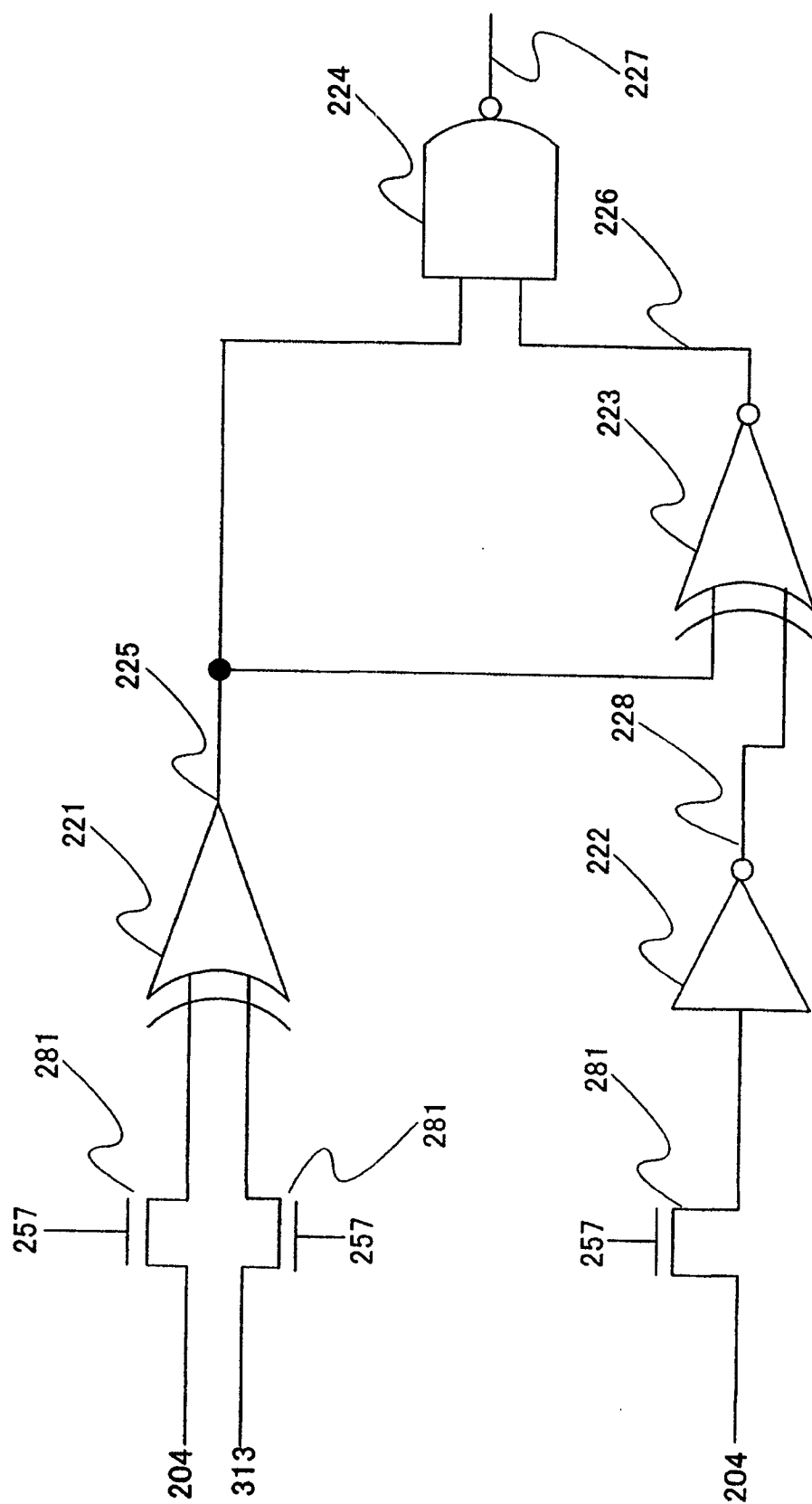


图11

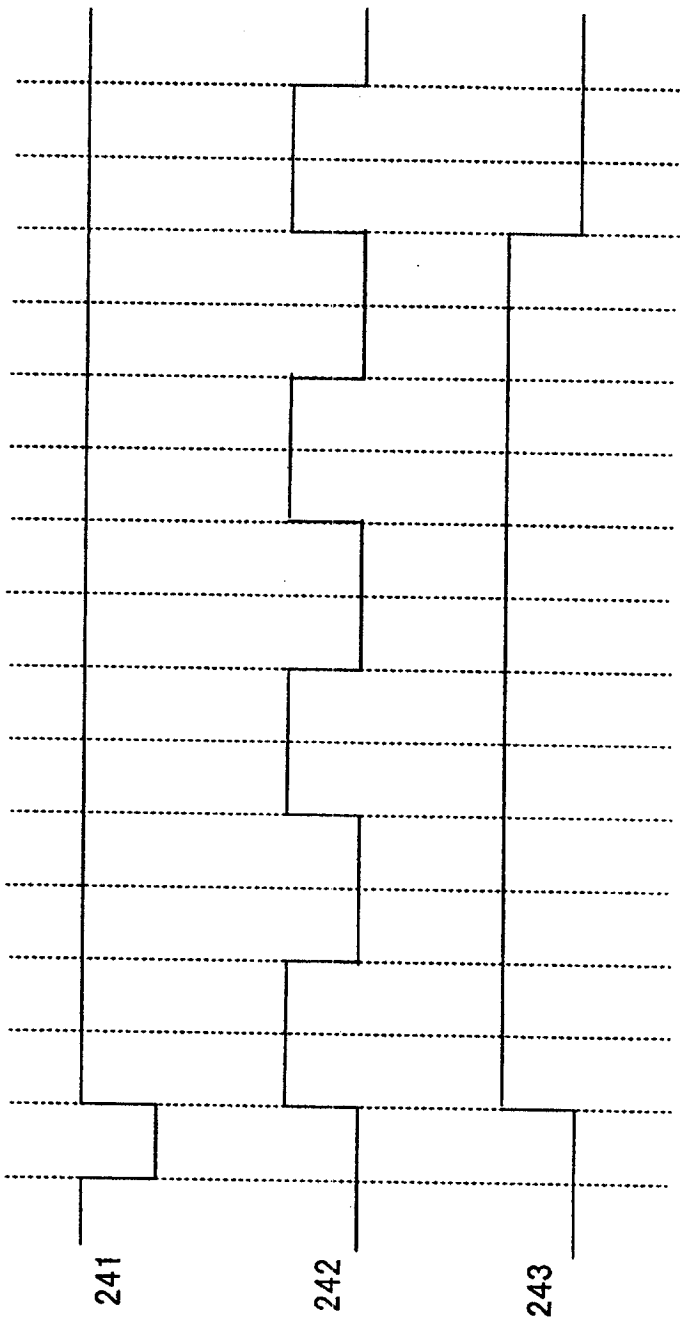


图12

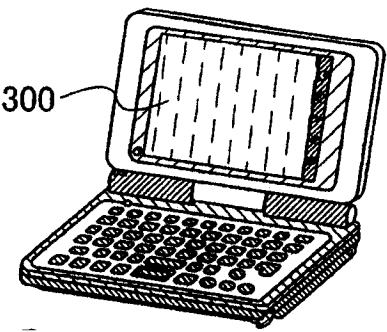


图 13A

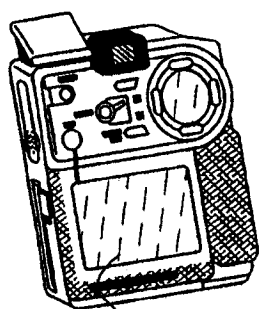


图 13B

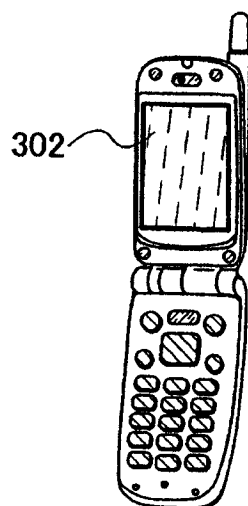


图 13C

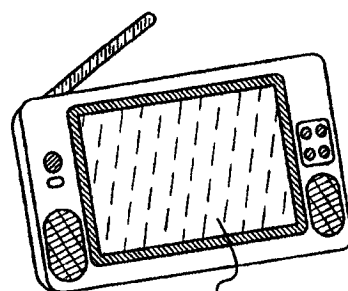


图 13D

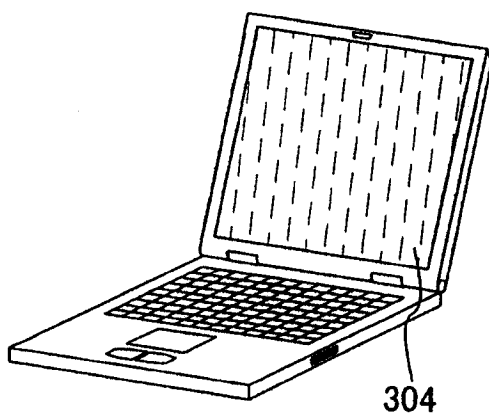


图 13E

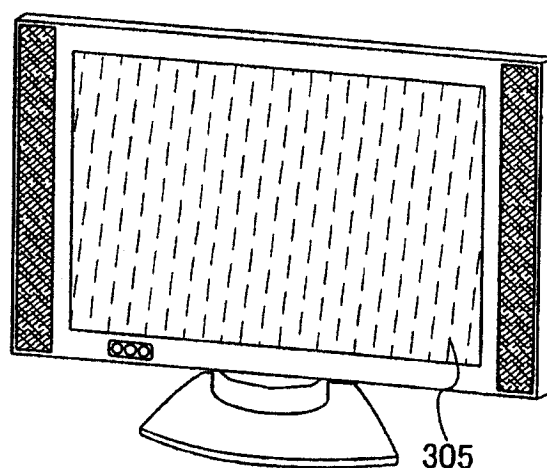
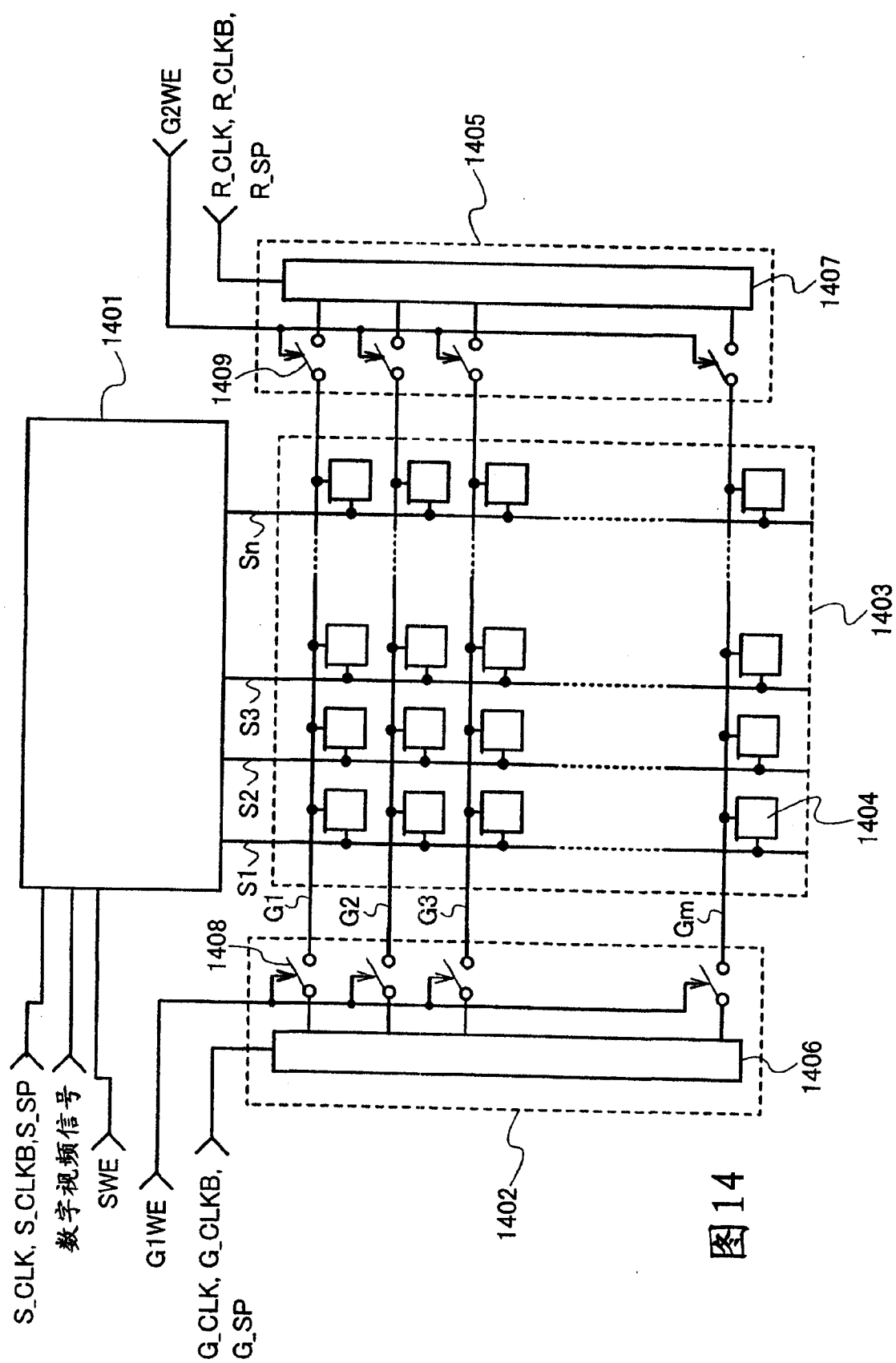


图 13F



14
圖

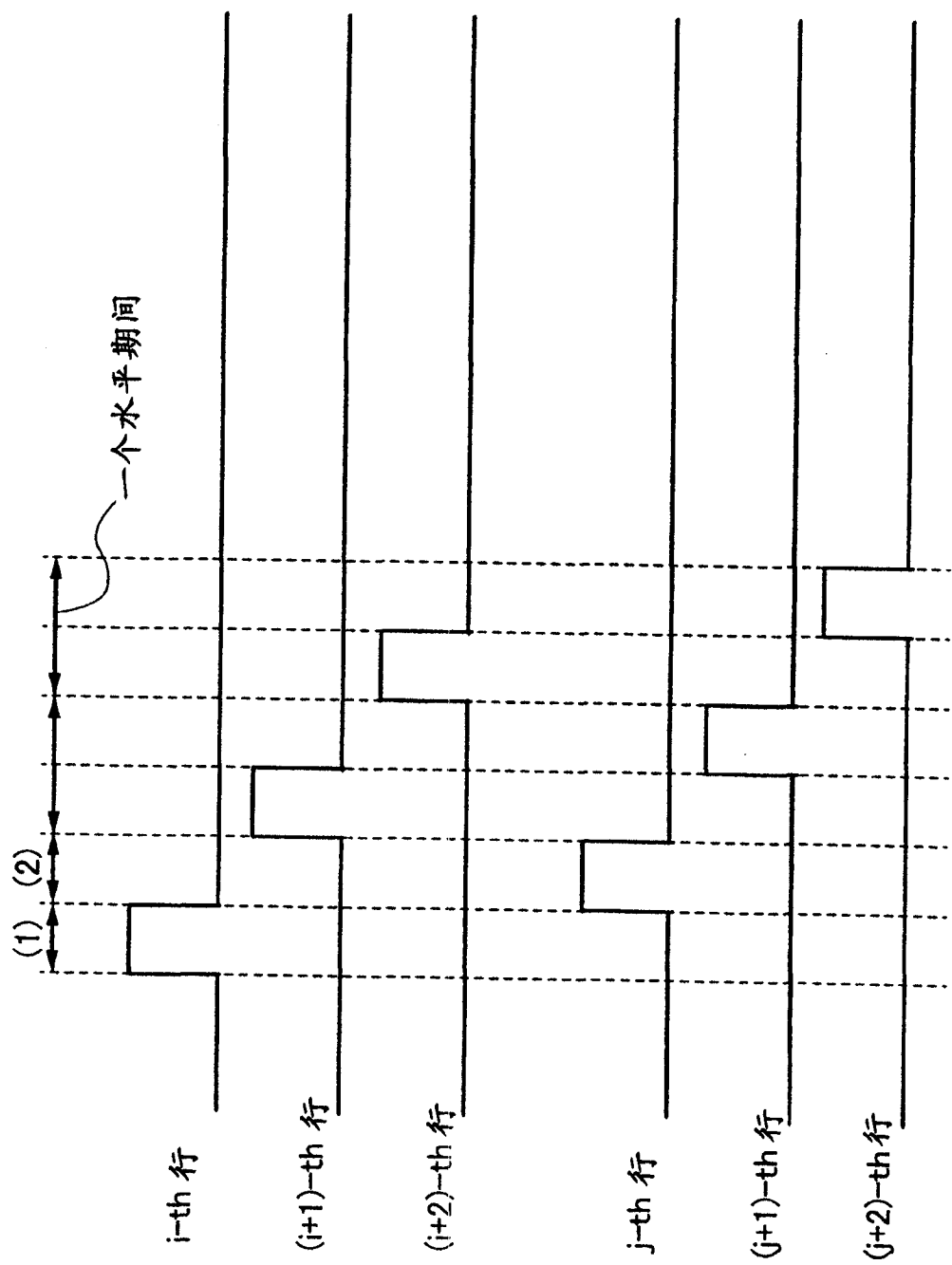


图15

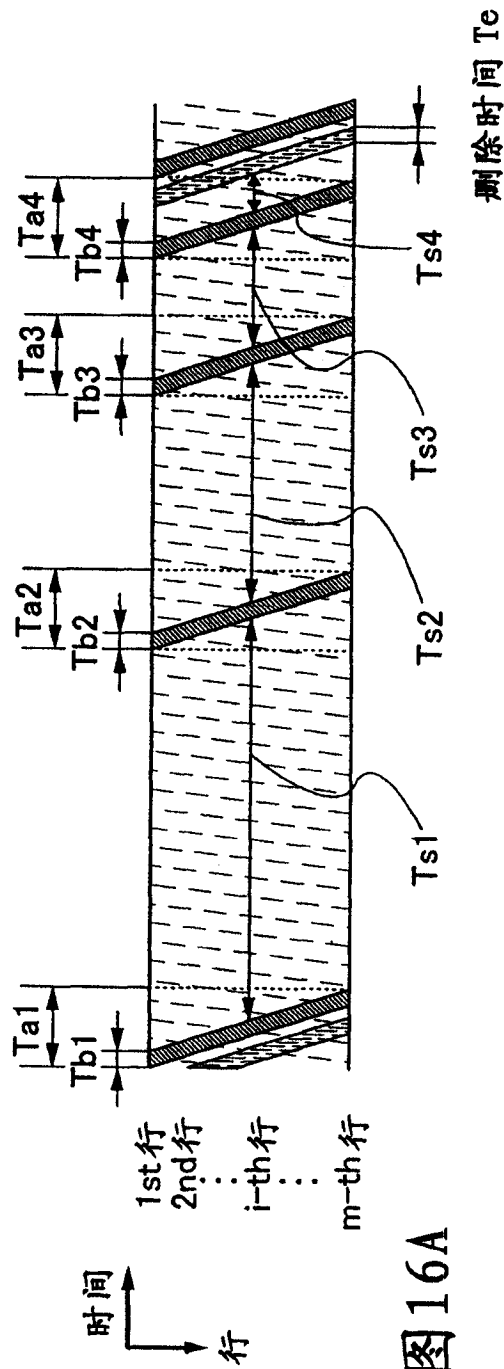


图16A

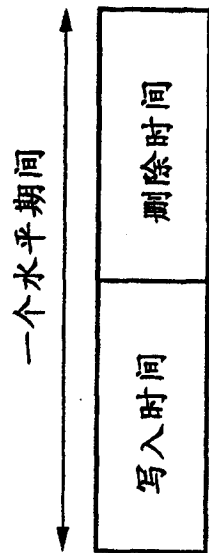


图16B