

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4437138号
(P4437138)

(45) 発行日 平成22年3月24日(2010.3.24)

(24) 登録日 平成22年1月8日(2010.1.8)

(51) Int.Cl. F I
H04L 25/02 (2006.01) H04L 25/02 S

請求項の数 11 (全 19 頁)

(21) 出願番号	特願2006-526355 (P2006-526355)	(73) 特許権者	591025439
(86) (22) 出願日	平成16年9月10日 (2004.9.10)		ザイリンクス インコーポレイテッド
(65) 公表番号	特表2007-505575 (P2007-505575A)		X I L I N X I N C O R P O R A T E D
(43) 公表日	平成19年3月8日 (2007.3.8)		アメリカ合衆国 カリフォルニア州 95
(86) 国際出願番号	PCT/US2004/029762		1 2 4 - 3 4 0 0 サン ホセ ロジック
(87) 国際公開番号	W02005/027442		ドライブ 2 1 0 0
(87) 国際公開日	平成17年3月24日 (2005.3.24)	(74) 代理人	100064746
審査請求日	平成19年5月24日 (2007.5.24)		弁理士 深見 久郎
(31) 優先権主張番号	10/660,062	(74) 代理人	100085132
(32) 優先日	平成15年9月11日 (2003.9.11)		弁理士 森田 俊雄
(33) 優先権主張国	米国 (US)	(74) 代理人	100083703
			弁理士 仲村 義平
		(74) 代理人	100096781
			弁理士 堀井 豊

最終頁に続く

(54) 【発明の名称】 選択可能なプリエンファシス信号レベルを有する、DACに基づくラインドライバ

(57) 【特許請求の範囲】

【請求項 1】

出力ノードにおける送出データストリームに対する駆動電流を与えるように結合される1次電流ドライバと、

出力ノードにおけるデータストリームの送出ビットに対するプリエンファシス電流を与えるように結合されるプリエンファシス電流ドライバと、

1次電流ドライバに対する基準電流レベルとは独立に、送出データストリームにおける遷移にตอบสนองしてプリエンファシス電流ドライバに選択可能な基準電流レベルを与えることによって、対応する量のプリエンファシス電流をプリエンファシス電流ドライバに生成させるための電流選択モジュールとを含む、Txラインドライバ。

10

【請求項 2】

選択可能な基準電流レベルを選択し、かつプリエンファシス制御信号を与えて基準電流および対応するプリエンファシス電流を生成するための論理回路構成をさらに含む、請求項1に記載のTxラインドライバ。

【請求項 3】

論理回路構成は、電流選択モジュールに2値信号としてのプリエンファシス電流設定を送信することによって、プリエンファシス電流ドライバに対する基準電流レベルを生成するための少なくとも1つのスケーリングされたデバイスを選択する、請求項2に記載のTxラインドライバ。

【請求項 4】

20

電流選択モジュールは、異なる基準電流レベルを生成するための選択可能なスケーリングされたデバイスを有するデジタル - アナログ変換器 (DAC) を含む、請求項 3 に記載の T x ラインドライバ。

【請求項 5】

1 次電流ドライバ、ならびに第 1 および第 2 のプリドライバをさらに含み、前記第 1 および第 2 のプリドライバは、T x ラインドライバによって送信される入力データストリームをそれぞれ 1 次およびプリエンファシス電流ドライバに与える、請求項 4 に記載の T x ラインドライバ。

【請求項 6】

プリエンファシス電流ドライバによって与えられるプリエンファシス電流は、規定の遷移の後に正の大きさ、その他の場合に負の大きさを有する、請求項 5 に記載の T x ラインドライバ。

10

【請求項 7】

入力データストリームにおいて遷移が起こったことを判断し、かつプリエンファシス信号を生成して、T x ラインドライバによって出力されるビットごとに 1 次電流ドライバによって生成される出力電流に電流を加えさせるかまたは引かせるための論理をさらに含む、請求項 1 に記載の T x ラインドライバ。

【請求項 8】

T x ラインドライバにおいて、データストリームにおける遷移に続く第 1 のビットに対してプリエンファシス信号を生成するための方法であって、

20

第 1 の電流選択モジュールにプリエンファシス電流設定信号を送信することによって、プリエンファシス信号を受取った際に電流選択モジュールに規定の量の基準電流を生成させるステップと、

データビットストリームにおいて 1 つのビットから別のビットへの遷移が起こったかどうかを判断するステップと、

プリエンファシス制御信号を生成するステップと、

プリエンファシス電流を生成するステップと、

送出データストリームにおいてプリエンファシス電流および 1 次電流を合計するステップとを含む、方法。

【請求項 9】

30

第 2 の電流選択モジュールに対する 1 次電流設定信号を生成することによって、第 2 の電流選択モジュールに規定の量の基準電流を生成させて、1 次電流ドライバに 1 次電流を生成させるステップをさらに含む、請求項 8 に記載の方法。

【請求項 10】

1 次およびプリエンファシス電流設定信号を生成するステップは、第 1 および第 2 のモジュールの各々におけるスケーリングされたデバイスの組合せに対応する 2 値信号を生成するステップを含み、電流選択装置のスケーリングされたデバイスは異なる電流伝導特性を有する、請求項 9 に記載の方法。

【請求項 11】

プリエンファシス信号の第 1 の論理状態に対する正のプリエンファシス電流と、プリエンファシス信号の第 2 の状態に対する負のプリエンファシス電流とを生成するステップをさらに含む、請求項 9 に記載の方法。

40

【発明の詳細な説明】

【技術分野】

【0001】

発明の背景

発明の技術分野

この発明は一般的に通信システムに関し、より特定的にはそこで用いられるラインドライバ回路に関する。

【背景技術】

50

【 0 0 0 2 】

関連技術の説明

通信システムは、たとえば電話、ファクシミリ機、コンピュータ、テレビジョン受信機、携帯電話、パーソナルデジタルアシスタントなどを含む複数のエンドユーザ装置の間で大量のデータを移送することが公知である。また、こうした通信システムは、ローカルエリアネットワーク（LAN）、および/またはスタンドアロン通信システムであるかもしくは他のLANに相互接続されるワイドエリアネットワーク（WAN）、および/または公衆交換電話網（PSTN）、パケット交換データ網（PSDN）、統合サービスデジタル網（ISDN）もしくはインターネットの部分としてのWANであってもよいことが公知である。さらに、通信システムはデータの移送を容易にするための複数のシステム設備を含むことが公知である。こうしたシステム設備は、ルータ、スイッチ、ブリッジ、ゲートウェイ、プロトコル変換器、フレームリレー、構内交換などを含むがそれに制限されない。

10

【 0 0 0 3 】

通信システム内のデータの移送は、データ伝達の保水性およびデータ伝達に対するアクセスの公平性を確実にする1つまたはそれ以上の規格によって管理される。たとえば、1秒当り10メガビット、1秒当り100メガビット、1秒当り1ギガビットおよびそれを超えるデータ速度での通信システム内のシリアル伝送を管理するさまざまなイーサネット（登録商標）規格がある。たとえば同期型光ネットワーク（SONET）は、1秒当り10ギガビットを必要とする。こうした規格に従って、通信システムの多くのシステム構成要素およびエンドユーザ装置はシリアル伝送経路を介してデータを移送する。しかし、システム構成要素およびエンドユーザ装置は内部ではパラレルの態様でデータを処理する。このため、各システム構成要素およびエンドユーザ装置は、シリアルデータを受取って、情報を失うことなくそのシリアルデータをパラレルデータに変換する必要がある。

20

【 0 0 0 4 】

高速シリアル伝送からの情報の正確な回復のためには、典型的には受取られたシリアルデータ速度に等しいか、またはそれよりも高いクロック速度で動作するトランシーバ構成要素が必要である。クロック速度がより高くなると、クロックおよび/またはデータを回復するために信号の厳密な整列を必要とする先行技術のクロック回復回路の有用性が制限される。この発明の実施例の1つに従うと、データ速度が高くなると回復回路のフィードバックループが正しく動作するためにより大きな帯域幅が必要となる。いくつかの先行技術の設計は帯域幅が制限される。

30

【 発明の開示 】

【 発明が解決しようとする課題 】

【 0 0 0 5 】

データスループットの要求が増加するにつれて、高速シリアルトランシーバに対する要求も増加している。増加するスループット要求のために、いくつかの現在の集積回路製造プロセスが作動限界に押しやられており、集積回路処理限界（たとえばデバイス寄生、トレースサイズ、伝搬遅延、デバイスサイズなど）および集積回路（IC）製作限界（たとえばICレイアウト、パッケージングの周波数応答、ボンディングワイヤの周波数応答など）によって、高速シリアルトランシーバが過剰なジッタ挙動および/またはノイズ挙動なしに動作し得る速度が制限されている。

40

【 0 0 0 6 】

高速シリアルトランシーバに対するさらなる代替案は、本質的により大きな速度を提供するIC技術を用いることである。たとえば、相補型金属酸化膜半導体（CMOS）プロセスからシリコンゲルマニウムまたはガリウムヒ素プロセスへの切換えは、集積回路トランシーバがより大きな速度で動作することを可能にするが、製造コストがかなり増加する。CMOSはより費用効果が大きく、より容易なシステム集積を提供する。現在、通信システムを含むほとんどの商業的段階の適用にとって、こうした代替的な集積回路製作プロセスは広範に使用するにはあまりにもコストが高すぎる。

50

【 0 0 0 7 】

高速データ通信システムを含む最近の通信システムは典型的に、信号トレース、束ねられたデータライン、バックプレーンなどによって互いに通信する複数の回路基板を含む。したがって、高速データ通信トランシーバ装置の設計者はしばしば、特定の装置の性能に関する相反する設計目標を有する。たとえば、多くの異なる通信プロトコルは、OC48に対する1秒当り2.48832ギガビットからOC192に対する1秒当り9.95ギガビットの範囲のデータ速度に対して特定化されている。他の公知の規格は1秒当り2.5ギガビット(インフィニバンド)または1秒当り3.125ギガビット(XAUI)のデータ速度を定める。これらの異なるデータ速度は、信号の許容できる立上がりおよび立下がり時間、信号のピーク振幅、ならびにアイドル状態からの応答時間に影響する。たとえば、1つのプロトコルが200-400ミリボルトのピーク電圧範囲を規定し、別の規格が500-700ミリボルトという互いに相容れない電圧範囲を規定することがあり得る。よって、設計者はこれらの互いに相容れない要求を満たすことができないか、または通信に対して用いられるプロトコルに従って適合できる高速データトランシーバ装置を設計せねばならない。

10

【 0 0 0 8 】

これらの路線に沿って、フィードプログラマブルゲートアレイ(FPGA)回路は、複数のプロトコルに従って動作し得る1つの装置を構築しようとする設計者に対して、前述の要求される柔軟性および適合可能な性能を与えることから人気が高まっている。よって、FPGA技術が設計者に柔軟かつ構成可能なハードウェア回路を開発する機会を提供する一方で、なおも所望の動作を達成する特定の設計を開発する必要がある。

20

【 0 0 0 9 】

高速データ通信に対する設計上の挑戦の1つは、通信の物理媒体に関する。たとえば、高速データ通信に対しては、長いプリント回路基板(PCB)トレースおよび1つまたはそれ以上のコネクタを通じた通信ラインが信号の大きさおよび品質を深刻に劣化させることが知られている。他の要素の中でも、信号の大きさだけでなく相対的な信号タイミングも劣化する。それによって信号の交差点がシフトし、信号の適切な検出および解釈のタイミングに影響する。したがって、前述のチャンネル周波数応答および関連する影響を打ち消して信号を復元する回路を製造することが望ましい。

【 課題を解決するための手段 】

30

【 0 0 1 0 】

発明の概要

選択可能なプリエンファシスおよびドライバ信号の大きさを有する送信(Tx)ラインドライバは、1次電流レベルを設定する1次電流ドライバと、1次電流ドライバによって生成される1次電流レベルに重ね合わされるかまたは加えられる電流の付加的な量を与えるプリエンファシス電流ドライバとを含む。第1の電流選択モジュールは、第1のカレントミラーにおける1次電流ドライバ出力信号の大きさを設定するために用いられる基準信号を定め、第2の電流選択モジュールは、1次電流ドライバによって生成される1次電流信号の大きさと重ね合わされる第2のカレントミラーにおけるプリエンファシス電流ドライバ信号の大きさを選擇する第2の基準信号を定めるために用いられる。電流制御論理ブロックは、第1および第2の電流選択モジュールの両方に対する2値信号を生成することによって、対応する電流レベルを選擇する。加えて、電流制御論理ブロックは、入力データストリームを受取り、入力データストリームに遷移が起こるたびにプリエンファシス制御信号を送信するように結合される。よって、プリエンファシス電流ドライバに対する電流選択モジュールは、プリエンファシス制御信号を電流制御論理ブロックから受取るときにのみ基準電流をプリエンファシス電流ドライバに与えて(活性化す)る。

40

【 0 0 1 1 】

1次電流ドライバおよびプリエンファシス電流ドライバに対する電流選択モジュールの各々は、異なる大きさの電流を生成する複数のスケーリングされたMOSFETデバイスを含む。スケーリングされたデバイスは選択可能であり、電流制御論理ブロックから受取

50

った2値信号に応答して選択される。したがって、送信チャネル条件に応答して、それぞれ1次電流ドライバおよびプリアンプ電流ドライバによって生成される1次電流レベルおよびプリアンプ電流レベルの両方が選択され得る。

【発明を実施するための最良の形態】

【0012】

発明の詳細な説明

図1は、プログラマブルロジックファブリック12、複数のプログラマブルマルチギガビットトランシーバ(PMGT)14-28、および制御モジュール30を含むプログラマブルロジックデバイス10の概略的なブロック図である。プログラマブルロジックデバイス10はプログラマブルロジックアレイデバイス、プログラマブルアレイロジックデバイス、消去可能プログラマブルロジックデバイス、および/またはフィールドプログラマブルゲートアレイ(FPGA)であってもよい。プログラマブルロジックデバイス10がFPGAであるとき、プログラマブルロジックファブリック12は、対称のアレイ構成、行ベースの(row-based)構成、シーオブゲート(sea-of-gates)構成、および/または階層的なプログラマブルロジックデバイス構成として実施されてもよい。プログラマブルロジックファブリック12は、マイクロプロセッサコアなどの少なくとも1つの専用の固定されたプロセッサをさらに含むことによって、プログラマブルロジックデバイス10によって提供されるプログラマブル柔軟性をさらに容易にしてもよい。

【0013】

制御モジュール30はプログラマブルロジックファブリック12内に含まれても、または別個のモジュールであってもよい。いずれの実施においても、制御モジュール30は制御信号を生成してプログラマブルマルチギガビットトランシーバ14-28の送信および受信部の各々をプログラミングする。一般的に、プログラマブルマルチギガビットトランシーバ14-28の各々は、受信データに対するシリアル-パラレル変換を行ない、送信データに対するパラレル-シリアル変換を行なう。パラレルデータは8ビット、16ビット、32ビット、64ビットなどの幅であってもよい。

【0014】

典型的に、シリアルデータは2値レベル信号、多レベル信号などであってもよいデータの1ビットストリームとなる。さらに、より大きな送信速度を与えるため、2つまたはそれ以上のプログラマブルマルチギガビットトランシーバがともに結合されてもよい。たとえば、PMGT14、16および18が1秒当り3.125ギガビットでデータを送受信しているとき、有効シリアル速度が1秒当り3.125ギガビットの3倍になるように、PMGT14-18をともに結合してもよい。

【0015】

プログラマブルマルチギガビットトランシーバ14-28の各々が別個の規格に適合するように個別にプログラミングされてもよい。加えて、トランシーバの送信経路が1つの規格を支持し、同じトランシーバの受信経路が異なる規格を支持するように、プログラマブルマルチギガビットトランシーバ14-28の各々の送信経路および受信経路が別々にプログラミングされてもよい。さらに、送信経路および受信経路のシリアル速度は1秒当り1ギガビットから1秒当り数十ギガビットまでプログラミングされてもよい。送信および受信部または経路におけるパラレルデータのサイズもプログラム可能であり、8ビット、16ビット、32ビット、64ビットなどであってもよい。

【0016】

図2は、プログラマブルマルチギガビットトランシーバ14-28の1つを表わす実施例の1つの概略的なブロック図である。ここに示されるとおり、プログラマブルマルチギガビットトランシーバはプログラマブル物理媒体接続(PMA)モジュール32と、プログラマブル物理符号化副層(PCS)モジュール34と、プログラマブルインターフェイス36と、制御モジュール35と、PMAメモリマッピングレジスタ45と、PCSレジスタ55とを含む。制御モジュール35は、個々のプログラマブルマルチギガビットトランシーバ14-28に対する動作の所望のモードに基づいて、プログラムド非シリアル化

設定 6 6、プログラムドシリアル化設定 6 4、受信 PMA__PCS インターフェイス設定 6 2、送信 PMA__PCS インターフェイス設定 6 0、および論理インターフェイス設定 5 8 を生成する。制御モジュール 3 5 は、プログラマブルマルチギガビットトランシーバの各々の中にある別個の装置であっても、および/または図 1 の制御モジュール 3 0 内に含まれていてもよい。PMGT 制御モジュール 3 5 のいずれの実施例においても、プログラマブルロジックデバイス制御モジュール 3 0 は、プログラマブルロジックデバイス 1 0 に対する対応する全体の所望の動作条件を定め、所与のプログラマブルマルチギガビットトランシーバに対する対応する動作パラメータを制御モジュール 3 5 に与え、制御モジュール 3 5 は設定 5 8 - 6 6 を生成する。

【 0 0 1 7 】

プログラマブル物理媒体接続 (PMA) モジュール 3 2 は、プログラマブル送信 PMA モジュール 3 8 およびプログラマブル受信 PMA モジュール 4 0 を含む。図 4 B を参照してより詳細に説明されるプログラマブル送信 PMA モジュール 3 8 は、プログラムドシリアル化設定 6 4 に従って送信パラレルデータ 4 8 を送信シリアルデータ 5 0 に変換するよう動作可能に結合される。プログラムドシリアル化設定 6 4 は、送信シリアルデータ 5 0 の所望の速度、送信パラレルデータ 4 8 の所望の速度、および送信パラレルデータ 4 8 のデータ幅を示す。プログラマブル受信 PMA モジュール 4 0 は、プログラムド非シリアル化設定 6 6 に基づいて受信シリアルデータ 5 2 を受信パラレルデータ 5 4 に変換するよう動作可能に結合される。プログラムド非シリアル化設定 6 6 は、受信シリアルデータ 5 2 の速度、受信パラレルデータ 5 4 の所望の速度、および受信パラレルデータ 5 4 のデータ幅を示す。PMA メモリマッピングレジスタ 4 5 は、プログラムドシリアル化設定 6 4 およびプログラムド非シリアル化設定 6 6 を保存してもよい。

【 0 0 1 8 】

プログラマブル物理符号化副層 (PCS) モジュール 3 4 は、プログラマブル送信 PCS モジュール 4 2 およびプログラマブル受信 PCS モジュール 4 4 を含む。プログラマブル送信 PCS モジュール 4 2 は、プログラマブルインターフェイス 3 6 を介して (図 1 の) プログラマブルロジックファブリック 1 2 から送信データワード 4 6 を受取り、送信 PMA__PCS インターフェイス設定 6 0 に従って送信データワード 4 6 を送信パラレルデータ 4 8 に変換する。送信 PMA__PCS インターフェイス設定 6 0 は、送信データワード 4 6 の速度、送信データワードのサイズ (たとえば 1 バイト、2 バイト、3 バイト、4 バイトなど)、および送信パラレルデータ 4 8 の対応する送信速度を示す。プログラマブル受信 PCS モジュール 4 4 は、受信 PMA__PCS インターフェイス設定 6 2 に従って受信したパラレルデータ 5 4 を受信データワード 5 6 に変換する。受信 PMA__PCS インターフェイス設定 6 2 は、受信パラレルデータ 5 4 が受信される速度、受信パラレルデータ 5 4 の幅、受信データワード 5 6 の送信速度、および受信データワード 5 6 のワードサイズを示す。

【 0 0 1 9 】

制御モジュール 3 5 はまた、送信データワード 4 6 および受信データワード 5 6 が (図 1 の) プログラマブルロジックファブリック 1 2 によって送受信される速度を与える論理インターフェイス設定 5 8 を生成する。なお、プログラマブルロジックファブリック 1 2 に受信データワード 5 6 が与えられるのとは異なる速度でプログラマブルロジックファブリック 1 2 から送信データワード 4 6 が受信されてもよい。

【 0 0 2 0 】

当業者が認めるとおり、プログラマブル PMA 3 2 およびプログラマブル PCS 3 4 内のモジュールの各々は個別にプログラミングされることによって所望のデータ転送速度を支持してもよい。データ転送速度が特定の規格に従うことによって、受信経路すなわちプログラマブル受信 PMA モジュール 4 0 およびプログラマブル受信 PCS モジュール 4 4 が 1 つの規格に従ってプログラミングされ、送信経路すなわちプログラマブル送信 PCS モジュール 4 2 およびプログラマブル送信 PMA モジュール 3 8 が別の規格に従ってプログラミングされてもよい。

【 0 0 2 1 】

図 3 は、プログラマブルマルチギガビットトランシーバ 1 4 - 2 8 の 1 つを表わす代替的な概略ブロック図を例示する。この実施例において、プログラマブルマルチギガビットトランシーバ 1 4 - 2 8 は、送信部 7 0、受信部 7 2、制御モジュール 3 5 およびプログラマブルインターフェイス 3 6 を含む。送信部 7 0 は、プログラマブル送信 P M A モジュール 3 8 およびプログラマブル送信 P C S モジュール 4 2 を含む。受信部 7 2 は、プログラマブル受信 P M A モジュール 4 0 およびプログラマブル受信 P C S モジュール 4 4 を含む。

【 0 0 2 2 】

この実施例において、制御モジュール 3 5 はそれぞれ送信設定 7 4 および受信設定 7 6 を介して送信部と受信部とを別々にプログラミングする。制御モジュール 3 5 はまた、論理インターフェイス設定 5 8 を介してプログラマブルインターフェイス 3 6 をプログラミングする。したがって、制御モジュール 3 5 は、1 つの規格に従って機能するように受信部 7 2 をプログラミングする一方で、別の規格に従って送信部 7 0 をプログラミングしてもよい。さらに、論理インターフェイス設定 5 8 は、受信データワード 5 6 がプログラマブルロジックファブリック 1 2 に与えられるのとは異なる速度でプログラマブルロジックファブリック 1 2 から送信データワード 4 6 が受信されることを示してもよい。当業者が認めるとおり、プログラマブルインターフェイス 3 6 は送信バッファおよび受信バッファ、ならびに / または弾性の保存バッファを含むことによって、プログラマブルロジックファブリック 1 2 への送信データワード 4 6 および受信データワード 5 6 の提供およびそこから受信を容易にしてもよい。

【 0 0 2 3 】

図 4 A は、プログラマブルフロントエンド 1 0 0、データおよびクロック回復モジュール 1 0 2、ならびにシリアル - パラレル変換モジュール 1 0 4 を含むプログラマブル受信 P M A モジュール 4 0 の概略的なブロック図を例示する。プログラマブルフロントエンド 1 0 0 は、受信終了回路 1 0 6 および受信増幅器 1 0 8 を含む。データおよびクロック回復モジュール 1 0 2 は、データ検出回路 1 1 0 および位相ロックループ 1 1 2 を含む。位相ロックループ 1 1 2 は、位相検出モジュール 1 1 4 と、ループフィルタ 1 1 6 と、電圧制御発振器 (V C O) 1 1 8 と、第 1 の分周器モジュール 1 2 0 と、第 2 の分周器モジュール 1 2 2 とを含む。

【 0 0 2 4 】

プログラマブルフロントエンド 1 0 0 は、受信シリアルデータ 5 2 を受取ってそこから増幅され等化された受信シリアルデータ 1 2 4 を生成するように動作可能に結合される。これを達成するために、受信終了回路 1 0 6 は受信終了設定 1 2 6 に従ってプログラミングされることにより、プログラマブル受信 P M A モジュール 4 0 と受信シリアルデータ 5 2 を最初に送信したソースとの間の送信ラインに対する適切な終了を与える。受信終了設定 1 2 6 は、受信シリアルデータ 5 2 がシングルエンド信号であるか、差分信号であるかを示してもよく、終了ラインのインピーダンスを示してもよく、また受信終了回路 1 0 6 のバイアスを示してもよい。

【 0 0 2 5 】

受信終了回路 1 0 6 はさらに受信シリアルデータ 5 2 にバイアスをかけて、受信増幅器 1 0 8 にバイアス調整信号を与える。受信増幅器 1 0 8 の利得および等化設定は、それぞれ等化設定 1 2 8 および増幅設定 1 3 0 に従って調整されてもよい。なお、受信終了設定 1 2 6、等化設定 1 2 8 および増幅設定 1 3 0 は、制御モジュール 3 5 によって与えられるプログラムド非シリアル化設定 6 6 の部分である。

【 0 0 2 6 】

データおよびクロック回復モジュール 1 0 2 は、位相ロックループ 1 1 2 の位相検出モジュール 1 1 4 およびデータ検出回路 1 1 0 を介して増幅され等化された受信シリアルデータ 1 2 4 を受取る。位相検出モジュール 1 1 4 は、基準クロック 8 6 の位相および / または周波数を分周器モジュール 1 2 0 によって生成されるフィードバック基準クロックと

10

20

30

40

50

比較することによって、増幅され等化された受信シリアルデータ124を受取る前に初期化されている。この位相および/または周波数差に基づいて、位相検出モジュール114は対応する電流を生成し、その電流はループフィルタ116に与えられる。ループフィルタ116は、電流をVCO118の出力周波数を調整する制御電圧に変換する。分周器モジュール120は、シリアル受信クロック設定132に基づいてVCO118が生成する出力発振を分割してフィードバック信号を生成する。一旦増幅され等化された受信シリアルデータ124が受取られると、位相検出モジュール114は、増幅され等化された受信シリアルデータ124の位相を、増幅され等化された受信シリアルデータ124の位相と比較する。増幅され等化された受信シリアルデータ124とフィードバック信号との位相差に基づいて電流信号が生成される。

10

【0027】

位相検出モジュール114は電流信号をループフィルタ116に与え、ループフィルタ116は電流信号をVCO118の出力周波数を制御する制御電圧に変換する。このとき、VCO118の出力は回復クロック138に相当する。図4においてシリアル受信クロック98として参照されるこの回復クロック138は、分周器モジュール122、データ検出回路110およびシリアル-パラレル変換モジュール104に与えられる。データ検出回路110は回復クロック138を利用して、増幅され等化された受信シリアルデータ124から回復データ136を生成する。分周器モジュール122は、パラレル受信およびプログラブル論理クロック設定134に従って回復クロック138を分割し、パラレル受信クロック94およびプログラブル論理受信クロック96を生成する。なお、シリアル受信クロック設定132ならびにパラレル受信およびプログラブル論理クロック設定134は、制御モジュール35によってプログラブル受信PMAモジュール40に与えられるプログラムド非シリアル化設定66の部分である。

20

【0028】

弾性の保存バッファを含んでもよいシリアル-パラレル変換モジュール104は、回復クロック138に従ってシリアル速度で回復データ136を受取る。シリアル-パラレル設定135およびパラレル受信クロック94に基づいて、シリアル-パラレル変換モジュール104は受信パラレルデータ54を出力する。プログラムド非シリアル化設定66の部分であってもよいシリアル-パラレル設定135は、受信パラレルデータ54の速度およびデータ幅を示す。

30

【0029】

図4Bは、位相ロックループ144、パラレル-シリアル変換モジュール140、およびラインドライバ142を含むプログラブル送信PMAモジュール38の概略的なブロック図を例示する。位相ロックループ144は、位相検出モジュール146と、チャージポンプ147と、ループフィルタ148と、電圧制御発振器(VCO)150と、分周器モジュール154と、分周器モジュール152とを含む。

【0030】

位相検出モジュール146は、基準クロック86の位相および/または周波数を、分周器モジュール154の生成するフィードバック発振の位相および/または周波数と比較する。この発明の実施例の1つにおいて、位相検出モジュール146はチャージポンプ147に対する制御信号を生成し、チャージポンプ147は電流信号を生成して、基準クロック86とフィードバック発振との位相および/または周波数差を表わす。ループフィルタ148は電流信号をVCO150の生成する出力発振を調節する制御電圧に変換する。分周器モジュール154は、シリアル送信クロック設定158に基づいてシリアル送信クロック92に対応するVCO150の出力発振を分割してフィードバック発振を生成する。なお、シリアル送信クロック設定158は、制御モジュール35によってプログラブル送信PMAモジュール38に与えられるプログラムドシリアル化設定64の部分であってもよい。

40

【0031】

分周器モジュール152はシリアル送信クロック92を受取り、パラレル送信および

50

ログラムブル論理クロック設定160に基づいて、パラレル送信クロック88および送信プログラムブル論理クロック90を生成する。パラレル送信およびプログラムブル論理クロック設定160は、プログラムドシリアル化設定64の部分であってもよい。

【0032】

パラレル-シリアル変換モジュール140は送信パラレルデータ48を受取ってそこからシリアルデータストリーム156を生成する。パラレル-シリアル変換を容易にするために、弾性の保存バッファを含んでもよいパラレル-シリアル変換モジュール140は、パラレル-シリアル設定を受取って送信パラレルデータ48の幅および送信パラレルデータの速度を示し、これはパラレル送信クロック88に対応する。パラレル-シリアル設定、シリアル送信クロック92およびパラレル送信クロック88に基づいて、パラレル-シリアル変換モジュール140は送信パラレルデータ48からシリアルデータストリーム156を生成する。

10

【0033】

ラインドライバ142はシリアルデータストリーム156の電力を増加して送信シリアルデータ50を生成する。ラインドライバ142は、プリエンファシス制御信号161、プリエンファシス設定信号162、スルーレート設定信号164、アイドル状態設定信号165および1次電流設定166を介して、プリエンファシス設定、スルーレート設定および1次電流駆動設定を調整するようプログラミングされてもよい。プリエンファシス制御信号161、プリエンファシス設定信号162、スルーレート設定信号164、アイドル状態設定165および1次電流設定166は、プログラムドシリアル化設定64の部分

20

【0034】

図5は、この発明の実施例の1つに従って形成されたT×ラインドライバの機能ブロック図である。図5を参照して、T×ラインドライバ170は1対のプリドライバ172および174を含む。プリドライバ172はプリエンファシスおよび遷移論理175からシリアルデータを受取るよう結合され、プリドライバ174はプリエンファシスおよび遷移論理175から同期化プリエンファシス信号を受取るよう結合される。プリドライバ172の出力は1次電流ドライバ176の入力に結合され、プリドライバ174の出力はプリ

30

【0035】

T×ラインドライバ170は、1次電流ドライバ176およびプリエンファシス電流ドライバ178によってそれぞれ生成される電流レベルを定める1対の電流選択モジュール182および184をさらに含む。電流制御論理ブロック186は、電流選択モジュール182に対する1次電流設定と、電流選択モジュール184に対するプリエンファシス電流設定とを生成するように結合されて、1次電流ドライバ176およびプリエンファシス電流ドライバ178によってそれぞれ生成される電流レベルを定める。

40

【0036】

一般的に、1次およびプリエンファシス電流ドライバ176および178の出力電流レベルをそれぞれ設定するための電流制御論理ブロックを含むこの発明の実施例は、1次電流レベル設定に関する異なるプリエンファシス電流レベル設定の多くの組合せを可能にするという点において有利である。特定のチャネル条件に従って、1次およびプリエンファシス電流レベルの個別の調整を可能にすることによって、プリエンファシスおよび1次電流設定を最大化できるため、通信チャネルの端部において生成される信号が高速データのシリアルデータストリームに対して容易に検知され解釈され得る。

【0037】

T×ラインドライバ170の動作は、プリエンファシスの説明によってよりよく理解さ

50

れるかもしれない。図6は、この発明の実施例の1つに従った、プリアンファシスを有さない信号およびプリアンファシスを有する信号を例示する信号図である。図6は、プリアンファシスを有さない信号およびプリアンファシスを有する信号を例示する信号図である。図6の信号図を参照して分かるとおり、プリアンファシスを有する信号データストリームにおける遷移に続く第1のビットに対して信号の大きさが増加される。より特定的には、プリアンファシスを有さない信号データストリームを評価すると、信号データストリームはビット期間2、5および8において論理0から論理1に遷移する。

【0038】

加えて、ビット3および9も論理1であることが示されるが、遷移がないためにそれらは論理0に続くものではない。したがって、プリアンファシスを有する信号データストリームは、遷移ビット期間であるビット期間2、5および8における信号が、非遷移ビットに対して付加された信号の大きさを含むことを示す。また、記載される実施例においては、論理1から論理0への遷移に対して（すなわちすべての遷移に対して）プリアンファシスが加えられる。さらに、記載される実施例において、論理0は論理1と同じ大きさで反対の極性を有する信号によって表わされる。したがって、遷移に続く論理0信号は、非遷移論理0信号に対する付加的な信号の大きさを有する（より負になる）。つまり、プリアンファシスとは、1つの論理状態から別の状態への遷移に続く第1のビットに対して信号の大きさを増加させることを示す。

【0039】

図6の例において、プリアンファシスが重ね合わされることによって特定の遷移に対する信号の大きさが増加され、他の信号の大きさが減少される。より特定的には、この発明の実施例の1つにおいて、論理1および論理0信号の両方が非ゼロ値で表わされるとき、たとえば、論理1が正の大きさの電圧によって表わされ、論理0が負の大きさの電圧で表わされる反対の大きさの信号であるとき、プリアンファシス電流は各遷移において（大きさによって）加えられる。よって、この実施例においては、論理1から論理0への遷移においてもプリアンファシス電流が加えられる。

【0040】

図7は、プリアンファシスを有する、および有さない通信チャネルにおける信号データストリームを例示する。より特定的には、図7は通信チャネルにおける信号データストリームと、プリアンファシスの必要性和、プリアンファシスを利用することによって得られる肯定的な影響とを例示する。190に差分信号が示されて、高速データ送信に対する共通のチャネル影響の1つを例示する。より特定的には、チャネル条件および先行信号ビットの論理状態を含む複数の要因に従って、高速データ通信の際に交差点が前後にシフトする。つまり、192に見られるとおり、190に示される信号波形はこれらの要因に従って192に示されるいずれの方向にもシフトし得る。

【0041】

196に示される信号波形は、同じチャネル影響をより大規模に表わす。ここに見られるとおり、信号波パターンは、198に示されるようなアイ高さおよび200に示されるようなアイ幅を有するアイパターンとして知られるものを発現させる。一般的に、信号送信特性が改善されると、198に示されるアイ高さが増加することがあり、また200に示されるアイ幅が増加する。より一般的には、196に示される信号波形は、プリアンファシスを有さない信号チャネルを表わす。したがって、プリアンファシスが利用されると、信号波形パターンは信号波形202によって示されるものの方に似たものを表わし得る。ここに見られるとおり、アイ高さ204はアイ高さ198に比べて増加し、アイ幅206はアイ幅200に対して増加する。ここに利用されるようなプリアンファシスはアイ高さを増加することもしないこともあるが、アイ幅は増加する。

【0042】

特定のデータ速度またはチャネル条件に基づいて、プリアンファシスの特定の特性が変更されることが望ましい。たとえば、プリアンファシス信号の配置が変えられてもよいし、プリアンファシス信号の大きさが変えられてもよい。つまり、図6に示されるとおり、

10

20

30

40

50

この発明の記載される実施例において、プリエンファシス信号は遷移に続く第1のビットに対して用いられる。プリエンファシスの量は設計実施に任されてもよく、高速データストリームが伝導される特定のチャネルの関数となる。当業者はこの教示を利用して、特定のチャネル条件に対して適切なプリエンファシスを有するシステムを実施してもよい。図5および図6を再び参照して、プリエンファシスの量は、それぞれ電流選択モジュール182および184に送信される1次およびプリエンファシス電流設定内で選択される電流レベルに従って、電流制御論理ブロック186によって変えられてもよい。

【0043】

図8は、この発明の実施例の1つに従って形成されるプリエンファシスおよび1次電流ドライバの機能概略図である。プリエンファシスを有する電流ドライバ210は、1次電流ドライバ212およびプリエンファシス電流ドライバ214を含み、それらの出力は結合されて V_{OUT} を生成する。1対のブリドライバ216および218は、入力信号を1次電流ドライバ212（シリアルデータ）およびプリエンファシス電流ドライバ214（プリエンファシス信号）に与える。電流選択モジュール220は、1次電流ドライバ212に対する電流レベルを設定する、222に一般的に示されるカレントミラーに対する基準電流を与える。同様に、電流選択モジュール224は、プリエンファシス電流ドライバ214に対する電流レベルを設定する、226に一般的に示されるカレントミラーに対する基準電流を与える。電流制御論理ブロック228は、電流選択モジュール220および224の生成する基準電流を選択する論理を提供する。最後に、ブリドライバ216および218はカレントミラー230からのバイアス信号を受取るように結合される。カレントミラー230のミラーデバイス（すなわちMOSFET236および233）は、電流源232の生成する基準電流に基づいて所望のバイアス電流レベルを与えるようにスケールリングされる。

【0044】

より特定的には、電流源232はカレントミラー230に対する基準電流を生成することによって、ブリドライバ216および218に対するバイアス電流レベルを設定する。MOSFET236はブリドライバ216にバイアスを与え、MOSFET233はブリドライバ218にバイアスを与える。カレントミラー230のMOSFET234は、カレントミラー230のMOSFET236および233に対する電流レベルを設定し、ブリドライバ216および218の入力MOSFETのゲートにおいて入力信号が受取られるたびにMOSFET236および233に規定の出力電圧を出力させる。この発明の実施例の1つにおいて、MOSFET236および233は異なる態様でスケールリングされるため、MOSFET234が伝導する基準電流に関して比例する異なるミラー電流レベルを与える。

【0045】

たとえばブリドライバ216を調べると、差動電圧入力、すなわち入力シリアルデータストリーム V_{data} を受けるように結合された入力装置238および240を有する差動対が示される。したがって、装置238および240のゲートにおいて入力電圧が受取られるたびに、電流源232はカレントミラー230に対する基準電流レベルを設定することによって、装置238および240を含む差動対にバイアスをかけて規定の電流レベルにする。次に、それぞれ入力装置238および240のドレイン端子と V_{DD} との間に結合されたレジスタ239および241に伝導された電流から出力電圧がもたらされ、1次電流ドライバ212に対する入力として生成される。

【0046】

同様に、カレントミラー230はブリドライバ218の差動対の装置242および244に対するバイアスレベルを設定する。電流源232は、カレントミラー230に対する基準電流レベルも設定し、装置242および244のゲートにおいて入力電圧（ $V_{emphasis}$ ）が受取られるたびに装置242および244を含む差動対にバイアスをかけて規定の電流レベルにする。次に、それぞれ入力装置242および244のドレイン端子と V_{DD} との間に結合されたレジスタ243および245に伝導された電流から出力電圧がもたらさ

10

20

30

40

50

れ、プリエンファシス電流ドライバ214に対する入力として生成される。入力電圧 ($V_{emphasiss}$) は、図9 (後述) のプリエンファシス論理266によって生成される、より一般的には図5のプリエンファシスおよび遷移論理175からの、単なる差分信号である。当業者は設計を容易に実施して、プリエンファシスおよび遷移論理175の生成する入力電圧 ($V_{emphasiss}$) が図8の実施例によって必要とされるような差分信号であるようにしてもよい。

【0047】

一般的に、プリドライバ216および218の差動入力において受取られる入力信号は、1次電流ドライバ212およびプリエンファシス電流ドライバ214の差動対への入力として現われる。プリドライバ216および218のドレインからの出力は、1次電流ドライバ212およびプリエンファシス電流ドライバ214の差動対の装置のゲートに対して生成される。より特定的には、(プリドライバ216の) 入力装置238および240のドレインは、1次電流ドライバ212の差動対の装置246および248のゲートに結合される。同様に、プリドライバ218の装置242および244のドレインは、プリエンファシス電流ドライバ214の装置250および252のゲートに結合される。

【0048】

1次電流ドライバ212およびプリエンファシス電流ドライバ214の差動対の各々は、それぞれカレントミラー222および226によってバイアスをかけられる。カレントミラー222および226の電流レベルは、それぞれ電流選択モジュール220および224によって設定される。この発明の実施例の1つにおいて、1次電流ドライバ212の電流レベルは9ミリアンペアに設定され、プリエンファシス電流ドライバ214の電流レベルはプリエンファシス信号が論理1であるか論理0であるかに従って+/-1ミリアンペアに設定される。プリエンファシス信号が論理1であるとき、+1ミリアンペアのプリエンファシス電流が加えられる。プリエンファシス信号が論理0であるとき、-1ミリアンペアのプリエンファシス電流が加えられる(出力ノードから1ミリアンペア下げられる)。1次およびプリエンファシス電流ドライバの差動対の電源およびドレインの間に結合される負荷レジスタは、実施例の1つにおいて50オームに設定される。したがって、 V_{OUT} (強調されたもの) は500ミリボルトに等しく、 V_{OUT} (強調を止めたもの) は400ミリボルトに等しい。この実施例において、ドライバが生成する合計電流は、10ミリアンペア (強調されたもの) および8ミリアンペア (強調を止めたもの) に等しい。

【0049】

この発明の記載される実施例において、電流選択モジュール220および224の各々は、それぞれカレントミラー222および226に対する基準電流レベルを設定するために用いられる選択可能な装置を有するデジタル-アナログ(DAC)変換器を含む。ここに示されるような電流選択モジュール220または224に対するDACの設計および使用は、チャンネル条件に基づく必要に応じた出力信号の大きさの選択を容易にする。たとえば、電流選択モジュール220によって定められる基準電流は、ミラーデバイス247によって生成される(相対スケールに依存する) 対応する比例する電流をもたらして、1次電流ドライバ212に対する電流レベルを設定する。同様に、電流選択モジュール224によって定められる基準電流は、ミラーデバイス251によって生成される対応する比例する電流をもたらして、プリエンファシス電流ドライバ214に対する電流レベルを設定する。

【0050】

この発明の記載される実施例において、電流選択モジュール220および224の各々を形成するDACは、選択的に活性化されて基準電流レベルを与える、並列に結合された複数のMOSFETデバイスを含む。この実施例において、電流選択モジュール220および224を形成するDACは2つのMOSFETデバイスを含み、その一方は他方のデバイスの2倍の量の電流を伝導するようスケールされる。したがって、電流制御論理ブロック228は2ビット2値信号を生成することによって、バイアス電流レベルの所望の量に従ってMOSFETデバイスのいずれかまたは両方を選択的に活性化する。さらに

示されるとおり、電流選択モジュール220および224は、カレントミラー基準デバイス235および基準電流レベルを規定するカレントミラー電流源237によって設定されるバイアス信号を受取るように選択的に結合される。

【0051】

よって、電流制御論理ブロック228によって設定される2値信号の値に基づいて、電流選択モジュール220および224として用いられるDACに対する電流の量は0、1x、2xまたは3xであり得る。“x”の実際の値は設計要求に依存し、この教示を実施する当業者によって容易に定められてもよい。より一般的には、“x”の値はデバイススケリングの関数である。よって、電流選択モジュールはプリエンファシス論理ブロックの受取る2ビット2値信号に応答して、少なくとも1つのMOSFETデバイスを結合することにより、それぞれ1次電流ドライバ212およびプリエンファシス電流ドライバ214に対するカレントミラー222またはカレントミラー226に対する基準電流を与える。当業者に公知であるとおり、カレントミラーを含むこれらの回路要素の各々に対して、基準デバイス、ここではカレントミラーの左側のデバイスに与えられる電流またはバイアス信号の量は、対応するミラーデバイスに反映される。よって、選択可能なデバイスを有するDACを利用することによって、基準電流を容易に調整して、そこに結合されるミラーデバイスにおける対応する電流レベルをもたらすことができる。

10

【0052】

この発明のこの実施例の付加的な局面は、プリエンファシスの生成に関する。この発明の記載される実施例において、電流制御論理ブロック228は電流選択モジュール220に対するドライババイアス信号を連続的に生成することによって、ゲート端子に入力データ信号が与えられるたびにモジュール220に対応する基準信号を生成させて1次電流ドライバ212が電流を駆動できるようにする。

20

【0053】

この発明の記載される実施例において、電流選択モジュール224はいずれのビットに対するプリエンファシス電流も与えるが、プリエンファシス電流の極性は受取られたデータストリームの先行データビットに関するデータビットの論理状態における遷移に依存する。別の言い方をすると、プリエンファシス電流ドライバ214は、1次電流ドライバ212によって駆動されるデータストリームにおいて論理0データビットの後に論理1データビットが続くとき（または記載される実施例においてはその反対のとき）には1次電流ドライバ212出力に加えらるべき正の電流を与え、非遷移ビット期間に対しては負の電流を与えて出力電流レベルを減少させる。したがって、実施例の1つの例に対して、1次電流ドライバ212は常に安定な9ミリアンペアを生成し、プリエンファシス電流ドライバ214は+1または-1ミリアンペアを生成することによって、合計出力電流がそれぞれ10ミリアンペアまたは8ミリアンペアに等しくなってもよい。よって、この発明の実施例の1つにおいて、正のプリエンファシス電流は論理0から論理1への遷移の際にのみ加えられる。別の実施例においては、正のプリエンファシス電流は論理1から論理0への遷移に対しても（すなわちすべての遷移に対して）加えられる。

30

【0054】

図9は、プリエンファシス制御信号および同期シリアルデータストリームを判断および生成するためのプリエンファシスおよび遷移論理を例示する。図9を参照して、プリエンファシスおよび遷移論理175は、受取られたシリアルデータストリームを受信および反転するように結合されるインバータ260を含む。次いで、反転されたシリアルデータストリームが、1ビット期間遅延を導入する遅延素子262に対して生成される。遅延素子262の出力がクロックドフリップフロップ264に生成されることによって、 V_{data} および $V_{emphasis}$ を同期させる。フリップフロップ264の出力はプリドライバ174に送られる。インバータ268は、シリアルデータストリームを受取って反転し、反転したシリアルデータストリームを、データストリームを再反転する第2のインバータ270に生成するように結合される。この2つのインバータは、インバータ260および遅延素子262の応答時間に対応する少量の応答時間を利用することによって、高速シリアルデータ

40

50

ストリームと反転および遅延されたシリアルビットストリームとの同期を維持する働きをする。インバータ270の出力(シリアルデータストリーム)がクロックドフリップフロップ272に生成されることによって、 V_{data} および $V_{emphasis}$ を同期させる。フリップフロップ272の出力は次にプリドライバ172に送られる。前述のとおり、この発明の記載される実施例においては、論理1によって正の大きさの電流が1次電流出力に加えられ、論理0によって負の大きさの電流が1次電流出力に加えられる。またここに見られるとおり、フリップフロップ272の出力はシリアルデータ(すなわち、図5のプリドライバ172および図8のプリドライバ216および218のゲートに対する入力)として外部にも生成される。図9はシングルエンド動作を示すが、この回路構成が差動適用にも容易に適合され得ることが理解される。

10

【0055】

図10Aは、図8の回路構成と組合せた図9の論理回路構成の動作を詳細に示す真理表を示す。「プリエンファシス」とラベルされた行に示されるとおり、シリアルデータおよび遅延され反転されたシリアルデータの両方が論理1に等しくなるたびに、プリエンファシス電流は信号の大きさ(1つの論理状態を表わす正の信号または異なる論理状態を表わす負の信号)を増加させる。“y”は信号の大きさがプリエンファシスによって増加されることを反映し、“n”は信号の大きさが減少されることを反映する。一般的に、図10Aの真理表は、論理0から論理1への遷移が起こるたびにプリエンファシスおよび遷移論理175におけるプリエンファシス論理266がプリエンファシス信号を生成することを例示する。図10Bは図10Aと類似の図面であるが、論理0から論理1への遷移に対してのみではなく、遷移が起こるたびに信号の大きさを増加するためのプリエンファシス電流を生成するための論理を例示する。

20

【0056】

この発明の記載される実施例においては、それぞれのビット期間において同量の電流が加えられるかまたは引かれることによって、信号の大きさが増加または減少される。この発明の代替的な実施例においては、論理0のときには電流が付加されない。しかしこの代替的な実施例は、プリエンファシス信号が印加されるたびに1次電流に加えるための電流レベルを瞬時に発生させる必要があるという欠点を有する。こうした瞬時の電流の発生は困難である。よって記載される実施例において、1次電流はプリエンファシスを有する電流レベルとプリエンファシスを有さない電流レベルとの中間点に設定される。それによって、プリエンファシス電流レベルを単に加えるかまたは引くことによって所望の結果が得られる。

30

【0057】

図11は、プリエンファシス電流を生成するための方法を例示するフローチャートである。最初に、電流制御論理ブロックは、第1の電流選択モジュール(プリエンファシス電流設定モジュール)にプリエンファシス電流設定信号を送信し、第2の電流選択モジュール(1次電流設定モジュール)に1次電流設定信号を送信することによって、それぞれプリエンファシスおよび1次電流レベルを設定する(ステップ274)。その後、プリエンファシスおよび遷移論理ブロックは入力データストリームをモニタし、遷移が起こったことを検出する(ステップ272)。遷移が起こったことを検出すると、遷移およびプリエンファシス論理ブロックは規定の値を有するプリエンファシス信号を第1の電流選択モジュールに送信する。第1の電流選択モジュールは次に、遷移ビットに対する対応するプリエンファシス電流を生成する。

40

【0058】

この発明の記載される実施例において、遷移が起こらなかったとき、プリエンファシスおよび遷移論理ブロックは第2の規定の値を有するプリエンファシス信号を送信する。この発明の記載される実施例において、プリエンファシス信号はビット期間ごとに送信される。プリエンファシスビットが第1の論理値を有するとき、プリエンファシス電流ブロックは1次電流と合計するための正の電流を生成する。プリエンファシスビットが第2の論理値を有するとき、プリエンファシス電流ブロックは1次電流と合計するための負の電流

50

を生成する。遷移が検出されるとき、1次電流と合計するための正の電流が生成される（ステップ278）。遷移が起らなかったとき、1次電流と合計するための負のプリエンファシス電流が生成される（ステップ280）。最後に、この発明は、T×ラインドライバ出力において1次電流レベルをプリエンファシス電流レベルと合計する（ステップ282）ことによって出力電流を生成するステップを含む。

【0059】

ここに開示されるこの発明にはさまざまな変更および代替形が可能である。したがって、図面および詳細な説明において特定の実施例は例示のためにのみ示される。しかし、図面およびその詳細な説明はこの発明を開示される特定の形に制限することを意図するものではなく、反対にこの発明は請求項によって定められるこの発明の趣旨および範囲内にあるすべての変更、同等のものおよび代替品を含むものであることが理解されるべきである。

10

【図面の簡単な説明】

【0060】

【図1】プログラマブルロジックファブリック、複数のプログラマブルマルチギガビットトランシーバ（PMGT）および制御モジュールを含む、プログラマブルロジックデバイスの概略的なブロック図である。

【図2】プログラマブルマルチギガビットトランシーバの1つを表わす実施例の1つの概略的なブロック図である。

【図3】プログラマブルマルチギガビットトランシーバの1つを表わす代替的な概略ブロック図を例示する図である。

20

【図4A】プログラマブルフロントエンド、データおよびクロック回復モジュール、ならびにシリアル-パラレル変換モジュールを含むプログラマブル受信PMAモジュールの概略的なブロック図を例示する図である。

【図4B】位相ロックループ、パラレル-シリアル変換モジュール、およびラインドライバを含むプログラマブル送信PMAモジュールの概略的なブロック図を例示する図である。

【図5】この発明の実施例の1つに従って形成されたT×ラインドライバの機能ブロック図である。

【図6】プリエンファシスを有さない信号およびプリエンファシスを有する信号を例示する信号図である。

30

【図7】プリエンファシスを有する、および有さない通信チャネルにおける信号データストリームを例示する図である。

【図8】この発明の実施例の1つに従って形成されたプリエンファシスおよび1次電流ドライバの機能概略図である。

【図9】プリエンファシス制御信号および同期シリアルデータストリームを判断および生成するためのプリエンファシスおよび遷移論理を例示する図である。

【図10】図10Aおよび図10Bは、プリエンファシス制御信号を判断および生成するための方法に関する回路構成および真理表を例示する図である。

【図11】プリエンファシス電流を生成するための方法を例示するフローチャートである。

40

【図1】

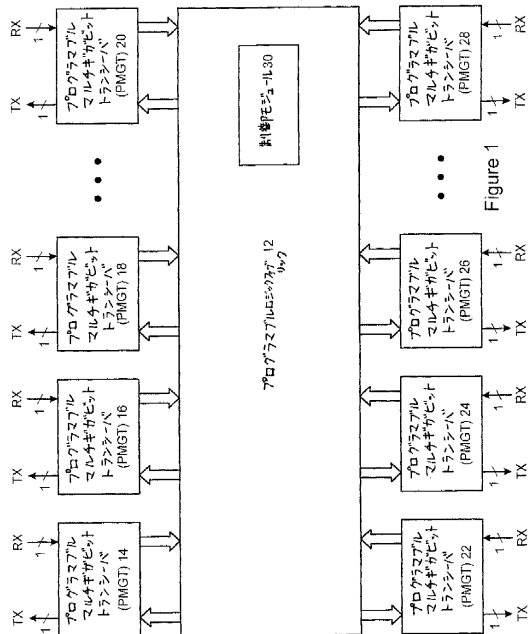


Figure 1

【図2】

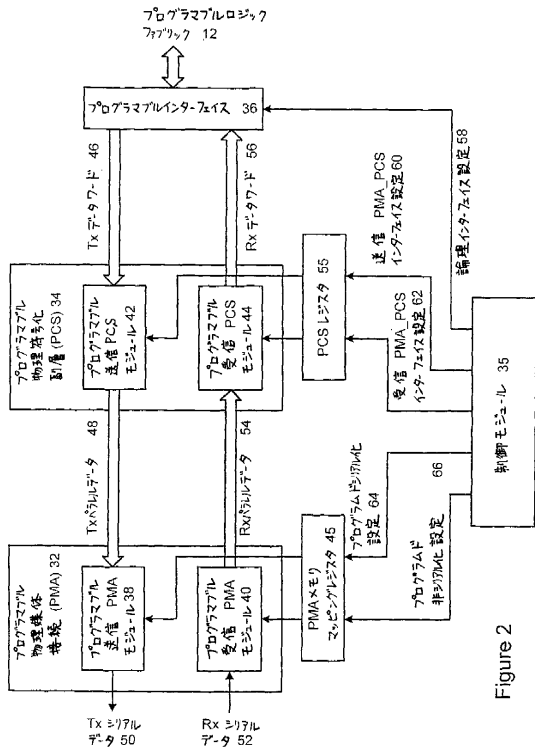


Figure 2

【図3】

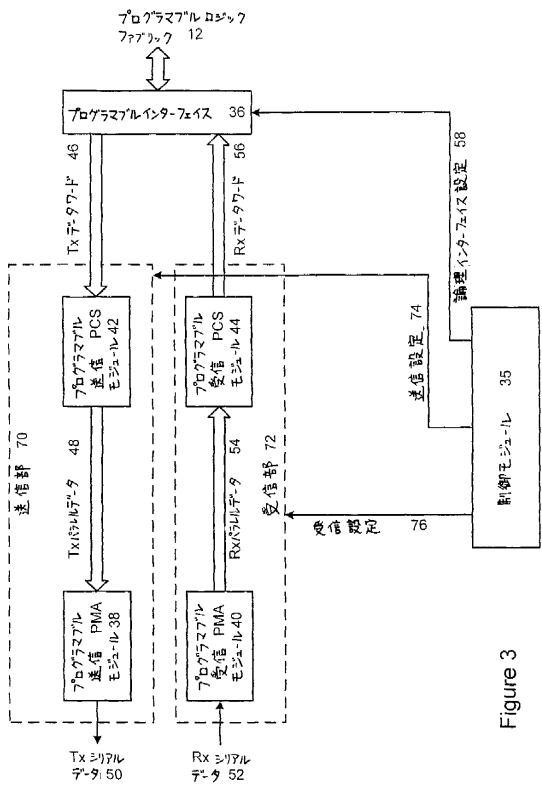


Figure 3

【図4A】

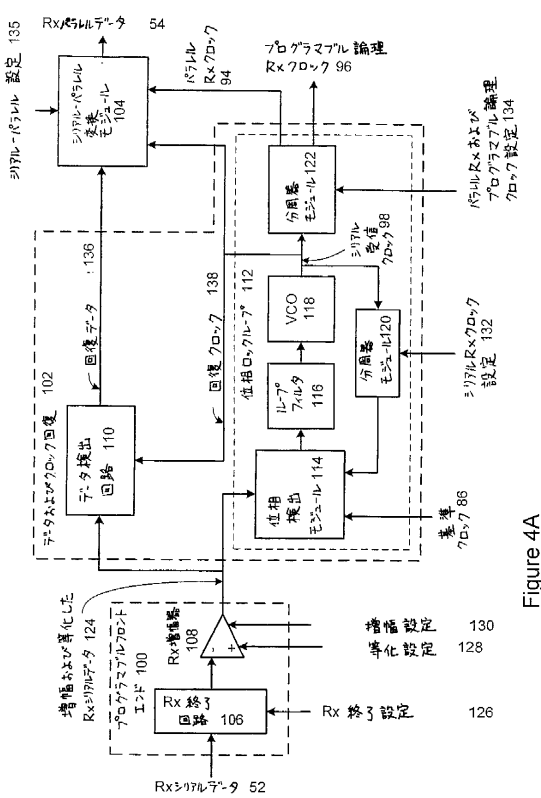


Figure 4A

【 図 4 B 】

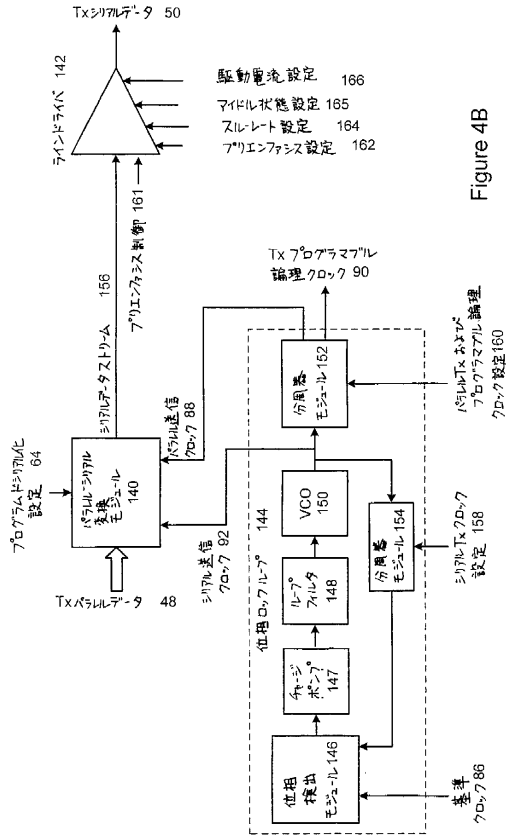


Figure 4B

【 図 5 】

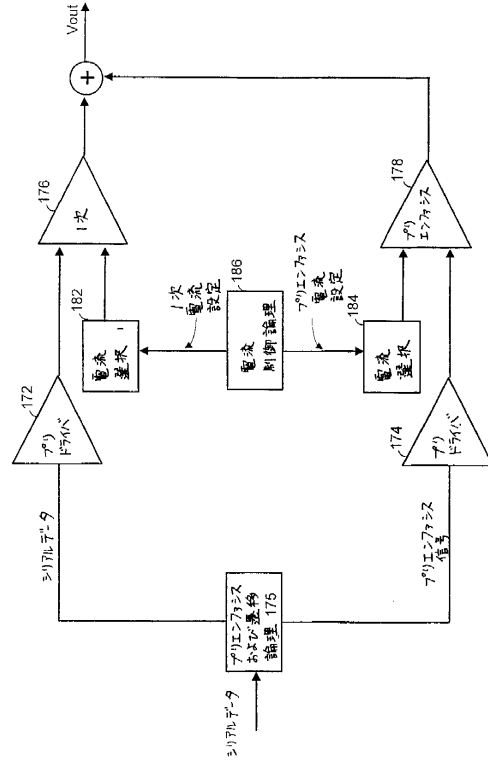


Figure 5

【 図 6 】

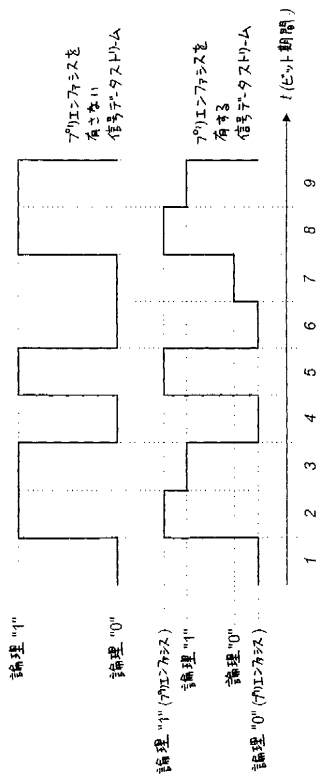


Figure 6

【 図 7 】

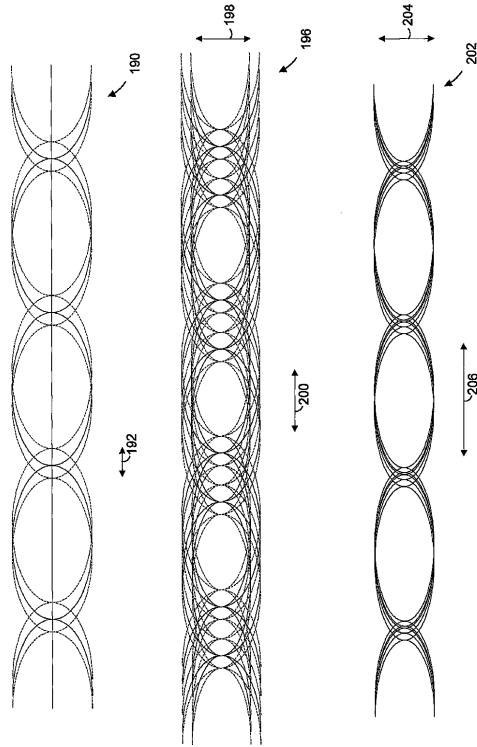


Figure 7

【図 8】

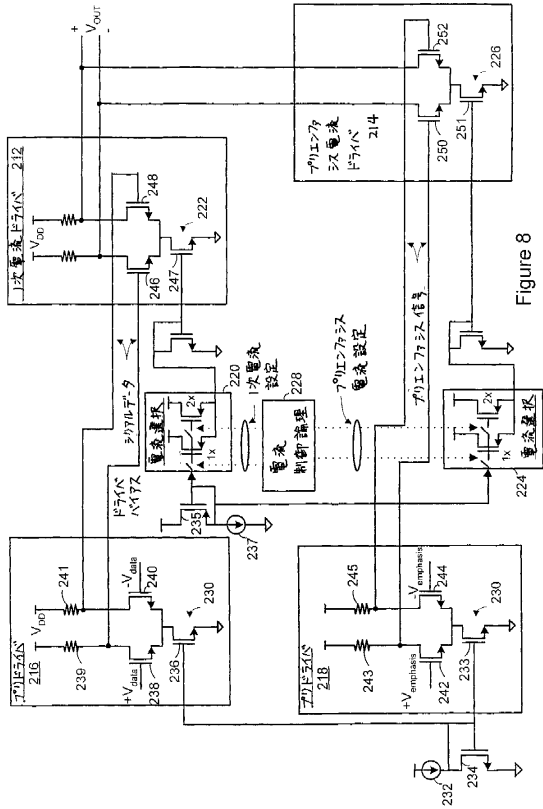


Figure 8

【図 9】

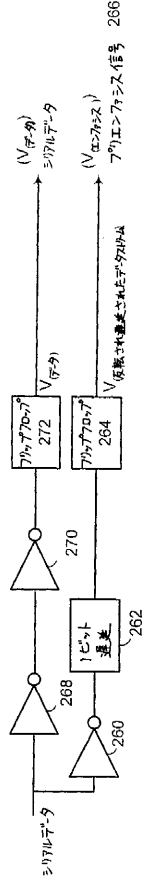
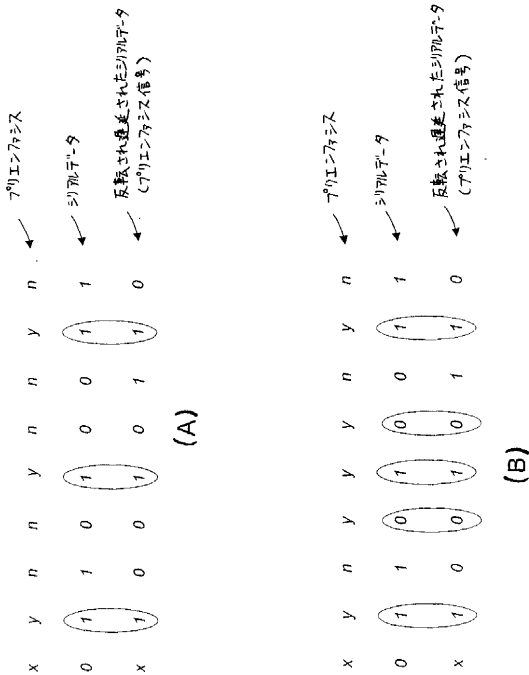


Figure 9

【図 10】



【図 11】

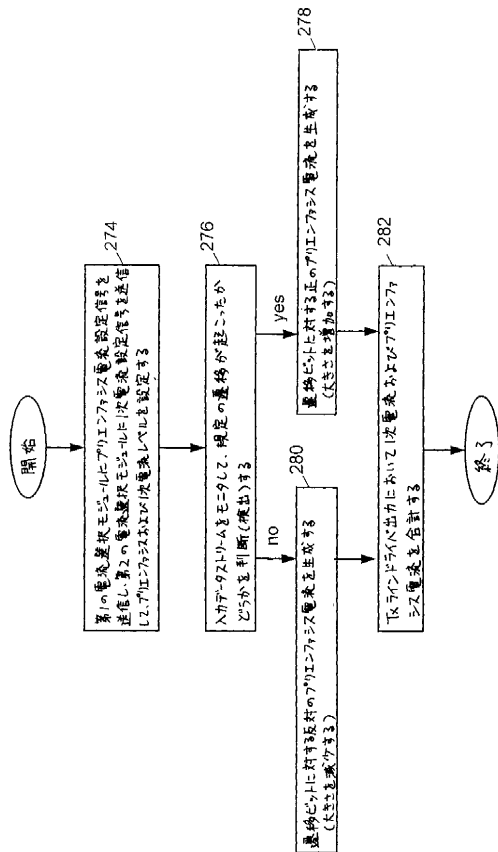


Figure 11

フロントページの続き

(74)代理人 100098316

弁理士 野田 久登

(74)代理人 100109162

弁理士 酒井 將行

(72)発明者 グローエン, エリック・ディ

アメリカ合衆国、9 5 1 2 4 カリフォルニア州、サン・ノゼ、ロジック・ドライブ、2 1 0 0

(72)発明者 ベッカー, チャールズ・ダブリュ

アメリカ合衆国、9 5 1 2 4 カリフォルニア州、サン・ノゼ、ロジック・ドライブ、2 1 0 0

(72)発明者 ブラック, ウィリアム・シィ

アメリカ合衆国、9 5 1 2 4 カリフォルニア州、サン・ノゼ、ロジック・ドライブ、2 1 0 0

審査官 白井 亮

(56)参考文献 米国特許第6 1 2 5 4 1 5 (U S , A)

特開平 1 1 - 3 4 5 0 5 4 (J P , A)

米国特許出願公開第 2 0 0 2 / 0 1 8 6 0 4 8 (U S , A 1)

(58)調査した分野(Int.Cl. , D B 名)

H04L 25/00-25/66