



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2012-0094372
(43) 공개일자 2012년08월24일

(51) 국제특허분류(Int. Cl.)

H03K 3/354 (2006.01) H03L 7/099 (2006.01)

(21) 출원번호 10-2011-0013838

(22) 출원일자 2011년02월16일

심사청구일자 2011년02월16일

(71) 출원인

고려대학교 산학협력단

서울 성북구 안암동5가 1

(72) 발명자

정지채

서울특별시 서초구 효령로68길 81, 102동 1305호
(서초동, 서초자이아파트)

이원태

충청남도 천안시 서북구 입장면 홍천길 38-21

(74) 대리인

나승택, 조영현

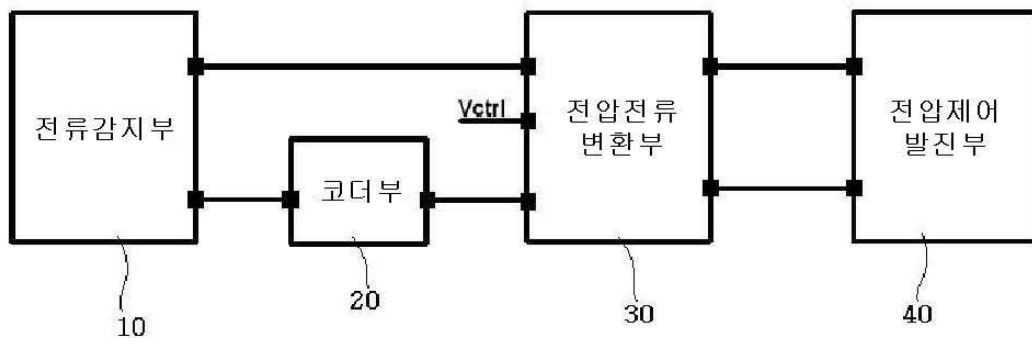
전체 청구항 수 : 총 9 항

(54) 발명의 명칭 전압 제어 발진 시스템

(57) 요약

본 발명은 차동 구조 지연셀에 흐르는 전류를 감지하여 전압전류변환기를 통하여 발생시키는 주파수의 통제를 통해서 튜닝 범위를 증가시킨 새로운 형태의 광대역 튜닝범위를 갖는 전압 제어 발진 시스템에 관한 것으로, 전압제어발진부; 상기 전압제어발진부에 흐르는 전류를 감지하는 전류감지부; 상기 전압제어발진부에 흐르는 전류를 변화시키는 전압전류변환부; 및 상기 전류감지부의 출력에 근거하여 복수의 출력모드중 하나의 출력모드를 결정하되, 상기 출력모드들간 튜닝영역이 중첩되는 구간에 대해 어느 한 출력모드를 결정하여 상기 전압전류변환부를 동작시키는 코더부;를 포함한다. 차동 구조 지연셀에 흐르는 전류를 감지하여 전압전류변환기를 통하여 발생시키는 주파수를 제어하여 튜닝 범위를 증가시키는 효과가 있다.

대표도 - 도1



이 발명을 지원한 국가연구개발사업

과제고유번호 과C6A1601

부처명 교육과학기술부

연구사업명 2단계두뇌한국21

연구과제명 2단계BK21사업 5차년도 국고지원금

주관기관 고려대학교 산학협력단

연구기간 2010.03.01 ~ 2011.02.28

특허청구의 범위

청구항 1

전압제어발전부;

상기 전압제어발전부에 흐르는 전류를 감지하는 전류감지부;

상기 전압제어발전부에 흐르는 전류를 변화시키는 전압전류변환부; 및

상기 전류감지부의 출력에 근거하여 복수의 출력모드중 하나의 출력모드를 결정하되, 상기 출력모드들간 튜닝 영역이 중첩되는 구간에 대해 어느 한 출력모드를 결정하여 상기 전압전류변환부를 동작시키는 코더부;를 포함하는 것을 특징으로 하는 전압 제어 발전 시스템.

청구항 2

제 1 항에 있어서,

상기 전압제어발전부에 연결되고 상기 전압전류변환부로부터의 출력신호를 상기 전압제어발전부와 함께 인가 받는 복제회로를 추가로 포함하는 특징으로 하는 전압 제어 발전 시스템.

청구항 3

제 1 항에 있어서,

상기 코더부는 한 모드에서 다른 모드로 변환할 때 둘 중 한 모드만 선택하는 모드선택부를 포함하는 것을 특징으로 하는 전압 제어 발전 시스템.

청구항 4

제 3 항에 있어서,

상기 모드선택부는 상기 전류감지부로부터 수신된 신호가 고주파에서 저주파로 변하는지 판단하여 변하는 경우 한 모드의 튜닝범위의 가장 자리에서 다른 모드의 주파수가 중첩되면 하위모드로 변환시키는 것을 특징으로 하는 전압 제어 발전 시스템.

청구항 5

제 3 항에 있어서,

상기 모드선택부는 상기 전류감지부로부터 수신된 신호가 저주파에서 고주파로 변하는지 판단하여 변하는 경우 한 모드의 튜닝범위의 가장 자리에서 다른 모드의 주파수가 중첩되면 상위모드로 변환시키는 것을 특징으로 하는 전압 제어 발전 시스템.

청구항 6

제 1 항에 있어서,

상기 전압전류변환부는 다수의 저항을 포함하고,

상기 전압전류변환부는 상기 코더부의 출력에 따라 상기 다수의 저항중 어느 한 저항이 선택되어 저항값에 따라서 상기 전압제어발전부에 흐르는 전류를 변화시키는 것을 특징으로 하는 전압 제어 발전 시스템.

청구항 7

제 1 항에 있어서,

상기 전압전류변환부는 다수의 저항 및 전류원을 포함하고,

상기 전압전류변환부는 상기 코더부의 출력에 따라 상기 다수의 저항 및 전류원중에서 어느 한 저항 및 전류원이 선택되어 상기 전압제어발전부에 흐르는 전류를 변환시키는 것을 특징으로 하는 전압 제어 발전 시스템.

청구항 8

제 1 항에 있어서,

상기 전압제어발진부의 발진주파수는 다음 수학적식으로 주어진 것을 특징으로 하는 전압 제어 발진 시스템.

$$f = \frac{I_{dd}}{2NC_L V_S} = \frac{1}{2NR_{equ} C_L \ln 2} = \frac{(1-g_{m3,4})\mu_p C_{ox} \left(\frac{W}{L}\right)_{1,2} (VDD - V_{pbias} - |V_{THP}|)}{2NC_L \ln 2 (\mu_p C_{ox} \left(\frac{W}{L}\right)_{1,2} (VDD - V_{pbias} - |V_{THP}|))}$$

여기서 N은 단의 수이고, I_{dd} 는 차동 쌍의 부하전류이고, V_{dd} 는 공급 전압이고, C_L 은 차동 지연셀의 입출력 캐패시턴스의 합에 의해 주어진 각 단의 총 캐패시턴스이고, R_{equ} 는 부하저항이고, V_S 는 각 단의 출력에서 최대 단일-단부(single-ended) 전압이다.

청구항 9

제 8 항에 있어서,

상기 전압제어발진부의 이득(Kvco)은 다음 수학적식으로 계산되는 것을 특징으로 하는 전압 제어 발진 시스템.

$$K_{VCO} = 2\pi \frac{df}{dV_{tune}} = 2\pi \frac{dI_{tune}}{2C_L V_S NdV_{tune}} = 2\pi \frac{G_{m7}}{2C_L V_S N}$$

여기서, $G_{m7} = dI_{tune}/dV_{tune}$ 이 되고, G_{m7} 은 튜닝 트랜지스터 M7의 트랜스컨덕턴스이다.

명세서

기술 분야

[0001] 본 발명은 전압 제어 발진 시스템에 관한 것으로, 더욱 상세하게는, 튜닝 범위를 증가시킨 새로운 형태의 광대역 튜닝범위를 갖는 전압 제어 발진 시스템에 관한 것이다.

배경 기술

[0002] 차세대 개인 휴대통신 서비스는 복합 다기능을 목표로 종합적이고 다양한 서비스를 제공하기 위한 다중 모드 및 다중대역을 처리할 수 있는 단일 칩이 필요하다. 다중 모드 및 다중 대역을 처리하기 위해서는 PLL(Phase-locked loop)이 핵심 블록이다. 전압제어발진기(Voltage Controlled Oscillator:VCO)는 PLL의 출력신호를 직접 제공하기 때문에 PLL의 가장 중요한 구성요소(element)이다. CMOS VCO는 링 구조(ring structures), 릴렉세이션 회로(relaxation circuits), 또는 LC 공진회로(LC resonant circuit)을 이용하여 만들 수 있다. 그러나, CMOS 공정에 고품질 인덕터(high-quality inductors)를 추가하게 되면, 칩의 복잡도와 비용이 증가하게 되며, 에디커런트(eddy current) 제어 및 제한된 주파수 튜닝 범위(tuning range)와 같은 문제가 생긴다. PLL의 성능을 좌우하는 회로인 전압제어발진기(Voltage Controlled Oscillator:VCO)는 LC 발진기와 링 발진기로 나눌 수 있다. 링 발진기는 표준 CMOS 공정으로 만들 수 있고, LC 설계보다 적은 다이 면적(die area)이 필요하다. 즉, 링 발진기는 LC 발진기보다 주파수 가변 범위가 넓고 집적화하기 용이하며, 기판 잡음 및 전원 잡음의 영향을 최소화하기 위해 링 발진기는 보통 차동으로 설계된다. 차동 증폭기는 여러 단의 지연셀들로 구성되어 있다.

[0003] 한편, 다중 모드 및 다중 대역을 처리하기 위한 링발진기는 전력소비가 많고, 따라서 링발진기의 주파수 가변 범위를 확대시키기 위하여 설계상 제약사항들을 극복하기 위한 많은 요구사항들이 있다.

발명의 내용

해결하려는 과제

[0004] 본 발명의 목적은 상기한 바와 같은 요구사항들을 감안하여 제안된 것으로, 차동 구조 지연셀에 흐르는 전류를 감지하여 전압전류변환기를 통하여 발생시키는 주파수의 통제를 통해서 튜닝 범위를 증가시킨 새로운 형태의 광대역 튜닝범위를 갖는 전압 제어 발진 시스템을 제공함에 있다.

과제의 해결 수단

[0005] 상기한 바와 같은 목적을 달성하기 위한 본 발명의 바람직한 실시예에 따른 전압 제어 발진 시스템은, 전압제어발진부; 상기 전압제어발진부에 흐르는 전류를 감지하는 전류감지부; 상기 전압제어발진부에 흐르는 전류를 변화시키는 전압전류변환부; 및 상기 전류감지부의 출력에 근거하여 복수의 출력모드중 하나의 출력모드를 결정하되, 상기 출력모드들간 튜닝영역이 중첩되는 구간에 대해 어느 한 출력모드를 결정하여 상기 전압전류변환부를 동작시키는 코더부;를 포함한다.

[0006] 바람직하게, 상기 전압제어발진부에 연결되고 상기 전압전류변환부로부터의 출력신호를 상기 전압제어발진부와 함께 인가받는 복제회로를 추가로 포함하여도된다.

[0007] 코더부는 한 모드에서 다른 모드로 변환할 때 둘 중 한 모드만 선택하는 모드선택부를 포함한다.

[0008] 상기 모드선택부는 상기 전류감지부로부터 수신된 신호가 고주파에서 저주파로 변하는지 판단하여 변하는 경우 한 모드의 튜닝범위의 가장 자리에서 다른 모드의 주파수가 중첩되면 하위모드로 변환시킨다.

[0009] 상기 모드선택부는 상기 전류감지부로부터 수신된 신호가 저주파에서 고주파로 변하는지 판단하여 변하는 경우 한 모드의 튜닝범위의 가장 자리에서 다른 모드의 주파수가 중첩되면 상위모드로 변환시킨다.

[0010] 상기 전압전류변환부는 다수의 저항을 포함하고, 상기 전압전류변환부는 상기 코더부의 출력에 따라 상기 다수의 저항중 어느 한 저항이 선택되어 저항값에 따라서 상기 전압제어발진부에 흐르는 전류를 변화시킨다.

[0011] 상기 전압전류변환부는 다수의 저항 및 전류원을 포함하고, 상기 전압전류변환부는 상기 코더부의 출력에 따라 상기 다수의 저항 및 전류원중에서 어느 한 저항 및 전류원이 선택되어 상기 전압제어발진부에 흐르는 전류를 변환시킨다.

[0012] 상기 전압제어발진부의 발진주파수는 다음 수학적식으로 주어진 것을 특징으로 한다.

$$f = \frac{I_{dd}}{2NC_L V_S} = \frac{1}{2NR_{equ} C_L \ln 2} = \frac{(1-g_{m3,4})\mu_p C_{ox} \left(\frac{W}{L}\right)_{1,2} (V_{DD} - V_{pbias} - |V_{THP}|)}{2NC_L \ln 2 (\mu_p C_{ox} \left(\frac{W}{L}\right)_{1,2} (V_{DD} - V_{pbias} - |V_{THP}|))}$$

[0013]

[0014] 여기서 N은 단의 수이고, I_{dd} 는 차동 쌍의 부하전류이고, V_{dd} 는 공급 전압이고, C_L 은 차동 지연셀의 입출력 캐패시턴스의 합에 의해 주어진 각 단의 총 캐패시턴스이고, R_{equ} 는 부하저항이고, V_S 는 각 단의 출력에서 최대 단일-단부(singl-ended) 전압이다.

[0015] 그리고, 상기 전압제어발진부의 이득(K_{vco})은 다음 수학적식으로 계산되는 것을 특징으로 한다.

$$K_{VCO} = 2\pi \frac{df}{dV_{tune}} = 2\pi \frac{dI_{tune}}{2C_L V_S N dV_{tune}} = 2\pi \frac{G_{m7}}{2C_L V_S N}$$

[0016]

[0017] 여기서, $G_{m7} = dI_{tune}/dV_{tune}$ 이 되고, G_{m7} 은 튜닝 트랜지스터 M7의 트랜스컨덕턴스이다.

발명의 효과

[0018] 이상 설명한 바와 같은 본 발명에 의하면, 차동 구조 지연셀에 흐르는 전류를 감지하여 전압전류변환기를 통하여 발생시키는 주파수를 제어하여 튜닝 범위를 증가시킨 효과를 가진다.

[0019] 구체적으로, 본 발명에서는 자동적으로 지연셀에 흐르는 전류를 감지하여 주파수를 변화시키는 전압제어발진기를 TSMC 0.18 um 공정을 이용하여 설계하였다.

[0020] 또한, LC 회로를 사용하지 않고 59.6 MHz ~ 2.95 GHz 대역의 넓은 주파수 튜닝 범위를 갖는 주파수를 생성시

킨 효과가 있다.

도면의 간단한 설명

- [0021] 도 1은 본 발명의 제 1실시예에 따른 전압 제어 발진 시스템의 블록 다이어그램이다.
- 도 2는 도 1의 일부 구성의 내부 회로 예를 나타낸 도면이다.
- 도 3은 도 1의 전압전류변환부의 내부 회로 예를 나타낸 도면이다.
- 도 4는 도 1의 코더부와 전류감지부의 내부 회로 예를 나타낸 도면이다.
- 도 5는 본 발명의 제 1실시예에 따른 전압 제어 발진 시스템에 복제 회로가 채용된 도면이다.
- 도 6 내지 도 12는 도 1에 도시된 전압제어발진부의 실시예를 나타낸 도면들이다.
- 도 13은 본 발명의 제 2실시예에 따른 전압 제어 발진 시스템의 구성도이다.
- 도 14는 도 13에 도시된 코더부 및 전압전류변환부의 동작을 설명하는 개략적인 회로도이다.
- 도 15 내지 도 18은 본 발명에 따른 전압 제어 발진 시스템에서의 제어전압 대 전류비 관계 및 선형성(linearity)을 나타낸 도면들이다.
- 도 19 및 도 20은 본 발명에 따른 전압 제어 발진 시스템에서의 제어전압 대 전주파수관계 및 제어전압 대 전류 관계를 나타낸 도면들이다.
- 도 21은 본 발명에 따른 전압 제어 발진 시스템에서의 전류의 함수로서 주파수를 나타낸 도면이다.
- 도 22는 본 발명에 따른 전압 제어 발진 시스템의 전압제어발진기의 이득이 모드별로 나타나는 모습을 표시한 것으로서, 모드 1에 대한 결과 파형을 나타낸 것이다.
- 도 23은 본 발명에 따른 전압 제어 발진 시스템에서 모드들간 겹치는 구간에서 정확하게 어떤 모드로 동작하는지 설명하는 설명도이다.

발명을 실시하기 위한 구체적인 내용

- [0022] 이하, 본 발명에 따른 전압 제어 발진 시스템에 대하여 첨부도면을 참조로 상세히 설명한다. 본 발명의 전압 제어 발진시스템은 입력 전압 변화에 대해 대체로 선형적으로 변화하는 출력주파수를 발생시킨다.
- [0023] 도 1은 본 발명의 제 1실시예에 따른 전압 제어 발진 시스템의 블록 다이어그램이다.
- [0024] 제 1실시예의 전압 제어 발진 시스템은 전류감지부(10), 코더부(20), 전압전류변환부(30), 및 전압제어발진부(40)를 포함한다.
- [0025] 전류감지부(10)는 전압제어발진부(40)에 흐르는 전류를 감지한다.
- [0026] 전압전류변환부(20)는 전압제어발진부(40)에 흐르는 전류를 변화시킨다.
- [0027] 코더부(30)는 전류감지부(10)의 출력에 근거하여 복수의 출력모드중 하나의 출력모드를 결정한다. 이때, 코더부(30)는 출력모드들간 튜닝영역이 중첩되는 구간에 대해 어느 한 출력모드를 결정하여 전압전류변환부(20)를 동작시킨다.
- [0028] 전압제어발진부(40)는 입력전압이 조절되어 출력주파수를 바꾸어 출력시킨다. 전압제어발진부(40)는 다양한 전류변화에 의해 넓은 튜닝 범위를 갖는다.
- [0029] 도 2는 도 1의 일부 구성의 내부 회로 예를 나타낸 도면이고, 도 3은 도 1의 전압전류변환부의 내부 회로 예를 나타낸 도면이고, 도 4는 도 1의 코더부와 전류감지부의 내부 회로 예를 나타낸 도면이다.
- [0030] 전류감지부(10)는 차동 지연셀(전압제어발진부(40)의 단위 구조)의 전류레벨에 비례하는 순간 전압(instantaneous voltage)을 발생시킨다. 전류감지부(10)는 비교기, 저항 및 전류미러를 포함한다. 전류감지부(10)는 차동 지연셀의 전류레벨을 감지하기(detect) 위하여 높은 선형성과 정밀도(accuracy)를 요구한다. 비교기의 입력 전압은 각 레퍼런스 값을 비교하며, 비교기의 출력단에서 디지털 위드를 발생시킨다. 만약 비교

기의 입력 전압이 상기 저항값보다 적으면 전류감지부(10)가 각 저항 레벨에 대해 '모두 로우'를 나타낸다. 만약 전류감지부(10)의 출력전압이 저항에 대한 전압보다 크거나 같으면, 디지털 워드는 비교기의 출력단에서 '하이'를 발생시킨다. 비교기의 출력단은 디코더 회로의 입력단에 연결되어 이진 출력(binary output)을 생성한다.

- [0031] 코더부(20)는 전류감지부(10)의 출력을 받아서 전압전류변환부(30)의 전류 및 저항을 선택하는 회로이다. 코더부(20)는 한 모드(mode)에서 다른 모드로 변환할 때 둘 중 한 모드만 선택한다. 여기서, 모드는 전압제어발진부(40)의 이득(Kvco)이 일정한 제어전압에 의해서 전류가 일정하게 증가하는 영역을 말한다. 도 4의 코더부(20)는 2개의 모드(출력모드)가 존재할 때 사용되는 구성이다.
- [0032] 도 2 및 도 4의 전압전류변환부(Voltage-to-current converter)(30)는 코더부(20)의 출력에 따라 다른 저항을 선택한다. 도 2 및 도 4의 전압전류변환부(30)는 저항값에 따라 전압제어발진부(40)에 흐르는 전류를 변화시킨다.
- [0033] 도 3의 전압전류변환기(Voltage-to-current converter)(30)는 코더부(20)의 출력에 따라 다른 저항 및 전류원을 선택한다. 도 3의 전압전류변환기(30)는 전류원과 저항값에 따라서 전압제어발진부(40)에 흐르는 전류를 변화시킨다.
- [0034] 도 3의 전압전류변환부(30)는 제 1단이 공급전원전압단(Vdd)에 연결되고 제 2단이 인버터를 통해 코더부(20)의 출력단에 연결된 제 1 내지 제 4 PMOS 트랜지스터와, 제 1단이 공급전원전압단(Vdd)에 연결되고 제 2단으로 제어전압(Vctrl)을 인가받는 NMOS 트랜지스터와, 접지전원전압단에 각각 저항을 매개로 소스가 연결되며 NMOS 트랜지스터와 드레인이 연결된 제 1 내지 제 4 NMOS 트랜지스터를 포함하여 이루어진다.
- [0035] 코더부(20)의 출력신호(제 1 내지 제 4 신호)에 따라 제 1 내지 제 4 PMOS 트랜지스터 및 제 1 내지 제 4 NMOS 트랜지스터 중 하나가 각각 스위칭된다.
- [0036] 전압제어발진부(40)는 차동 구조의 지연셀을 갖는다.
- [0037] 도 5는 본 발명의 제 1실시예에 따른 전압 제어 발진 시스템에 복제 회로가 채용된 도면이다.
- [0038] 전압제어발진부(40)는 복제회로(50)의 오피앰프(51) 출력신호를 게이트로 인가받으며 공급전원전압(Vdd)단과 제 1 출력노드(V-out) 사이에 소오스-드레인 경로가 접속된 PMOS 트랜지스터(M1)와, 복제회로(50)의 오피앰프(51) 출력신호를 게이트로 인가받으며 공급전원전압(Vdd)단과 제 2 출력노드(V+out) 사이에 소오스-드레인 경로가 접속된 PMOS 트랜지스터(M2)와, PMOS 트랜지스터(M1)와 직렬연결된 NMOS 트랜지스터(M5)와, PMOS 트랜지스터(M2)와 직렬연결된 NMOS 트랜지스터(M6)와, 전압전류변환부(30)의 출력을 게이트로 인가받으며 소스가 접지전원전압과 연결되며 드레인이 한 쌍의 NMOS 트랜지스터(M5,M6)에 공통연결된 NMOS 트랜지스터(M7)와, 제 1 출력노드(V-out) 및 상기 제 2 출력노드(V+out)에 크로스커플드(cross coupled) 연결된 NMOS 트랜지스터(M3,M4)를 포함한다.
- [0039] 바람직하게는, 전압제어발진부(40)의 NMOS 트랜지스터(M7)는 튜닝트랜지스터이다.
- [0040] 복제회로(Replica circuit)(50)는 전압제어발진부(40)의 P-MOSFET(M1 및 M2)를 깊은 트라이오드(deep triode)영역에서 사용하기 위한 회로이다.
- [0041] 복제회로(50)는 공급전원전압단(Vdd)에 공통연결된 한 쌍의 소스커플드 P-MOS 트랜지스터(M42,M43), 접지전원전압단에 N-MOS 트랜지스터(M39)를 매개로 공통연결되며 P-MOS 트랜지스터(M42,M43)에 각각 직렬로 드레인 연결된 한 쌍의 소스커플드 N-MOS 트랜지스터(M40,M41), 음단자가 P-MOS 트랜지스터(M42)의 드레인에 연결되고 양단자가 차동구조의 한쌍의 N-MOS 트랜지스터의(M40,M41) 게이트에 연결된 구조의 오피앰프(51)로 이루어진다.
- [0042] 여기서, 오피앰프(51)의 출력은 한 쌍의 P-MOS 트랜지스터(M42,M43)의 게이트 및 전압제어발진부(40)의 P-MOS 트랜지스터(M1,M2)의 게이트에 연결된다.
- [0043] 복제회로(50)는 전압전류변환부(30)의 제어신호를 접지전원전압에 연결된 N-MOS 트랜지스터(M39)의 게이트로 인가받는다. 이와 함께, 전압제어발진부(40)는 전압전류변환부(30)의 제어신호를 접지전원전압에 연결된 N-MOS 트랜지스터(M7)의 게이트로 인가받는다. 그에 따라, 전압제어발진부(40)(지연셀) 및 복제회로(50)는 전압전류변환부(30)의 제어를 받는다.

- [0044] 도 6 내지 도 12는 도 1에 도시된 전압제어발진부의 실시예를 나타낸 도면들이다.
- [0045] 도 6을 참조하면, 3단 구조(three stage structures)로 직렬 연결되어 구성된 지연셀(42,44,46)이 있다. 각각의 지연셀은 PMOS 트랜지스터(M7,M8,M9)를 매개로 공급전원전압(Vdd)과 각각 연결되고 NMOS 트랜지스터(M10,M11,M12)를 매개로 접지전원전압과 연결된다. 첫번째 지연셀과 세번째 지연셀이 서로 궤환 연결되어 있다.
- [0046] 도 7을 참조하면, 3단 구조(three stage structures)로 직렬 연결되어 구성된 지연셀(42,44,46)이 있다. 각각의 지연셀은 PMOS 트랜지스터(M7,M8,M9)를 매개로 공급전원전압(Vdd)과 각각 연결되고 접지전원전압과는 각각 직접 연결된다. 첫번째 지연셀과 세번째 지연셀이 서로 궤환 연결되어 있다.
- [0047] 도 8을 참조하면, 3단 구조(three stage structures)로 직렬 연결되어 구성된 지연셀(42,44,46)이 있다. 각각의 지연셀은 공급전원전압(Vdd)과 각각 직접 연결되고 NMOS 트랜지스터(M10,M11,M12)를 매개로 접지전원전압과 연결된다. 첫번째 지연셀과 세번째 지연셀이 서로 궤환 연결되어 있다.
- [0048] 도 9를 참조하면, 3단 구조(three stage structures)로 직렬 연결되어 구성된 지연셀(42,44,46)이 있다. 각각의 지연셀은 PMOS 트랜지스터(M8)을 매개로 공급전원전압(Vdd)과 공통 연결되고 접지전원전압과는 각각 연결된다. 첫번째 지연셀과 세번째 지연셀이 서로 궤환 연결되어 있다.
- [0049] 도 10을 참조하면, 3단 구조(three stage structures)로 직렬 연결되어 구성된 지연셀(42,44,46)이 있다. 각각의 지연셀은 공급전원전압(Vdd)과 각각 직접 연결되고 접지전원전압과는 NMOS 트랜지스터(M11)을 매개로 공통 연결된다. 첫번째 지연셀과 세번째 지연셀이 서로 궤환 연결되어 있다.
- [0050] 도 11을 참조하면, 3단 구조(three stage structures)로 직렬 연결되어 구성된 지연셀(42,44,46)과 마지막 교차 연결된 지연셀(48)이 있다. 각각의 지연셀은 바이어스전압(Vbp)과 각각 연결되고 또 다른 바이어스전압(Vbn)과 각각 연결된다. 각각의 지연셀은 다른 하나의 지연셀과 첫번째 지연셀과 마지막 교차 연결된 지연셀이 서로 궤환 연결되어 있다.
- [0051] 도 12를 참조하면, 3단 구조(three stage structures)로 직렬 연결되어 구성된 지연셀(42,44,46)이 있다. 각각의 지연셀은 바이어스전압(Vbp)과 바이어스전압(Vbn)과 각각 연결된다. 각각의 지연셀들 중에서 첫번째 두개의 지연셀(42,44)은 서로 다른 지연셀과 한 번씩 연결되는 반면, 마지막 지연셀(46)과는 두 번씩 연결되는 구조이다.
- [0052] 도 13은 본 발명의 제 2 실시예에 따른 전압 제어 발진 시스템의 구성도로서, 복제회로(50)를 채용한 경우이다.
- [0053] 도 13의 전압 제어 발진 시스템은 전류공급 및 밴드갭 레퍼런스(70)와, 전류감지부(10), 코더부(20), 전압전류변환부(30), 전압제어발진부(40), 복제회로(50) 및 버퍼(60)로 구성된다. 여기서, 코더부(20)와 전압전류변환부(30)의 동작에 대해서는 후술한다. 그리고, 복제회로(50)에 대한 보다 상세한 설명도 후술한다.
- [0054] 제 2 실시예의 전압 제어 발진 시스템은 4가지 모드(출력모드)가 존재하는 경우 전류변화를 제공하며, 4개의 전류변화를 통해서 넓은 튜닝 범위를 갖는다.
- [0055] 도 5를 다시 참조하면, 본 발명의 전압 제어 발진 시스템의 전압제어발진부(40)는 체인수(the number of chains)를 줄이기 위해 3단 구조(three stage structures)로 구성되며, 주파수를 증가시킬 수 있고 동시에 전류 소모를 줄일 수 있다. 전압 제어 발진부(40)는 3단 차동 링 발진기에 기초한다. 각 단(stage)에 전류-제어 차동 지연셀(current-controlled differential cell)을 가진다. 지연셀은 P-MOSFET 부하요소를 가진 N-MOSFET 소스 커플드 쌍에 기초한다. 크로스커플드(cross coupled) 트랜지스터 쌍은 상승 및 하강 시간(rise and fall times)을 줄이며 출력 전압의 시간 변위(timing jitter)에 대한 공급전압 변동(supply voltage fluctuation)의 효과를 최소화한다.
- [0056] 하프회로법(half circuit method)을 이용하여 양의 저항 $R_{on1,2}$ 와 평행하게 위치된 음의 저항은 다음 수학적 식 1로 표현된다.

수학식 1

$$R_{\text{equ}} = R_{on1,2} \parallel (-1/g_{m3,4}) = \frac{R_{on1,2}}{1 - g_{m3,4} R_{on1,2}}$$

[0057]

[0058] 여기서, $R_{on1,2}$ 는 triod 영역에서 바이어스된 P-MOSFET 부하의 저항이고, $g_{m3,4}$ 는 트랜지스터 M3,M4의 트랜스컨덕턴스이다.

[0059] 차동 링발진기의 발진주파수는 다음 수학식 2로 주어진다.

수학식 2

$$f = \frac{I_{dd}}{2NC_L V_S} = \frac{1}{2NR_{\text{equ}} C_L \ln 2} = \frac{(1 - g_{m3,4}) \mu_p C_{ox} (\frac{W}{L})_{1,2} (V_{DD} - V_{pbias} - |V_{THP}|)}{2NC_L \ln 2 (\mu_p C_{ox} (\frac{W}{L})_{1,2} (V_{DD} - V_{pbias} - |V_{THP}|))}$$

[0060]

[0061] 여기서 N은 단의 수이고, I_{dd} 는 차동 쌍의 부하전류이고, V_{dd} 는 공급 전압이고, C_L 은 차동 지연셀의 입출력 캐패시턴스의 합에 의해 주어진 각 단의 총 캐패시턴스이고, R_{equ} 는 부하저항이고, V_S 는 각 단의 출력에서 최대 단일-단부(singl-ended) 전압이다. 발진 주파수는 C_L 에 의존하다. 가변 지연은 tail 전류원의 조정에 의해 달성되며, 일정 출력 스윙(constant output swing)은 복제회로(50)의 P-MOSFET 게이트 전압을 조정함으로써 유지된다.

[0062] 지연은 가변 tail 전류원(current source)에 반비례한다. 따라서, 전압제어발진부(40)의 주파수는 trail 전류원에 정비례하고, 바람직한 양의 선형 슬로프를 가진다. 상기 수학식 2의 양변을 미분하면, 수학식 3과 같이 된다.

수학식 3

$$df = \frac{dI_{dd}}{2NC_L V_S} \bigg|_{I_{dd} = I_{tune}} \rightarrow dI_{dd} = dI_{tune} = \frac{dI_{tune}}{2NC_L V_S}$$

[0063]

[0064] 여기서, I_{tune} 은 차동쌍의 tail 전류이다. 주파수제어는 전압전류변환부(40)로부터 발생된 I_{tune} 을 가변시켜 달성된다. 최종적으로, 이득(Kvco)은 다음 수학식 4로 계산할 수 있다.

수학식 4

$$K_{VCO} = 2\pi \frac{df}{dV_{tune}} = 2\pi \frac{dI_{tune}}{2C_L V_S N dV_{tune}} = 2\pi \frac{G_{m7}}{2C_L V_S N}$$

[0065]

[0066] 최종적으로 $G_{m7} = dI_{tune}/dV_{tune}$ 이 된다. 여기서 G_m 은 튜닝 트랜지스터 M7의 트랜스컨덕턴스이다. 원하는 전력소비 내에 머무는 동안 모든 모드에 이르는데 충분한 Kvco를 가진 주파수를 얻기에 충분하도록 저속에서 고속까지 발진하는 전압제어발진기를 설계하였다.

[0067] 전압전류변환부(30)는 차동 지연 요소의 전류 레벨을 제어한다. 전압제어발진부(40)의 주파수는 전압전류변환

기(30)를 통해 공급된 tail 전류에 의해 제어된다. 전압전류변환부(30)는 전압 입력 신호를 가지고 주파수를 제어하기 위하여 두개의 전류 경로를 이용한다. 본 발명의 비 이상적인(non-ideal) 전압전류변환부(전류경로 1)는 소스 디제너레이션(source degeneration)을 가진 공통소스구성에 기초한다. 비 이상적인 전압전류변환기의 출력전류가 전압전류변환부로서 설계되었는데, 트랜스컨덕턴스 G_m 은 다음 수학적 식 5로 주어진다.

수학적 식 5

$$\begin{aligned} G_m &= \frac{I_{path1}}{V_{ctrl}} = \frac{I_{M26}}{V_{ctrl}} + \frac{I_{M27}}{V_{ctrl}} + \frac{I_{M28}}{V_{ctrl}} + \frac{I_{M29}}{V_{ctrl}} \\ &= \frac{g_{m26}}{1+g_{m26}R_1} + \frac{g_{m27}}{1+g_{m27}R_2} + \frac{g_{m28}}{1+g_{m28}R_3} + \frac{g_{m29}}{1+g_{m29}R_4} \\ &\approx \frac{1}{R_1} + \frac{1}{R_2} + \frac{1}{R_3} + \frac{1}{R_4} \quad (for \ g_{m26}R_1, \ g_{m27}R_2, \ g_{m28}R_3, \ g_{m29}R_4 \gg 1) \end{aligned}$$

[0068]

[0069]

여기서, V_{ctrl} 은 전압전류변환부의 제어전압이다. I_{M26} , I_{M27} , I_{M28} 및 I_{M29} 는 트랜지스터 M26, M27, M28 및 M29 각각의 폭과 길이의 드레인 전류 함수이다. g_{m26} , g_{m27} , g_{m28} 및 g_{m29} 는 트랜지스터 M26, M27, M28 및 M29 각각의 트랜스컨덕턴스이다. R_1 , R_2 , R_3 및 R_4 는 상기 전압전류변환부에서의 공통소스구성의 저항들이다. 집적회로 설계에 있어서 전압 V_{ctrl} 은 밴드갭 레퍼런스(reference)에 의해 발생될 수 있으며, 전압전류변환부(30)내의 전류경로 1는 다음 수학적 식 6과 같은 출력전류를 생성한다.

수학적 식 6

$$\begin{aligned} I_{path1} &= \frac{V_{ctrl}}{R_1} + \frac{V_{ctrl}}{R_2} + \frac{V_{ctrl}}{R_3} + \frac{V_{ctrl}}{R_4} \\ &\approx K_1V_{ctrl} + K_2V_{ctrl} + K_3V_{ctrl} + K_4V_{ctrl} \propto V_{ctrl} \end{aligned}$$

[0070]

[0071]

여기서 K_1 , K_2 , K_3 및 K_4 는 시간, 온도 또는 전압 레벨에 독립적인 상수이다. 전압제어발전부의 이득(gain)을 결정하기 위하여 소스 디제너레이션(degeneration) 저항들에 역비례하는 I_{path1} 를 가지는 것이 중요하다. 디제너레이션은 트랜지스터의 게이트 및 소스사이에 가해진 신호 스윙을 감소시키고, 입력과 출력특성을 더욱더 선형적으로 만든다. 본 발명에서는 출력전압이 밴드갭 레퍼런스 전압에 의해 설정된 CMOS 전류 미러 회로를 이용한다. 도 14를 참조하면, 전류 미러는 트랜지스터 M1 및 M4의 상부 입력 및 출력 쌍과 트랜지스터 M2 및 M3의 하부 입력 및 출력쌍을 포함한다. 트랜지스터 M1은 다른 입력 트랜지스터에 적어도 4배의 폭과 길이의 비 W/L 을 가진다. 트랜지스터 M5 및 M6의 전류는 상기 코더회로에 따라 상기 지연셀내에 전류 레벨을 조절하기 위하여 M8, M9, M11, M12, M14, M15, M17 및 M18로 미러된다. 전류원의 스위치가 가능할 때, 전류는 한 경로를 통해 흐른다. 트랜지스터 M23 및 M24사이 노드에서 KCL을 인가함으로써, 각 이득 모드는 수학적 식 7로 표현될 수 있다.

수학적 식 7

$$I_{path2} = I_{ref1} + I_{ref2} + I_{ref3} + I_{ref4}$$

[0072]

[0073]

여기서 I_{ref1} , I_{ref2} , I_{ref3} 는 트랜지스터 M8, M11, M14 및 M17 각각의 폭과 길이의 드레인 전류 함수이다.

[0074]

전압전류변환부(30)는 수학적 식 8로 표현될 수 있는 총 출력 전류를 생성한다.

수학식 8

$$\begin{aligned} I_{VTCout} &= I_{path1} + I_{path2} \\ &= K_1 V_{ctrl} + I_{ref1} + K_2 V_{ctrl} + I_{ref2} + K_3 V_{ctrl} + I_{ref3} + K_4 V_{ctrl} + I_{ref4} \\ &= I_{mode1} + I_{mode2} + I_{mode3} + I_{mode4} \end{aligned}$$

[0075]

[0076]

여기서, $I_{mode1}=K_1V_{ctrl}+I_{ref1}$, $I_{mode2}=K_2V_{ctrl}+I_{ref2}$, $I_{mode3}=K_3V_{ctrl}+I_{ref3}$, $I_{mode4}=K_4V_{ctrl}+I_{ref4}$ 이다.

[0077]

지연셀의 주파수 튜닝은 두개의 차동 전류경로를 통해 달성된다. 전압전류변환부(30)에서 총 전류레벨은 지연셀의 전류레벨에 영향을 미친다. 레퍼런스를 안정적으로 만들기 위하여, 공급 노이즈를 제거하기 위하여 VDD로부터 그라운드까지 캐패시터를 이용하는 게이트 및 소스/드레인 단자사이에 캐패시터를 계산하였다.

[0078]

이번에는, 복제회로(50)에 대한 보다 상세한 설명을 한다.

[0079]

도 13에는 전압제어발진부(40)의 지연셀과 함께 복제회로(50)가 도시되었다. 도 13의 복제회로(50)는 도 5의 복제회로(50)와 동일하게 구성된다. 신호진폭은 복제회로(50)에 의해 일정하게 유지된다. 복제회로(50)는 P-MOSFET(M42,M43)에 적당한 바이어스를 부하로 발생하도록 오피 앰프 및 지연셀을 이용한다. 1.8V의 파워공급으로부터 차동 이득 90dB가 달성되며, unity-gain 주파수 90MHz, 및 >50dB CMRR이 달성된다. 복제 바이어싱은 전압제어발진기로서 차동 증폭기와 함께 동일한 지연셀을 이용한다. 소스커플드 N-MOSFET(M40,M41) 쌍에 두 입력은 오피앰프(51)의 레퍼런스 전압(밴드갭 레퍼런스로부터 발생된)에 연결된다. 복제회로(50)에서 차동 쌍의 tail 전류원은 각 지연셀내에서 tail 전류원내에 동일한 양의 전류를 흐르게 한다. 이것이 최대 신호 조건이다. 증폭기 이득은 피드백이 레퍼런스 전압과 같게 되기에 충분할만큼 높다. 전압제어 단계에서 오피앰프의 출력은 저항을 바이어스하기 위해서 사용되기 때문에 전압제어발진부(40)에서의 신호 진폭은 레퍼런스 전압과 같다. 상기 링 발진기의 출력에서 증폭기는 CMOS레벨로 소신호 스윙을 변환한다. 트랜지스터 M42 및 M43은 deep triode 영역내에서 동작하고 오피앰프는 트랜지스터 M42 및 M43의 게이트에 음의 피드백을 인가한다. 만약 루프이득(loop gain)이 충분히 크다면, 오피앰프의 차동 입력 전압은 작아야 하며, $V_p \approx V_{REP}$ 및 $I_{VDSM42} \approx V_{DD}-V_{REF}$ 이다. tail 전류 I_{tune} 이 변하더라도, 피드백은 상대적으로 일정한 드레인-소스 전압을 보장한다. 실제로, I_{tune} 이 감소하면, 오피앰프의 이득은 트랜지스터 M42의 게이트 전압을 올리는데, 이를 테면, $R_{onM42}I_{tune} \approx V_{DD}-V_{REF}$. 복제 회로의 설계에 있어서, 큰 튜닝 범위는 차동쌍의 트랜스컨덕턴스에 역비례하게 상기 부하 임피던스가 조정될 것을 요구한다. P-MOSFET 트랜지스터 M1 및 M2에 의해 구현된 부하 임피던스는 복제회로(50)의 트랜스컨덕턴스에 역비례하게 조정된다.

[0080]

이번에는, 코더부(20)와 전압전류변환부(30)의 동작에 대한 보다 상세한 설명을 한다.

[0081]

도 14를 참조하면, 전류제어 메카니즘은 8개의 트랜지스터(M7,M10,M13,M16,M26,M27,M28 및 M29)에 의해 달성되며, 전압제어발진부(40)의 지연셀의 전류 레벨을 제어하기 위한 전류 제어는 전압전류변환부(30)의 8개의 트랜지스터(M7,M10,M13,M16,M26,M27,M28 및 M29)를 온/오프 스위칭함에 의해 수행된다. 한편, 전압제어발진부(40)의 지연셀에 흐르는 최적의 전류 조건을 찾기 위해, 도 4의 참조부호 32는 큰 전류 공급원이 되고, 참조부호 34는 작은 전류 공급원이 된다.

[0082]

도 14를 보면, 4개의 전류 제어 모드가 수행되는데, 전압제어발진부(40)의 주파수는 상기 4개의 전류모드중 하나를 선택하여 가변될 수 있다.

[0083]

이번에는, 전압제어발진부(40)의 시뮬레이션결과를 설명한다.

[0084]

본 발명은 표준 CMOS공정에서 제조된 링 VCO로서, 더 낮고 더 높은 주파수 제한및 노이즈 성능을 나타낸다. 이러한 성능은 Cadence Spectre-RF 및 HSPICE로 평가되었다.

[0085] 표 1은 1.8V 공급전압하에서 다른 전류모드를 가진 본 발명에 따른 VCO의 특성을 나타낸다.

[0086] VCO의 튜닝 주파수 범위가 59M~2.96GHz까지 변하는 것을 나타낸다.

표 1

Mode	K_{VCO} (radians/s·V)	Phase noise at 600 kHz offset	Tuning range	Power consumption
Current mode 1	1.92 G	-101 dBc/Hz	59 M ~ 377 MHz	0.86 mW
Current mode 2	2.36 G	-105 dBc/Hz	361 MHz ~ 740 MHz	1.22 mW
Current mode 3	7.35 G	-110 dBc/Hz	738 MHz ~ 1.88 GHz	2.3 mW
Current mode 4	7.35 G	-112 dBc/Hz	1.74 GHz ~ 2.96 GHz	3 mW
Total tuning frequency range	59 M ~ 2.96 GHz			

[0087]

[0088] 표 1을 통해보면, 3단 차동지연셀의 위상 노이즈(phase noise)는 600kHz 오프셋에서 -101 dBc/Hz 및 -112 dBc/Hz 사이에 있는 것으로 예측되었다. 모드 4의 위상노이즈는 모든 주파수대에서 모드 1보다 더 낮은 것이 주목된다.

[0089] 표 2는 다른 전류 모드를 가진 VCO의 성능 비교를 나타내며, 튜닝 범위(tuning range), 위상 노이즈(phase noise) 파워소모(power consumption)를 고려하였다.

표 2

	본 발명	[9]	[10]
Technology	0.18 um CMOS	0.18 um CMOS	0.18 um CMOS
V_{DD}	1.8 V	1.8 V	1.8 V
K_{VCO}	306 MHz/V (Mode 1) 375 MHz/V (Mode 2) 1.17 MHz/V (Mode 3) 1.10 MHz/V (Mode 4)	857 MHz/V	533 MHz/V
Tuning range	59 M ~ 2.96 GHz	0.4 ~ 1.6 GHz	1.1 ~ 1.9 GHz
Phase noise (dBc/Hz)	-101 ~ -112 dBc/Hz at 600kHz offset	-88 ~ -95 dBc/Hz at 1MHz offset	-105 dBc/Hz at 1MHz offset
Wide tuning rang Technique	본 발명	Ring oscillator	Ring oscillator

[0090]

[0091] 도 15를 참조하면, 0.6V~1.7V까지 변하는 V_{ctrl} 과 소스 디제너레이션 저항에 따라 MOSFET을 통해 전류가 어떻게 가변되는지 나타낸다. $V_{ctrl} < V_{THN}$ 일때, 전류가 shut off되기 때문에 입력 전압 0.6V에서 시작하였다.

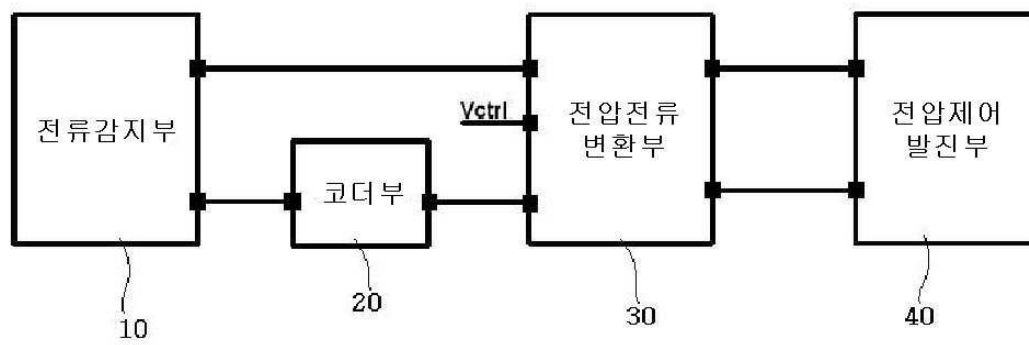
[0092] 도 16을 참조하면, 도 15의 라인의 미분(derivative)을 취하였고, 슬로프의 변화가 안정적이다. 전압전류변환기의 정확한 설계를 위하여 문턱 전압의 선형성의 변화가 제한 요인이 될 수 있다. MOSFET의 출력 임피던스를 증가시키기 위하여 길이를 증가시키는 것은 선형성을 개선하는데 도움을 줄 수 있기 때문에 채널 길이 모듈레이션(modulation)은 또한 비선형성이 기여한다는 점에 주목한다. 게이트 소스 전압이 문턱 전압에 가깝도록 하기 위하여 큰 저항이 사용된다. 만약 문턱 전압이 변하지 않는다면, 드레인 전류는 입력 전압에 선형적으로 관련될 것이다.

[0093] 도 17을 참조하면, 0.6~1.8V 까지 변하는 V_{ctrl} 을 가진 W/L에 따른 시뮬레이션 결과이다. 도 17의 라인을 미분한 도 18을 참조하여 트랜지스터 M31의 폭을 결정한다. 트랜지스터 M31의 폭은 넓게 만들어진다.

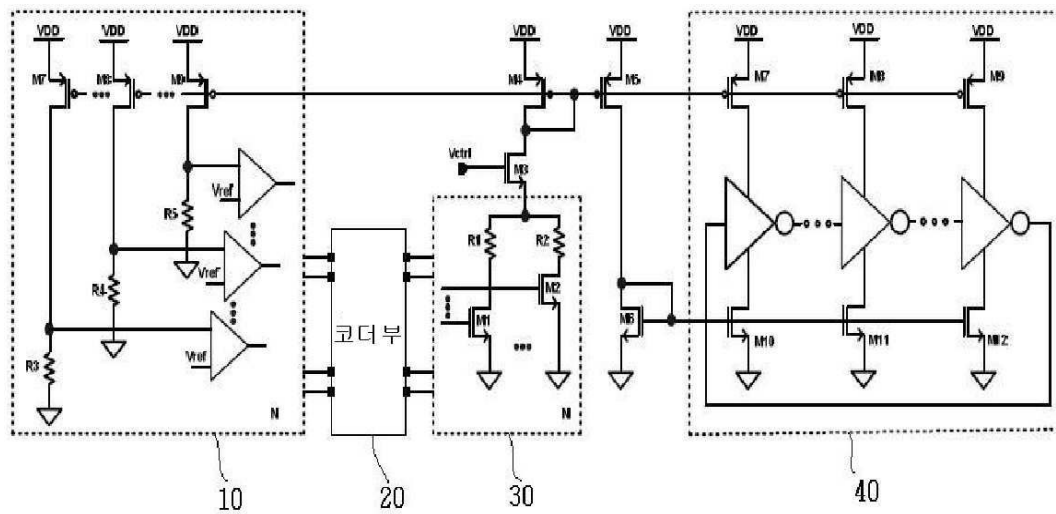
[0094] 도 19 및 도 20을 참조하면, 전압제어발진부의 주파수 및 전류의 특성을 나타낸다. VCO의 튜닝 특성을 선형적으로 만들기 위해, 상기 VCO의 저항값을 모드별로 조정하였다. 곡선은 입력제어전압을 통해 겹치는 지역을 만

도면

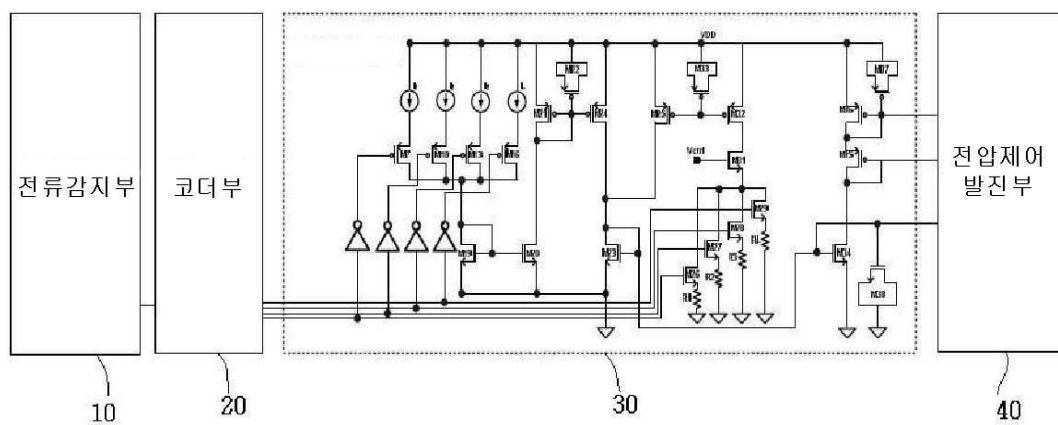
도면1



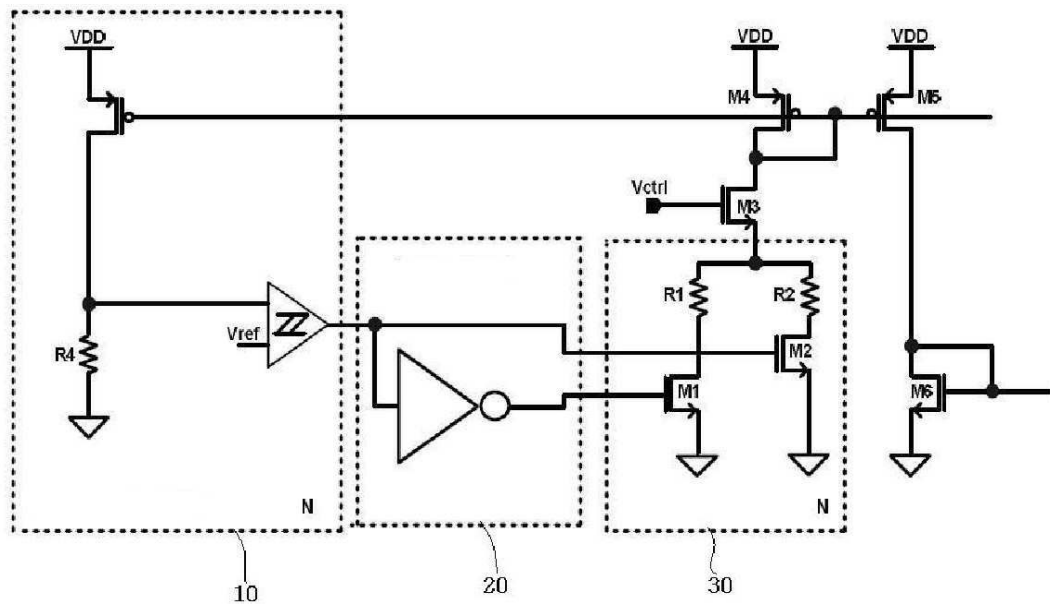
도면2



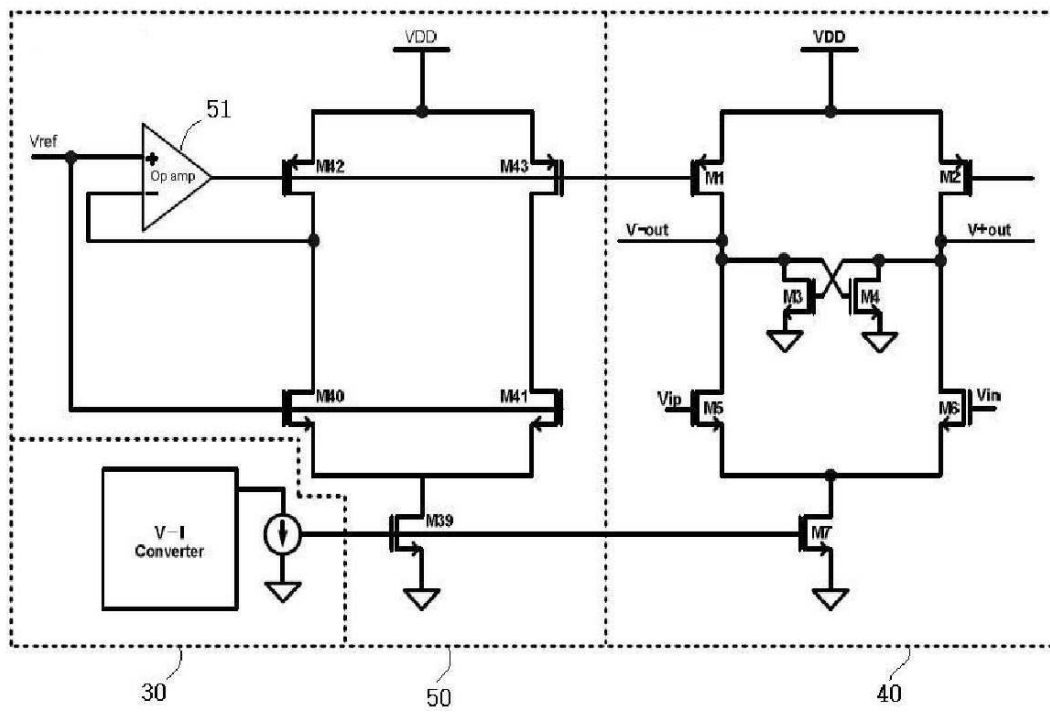
도면3



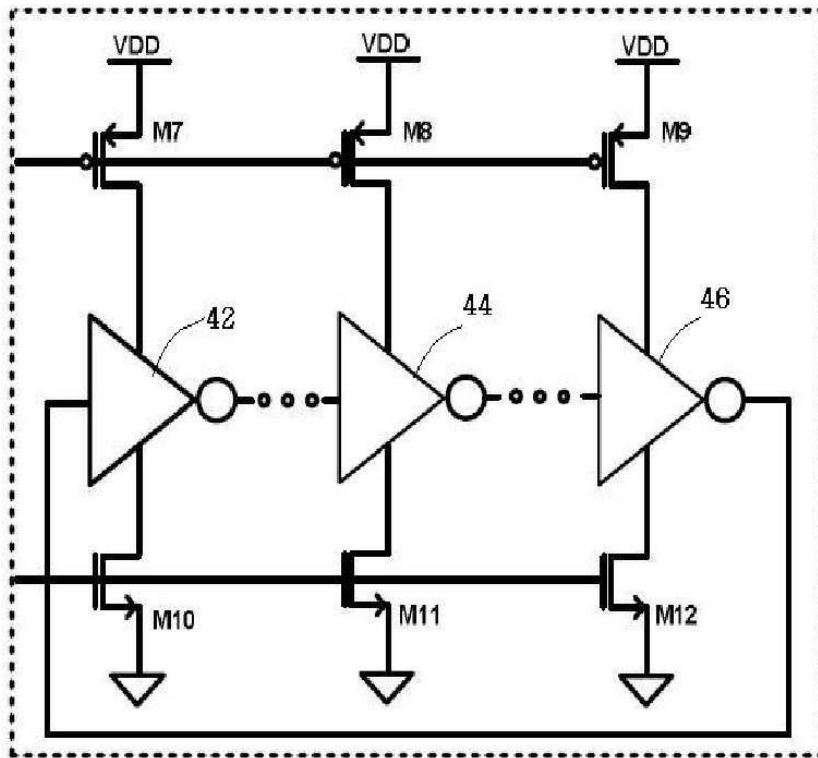
도면4



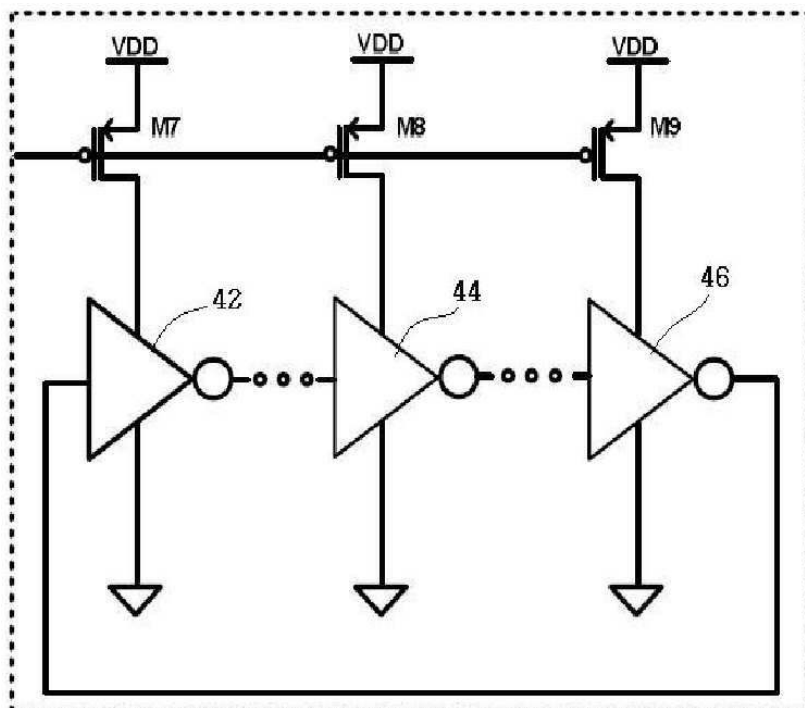
도면5



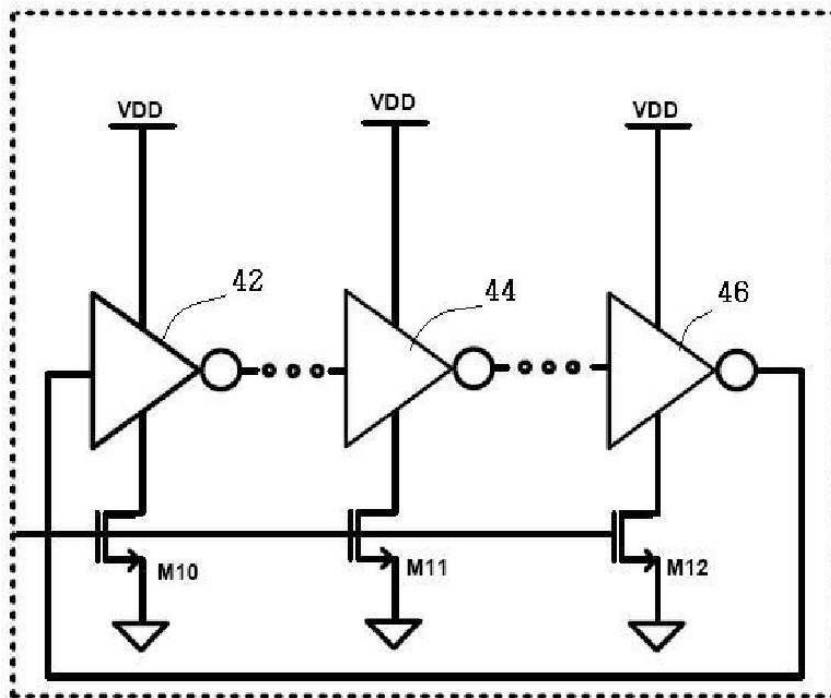
도면6



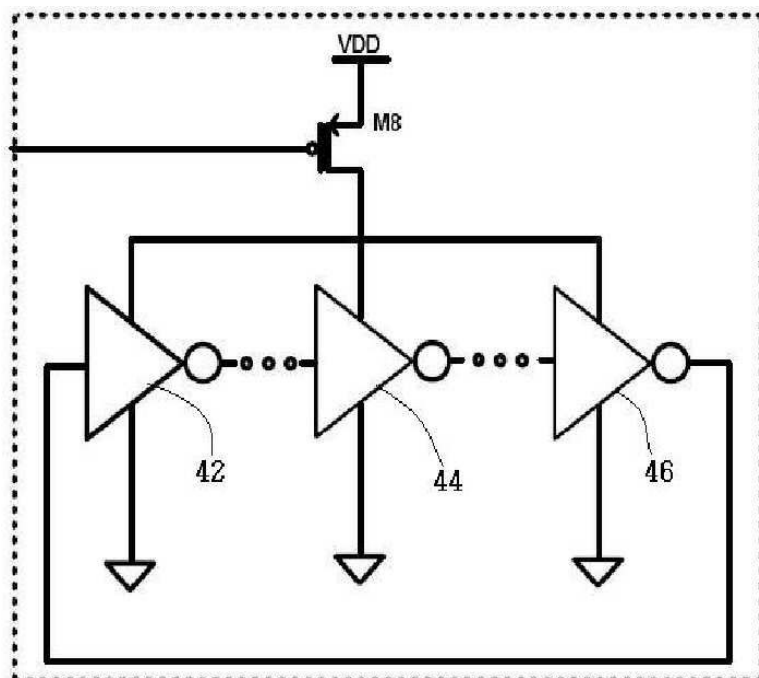
도면7



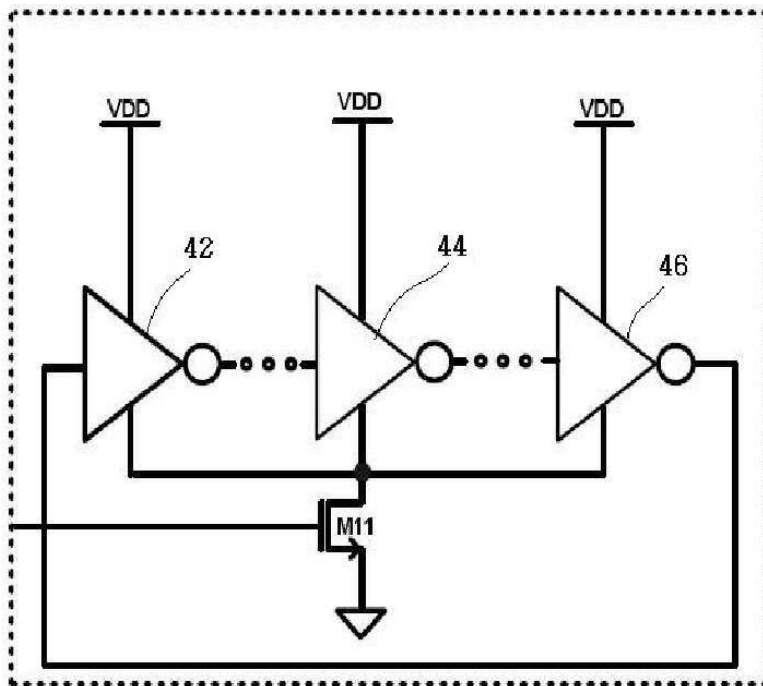
도면8



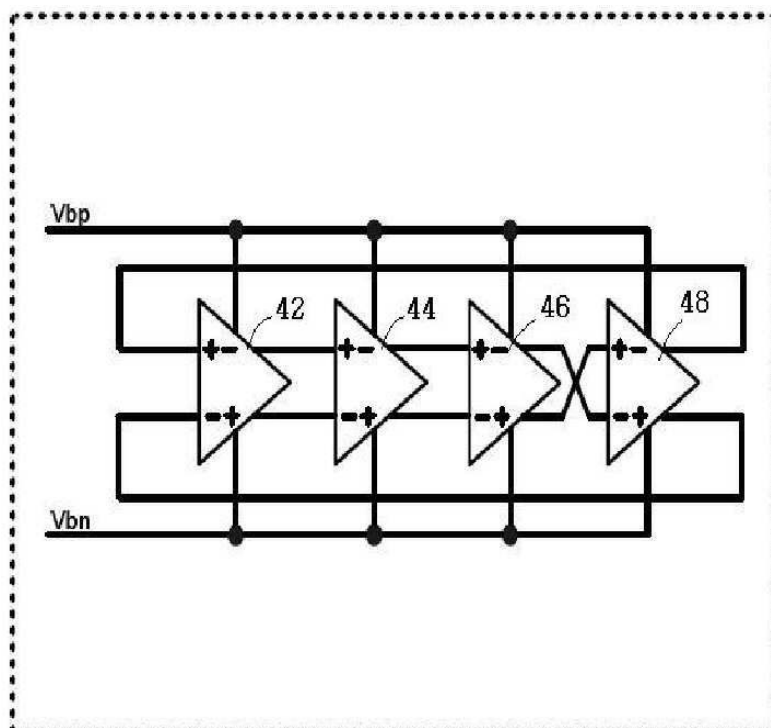
도면9



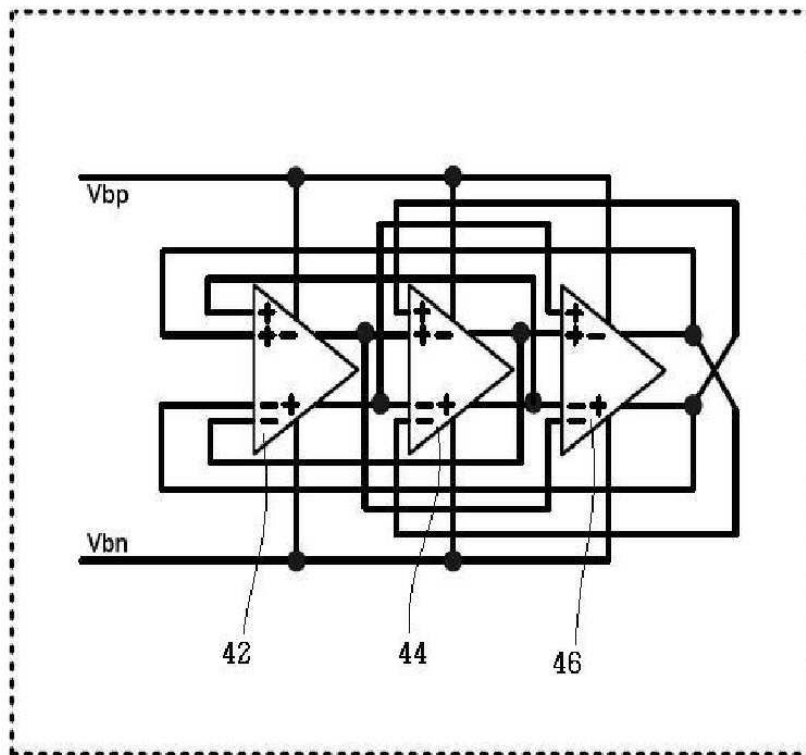
도면10



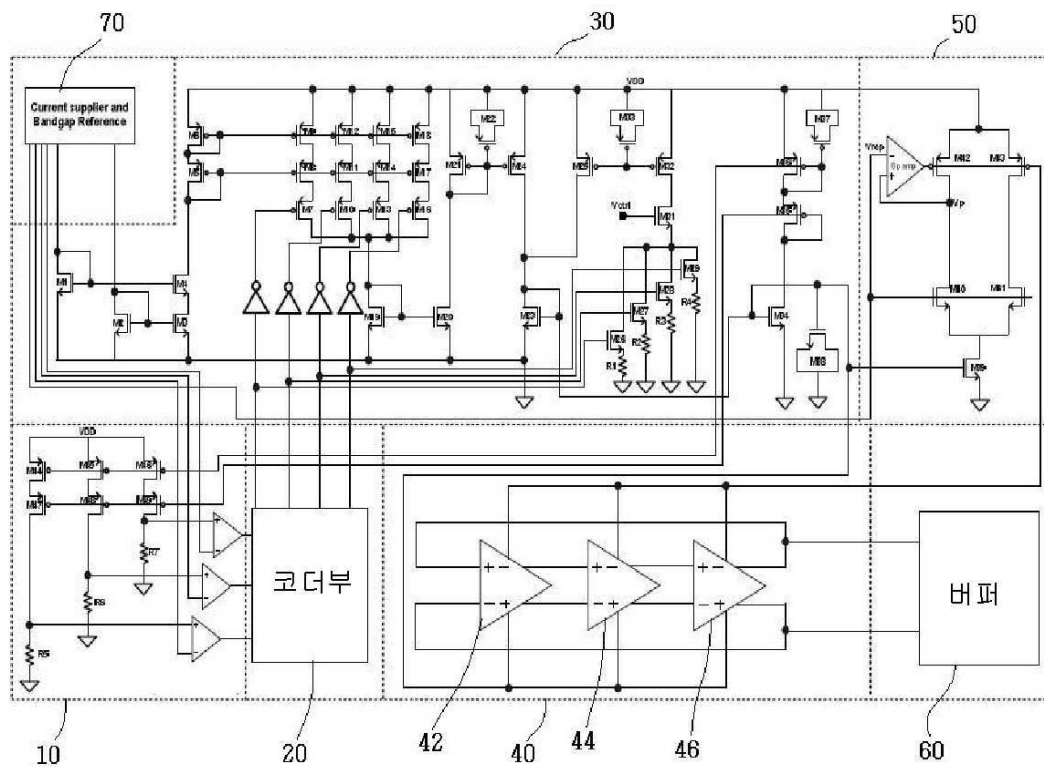
도면11



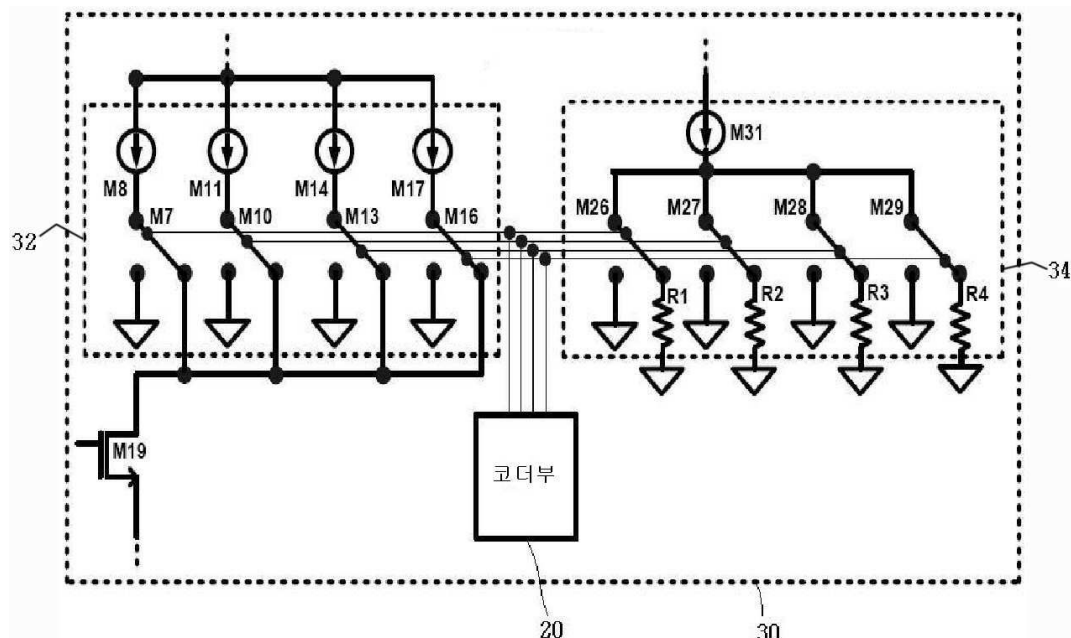
도면12



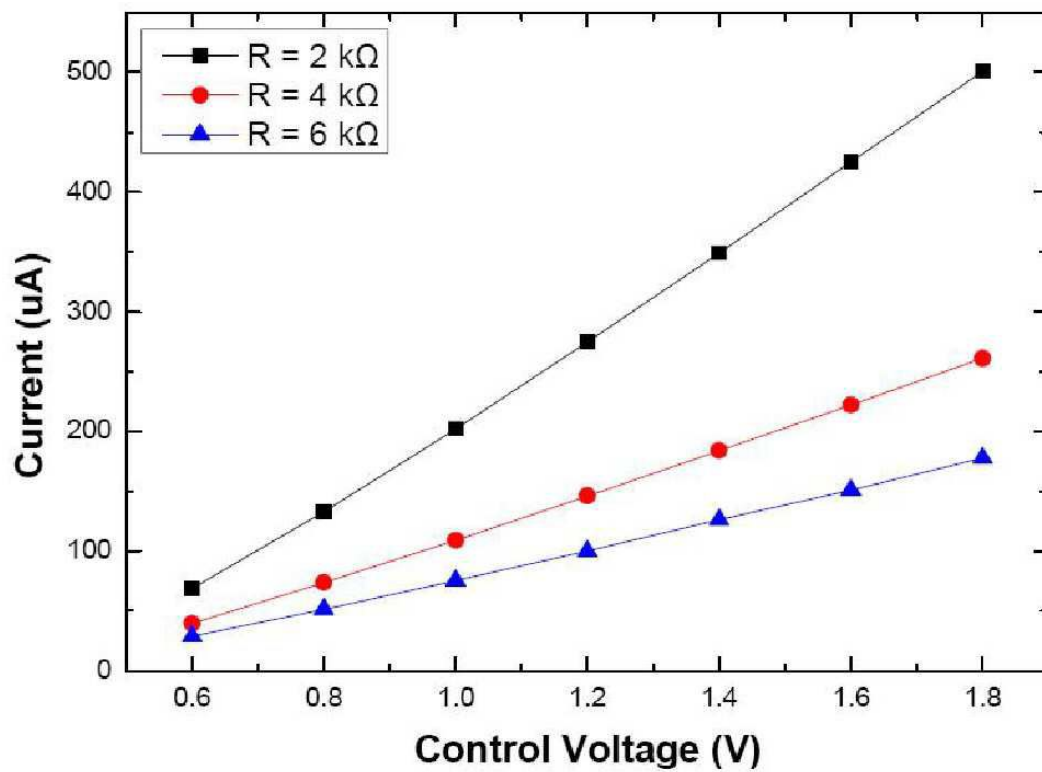
도면13



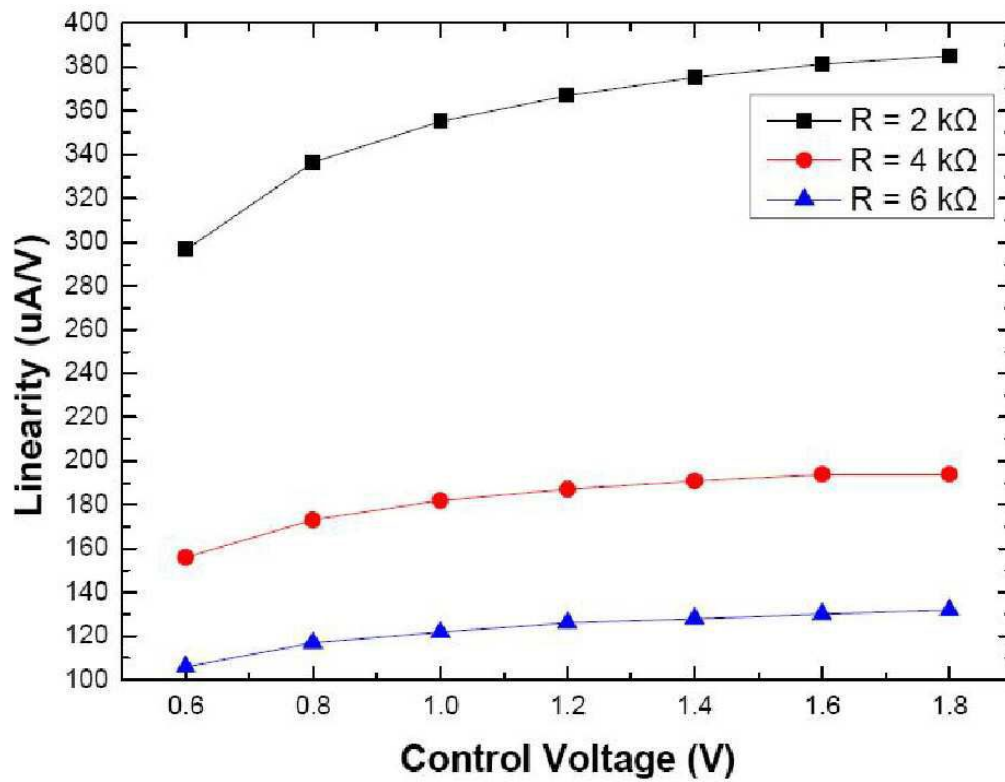
도면14



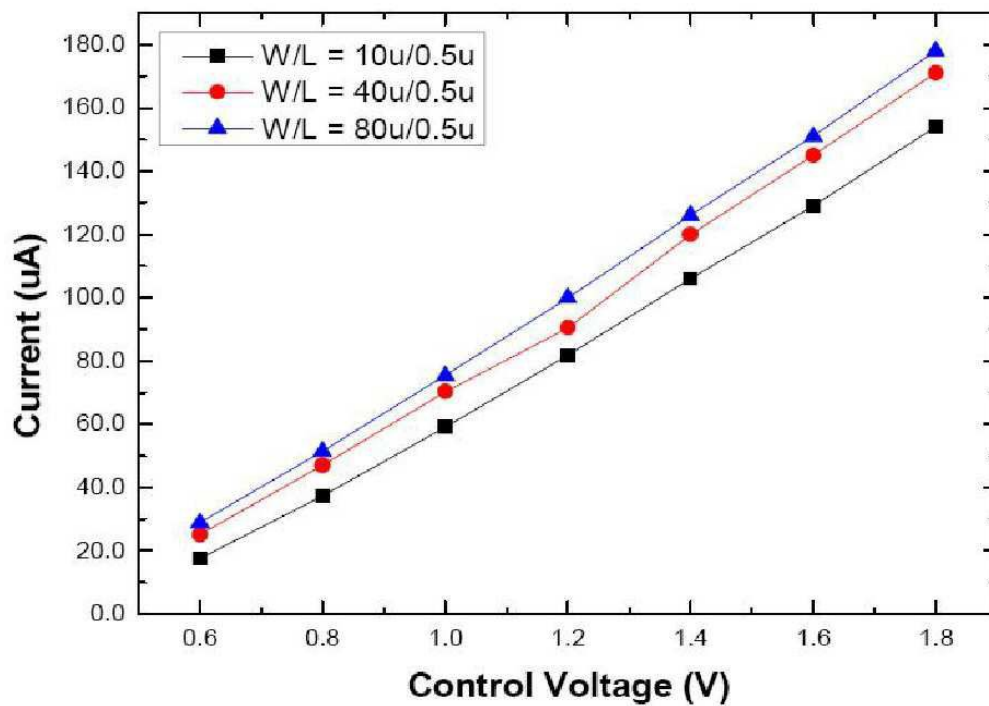
도면15



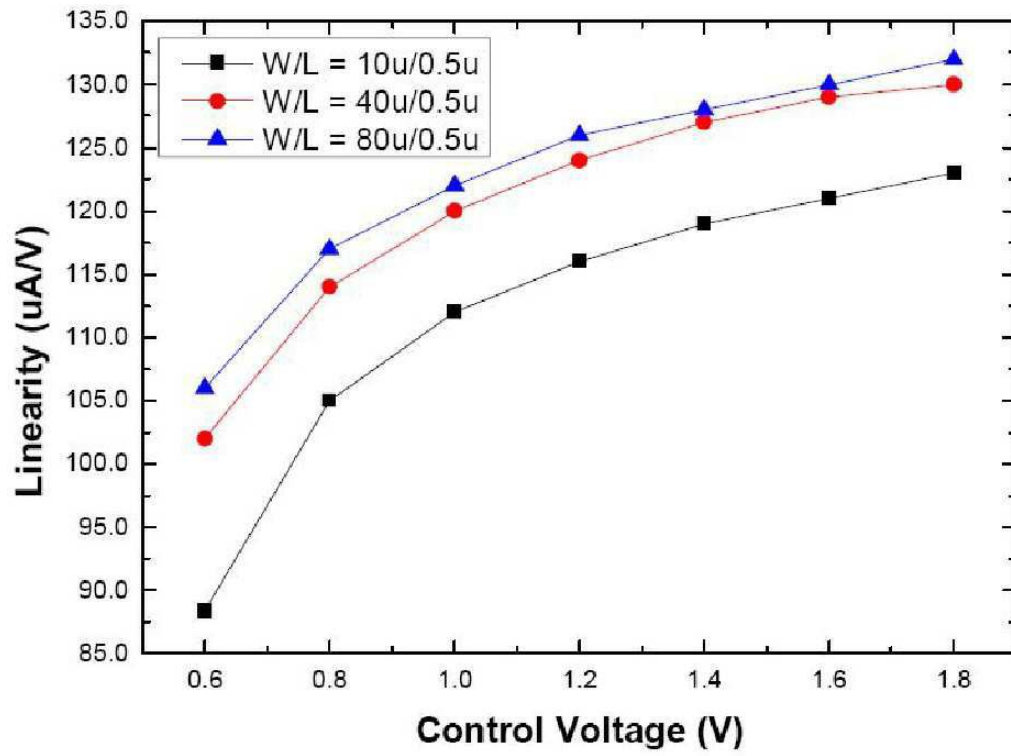
도면16



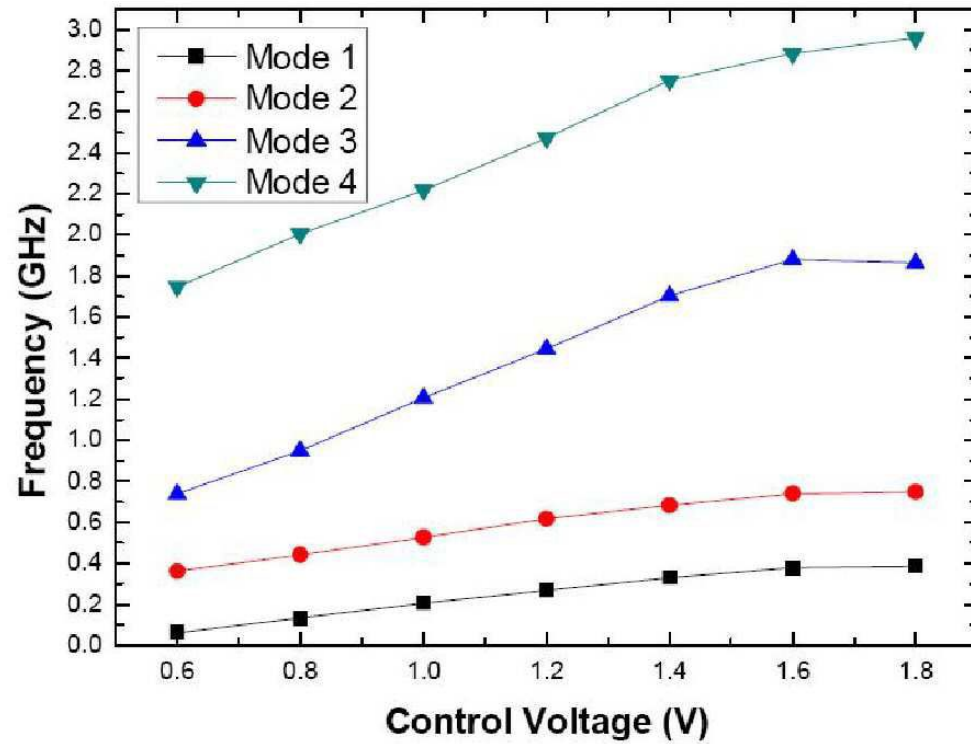
도면17



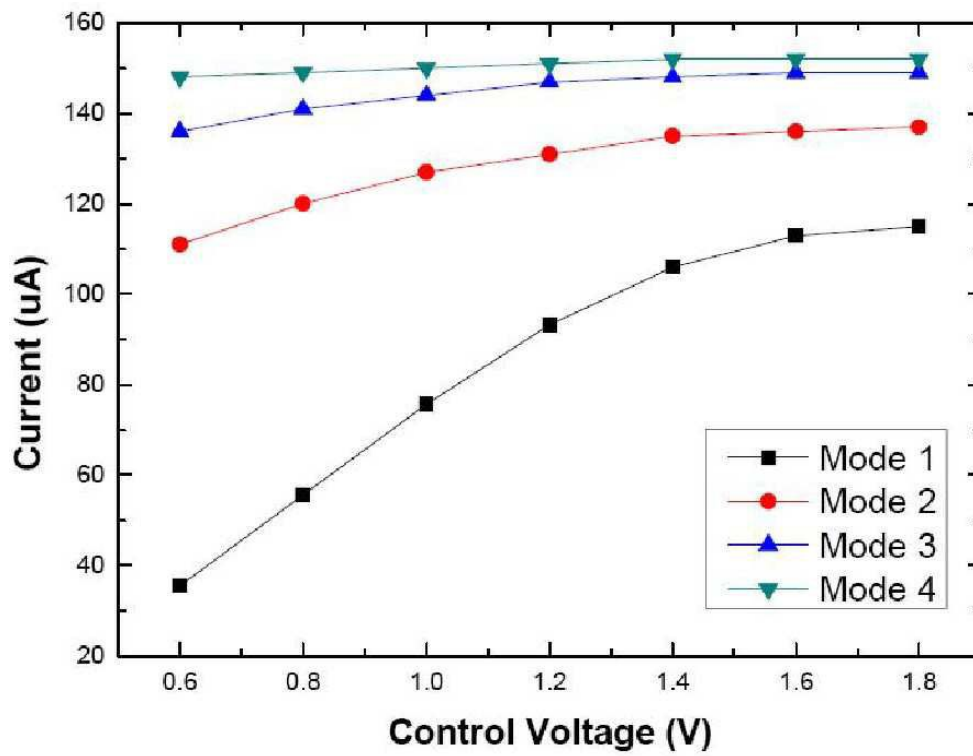
도면18



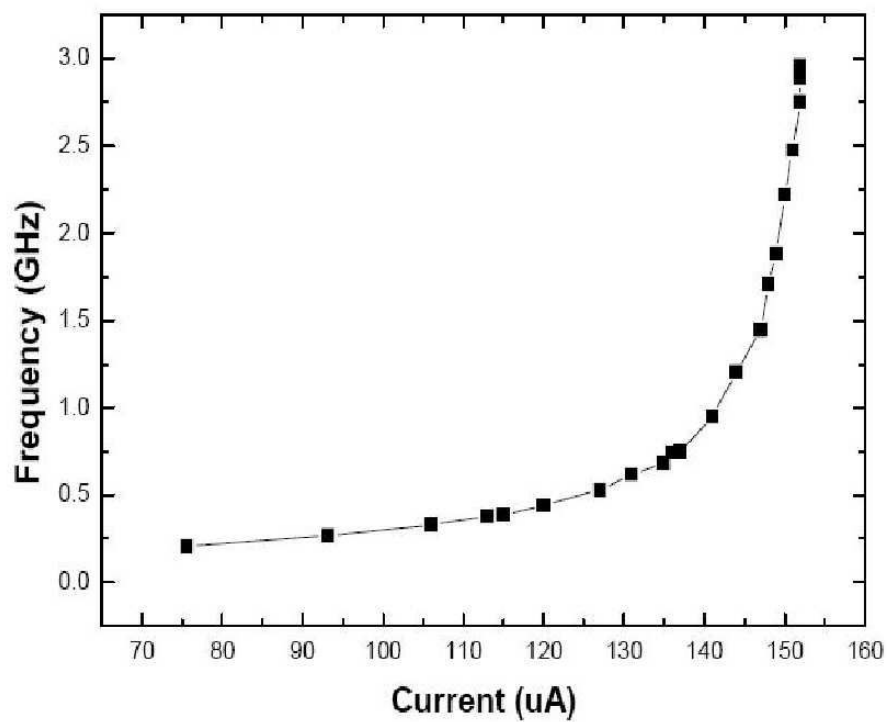
도면19



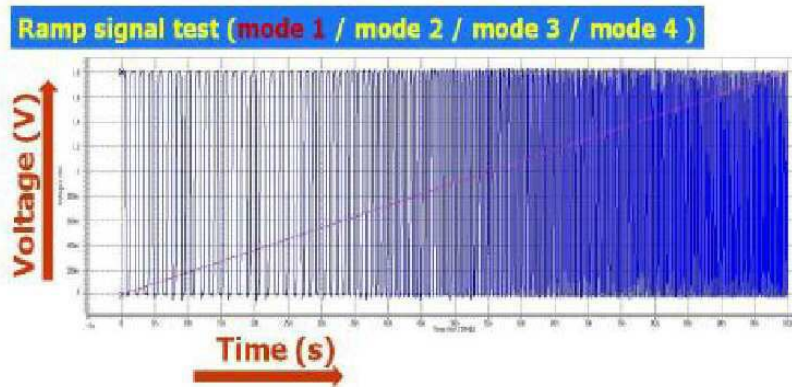
도면20



도면21



도면22



도면23

