

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2010 年 9 月 30 日(30.09.2010)

PCT

(10) 国際公開番号
WO 2010/109966 A1

- (51) 国際特許分類:
G11C 16/06 (2006.01) G11C 16/04 (2006.01)
G11C 16/02 (2006.01)
- (21) 国際出願番号: PCT/JP2010/051995
- (22) 国際出願日: 2010 年 2 月 10 日(10.02.2010)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2009-077303 2009 年 3 月 26 日(26.03.2009) JP
- (71) 出願人 (米国を除く全ての指定国について): 株式会社 東芝 (KABUSHIKI KAISHA TOSHIBA) [JP/JP]; 〒1058001 東京都港区芝浦一丁目 1 番 1 号 Tokyo (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 藤木 潤 (FUJIKI, Jun) [JP/JP]; 〒1058001 東京都港区芝浦一丁目 1 番 1 号 株式会社東芝 知的財産部内 Tokyo (JP). 安田 直樹 (YASUDA, Naoki) [JP/JP]; 〒1058001 東京都港区芝浦一丁目 1 番 1 号 株式会社東芝 知的財産部内 Tokyo (JP). 村岡 浩一 (MURAOKA, Koichi) [JP/JP]; 〒1058001

東京都港区芝浦一丁目 1 番 1 号 株式会社東芝 知的財産部内 Tokyo (JP).

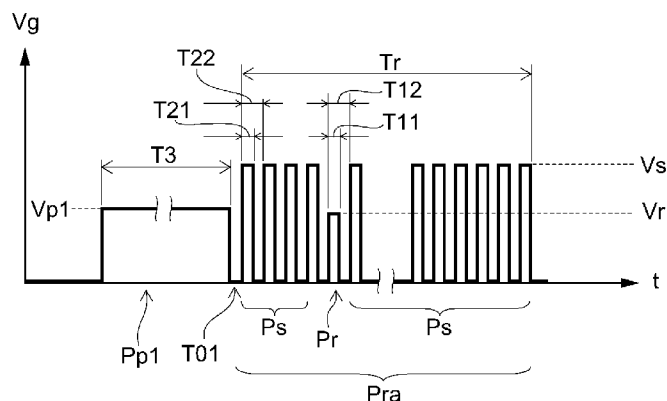
- (74) 代理人: 日向寺 雅彦 (HYUGAJI, Masahiko); 〒2310015 神奈川県横浜市中区尾上町 1 丁目 4 番 1 号 関内 S T ビル Kanagawa (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

[続葉有]

(54) Title: NONVOLATILE SEMICONDUCTOR STORAGE DEVICE AND METHOD FOR DRIVING SAME

(54) 発明の名称: 不揮発性半導体記憶装置及びその駆動方法

[図1]



(57) Abstract: A nonvolatile semiconductor storage device is provided with: a memory string having a plurality of memory cells each of which has a channel, a first insulating film, a charge storage layer and a gate electrode laminated therein; and a driving section connected to the memory cells. At the time of sequentially applying first signals to each of the memory cells and sequentially reading out data, when the first signal is applied to one of the memory cells, second signals which transmit the data are applied to other memory cells. The driving section applies third signals having a voltage smaller than the absolute value of the voltage of the second signal to the gate electrodes of all the memory cells included in the memory string prior to the sequential reading. Thus, the nonvolatile semiconductor storage device which can perform stable reading even when there is characteristic fluctuation due to dielectric relaxation, and a method for driving such nonvolatile semiconductor storage device are provided.

(57) 要約:

[続葉有]

WO 2010/109966 A1



添付公開書類:

— 国際調査報告 (条約第 21 条(3))

— 補正された請求の範囲 (条約第 19 条(1))

チャンネル、第 1 絶縁膜、電荷保持層及びゲート電極が積層された複数のメモリセルを有するメモリス
トリングと、メモリセルに接続された駆動部と、を備えた不揮発性半導体記憶装置を提供する。複数の
メモリセルのそれぞれに第 1 信号を順次印加して、データを順次読み出す際に、いずれかのメモリセル
に第 1 信号が印加されるときに、前記いずれかのメモリセルを除くメモリセルに、前記データを伝送
する第 2 信号が印加される。駆動部は、順次読み出しの前に、メモリストリングに含まれる全てのメモ
リセルのゲート電極に、第 2 信号の電圧の絶対値よりも小さい電圧を有する第 3 信号を印加する。これ
により、誘電緩和に起因した特性変動があっても安定した読み出し動作が可能な不揮発性半導体記憶装
置及びその駆動方法が提供される。

明 細 書

発明の名称： 不揮発性半導体記憶装置及びその駆動方法

技術分野

[0001] 本発明は、不揮発性半導体記憶装置及びその駆動方法に関する。

背景技術

[0002] NAND型及びNOR型のフラッシュメモリにおいては、大容量化の要請に伴い、メモリセルトランジスタの微細化が必須となってきた。微細化とは、メモリセルトランジスタのチャネル方向および幅方向の縮小のことを指す。この微細化に伴って、メモリセルトランジスタのスイッチング動作の制御性を維持するために絶縁膜の薄膜化が必要となってきた。

[0003] ゲート絶縁膜の薄膜化は、一方でリーク電流を増大させ、これがメモリセルトランジスタにおいて深刻な問題となる。フラッシュメモリにおいては絶縁膜に挟まれた浮遊電極や電荷蓄積層への電荷注入によって書き込みが行われるが、リーク電流が増大すると書き込んだデータが失われる可能性が大きくなる。そこで大容量のフラッシュメモリにおいてはメモリセルトランジスタに適用する絶縁膜、特にブロック絶縁膜に高誘電率材料を用いる傾向が強い。高誘電率材料は、等価酸化膜厚を小さくし、かつリーク電流を減少させる効果をもっている。

[0004] しかし、高誘電率材料は内部に分極成分を有している。分極は一般に瞬时分極と遅延分極とに分類される。瞬时分極はその材料の誘電率を担うものである。一方、遅延分極とはその絶縁膜に電場が印加される間にゆるやかに緩和していく分極の成分を表すものである。

[0005] 絶縁膜がこの遅延分極を有すると、この絶縁膜に電場を印加している時間によって、この絶縁膜の誘電率が経時的に変化する。誘電率の経時変化が発生すると、チャネルに印加される実効的な電場も経時変化することとなる。絶縁膜に電場を印加したときに、誘電率の経時変化が発生する現象を一般に誘電緩和と言う。

[0006] フラッシュメモリはチャネル電流が流れるか否かによってデータを識別するデバイスである。フラッシュメモリに例えばこのような高誘電率材料を適用し、この遅延分極が顕著である場合には、しきい値を読み出す最中にチャネル電流が経時的に時変化してしまい、データを識別することが困難となってしまう。

この問題を解決する方法はいまだ開示されていない。

[0007] なお、メモリセルに書き込まれたデータを読み出す駆動方法の1つとしてプリチャージ法が提案されている（例えば、特許文献1参照）。

また、メモリセルにデータを書き込む駆動方法として、ステップ電圧を用いる方法が提案されている（例えば、特許文献2参照）。

先行技術文献

特許文献

[0008] 特許文献1：特開2008-287831号公報

特許文献2：特開2005-276428号公報

発明の概要

発明が解決しようとする課題

[0009] 本発明は、誘電緩和に起因した特性変動があっても安定した読み出し動作が可能な不揮発性半導体記憶装置及びその駆動方法を提供する。

課題を解決するための手段

[0010] 本発明の一態様によれば、複数のメモリセルを有するメモリストリングと、前記メモリセルのそれぞれに接続された駆動部と、を備え、前記複数のメモリセルのそれぞれは、チャネルと前記チャネルの両側に設けられたソース領域及びドレイン領域とを有する半導体層と、前記チャネルの上に設けられた第1絶縁膜と、前記第1絶縁膜の上に設けられた電荷保持層と、前記電荷保持層の上に設けられたゲート電極と、を有し、前記複数のメモリセルのそれぞれに第1信号を順次印加して、前記複数のメモリセルに記憶されたデータを順次読み出す際に、前記複数のメモリセルのうちのいずれかである第1

セルに前記第 1 信号が印加されるときに、前記データを伝送する第 2 信号が前記複数のメモリセルのうちの前記第 1 セルを除いた前記メモリセルである第 2 セルに印加され、前記駆動部は、前記順次読み出しの前に、前記メモリストリングに含まれる全ての前記メモリセルの前記ゲート電極に、第 3 信号を印加し、前記第 3 信号は、前記第 2 信号の電圧の絶対値よりも小さい絶対値の電圧と、前記順次読み出しの際に前記メモリセルに含まれる全ての前記メモリセルに前記第 1 信号が順次印加される合計の時間幅以上の時間幅と、を有することを特徴とする不揮発性半導体記憶装置が提供される。

[0011] 本発明の他の一態様によれば、複数のメモリセルを有するメモリストリングと、前記メモリセルのそれぞれに接続された駆動部と、を備え、前記複数のメモリセルのそれぞれは、チャンネルと前記チャンネルの両側に設けられたソース領域及びドレイン領域とを有する半導体層と、前記チャンネルの上に設けられた第 1 絶縁膜と、前記第 1 絶縁膜の上に設けられた電荷保持層と、前記電荷保持層の上に設けられたゲート電極と、を有し、前記複数のメモリセルのそれぞれに第 1 信号を順次印加して、前記複数のメモリセルに記憶されたデータを順次読み出す際に、前記複数のメモリセルのうちのいずれかである第 1 セルに前記第 1 信号が印加されるときに、前記データを伝送する第 2 信号が前記複数のメモリセルのうちの前記第 1 セルを除いた前記メモリセルである第 2 セルに印加され、前記駆動部は、前記順次読み出しの前の第 1 期間において、前記メモリストリングに含まれる全ての前記メモリセルの前記ゲート電極に第 4 信号を印加する、及び、前記メモリストリングに含まれる全ての前記メモリセルの前記ゲート電極と前記半導体層との電位を同じにする、の少なくともいずれかを実施することを特徴とする不揮発性半導体記憶装置が提供される。

[0012] 本発明の他の一態様によれば、複数のメモリセルを有するメモリストリングと、前記メモリセルのそれぞれに接続された駆動部と、を備え、前記複数のメモリセルのそれぞれは、チャンネルと前記チャンネルの両側に設けられたソース領域及びドレイン領域とを有する半導体層と、前記チャンネルの上に設け

られた第1絶縁膜と、前記第1絶縁膜の上に設けられた電荷保持層と、前記電荷保持層の上に設けられたゲート電極と、を有し、前記複数のメモリセルのそれぞれに第1信号を順次印加して、前記複数のメモリセルに記憶されたデータを順次読み出す際に、前記複数のメモリセルのうちのいずれかである第1セルに前記第1信号が印加されるときに、前記データを伝送する第2信号が前記複数のメモリセルのうちの前記第1セルを除いた前記メモリセルである第2セルに印加され、前記駆動部は、前記メモリストリングの前記メモリセルの少なくともいずれかである第3セルにデータを書き込む第5信号と前記書き込まれたデータをベリファイ読み出しする第6信号とを印加する前に、前記第3セルの前記ゲート電極に、第7信号を印加し、前記第7信号は、前記第5信号の電圧の絶対値よりも小さい絶対値の電圧と、前記第3セルに前記第5信号及び前記第6信号が印加される間の時間幅以上の時間幅と、を有することを特徴とする不揮発性半導体記憶装置が提供される。

[0013] 本発明の他の一態様によれば、複数のメモリセルを有するメモリストリングと、前記メモリセルのそれぞれに接続された駆動部と、を有し、前記複数のメモリセルのそれぞれは、チャンネルと前記チャンネルの両側に設けられたソース領域及びドレイン領域とを有する半導体層と、前記チャンネルの上に設けられた第1絶縁膜と、前記第1絶縁膜の上に設けられた電荷保持層と、前記電荷保持層の上に設けられたゲート電極と、を有し、前記複数のメモリセルのそれぞれに第1信号を順次印加して、前記複数のメモリセルに記憶されたデータを順次読み出す際に、前記複数のメモリセルのうちのいずれかである第1セルに前記第1信号が印加されるときに、前記データを伝送する第2信号が前記複数のメモリセルのうちの前記第1セルを除いた前記メモリセルである第2セルに印加される不揮発性半導体記憶装置の駆動方法であって、前記順次読み出しの前に、前記メモリストリングに含まれる全ての前記メモリセルの前記ゲート電極に、第3信号を印加し、前記第3信号は、前記第2信号の電圧の絶対値よりも小さい絶対値の電圧と、前記順次読み出しの際に前記メモリセルに含まれる全ての前記メモリセルに前記第1信号が印加される

間の時間幅以上の時間幅と、を有することを特徴とする不揮発性半導体記憶装置の駆動方法が提供される。

[0014] 本発明の他の一態様によれば、複数のメモリセルを有するメモリストリングと、前記メモリセルのそれぞれに接続された駆動部と、を有し、前記複数のメモリセルのそれぞれは、チャンネルと前記チャンネルの両側に設けられたソース領域及びドレイン領域とを有する半導体層と、前記チャンネルの上に設けられた第1絶縁膜と、前記第1絶縁膜の上に設けられた電荷保持層と、前記電荷保持層の上に設けられたゲート電極と、を有し、前記複数のメモリセルのそれぞれに第1信号を順次印加して、前記複数のメモリセルに記憶されたデータを順次読み出す際に、前記複数のメモリセルのうちのいずれかである第1セルに前記第1信号が印加されるときに、前記データを伝送する第2信号が前記複数のメモリセルのうちの前記第1セルを除いた前記メモリセルである第2セルに印加される不揮発性半導体記憶装置の駆動方法であって、前記メモリストリングの前記メモリセルの少なくともいずれかである第3セルにデータを書き込む第5信号と前記書き込まれたデータをベリファイ読み出しする第6信号とを印加する前に、前記第3セルの前記ゲート電極に第7信号を印加し、前記第7信号は、前記第5信号の電圧の絶対値よりも小さい絶対値の電圧と、前記第3セルに前記第5信号及び前記第6信号が印加される間の時間幅以上の時間幅と、を有することを特徴とする不揮発性半導体記憶装置の駆動方法が提供される。

発明の効果

[0015] 本発明によれば、誘電緩和に起因した特性変動があっても安定した読み出し動作が可能な不揮発性半導体記憶装置及びその駆動方法が提供される。

図面の簡単な説明

[0016] [図1]本発明の第1の実施形態に係る不揮発性半導体記憶装置の動作を例示する模式図である。

[図2]図2（a）及び図2（b）は、本発明の第1の実施形態に係る不揮発性半導体記憶装置の構成を例示する模式的断面図である。

[図3] 本発明の第 1 の実施形態に係る不揮発性半導体記憶装置のメモリストリングの構造を例示する模式的断面図である。

[図4] 本発明の第 1 の実施形態に係る不揮発性半導体記憶装置の構成を例示する模式的平面図である。

[図5] 図 5 (a)、図 5 (b) 及び図 5 (c) は、本発明の第 1 の実施形態に係る不揮発性半導体記憶装置における動作を例示する模式図である。

[図6] 図 6 (a)、図 6 (b) 及び図 6 (c) は、本発明の第 1 の実施形態に係る不揮発性半導体記憶装置における動作を例示する別の模式図である。

[図7] 図 7 (a)、図 7 (b) 及び図 7 (c) は、比較例の不揮発性半導体記憶装置における動作を例示する模式図である。

[図8] 図 8 (a)、図 8 (b) 及び図 8 (c) は、比較例の不揮発性半導体記憶装置における動作を例示する別の模式図である。

[図9] 本発明の第 1 の実施形態に係る不揮発性半導体記憶装置の特性の評価実験に用いた波形を例示する模式図である。

[図10] 本発明の第 1 の実施形態に係る不揮発性半導体記憶装置の特性の評価結果を例示する模式的グラフ図である。

[図11] 本発明の第 1 の実施形態に係る不揮発性半導体記憶装置の特性の別の評価実験に用いた波形を例示する模式図である。

[図12] 本発明の第 1 の実施形態に係る不揮発性半導体記憶装置の特性の評価結果を例示する別の模式的グラフ図である。

[図13] 図 13 (a) 及び図 13 (b) は、本発明の第 1 の実施形態に係る不揮発性半導体記憶装置の別の動作を例示する模式図である。

[図14] 本発明の第 1 の実施形態に係る不揮発性半導体記憶装置の特性の評価結果を例示する別の模式的グラフ図である。

[図15] 本発明の第 1 の実施形態に係る不揮発性半導体記憶装置の動作を例示する別の模式図である。

[図16] 本発明の第 2 の実施形態に係る不揮発性半導体記憶装置の動作を例示する模式図である。

[図17] 図 1 7 (a) 及び図 1 7 (b) は、本発明の第 2 の実施形態に係る不揮発性半導体記憶装置の特性の評価結果を例示する模式的グラフ図である。

[図18] 図 1 8 (a) 及び図 1 8 (b) は、本発明の第 2 の実施形態に係る不揮発性半導体記憶装置の別の動作を例示する模式図である。

[図19] 本発明の第 4 の実施形態に係る不揮発性半導体記憶装置の駆動方法を例示するフローチャート図である。

[図20] 本発明の第 5 の実施形態に係る不揮発性半導体記憶装置の駆動方法を例示するフローチャート図である。

発明を実施するための形態

[0017] 以下、本発明の実施の形態について図面を参照して詳細に説明する。

なお、図面は模式的または概念的なものであり、各部分の厚みと幅との関係、部分間の大きさの比係数などは、必ずしも現実のものと同じとは限らない。また、同じ部分を表す場合であっても、図面により互いの寸法や比係数が異なって表される場合もある。

また、本願明細書と各図において、既出の図に関して前述したものと同様の要素には同一の符号を付して詳細な説明は適宜省略する。

[0018] 本発明の各実施の形態に係る不揮発性半導体記憶装置及びその駆動方法を、Nチャネル型のトランジスタセルを例にして説明するが、本発明の実施の形態は、Nチャネル型に限らず、Pチャネル型にも適用可能である。その際、以下説明するソース領域及びドレイン領域、並びに半導体層の不純物を逆極性とし、半導体基板とゲート電極とに印加する電圧を交換することにより、以下の説明が適用可能である。

[0019] (第 1 の実施の形態)

図 1 は、本発明の第 1 の実施形態に係る不揮発性半導体記憶装置の動作を例示する模式図である。

図 2 (a) 及び図 2 (b) は、本発明の第 1 の実施形態に係る不揮発性半導体記憶装置の構成を例示する模式的断面図である。

図 3 は、本発明の第 1 の実施形態に係る不揮発性半導体記憶装置のメモリ

ストリングの構造を例示する模式的断面図である。

図 4 は、本発明の第 1 の実施形態に係る不揮発性半導体記憶装置の構成を例示する模式的平面図である。

まず、図 2 (a) 及び図 2 (b) により、本実施形態に係る不揮発性半導体記憶装置における 1 つのメモリセルの構成の例を説明する。

[0020] 図 2 (a) に表したように、本実施形態に係る不揮発性半導体記憶装置 101 においては、半導体層 1 が設けられる。半導体層 1 は、チャンネル 1 a と、チャンネル 1 a の両側に設けられたソース領域 2 a 及びドレイン領域 2 b とを有する。なお、ソース領域 2 a とドレイン領域 2 b とは互いに入れ替えが可能である。

[0021] そして、さらに、チャンネル 1 a の上に設けられた第 1 絶縁膜 3 A と、第 1 絶縁膜 3 A の上に設けられた電荷保持層 3 B と、電荷保持層 3 B の上に設けられた第 2 絶縁膜 3 C と、第 2 絶縁膜 3 C の上に設けられたゲート電極 4 と、が設けられる。

[0022] なお、チャンネル 1 a とソース領域 2 a とドレイン領域 2 b とを含む半導体層 1、第 1 絶縁膜 3 A、電荷保持層 3 B、第 2 絶縁膜 3 C 及びゲート電極 4 が、1 つのメモリセル M となる。

[0023] そして、このメモリセルに接続された駆動部 20 が設けられる。具体的には、駆動部 20 は、半導体層 1 とゲート電極 4 とに接続され、半導体層 1 とゲート電極 4 との間に電位差を形成することができる。半導体層 1 の電位をバックバイアス電圧 V_B とし、ゲート電極 4 の電位をゲート電圧 V_G とする。以下では、バックバイアス電圧 V_B を基準にしたときのゲート電圧をゲート電圧 V_G とする。

[0024] 不揮発性半導体記憶装置 101 においては、電荷保持層 3 B の上下に第 1 及び第 2 絶縁膜 3 A 及び 3 C が設けられているので、電荷保持層 3 B として、浮遊電極、電荷蓄積層及び浮遊ドット層などが適用できる。

[0025] 電荷蓄積層は、注入された電荷を捕獲する機能がある絶縁膜である。電荷蓄積層は、例えば、離散トラップを有する。離散トラップは空間的に分布す

ることができ、電荷蓄積層中、電荷蓄積層の半導体層 1 の側（すなわち、第 1 絶縁膜 3 A の側）の界面付近、及び、電荷蓄積層のゲート電極 4 の側（すなわち、第 2 絶縁膜 3 C の側）の界面付近の少なくともいずれかに分布している。電荷蓄積層には、例えば窒化シリコン膜を用いることができ、また、離散トラップの密度が高い金属酸化膜などを用いることもできる。また、離散トラップを有する複数の材料を積層して電荷蓄積層を構成することも可能である。さらに、電荷蓄積層には、電荷蓄積層の中に離散トラップを有していない絶縁層を適用することもできる。また、電荷蓄積層は、捕獲した電荷を放出する機能を有する。

[0026] 電荷蓄積層には、例えば、上記の窒化シリコンの他、酸窒化シリコン(SiON)、酸化アルミニウム(Al_2O_3)、酸窒化アルミニウム(AlON)、ハフニア(HfO_2)、ハフニウム・アルミネート(HfAlO_3)、窒化ハフニア(HfON)、窒化ハフニウム・アルミネート(HfAlON)、ハフニウム・シリケート(HfSiO)、窒化ハフニウム・シリケート(HfSiON)、酸化ランタン(La_2O_3)及びランタン・アルミネート(LaAlO_3)などを用いることができる。

[0027] また、電荷蓄積層として積層構造を用いる例としては、例えば、窒化シリコンを“N”、酸化アルミニウムを“A”、ハフニアを主要元素に含む材料を“H”、ランタンを主要元素に含む材料を“L”、と表記すれば、NA、NH、NL、NAN、NHN、NLN、NHA、NAL、AHL（いずれも積層の順序は任意）、などさまざまな積層構造を電荷蓄積層に適用することができる。

[0028] 一方、電荷保持層 3 B が浮遊電極である場合には、電荷保持層 3 B には導電性の材料が用いられる。

[0029] また、電荷保持層 3 B として、浮遊ドット層(ナノクリスタル層)を用いることができる。なお、浮遊ドット層とは、半導体や金属などの粒子（浮遊ドット）が絶縁体のマトリクス中に分散された構造を有する層である。その粒子のサイズは 0.5 nm から 4 nm である。浮遊ドット層は、1 つのメモリ

セルMの中に十分な数量の浮遊ドットを収納するために、浮遊ドットのサイズが小さいことが望ましく、そのサイズは0.5 nmから4 nmであることが望ましく、さらに、0.5 nmから2 nmであることがより好ましい。

[0030] 浮遊電極及び浮遊ドットには、例えば、シリコン (Si)、ゲルマニウム (Ge)、GaAs、InP等の半導体材料、及びTi、Ta、Au、Al、Mo等の金属材料が適用可能である。

[0031] なお、浮遊電極及び浮遊ドット層も、1層に限らず、例えば2層あるいは3層等の積層構造を有していても良い。

[0032] 一方、第1絶縁膜3Aは、半導体層1と電荷保持層3Bとを電氣的に分離し、第2絶縁膜3Cは、ゲート電極4と電荷保持層3Bとを電氣的に分離する。すなわち、第1絶縁膜3A及び第2絶縁膜3Cは、電荷保持時に電荷保持層3B中の電荷を電荷保持層3B中に閉じ込める機能を有する。

[0033] 第1絶縁膜3A及び第2絶縁膜3Cは、第1絶縁膜3A及び第2絶縁膜3Cにおける電荷保持層3Bに対する電位障壁が高いほど、電荷保持層3Bに電荷を閉じ込める効果大きい。

[0034] この第1絶縁膜3A及び第2絶縁膜3Cの少なくともいずれかに高誘電率材料を適用することが可能である。

[0035] 例えば、第1絶縁膜3A及び第2絶縁膜3Cには、酸化アルミニウム (Al_2O_3)、酸窒化アルミニウム (AlON)、ハフニア (HfO_2)、ハフニウム・アルミネート (HfAlO_3)、窒化ハフニア (HfON)、窒化ハフニウム・アルミネート (HfAlON)、ハフニウム・シリケート (HfSiO)、窒化ハフニウム・シリケート (HfSiON)、酸化ランタン (La_2O_3)、及び、ランタン・アルミネート (LaAlO_3) などを用いることができる。これらの材料は、特に比誘電率が高い材料であり、高誘電率材料とされる。高誘電率材料は、例えば比誘電率が7以上の材料である。

[0036] なお、第1絶縁膜3A及び第2絶縁膜3Cには、上記の材料からなる積層膜を用いることができる。

[0037] また、第1絶縁膜3A及び第2絶縁膜3Cには、酸化シリコン (SiO_2)

や酸化窒化シリコン（SiON）も用いることができる。ただし、これらの材料の比誘電率は、上記の高誘電率材料に比べて低く、誘電緩和現象が比較的小さい。このため、本実施形態に係る不揮発性半導体記憶装置及びその駆動方法による効果は、上記の高誘電率材料を用いた場合に比べて相対的に小さい。従って、以下に説明する本実施形態に係る不揮発性半導体記憶装置及び駆動方法は、上記の高誘電率材料を第1絶縁膜3A及び第2絶縁膜3Cの少なくともいずれかに用いた不揮発性半導体記憶装置及び駆動方法に好適に適用される。

[0038] また、図2（b）に表したように、本実施形態に係る別の不揮発性半導体記憶装置102は、不揮発性半導体記憶装置101に対して、電荷保持層3Bとゲート電極4との間の第2絶縁膜3Cが省略された構造を有している。

[0039] 不揮発性半導体記憶装置102においては、第2絶縁膜3Cが省略されているので、電荷保持層3Bとしては導電性の浮遊電極は用いられず、電荷保持層3Bには電荷蓄積層が好適に用いられる。

[0040] なお、不揮発性半導体記憶装置101及び102において、半導体層1におけるチャネル1aの両側のソース領域2a及びドレイン領域2bは、例えば、半導体層1の型と逆の型の不純物を、ゲート電極4をマスクとして、半導体層1に選択的にイオン注入することにより、形成することができる。

[0041] ただし、ソース領域2a及びドレイン領域2bの少なくともいずれかは、半導体層1とゲート電極4との容量結合によって自発的に形成されたチャネル（例えば、Chang-Hyun Lee, et al, VLSI Tech. Dig., pp. 118-119. 2008、や、Hang-Ting Lue, et al, VLSI Tech. Dig., pp. 140-141. 2008）に対して形成される場合も含めることができ、この場合も、不揮発性半導体記憶装置101及び102は、ソース領域2a及びドレイン領域2bを有するものとする。

[0042] 以上のように、本実施形態に係る不揮発性半導体記憶装置101及び102は、電荷保持層3Bを有するトランジスタ型メモリセルを有する。

[0043] 以下では、本発明の第1の実施形態に関して、不揮発性半導体記憶装置1

01を例にして説明するが、不揮発性半導体記憶装置102においても同様の動作が行われ、同様の効果が得られる。

[0044] そして、不揮発性半導体記憶装置101が、電荷保持層3Bとして電荷蓄積層を用いたNチャネル型のメモリセルの例であるとして説明する。

不揮発性半導体記憶装置101がNチャネル型のメモリセルMを有する場合、半導体層1の形態は、P型ウェルやP型半導体層あるいはP型のポリシリコン層などを含む。これらの層には、シリコンバルク基板や（SOI：Silicon On Insulator層）などを用いることができる。

[0045] 不揮発性半導体記憶装置101においては、上記のメモリセルMが複数設けられる。例えば、メモリセルMが行方向と列方向にマトリクス状に配列されたメモリセルアレイが設けられる。例えば行方向に延在するNAND型のメモリストリングが、列方向に複数配列して、メモリセルアレイが構成される。

[0046] 図3は、一例としてNAND型のメモリストリングの行方向の構造を例示している。

図3に表したように、半導体層1の上に、複数のメモリセルMが配列され、メモリストリングMSが設けられる。

[0047] ここで、行方向におけるメモリセルMの個数を n とする。ここで n は2以上の整数である。そして、 n 番目のメモリセルMを M_n とする。すなわち、行方向に n 個のメモリセル $M_1 \sim M_n$ が設けられる。そして、メモリセル $M_1 \sim M_n$ は、半導体層1において繋がれている。

[0048] ここで、半導体層1の主面に垂直な方向、すなわち、第1絶縁膜3A、電荷保持層3B、第2絶縁膜3C及びゲート電極4の積層方向をZ軸方向とする。そして、メモリセル $M_1 \sim M_n$ の配列方向をX軸方向とする。そして、Z軸方向とX軸方向とに垂直な方向をY軸方向とする。すなわち、本具体例では、X軸方向が行方向であり、Y軸方向が列方向である。

[0049] ここで、メモリセル $M_1 \sim M_n$ のそれぞれは、既に説明した不揮発性半導体記憶装置101における1つのメモリセルMの構成を有する。ただし、不

揮発性半導体記憶装置 102 の構成としても良い。

- [0050] メモリセル $M_1 \sim M_n$ のそれぞれの上及びそれぞれの間には、層間絶縁膜 5 が設けられ、メモリセル $M_1 \sim M_n$ のそれぞれは互いに電氣的に分離される。層間絶縁膜 5 には、例えば二酸化シリコンを用いることができる。
- [0051] 図 3 では図示しないが、X 軸方向に延在するメモリストリング MS は、Y 軸方向に互いに平行に複数設けられ、メモリセルアレイとなる。
- [0052] なお、メモリセル $M_1 \sim M_n$ のゲート電極 4 は、ワード線 $WL_1 \sim WL_n$ となる。このワード線 $WL_1 \sim WL_n$ によって、複数のメモリストリング MS のそれぞれのメモリセル $M_1 \sim M_n$ は、Y 軸方向に並んだ別のメモリストリング MS のメモリセル $M_1 \sim M_n$ と相互に接続される。
- [0053] そして、メモリストリング MS の両方の端にセレクトトランジスタ S_1 及び S_2 が設けられる。セレクトトランジスタ S_1 及び S_2 には、例えば MOSFET が用いられる。これらセレクトトランジスタ S_1 及び S_2 のゲート電極は、それぞれセレクトゲート SG_1 及び SG_2 に対応する。
- [0054] セレクトトランジスタ S_1 に近接しているソース領域 2a 及びド레인領域 2b のいずれかには、ビット線コンタクト BC1 を介してビット線 BL1 が接続される。同様に、セレクトトランジスタ S_2 に近接しているソース領域 2a 及びド레인領域 2b のいずれかには、ビット線コンタクト BC2 を介してビット線 BL2 が接続される。なお、ビット線コンタクト BC1 及びビット線 BL1 は、煩雑さを避けるために図示しない。
- [0055] そして、セレクトトランジスタ S_1 及び S_2 がオン状態のときには、ビット線 BL1、メモリストリング MS 及びビット線 BL2 が電氣的に接続され、ワード線 $WL_1 \sim WL_n$ に電圧を順次印加して、例えば、メモリセル $M_1 \sim M_n$ にデータを書き込み、または、データを消去し、また、書き込まれたデータを読み出す。
- [0056] 例えば、データを読み出す際には、メモリストリング MS の 1 つのメモリセル M_i (i は 1 以上、 n 未満の整数) の状態は、メモリストリング MS のうちのメモリセル $M_1 \sim M(i-1)$ 、または、メモリセル $M(i+1) \sim$

M_nを経由して、ビット線B_{L1}またはビット線B_{L2}に伝送される。なお、メモリセルM_nの状態は、メモリセルM₁～M_(i+1)に電圧を印加して、ビット線B_{L1}またはビット線B_{L2}に伝送される。

[0057] このため、メモリセルM₁～M_(i-1)、及び、メモリセルM_(i+1)～M_nのそれぞれには、データを伝送するための電圧が、ゲート電極4である、ワード線W_{L1}～W_{L(i-1)}及びワード線W_{L(i+1)}～W_{L_n}に印加される。

[0058] 図4は、不揮発性半導体記憶装置101の全体構成を例示している。

図4に表したように、不揮発性半導体記憶装置101においては、メモリセルアレイ11（複数のメモリストリング）と、駆動部20と、を有する。

[0059] メモリセルアレイ11においては、既に説明したように、例えば行方向に並んだメモリセルMを有する上記のメモリストリングMSが、列方向に配列されている。

[0060] 駆動部20は、電圧制御回路12、電圧発生回路13及び読み出し回路14を含み、メモリセルアレイ11の動作を制御する周辺回路となる。

[0061] このような構成を有する不揮発性半導体記憶装置101において、メモリストリングMSのメモリセルMに記憶されたデータを読み出す際に、以下のような動作が行われる。

[0062] 図1は、不揮発性半導体記憶装置101における読み出し時の動作を例示している。

同図の横軸は時間 t であり、縦軸はゲート電圧 V_g である。なお、本具体例では、 i が5の場合、すなわちメモリストリングMSのうちの5番目のメモリセルM₅のゲート電圧 V_g を例示している。

[0063] 図1に表したように、複数のメモリセルMを有するメモリストリングMSにおいては、複数のメモリセルMのうちのメモリセルM₅に、あるタイミング（第1タイミング）でメモリセルM₅に記憶されたデータを読み出す読み出しパルス P_r （第1信号）が印加される。そして、第1タイミングとは異なる第2タイミングでは、メモリセルM₅には、データを伝送する伝送パル

ス P_s （第2信号）が印加される。

[0064] そして、この図には示さないが、第1タイミングにおいては、メモリセル M_5 を除くメモリセル、すなわち、メモリセル $M_1 \sim M_4$ 、及び、メモリセル $M_6 \sim M_n$ には、伝送パルス P_s が印加される。そして、第2タイミングにおいては、メモリセル M_5 以外のメモリセル $M_1 \sim M_4$ 、及び $M_6 \sim M_n$ に順次読み出しパルス P_r が印加される。

[0065] すなわち、第1タイミングは、着目しているメモリセル M_5 に読み出しパルス P_r が印加されるタイミングであり、第2タイミングは、メモリセル $M_1 \sim M_4$ 、及び、メモリセル $M_6 \sim M_n$ に対して読み出しパルス P_r が印加されるタイミングである。

[0066] 伝送パルス P_s は、メモリセル M_5 以外のメモリセル $M_1 \sim M_4$ 、及び、メモリセル $M_6 \sim M_n$ のデータをメモリストリングに沿って伝送するものであり、伝送パルス P_s の数は、1つの各メモリセル M の読み出しに際し、 $(n-1)$ 個である。

[0067] ここで、読み出しパルス P_r の電圧は電圧 V_r であり、読み出しパルス P_r の幅は時間幅 T_{11} であり、読み出しパルス P_r の印加直後から次の伝送パルス P_s が入るまでの周期（時間） T_{12} を有する。

一方、伝送パルス P_s の電圧は電圧 V_s であり、伝送パルス P_s の幅は時間幅 T_{21} であり、1つの伝送パルス P_s の印加直後から次の伝送パルス P_s が入るまでの周期（時間） T_{22} を有する。

[0068] そして、一般に、読み出しパルス P_r の電圧 V_r は、伝送パルス P_s の電圧 V_s よりも低く設定される。

[0069] このように、メモリセル M のそれぞれには、それ自身の読み出しパルス P_r の他に、 $(n-1)$ 個の伝送パルス P_s が印加される。なお、読み出しパルス P_r と $(n-1)$ 個の伝送パルス P_s とを合わせて、「読み出しパルス群 P_{ra} 」と言うことにする。

なお、メモリストリング MS に含まれる全てのメモリセル M に読み出しパルス P_r が印加される間の時間幅 T_r は、上記の読み出しパルス群 P_{ra} の

印加時間と同じである。

[0070] このように、不揮発性半導体記憶装置 101、すなわち、そのメモリストリングMSにおいては、複数のメモリセルM1～Mnのそれぞれに第1信号（読み出しパルスPr）を順次印加して、複数のメモリセルM1～Mnに記憶されたデータを順次読み出す際に、複数のメモリセルM1～Mnのうちのいずれかである第1セル（例えばメモリセルMi）に第1信号（読み出し電圧Pr）が印加されるとき（第1タイミング）に、複数のメモリセルM1～Mnのうちの第1セルを除いたメモリセルである第2セル、すなわち、メモリセルM1～M(i-1)、及び、メモリセルM(i+1)～Mnに、前記データを伝送する第2信号（伝送パルスPs）が印加される。

[0071] すなわち、メモリストリングMSのデータを読み出しの際、メモリストリングに含まれるメモリセルMのそれぞれには、自己のデータを読み出すタイミング（読み出しパルスPrが印加されるタイミング）以外に、伝送パルスPsが印加される。

[0072] そして、図1に表したように、不揮発性半導体記憶装置101においては、読み出しパルス群Praが印加される前に、メモリストリングMSに含まれるメモリセルM1～Mnの全てに同時に第1事前パルスPp1（第3信号）が印加される。

[0073] なお、本具体例では、第1事前パルスPp1は、メモリセルM1～Mnに同時に印加されるが、読み出しパルス群Praが印加される前に、第1事前パルスPp1がメモリセルM1～Mnに印加されれば、その印加のタイミングは、メモリセルM1～Mnによって多少ずれても良い。また、第1事前パルスPp1の印加時間及びその電圧は、メモリセルM1～Mnによって多少異なっても良い。すなわち、第1事前パルスPp1の印加によってメモリセルM1～Mnにおける読み出しのタイミングの前の履歴の差異が縮小されれば良く、第1事前パルスPp1の印加のタイミング、時間幅、電圧値はメモリセルM1～Mnによって異なっても良い。

以下では、第1事前パルスPp1がメモリセルM1～Mnに同時に印加さ

れ、メモリセル $M_1 \sim M_n$ において、第1事前パルス P_{p1} の印加時間及び電圧が同じ場合として説明する。

[0074] この第1事前パルス P_{p1} の電圧は電圧 V_{p1} であり、第1事前パルス P_{p1} の幅は時間幅 T_3 である。なお、本具体例では、第1事前パルス P_{p1} と読み出しパルス群 P_{ra} との間には休止期間 T_{O1} が設けられているが、休止期間 T_{O1} が設けられず、第1事前パルス P_{p1} の電圧 V_{p1} から、伝送パルス P_s の電圧 V_s または読み出しパルス P_r の電圧 V_r に直接変化しても良い。

[0075] 第1事前パルス P_{p1} の電圧 V_{p1} は、伝送パルス P_s の電圧 V_s よりも低い。すなわち、第1事前パルス P_{p1} の電圧 V_{p1} の絶対値は、伝送パルス P_s の電圧 V_s の絶対値よりも小さい。

なお、第1事前パルス P_{p1} の電圧 V_{p1} と、読み出しパルス P_r の電圧 V_r と、の関係は任意である。

[0076] そして、このような第1事前パルス P_{p1} を全てのメモリセル $M_1 \sim M_n$ に印加した後に、読み出しパルス群 P_{ra} を印加する。

[0077] このように、不揮発性半導体記憶装置101においては、メモリストリングMSに含まれる全てのメモリセルMのゲート電極4に、伝送パルス P_s の電圧 V_s の絶対値よりも小さい絶対値の電圧 V_{p1} を有する第1事前パルス P_{p1} を同時に印加した後に、メモリストリングMSに含まれるメモリセル $M_1 \sim M_n$ に読み出しパルス P_r を順次印加してメモリセル $M_1 \sim M_n$ に記憶されたデータを順次読み出す。

これにより、以下に説明するように、安定した読み出し動作が可能となる。

[0078] 図5(a)、図5(b)及び図5(c)は、本発明の第1の実施形態に係る不揮発性半導体記憶装置における動作を例示する模式図である。

図6(a)、図6(b)及び図6(c)は、本発明の第1の実施形態に係る不揮発性半導体記憶装置における動作を例示する別の模式図である。

これらの図においては、説明を簡単にするために、メモリストリングMS

におけるメモリセルMの数が14個の場合として説明する。すなわち、メモリストリングMSは、メモリセルM1～M14を有する。

[0079] そして、図5(a)及び図6(a)はメモリセルM1に印加されるゲート電圧 V_g を例示しており、図5(b)及び図6(b)はメモリセルM i に印加されるゲート電圧 V_g を例示しており、図5(c)及び図6(c)はメモリセルM14に印加されるゲート電圧 V_g を例示している。なお、本具体例では、 $i = 8$ とされる。

そして、図6(a)～図6(c)は、それぞれ図5(a)～図5(c)を簡略化した図である。

[0080] 図5(a)に表したように、1番目のメモリセルM1においては、最初に第1事前パルス P_p1 が印加された後に、読み出しパルス P_r が印加されてメモリセルM1のデータが読み出され、その後、その他のメモリセルM2～M14の読み出しのために13個の伝送パルス P_s が印加される。

[0081] そして、図5(b)に表したように、8番目のメモリセルM8においては、最初に第1事前パルス P_p1 が印加された後に、メモリセルM1～M7の読み出しのために7個の伝送パルス P_s が印加された後に、読み出しパルス P_r が印加されてメモリセルM8のデータが読み出され、その後、その他のメモリセルM9～M14の読み出しのために6個の伝送パルス P_s が印加される。

[0082] そして、図5(c)に表したように、14番目のメモリセルM14においては、最初に第1事前パルス P_p1 が印加された後に、メモリセルM1～M13の読み出しのために13個の伝送パルス P_s が印加された後に、読み出しパルス P_r が印加されてメモリセルM14のデータが読み出される。

[0083] 上記のように、メモリセルMSがストリング構造を有しているために、メモリセルM1、M8及びM14においては、読み出しパルス P_r が印加される前の履歴が異なっている。

[0084] ここで、着目するメモリセルM i において、メモリセルM1～M($i - 1$)の読み出しのための伝送パルス P_s の印加の時間(周期)は、 $T_{22} \times ($

$i-1$)となる。そして、メモリセル $M_1 \sim M(i-1)$ の読み出しのための伝送パルス P_s の間に印加される平均的な電圧を平均電圧 V_{ave} とする。

[0085] すなわち、メモリセル $M_1 \sim M(i-1)$ のための読み出しの間には、メモリセル M_i には、電圧が平均電圧 V_{ave} で印加時間が $T_{22} \times (i-1)$ の平均化パルス P_{ai} が印加されているとみなすことができる。

[0086] ここで、各メモリセル M の読み出しにおいては、読み出しのタイミングよりも前の履歴がメモリ状態に変動を与える可能性がある。一方、一旦読み出しが行われた後にメモリ状態に変動があっても読み出しが行われた後なので、ここでは着目しない。すなわち、各メモリセル M において読み出しパルス P_r が印加される前に印加される電圧について着目する。

[0087] 図6(a)に表したように、メモリセル M_1 においては、読み出しパルス P_r が印加される前には、第1事前パルス P_{p1} が印加される。

[0088] そして、図6(b)に表したように、メモリセル M_8 においては、読み出しパルス P_r が印加される前には、第1事前パルス P_{p1} と、平均化パルス P_{a8} と、が印加される。ここで、平均化パルス P_{a8} の電圧は平均電圧 V_{ave} であり、時間幅は $T_{22} \times 7$ である。

[0089] そして、図6(c)に表したように、メモリセル M_{14} においては、読み出しパルス P_r が印加される前には、第1事前パルス P_{p1} と、平均化パルス P_{a14} と、が印加される。平均化パルス P_{13} の電圧は平均電圧 V_{ave} であり、時間幅は $T_{22} \times 13$ である。

[0090] 本実施形態に係る不揮発性半導体記憶装置101においては、第1事前パルス P_{p1} を用いることで、各メモリセル $M_1 \sim M_n$ における読み出しパルス P_r の印加の前の履歴の差異の相対的な比率を小さくすることができる。

[0091] (比較例)

図7(a)、図7(b)及び図7(c)は、比較例の不揮発性半導体記憶装置における動作を例示する模式図である。

図8(a)、図8(b)及び図8(c)は、比較例の不揮発性半導体記憶

装置における動作を例示する別の模式図である。

比較例の不揮発性半導体記憶装置の各メモリセルMの構成は、本実施形態に係る不揮発性半導体記憶装置101のメモリセルMの構成と同様である。ただし、図7(a)、図7(b)、図7(c)、図8(a)、図8(b)及び図8(c)に例示したように、駆動部20の動作が異なり、第1事前パルス P_{p1} が印加されない。なお、これらの図も、メモリストリングMSにおけるメモリセルMの数が14の場合を例示している。

[0092] 図7(a)に表したように、メモリセルM1においては、読み出しパルス P_r が印加され、その後、13個の伝送パルス P_s が印加される。そして、図7(b)に表したように、メモリセルM8においては、7個の伝送パルス P_s が印加された後に、読み出しパルス P_r が印加され、その後、6個の伝送パルス P_s が印加される。そして、図7(c)に表したように、メモリセルM14においては、13個の伝送パルス P_s が印加された後に、読み出しパルス P_r が印加される。

[0093] すなわち、図8(a)に表したように、メモリセルM1においては、読み出しパルス P_r が印加される前には、他の電圧は印加されない。そして、図8(b)に表したように、メモリセルM8においては、読み出しパルス P_r が印加される前には、平均化パルス P_{a8} （平均電圧 V_{ave} で時間幅が $T_{22} \times 7$ ）が印加される。そして、図8(c)に表したように、メモリセルM14においては、読み出しパルス P_r が印加される前には、平均化パルス P_{a14} （平均電圧 V_{ave} で時間幅が $T_{22} \times 13$ ）が印加される。

[0094] このように、比較例の不揮発性半導体記憶装置においては、各メモリセルM1～Mnにおける読み出しパルス P_r の印加の前の履歴の差異の比率が非常に大きい。すなわち、メモリセルM1における電圧が印加されない状態から、メモリセルM14における平均化パルス P_{a14} まで変化する。例えばメモリセルM2を基準にした場合においても、読み出しパルス P_r の印加の前に印加される平均化パルス P_{ai} の印加時間は、 $T_{22} \times 1 \sim T_{22} \times 13$ まで変化し、その比率は13倍、すなわち、 $(n-1)$ 倍である。

[0095] これに対し、既に説明したように、本実施形態に係る不揮発性半導体記憶装置 101 においては、メモリセル M1 ~ Mn の全てに同時に第 1 事前パルス Pp1 を印加し、その後に、読み出しパルス Pr を順序印加する。このため、メモリセル M1 ~ M14 における読み出しパルス Pr の印加の前に印加される電圧は、メモリセル M1 における第 1 事前パルス Pp1 から、メモリセル M14 における第 1 事前パルス Pp1 及び平均化パルス Pa14 の合計までの変化であり、その比率は比較例に比べると小さい。

[0096] 特に、第 1 事前パルス Pp1 の印加時間を長くすると、メモリセル M1 ~ Mn における読み出しよりも前の履歴の比率が小さくできる。

[0097] このように、本実施形態に係る不揮発性半導体記憶装置 101 においては、第 1 事前パルス Pp1 を用いることで、各メモリセル M1 ~ Mn における読み出しパルス Pr の印加の前の履歴の差異を縮小することができ、これにより、安定した読み出し動作が可能となる。

[0098] (実験 1)

以下、不揮発性半導体記憶装置において、読み出しパルス Pr が印加される前の電圧印加履歴が読み出されたデータに与える影響について調べた実験結果について説明する。

[0099] この実験では、図 2 (a) に例示した構成を有するメモリセル M を用いた。メモリセル M において、半導体層 1 には Si が用いられ、第 1 絶縁膜 3A には、厚さ 4 nm (ナノメートル) の SiO₂ が用いられ、電荷保持層 3B には厚さ 5 nm の SiN が用いられ、第 2 絶縁膜 3C には厚さ 15 nm の Al₂O₃ が用いられ、ゲート電極 4 には TaN が用いられている。このように、メモリセル M は、高誘電率絶縁材料を有する電荷捕獲型のトランジスタである。このトランジスタのチャネル長は 0.4 μm (マイクロメートル) であり、チャネル幅は 6 μm である。

[0100] 図 9 は、本発明の第 1 の実施形態に係る不揮発性半導体記憶装置の特性の評価実験に用いた波形を例示する模式図である。

図 9 に表したように、本実験では、簡単のために読み出しパルス Pr 及び

伝送パルス P_s を区別せず、それらに相当する実験パルス P_{ex} を用いた。すなわち、実験パルス P_{ex} の電圧 V_{ex} は、電圧 V_s または電圧 V_r に相当するものであるが、読み出しパルス P_r と伝送パルス P_s とを区別しないので一定の電圧である。そして、電圧 V_{ex} は 6 V とした。そして、実験パルス P_{ex} の時間幅 T_{ex1} は、読み出しパルス P_r の時間幅 T_{11} 及び伝送パルス P_s の時間幅 T_{21} に相当するものであり、 $15\text{ }\mu\text{s}$ （マイクロ秒）とした。そして、実験パルス P_{ex} の周期（時間） T_{ex2} は、読み出しパルス P_r の周期（時間） T_{12} 及び伝送パルス P_s の周期（時間） T_{22} に相当するものであり、 $30\text{ }\mu\text{s}$ とした。

[0101] そして、第1事前パルス P_{p1} の時間幅 T_3 を 10 ms （ミリ秒）の一定として、第1事前パルス P_{p1} の電圧 V_{p1} を変えて、メモリセル M の特性を評価した。

[0102] この際、メモリストリング MS におけるメモリセル M の数 n が 32 の場合を想定した。従って、読み出しパルス P_r と 31 個の伝送パルス P_s との合計、すなわち、読み出しパルス群 P_{ra} に相当して 32 個の実験パルス P_{ex} が印加される。 32 個の実験パルス P_{ex} の印加の時間は $960\text{ }\mu\text{s}$ である。なお、第1事前パルス P_{p1} の時間幅 T_3 は、読み出しパルス P_r と 31 個の伝送パルス P_s との合計の印加の時間の約 10 倍である。

[0103] そして、本実験では、 32 個のメモリセル M が配列したメモリストリングを実際に作製し、その評価を行うのではなく、 1 つのメモリセル M において、評価に用いる波形を変えることにより、任意の順番のメモリセルにおける電圧印加の状態を再現し、これにより、任意の順番のメモリセルの特性を評価した。

[0104] そして、異なる順番のメモリセルに対応させたチャネル電流の差（チャネル電流変動 ΔI_{ch} ）を評価した。

[0105] すなわち、メモリストリング MS における最初の 5 つ（ $i = 1 \sim 5$ ）のメモリセルに対応するものとして、 $i = 1 \sim 5$ の実験パルス $P_{ex1} \sim P_{ex5}$ において読み出されたメモリセル M のチャネル電流の間の差をチャネル電

流変動 ΔI_{ch1} とした。そして、最後の5つ ($i = 28 \sim 32$) のメモリセルに対応するものとして、 $i = 28 \sim 32$ の実験パルス $P_{ex28} \sim P_{ex32}$ において読み出されたメモリセルMのチャネル電流の間の差をチャネル電流変動 ΔI_{ch2} とした。

[0106] 図10は、本発明の第1の実施形態に係る不揮発性半導体記憶装置の特性の評価結果を例示する模式的グラフ図である。

同図の横軸は、第1事前パルス P_{p1} の電圧 V_{p1} であり、縦軸はチャネル電流変動 ΔI_{ch1} 及び ΔI_{ch2} を表す。

図10に表したように、第1事前パルス P_{p1} の電圧 V_{p1} の変化につれて、チャネル電流変動 ΔI_{ch1} 及び ΔI_{ch2} は変化する。なお、電圧 V_{p1} が0Vの時は、第1事前パルス P_{p1} が印加されない状態であり、例えば、図7(a)、図7(b)、図7(c)、図8(a)、図8(b)及び図8(c)に例示した比較例の場合に相当する。

[0107] そして、電圧 V_{p1} が0Vにおいて ΔI_{ch1} 及び ΔI_{ch2} が約 $1.8 \times 10^{-7} A$ である。このことは、図7(a)、図7(b)、図7(c)、図8(a)、図8(b)及び図8(c)に例示した比較例の場合には、 $i = 1 \sim 5$ の実験パルス $P_{ex1} \sim P_{ex5}$ の印加の最中、及び、 $i = 28 \sim 32$ の実験パルス $P_{ex28} \sim P_{ex32}$ の印加の最中、において、チャネル電流がこの値だけ増大することを意味している。このチャネル電流の増大は、主に第2絶縁膜3Cに用いられた高誘電材料における誘電緩和現象に起因すると考えられる。

[0108] フラッシュメモリにおいてはチャネル電流の検出によってデータを識別しているので、このようなチャネル電流の変動によって、誤ったデータが読み出されてしまう可能性があり実用的に問題となる。

[0109] このとき、本実施形態に係る不揮発性半導体記憶装置101においては、第1事前パルス P_{p1} を印加し、その電圧 V_{p1} を2V~4V程度、より具体的には例えば3.1Vに設定する。この時、図10に表したように、チャネル電流変動 ΔI_{ch1} 及び ΔI_{ch2} は実質的に零となる。

[0110] すなわち、第1絶縁膜3A及び第2絶縁膜3Cの少なくともいずれかにおいて、読み出しパルス群 P_{ra} がメモリセルMに印加されている間に生じる誘電分極を、第1事前パルス P_{p1} を印加することによって予め生じさせる効果があり、これにより、安定した動作が可能となる。

[0111] このように、本実施形態に係る不揮発性半導体記憶装置101によれば、高誘電材料による誘電緩和に起因した特性変動があっても、第1事前パルス P_{p1} を用いることでその特性を可及的に平均化して、これにより、安定した読み出し動作が可能となる。

[0112] 図9及び図10によって説明した実験においては、第1事前パルス P_{p1} の時間幅 T_3 が、読み出しパルス P_r と伝送パルス P_s との合計の印加の時間の約10倍と比較的長い場合における特性が評価されたが、以下に説明するように、第1事前パルス P_{p1} の時間幅 T_3 は、もっと短くても良い。

[0113] (実験2)

図11は、本発明の第1の実施形態に係る不揮発性半導体記憶装置の特性の別の評価実験に用いた波形を例示する模式図である。

図11に表したように、別の評価実験においては、第1事前パルス P_{p1} は2つのパルス、すなわち、第1サブ事前パルス P_{ps1} 及び第2サブ事前パルス P_{ps2} を含む。第2サブ事前パルス P_{ps2} は、第1サブ事前パルス P_{ps1} と実験パルス P_{ex} との間に印加される。

[0114] 第1サブ事前パルス P_{ps1} は電圧 V_{ps1} を有し、時間幅 T_{31} を有する。第2サブ事前パルス P_{ps2} は電圧 V_{ps2} を有し、時間幅 T_{32} を有する。

[0115] 本実験では、実験パルス P_{ex} の直前に印加される第2サブ事前パルス P_{ps2} を固定し、第1サブ事前パルス P_{ps1} を変えて特性を評価した。すなわち、第2サブ事前パルス P_{ps2} の電圧 V_{ps2} は3Vであり、時間幅 T_{32} は1msとした。なお、この電圧 V_{ps2} の値(3V)は、図10で説明した実験結果に基づいて設定されたものである。

[0116] そして、第1サブ事前パルス P_{ps1} の時間幅 T_{32} は9msとし、電圧

V_{ps1} を変えて、チャネル電流変動 ΔI_{ch1} 及び ΔI_{ch2} を評価した。なお、実験パルス P_{ex} 及び評価したメモリセル M の構成は実験1と同様である。

[0117] 図12は、本発明の第1の実施形態に係る不揮発性半導体記憶装置の特性の評価結果を例示する別の模式的グラフ図である。

同図の横軸は、第1サブ事前パルス P_{ps1} の電圧 V_{ps1} であり、縦軸はチャネル電流変動 ΔI_{ch1} 及び ΔI_{ch2} を表す。

図12に表したように、第1サブ事前パルス P_{ps1} の電圧 V_{ps1} が変化しても、チャネル電流変動 ΔI_{ch1} 及び ΔI_{ch2} は、ほぼ一定であり、ほぼ零である。すなわち、実験パルス P_{ex} の直前に、電圧 V_{ps2} が3Vで時間幅 T_{32} が1msの第2サブ事前パルス P_{ps2} を印加することで、チャネル電流変動 ΔI_{ch1} 及び ΔI_{ch2} はほぼ零となる。

[0118] このことから、第1事前パルス P_{p1} の時間幅 T_3 は、1ms程度以上、すなわち、読み出しパルス P_r と伝送パルス P_s の合計の印加の時間の程度以上であれば良いことが分かる。すなわち、第1事前パルス P_{p1} の時間幅 T_3 は、メモリセル MS に含まれる全てのメモリセル M に読み出しパルス P_r が印加される間の時間幅 T_r 以上であることが望ましい。

[0119] 本実験においては、 n 個のメモリセル M が配列したメモリストリングの代わりに、1つのメモリセル M において印加する波形を変えて特性を評価した。例えば図9に例示した実験パルス P_{ex} （読み出しパルス群 P_{ra} ）において、最初のパルス（実験パルス P_{ex1} ）がメモリストリング MS において最初に読み出すメモリセル M_1 の読み出しパルスに対応しており、最後のパルス（実験パルス P_{ex32} ）がメモリストリング MS において最後に読み出されるメモリセル M_{32} の読み出しパルスに対応する。

[0120] この時、全てのメモリセル $M_1 \sim M_n$ は同様の読み出しパルス群 P_{ra} にさらされるので、どれか1つのメモリセルにおいて安定に動作が行われれば、全てのメモリセル $M_1 \sim M_n$ において、同様に安定して動作すると推定できる。すなわち、1つのメモリセル M_i が時間的に安定なチャネル電流を出

力するならば、同一のメモリストリングMSに含まれる全てメモリセルM₁～M_nも時間的に安定である。

[0121] 第1事前パルスP_{p1}の電圧V_{p1}は、図10及び図12で説明した実験結果では、約3Vが適正であった。すなわち、第1事前パルスP_{p1}の電圧V_{p1}は、メモリセルの読み出しのための伝送パルスP_sの平均電圧V_{ave}と実質的に同じ電圧とすることが好適であった。

[0122] ただし、第1事前パルスP_{p1}の電圧V_{p1}は、不揮発性半導体記憶装置100に設けメモリセルが有する緩和の程度、及び同一のしきい値レベルに属するメモリセル間に許容される緩和起因のしきい値のばらつきに基づいて設定することができる。

[0123] 例えば、図10に例示したように、最初の5点間において 1.8×10^{-7} Aの幅の電流変動が観測されている。一方、実験に用いたメモリセルMの電圧V_{ex}（電圧V_r及び電圧V_s）が6Vの時の相互コンダクタンスG_mは、 $1 \times 10^{-6} \sim 1 \times 10^{-5}$ A/V程度であるので、電流変動から試算されるしきい値の変動量はおおよそ0.018～0.18V程度である。ここで、本実験結果が、5つのメモリセル間における実験結果であり、また、メモリストリングにおけるメモリセルの数が32であることを勘案すると、 $(32/5)$ 倍、すなわち約6倍して、全体で0.1～1V程度のしきい値の変動が生じる。

[0124] 以上から、第1事前パルスP_{p1}を用いない比較例において、32個のメモリセルMを含むメモリストリングMSを読み出したときには、最大で1V程度のしきい値変動があると推定できる。

[0125] 本実施形態に係る不揮発性半導体記憶装置101において、このようなメモリセルMのしきい値変動を、許容値ΔV_tよりも小さくするために、第1事前パルスP_{p1}の電圧V_{p1}を、電圧(V_x－V_{dx})～電圧(V_x＋V_{dx})の範囲に設定とする。

[0126] ここで、電圧V_xは、読み出しパルス群P_{ra}の時間平均の電圧V_{pave}とすることができる。この時、読み出しパルス群P_{ra}は、1つの読み出

しパルス P_r と n 個の伝送パルス P_s とを含むので、 n が大きい場合には、読み出しパルス群 P_{ra} の時間平均の電圧 V_{pave} には、実質的に、伝送パルス P_s の時間平均の電圧を採用することができる。

[0127] すなわち、伝送パルス P_s が 50% デューティのパルスである場合には、電圧 V_x は、伝送パルス P_s の電圧 V_s の約 $1/2$ に設定できる。

[0128] このように、第 1 事前パルス P_{p1} の電圧 V_{p1} (電圧 V_x) を、読み出しパルス群 P_{ra} の時間平均の電圧 V_{pave} に設定することで、読み出しパルス群 P_{ra} がメモリセル M に印加されている間に生じる誘電分極を、第 1 事前パルス P_{p1} によって予め形成させる効果が発揮される。

[0129] そして、図 10 に例示したように、第 1 事前パルス P_{p1} の電圧 V_{p1} を 3 V 変化させたときに 0.1 V ~ 1 V 程度のしきい値変動があると仮定しているので、しきい値変動を許容値 ΔV_t より小さくするためには、 V_{dx} は $3 \times \Delta V_t \sim 30 \times \Delta V_t$ となる。

[0130] 例えば、しきい値の変動の許容値 ΔV_t を 0.1 V とすると、第 1 事前パルス P_{p1} の電圧 V_{p1} の範囲は、 $(V_x - 3)$ ボルト ~ $(V_x + 3)$ ボルトの範囲が好ましい。しかし、電圧 V_{p1} を的確に指定するためには、 $(V_x - 0.3)$ ボルト ~ $(V_x + 0.3)$ ボルトの範囲がより好ましい。しきい値変動をさらに小さくするためには、例えば許容値 ΔV_t を 0.01 V などと設定し、この時は、第 1 事前パルス P_{p1} の電圧 V_{p1} の範囲は、 $(V_x - 0.03)$ ボルト ~ $(V_x + 0.03)$ ボルトの範囲となる。

[0131] 一方、第 1 事前パルス P_{p1} の時間幅 T_3 は、既に説明したように、1 ms 以上あれば良い。そして、読み出しパルス群 P_{ra} がメモリセル M に印加されている間に生じる誘電分極を、第 1 事前パルス P_{p1} によって予め形成させる効果を発揮させるためには、第 1 事前パルス P_{p1} の時間幅 T_3 は、読み出しパルス群 P_{ra} の時間幅以上にすることがより好ましい。すなわち、第 1 事前パルス P_{p1} の時間幅 T_3 は、読み出しパルス P_r の時間幅 T_{12} の n 倍以上にすることがより好ましい。また、伝送パルス P_s の周期 (時間) T_{22} の n 倍以上にすることがより望ましい。

[0132] 図 1 3 (a) 及び図 1 3 (b) は、本発明の第 1 の実施形態に係る不揮発性半導体記憶装置の別の動作を例示する模式図である。

すなわち、図 1 3 (a) 及び図 1 3 (b) は、不揮発性半導体記憶装置 1 0 1 における 2 種類の動作を例示している。

[0133] また、図 1 3 (a) に表したように、第 1 事前パルス $P_p 1$ の印加の直前に、電圧 $V_q 1$ で幅が時間幅 T_4 (第 1 期間) の第 1 前置パルス $P_q 1$ (第 4 信号) が印加されている。すなわち、メモリストリング MS に含まれる全てのメモリセル M において、ゲート電極 4 であるワード線 $WL 1 \sim WL n$ に第 1 前置パルス $P_q 1$ が同時に印加される。この時、第 1 事前パルス $P_p 1$ の印加の前の状態が、全てのメモリセル M において実質的に同じ状態になるのであれば、第 1 前置パルス $P_q 1$ は、全てのメモリセル M において、必ずしも同時に印加されなくても良い。ただし、第 1 前置パルス $P_q 1$ は、全てのメモリセル M において同時に印加されるタイミングが必ず存在する。以下では、第 1 前置パルス $P_q 1$ が全てのメモリセル M に同時に印加される場合として説明する。

[0134] 図 1 3 (b) に表したように、第 1 事前パルス $P_p 1$ の印加の直前に、ゲート電圧 V_g が時間幅 T_4 の期間、0 ボルトに設定されている。すなわち、メモリストリング MS に含まれる全てのメモリセル M において、ゲート電極 4 と半導体層 1 との電位が同時に同じに設定されている。なお、この駆動方法は、図 1 3 (a) に例示した第 1 前置パルス $P_q 1$ の電圧 $V_q 1$ が 0 ボルトである場合に相当する。なお、この時、第 1 事前パルス $P_p 1$ の印加の前の状態が、全てのメモリセル M において実質的に同じ状態になるのであれば、ゲート電極 4 と半導体層 1 の電位は、必ずしも同時に同じに設定されなくても良い。以下では、全てのメモリセル M において、ゲート電極 4 と半導体層 1 の電位が同時に同じに設定されるとして説明する。

[0135] 図 1 3 (a) 及び図 1 3 (b) に例示した電位の状態を混合させて与えても良い。すなわち、例えば、図 1 3 (a) に例示したように、第 1 前置パルス $P_q 1$ を全てのメモリセル M に同時に与えた後に、図 1 3 (b) に例示し

たように、全てのメモリセルのゲート電極 4 と半導体層 1 との電位を同時に一定の時間同じに設定した後、第 1 事前パルス P_{p1} を印加しても良い。

[0136] 図 1 4 は、本発明の第 1 の実施形態に係る不揮発性半導体記憶装置の特性の評価結果を例示する別の模式的グラフ図である。

すなわち、同図は、図 1 1 及び図 1 2 に例示した実験 2 において、最初のメモリセル M_1 に相当する最初の実験パルス P_{ex1} を印加した時のチャネル電流 I_{ch1} と、最後のメモリセル M_{32} に相当する最後の実験パルス P_{ex32} を印加した時のチャネル電流 I_{ch32} の値を例示している。同図の横軸は、第 1 サブ事前パルス P_{ps1} の電圧 V_{ps1} であり、縦軸はチャネル電流 I_{ch1} 及び I_{ch32} を表す。

[0137] 図 1 4 に表したように、第 1 サブ事前パルス P_{ps1} の電圧 V_{ps1} の変化に対して、チャネル電流 I_{ch1} 及び I_{ch32} が変化している。

[0138] すなわち、図 1 2 に関して説明したように、電圧 V_{ps1} が変化しても、 $i = 1 \sim 5$ における変動であるチャネル電流変動 ΔI_{ch1} 、及び、 $i = 28 \sim 32$ における変動であるチャネル電流変動 ΔI_{ch2} は、ほぼ零であるが、図 1 4 に例示したように、チャネル電流 I_{ch} の値自体は、 $i = 1$ の I_{ch1} も、 $i = 32$ の I_{ch32} も、電圧 V_{ps1} が変化すると、変化している。

[0139] すなわち、メモリセル M の特性は、着目する時刻までに印加されていた電圧の履歴の影響を受け、図 1 4 に例示した特性が表れる。

[0140] この時、図 1 3 (a) 及び図 1 3 (b) に関して説明したように、第 1 事前パルス P_{p1} の印加の前に、メモリセル M のゲート電極 4 に第 1 前置パルス P_{q1} を印加する、及び、ゲート電極 4 の電位を半導体層 1 と同じ電位に設定する、の少なくともいずれかを実施することで、各メモリセル M における誘電緩和の程度を読み出し動作が行われる毎に常に一定に保つことができる。

[0141] すなわち、十分長い時間幅 T_4 において、各メモリセル M を上記の状態とすることで、誘電緩和による履歴を打ち消すことができる。

- [0142] 例えば、上記の時間幅 T_4 は、 10ms 以上とすることができる。
- [0143] すなわち、実験2の条件である、第1サブ事前パルス P_{ps1} の時間幅 T_{31} が 9ms で、第2サブ事前パルス P_{ps2} の時間幅 T_{32} が 1ms である場合において、 9ms の第1サブ事前パルス P_{ps1} の電圧 V_{ps1} がチャネル電流 I_{ch1} 及び I_{ch2} に影響を与えていることから、時間幅 T_3 は 9ms よりも長いことが望ましい。このことから、時間幅 T_4 は、少なくとも 9ms よりも長いことが望ましいと考えられ、時間幅 T_4 は、例えば、読み出しパルス群 P_{ra} の時間幅（読み出しパルス P_r の時間幅 T_{12} の n 倍、すなわち、伝送パルス P_s の周期（時間） T_{22} の n 倍）以上である、 10ms 以上に設定することが望ましい。
- [0144] さらに、時間幅 T_4 は、 100ms 以上であることがさらに望ましい。
- [0145] なお、この第1前置パルス P_{q1} の印加の最中にメモリセル M への書き込みや消去が行われないように、第1前置パルス P_{q1} の電圧 V_{q1} は、電圧 V_{q1} による第1絶縁膜3Aに印加される電界が $10\text{MV}/\text{cm}$ （メガボルト／センチメートル）よりも低くなるように、設定されることが望ましい。
- [0146] なお、上記においては、第1事前パルス P_{p1} の印加の前に、メモリセル M のゲート電極4に第1前置パルス P_{q1} を印加する、及び、ゲート電極4の電位を半導体層1と同じ電位に設定するの少なくともいずれかを実施するとしたが、第1事前パルス P_{p1} を印加せずに、メモリストリングのメモリセルの少なくともいずれかに読み出しパルス P_r （第1信号）を印加してメモリセルに記憶されたデータを読み出す前に、メモリセル M のゲート電極4に第1前置パルス P_{q1} を印加する、及び、ゲート電極4の電位を半導体層1と同じ電位に設定する、のいずれかを実施しても良い。
- [0147] 図15は、本発明の第1の実施形態に係る不揮発性半導体記憶装置の動作を例示する別の模式図である。

すなわち、同図は、図3に例示したメモリストリング MS に接続された、第1及び第2セレクトゲート SG_1 及び SG_2 、ワード線 $WL_1 \sim WL_n$ 、ビット線 BL_1 及び BL_2 に印加される電圧、並びに、半導体層1のバック

バイアス電圧 V_g のタイムチャートを例示している。

[0148] 図15に表したように、時刻 $T T 1$ から時刻 $T T 2$ までの時間幅 $T 4$ の期間、全てのワード線 $W L 1 \sim W L n$ の電位は、バックバイアス電位と同じ電位に設定される。すなわち、全てのメモリセル $M 1 \sim M n$ のゲート電極4の電位が、同時に、半導体層1の電位と同じに設定できる。すなわち、図13(b)の電位関係が与えられる。なお、図13(a)に例示した電位関係を与えても良い。

[0149] そして、時刻 $T T 2$ から時刻 $T T 3$ の時間幅 $T 3$ の期間、全てのワード線 $W L 1 \sim W L n$ には第1事前パルス $P p 1$ が印加され、すなわち、電圧 $V p 1$ が印加される。全てのメモリセル $M 1 \sim M n$ のゲート電極4に、同時に、電圧 $V p 1$ が印加される。なお、時刻 $T T 2$ から時刻 $T T 3$ の期間、第1セレクトゲート $S G 1$ はハイレベル電圧 $V c c$ が印加されている。

[0150] そして、時刻 $T T 2$ の後、図示しないが、ワード線 $W L 1 \sim W L n$ には、順次、読み出しパルス（電圧 $V r$ ）及び伝送パルス $P s$ （電圧 $V s$ ）が印加される。

[0151] なお、以上の各動作は、各メモリセル $M 1 \sim M n$ に接続された駆動部20によって行われる。駆動部20は、メモリセル $M 1 \sim M n$ が設けられる半導体層1と同じ半導体層によってその少なくとも一部を形成することもでき、また、半導体層1とは別の半導体基板などの上に形成することもできる。

[0152] なお、以上説明した不揮発性半導体記憶装置101における動作は、例えば特許文献1に記載されているプリチャージ法の読み出し動作にも適用できる。

[0153] なお、プリチャージ法においては、メモリセル $M 1 \sim M n$ に記憶されたデータを順次読み出す際に、メモリセル $M 1 \sim M n$ のそれぞれに読み出しパルスを印加するそれぞれの前に、プリチャージ電圧を印加する方法が採用される。すなわち、 i 番目のメモリセル $M i$ には、まず、プリチャージ電圧が印加されその後読み出しパルスが印加され、これが、全てのメモリセル $M 1 \sim M n$ において繰り返される。従って、プリチャージ法だけを用いた場合には

、メモリセルM₁～M_nにおける読み出しパルスの印加の前の履歴の差異を抑制する効果はない。このため、誘電緩和現象を有する場合に、読み出し動作が不安定である。

[0154] これに対し、本実施形態においては、まず、全てのメモリセルM₁～M_nに同一の第1事前パルスを同時に印加することで、各メモリセルM₁～M_nにおける読み出しパルスP_rを印加する前の履歴の差異を小さくすることが可能となり、これにより、誘電緩和に起因した特性変動があっても安定した読み出し動作が可能となる。

[0155] そして、本実施形態をプリチャージ法に適用した場合には、全てのメモリセルM₁～M_nに同一の第1事前パルスを同時に印加し、その後、メモリセルM₁～M_nのそれぞれに読み出しパルスを印加するそれぞれ前に、プリチャージ電圧を印加する。これによっても読み出しパルスを印加する前の履歴の差異を小さくすることが可能となり、安定した読み出し動作が可能となる。

[0156] (第2の実施の形態)

本発明の第2の実施形態においては、ベリファイ書き込み動作を安定化させる。本実施形態に係る不揮発性半導体記憶装置121(図示せず)に用いられるメモリセルM及びメモリストリングMSの構成は、第1の実施形態に係る不揮発性半導体記憶装置101及び102のいずれかと同様とすることができるので説明を省略する。本実施形態に係る不揮発性半導体記憶装置121においては、駆動部20の動作が第1の実施形態と異なっており、以下では、この動作に関して説明する。

[0157] 図16は、本発明の第2の実施形態に係る不揮発性半導体記憶装置の動作を例示する模式図である。

すなわち、同図は、不揮発性半導体記憶装置121の1つのメモリセルMにおけるベリファイ書き込み時の動作を例示している。同図の横軸は時間tであり、縦軸はゲート電圧V_gである。

[0158] 図16に表したように、メモリストリングMSのメモリセルMには、ベリ

ファイ書き込みのパルス列PWVが印加される。パルス列PWVにおいては、まず、メモリセルに書き込みパルスP_w（第5信号）が印加される。その後、そのメモリセルMにはベリファイパルスP_v（第6信号）が印加され、メモリセルMのしきい値が読み出される。そして、しきい値が所望のレベルに到達するまで、書き込みパルスP_wとベリファイパルスP_vとが繰り返して印加される。パルス列PWVの時間幅T_wは、書き込みとベリファイの回数によって変化する。

[0159] 書き込みパルスP_wの電圧は電圧V_wであり、書き込みパルスP_wの幅は時間幅T₅₁であり、書き込みパルスP_wの印加直後からベリファイパルスP_vが入るまでの周期（時間）T₅₂を有する。

一方、ベリファイパルスP_vの電圧は電圧V_vであり、ベリファイパルスP_vの幅は時間幅T₆₁であり、ベリファイパルスP_vの印加直後から書き込みパルスP_wが入るまでの周期（時間）T₆₂を有する。

[0160] なお、ベリファイパルスP_vの電圧V_vは、書き込みパルスP_wの電圧V_wよりも低く設定される。

[0161] そして、図16に表したように、本実施形態においては、このようなベリファイ書き込みの前に、第2事前パルスP_{p2}（第7信号）が、ベリファイ書き込みを行うメモリセルに印加される。

[0162] すなわち、駆動部20は、メモリストリングMSのメモリセルMの少なくともいずれかであるメモリセル（第3セル）にデータを書き込む第5信号（書き込みパルスP_w）と書き込まれたデータをベリファイ読み出しする第6信号（ベリファイパルスP_v）とを印加する前に、第3セルのゲート電極4に、第7信号（第2事前パルスP_{p2}）を印加する。第3セルは、第5信号と第6信号が印加され、すなわち、ベリファイ書き込みが行われるメモリセルである。

[0163] 第2事前パルスP_{p2}の電圧は電圧V_{p2}であり、第2事前パルスP_{p2}の幅は時間幅T₇である。

そして、第2事前パルスP_{p2}の電圧V_{p2}は、書き込みパルスP_wの電

圧 V_w よりも低い。すなわち、第2事前パルス P_{p2} の電圧 V_{p2} の絶対値は、書き込みパルス P_w の電圧 V_w の絶対値よりも小さい。

[0164] なお、本具体例では、第2事前パルス P_{p2} と最初の書き込みパルス P_w との間には休止期間 T_{O2} が設けられているが、休止期間 T_{O2} が設けられず、第2事前パルス P_{p2} の電圧 V_{p2} から、書き込みパルス P_w の電圧 V_w に直接変化しても良い。

[0165] フラッシュメモリにおいては、ベリファイ書き込みを実施する際に、各メモリセル $M_1 \sim M_n$ には、所望のしきい値レベルに到達するまで、複数の書き込みパルス P_w とベリファイパルス P_v とが印加される。メモリセル $M_1 \sim M_n$ を仮に同じしきい値レベルに書き込むと仮定しても、メモリセル $M_1 \sim M_n$ のそれぞれどうしにばらつきがあるため、書き込みパルス P_w とベリファイパルス P_v とが印加される回数は、各メモリセル $M_1 \sim M_n$ において必ずしも同一にはならない。すなわち、ベリファイ書き込みのパルス列 PWV の長さが異なる場合がある。

[0166] そして、既に説明したように、メモリセル M の第1及び第2絶縁膜3A及び3Cの少なくともいずれかにおいて誘電分極が大きい場合は、着目する時刻までにメモリセルに印加されていた電圧の履歴がその特性に影響を与える。

[0167] この時、第2事前パルス P_{p2} を用いない比較例の場合には、メモリセル $M_1 \sim M_n$ どうしでパルス列 PWV の長さが異なる場合、ベリファイ時に検出する電流量が必ずしも同一にはならず、各メモリセルを同一のしきい値レベルに書き込まれたことを判別することができなくなることがある。

[0168] これに対して、本実施形態に係る不揮発性半導体記憶装置121においては、このようにメモリセル M ごとに変化するベリファイ書き込みの前に、第2事前パルス P_{p2} （第6信号）を、このベリファイ書き込みを行うメモリセル M に印加することによって、ベリファイ書き込みにおけるベリファイ動作を安定化させ、結果として安定した書き込み動作を実現できる。

なお、以上のような動作は、駆動部20によって行われる。

[0169] 以下、本実施形態に係る不揮発性半導体記憶装置 121 の効果に関する実験結果について説明する。

[0170] (実験 3)

実験に用いたメモリセル M は、実験 1 及び実験 2 に用いたメモリセル M と同様なので、説明を省略する。メモリセル M に図 16 に例示した波形を印加して、メモリセルのチャネル電流を測定した。

[0171] すなわち、書き込みパルス P_w の電圧 V_w を 10 V とし、時間幅 T_{51} を $10 \mu s$ とし、書き込みパルス P_w の印加直後からベリファイパルス P_v が入るまでの周期 (時間) T_{52} を $20 \mu s$ とした。そして、ベリファイパルス P_v の電圧 V_v を 6 V とし、時間幅 T_{61} を $20 \mu s$ とし、ベリファイパルス P_v の印加直後から書き込みパルス P_w が入るまでの周期 (時間) T_{62} を $30 \mu s$ とした。

[0172] そして、1 つの書き込みパルス P_w と 1 つのベリファイパルス P_v の印加を 1 つのベリファイ書き込みの組みとして、1 回の組みをメモリセル M に印加したときのチャネル電流 I_{chv1} と、9 回の組みをメモリセル M に印加したときのチャネル電流 I_{chv9} と、これらの差であるチャネル電流変動 ΔI_{chv3} を評価した。

[0173] この時、第 2 事前パルス P_{p2} の時間幅 T_7 を 1 ms とし、電圧 V_{p2} を変えて、上記のチャネル電流 I_{chv1} 、チャネル電流 I_{chv9} 、及びチャネル電流変動 ΔI_{chv3} の変化を評価した。

[0174] 図 17 (a) 及び図 17 (b) は、本発明の第 2 の実施形態に係る不揮発性半導体記憶装置の特性の評価結果を例示する模式的グラフ図である。

図 17 (a) の横軸は、電圧 V_{p2} を表し、縦軸はチャネル電流 I_{chv1} 及び I_{chv9} を表す。図 17 (b) の横軸は、第 2 事前パルス P_{p2} の電圧 V_{p2} を表し、縦軸はチャネル電流変動 ΔI_{chv3} を表す。

なお、これらの図において、電圧 V_{p2} が 0 ボルトのときは、比較例の場合である。

[0175] 図 17 (a) に表したように、1 回のベリファイ書き込みを行ったチャネ

ル電流 I_{chv1} と、9回のベリファイ書き込みを行ったチャネル電流 I_{chv9} と、は、第2事前パルス P_{p2} の電圧 V_{p2} の増大に連れて、それぞれ増大する。そして、電圧 V_{p2} が0ボルトの比較例の場合は、チャネル電流 I_{chv1} とチャネル電流 I_{chv9} との差は大きい。そして、本実施形態に相当する、電圧 V_{p2} が6ボルトの場合は、チャネル電流 I_{chv1} とチャネル電流 I_{chv9} とがほぼ同じである。

[0176] すなわち、図17(b)に表したように、第2事前パルス P_{p2} の電圧 V_{p2} の値によって、チャネル電流変動 ΔI_{chv3} は大きく変化する。そして、電圧 V_{p2} が0ボルトの比較例の場合は、チャネル電流変動 ΔI_{chv3} は、約 $4 \times 10^{-7} A$ と大きい。

[0177] これに対して、本実施形態の場合は、第2事前パルス P_{p2} が印加され、その電圧 V_{p2} が例えば6Vの時には、チャネル電流変動 ΔI_{chv3} はほぼ0である。

すなわち、ベリファイパルス P_v の電圧 V_v と同程度の電圧を有する第2事前パルス P_{p2} を印加することで、ベリファイ書き込みの時の書き込みパルス P_w 及びベリファイパルス P_v の印加の回数の差によるチャネル電流変動 ΔI_{chv3} を実質的に0にすることができる。

[0178] 以上の結果から、第2事前パルス P_{p2} の電圧 V_{p2} の適正範囲については、以下ようになる。

図17(b)に例示したように、電圧 V_{p2} が0ボルトのとき、ベリファイ書き込みの1回と9回との差においては、 $4 \times 10^{-7} A$ 程度のチャネル電流変動 ΔI_{chv3} が観測されている。また、メモリセルMのベリファイパルス P_v の電圧 V_v が6Vの時ににおける相互コンダクタンス G_m は、 $1 \times 10^{-6} \sim 1 \times 10^{-5} A/V$ 程度であることを勘案すると、チャネル電流変動 ΔI_{chv3} から試算されるしきい値の変動量はおよそ0.04~0.4V程度である。

[0179] この時、各メモリセルMのベリファイ書き込みの際に印加されるパルスの回数は予め分からないので、ここでは仮に、1回から9回の差であると想定

し、同一のしきい値をもたせるメモリセル間で0.04～0.4V程度のしきい値のばらつきがあると仮定する。

[0180] すなわち、第2事前パルス P_{p2} を印加しない比較例の場合は、ベリファイ書き込みにおいて、最大で0.4V程度のしきい値変動があると仮定される。このようなメモリセルMのしきい値変動を許容値 ΔV_t よりも小さくするために、第2事前パルス P_{p2} の電圧 V_{p2} の範囲を、電圧 $(V_y - V_{dy}) \sim$ 電圧 $(V_y + V_{dy})$ の範囲に設定するとする。

[0181] ここで、電圧 V_y は、ベリファイパルス P_v の電圧 V_v と同じ電圧に設定することができる。そして、電圧 V_{p2} を6V変化させたときに0.4V程度のしきい値変動があると仮定しているので、しきい値変動を許容値 ΔV_t よりも小さくするためには、 $V_{dy} = 1.5 \times \Delta V_t$ となる。

[0182] 例えば、しきい値の変動の許容値 ΔV_t を0.1Vとすると、第2事前パルス P_{p2} の電圧 V_{p2} の範囲は、 $(V_y - 1.5)$ ボルト $\sim (V_y + 1.5)$ ボルトの範囲となる。しきい値変動をさらに小さくするためには、例えば許容値 ΔV_t を0.01Vなどと設定し、この時は、第2事前パルス P_{p2} の電圧 V_{p2} の範囲は、 $(V_y - 0.15)$ ボルト $\sim (V_y + 0.15)$ ボルトの範囲となる。

[0183] また、既に図17(b)に関して説明したように、第2事前パルス P_{p2} の電圧 V_{p2} が6Vであるときは、時間幅 T_7 を1ms程度に設定すればチャネル電流変動をほぼ0にすることができる。従って、第2事前パルス P_{p2} の時間幅は、1ms以上が好ましい。

[0184] そして、ベリファイ書き込みパルス列PWVの印加の間に生じる誘電分極を、第2事前パルス P_{p2} の印加によって前もって形成させる効果があることを勘案すれば、第2事前パルス P_{p2} の時間幅は、パルス列PWVの印加時間(メモリセルMSに含まれるいずれかのメモリセルMに書き込みパルス P_w 及びベリファイパルス P_v が印加される間の時間幅)以上にすることがより好ましい。

[0185] また、第1の実施形態と同様に、第2事前パルス P_{p2} の印加の前の状態

をさらに一定の状態にしておくことが望ましい。

図 18 (a) 及び図 18 (b) は、本発明の第 2 の実施形態に係る不揮発性半導体記憶装置の別の動作を例示する模式図である。

すなわち、図 18 (a) 及び図 18 (b) は、不揮発性半導体記憶装置 121 における 2 種類の動作を例示している。

[0186] また、図 18 (a) に表したように、第 2 事前パルス P_{p2} の印加の直前に、そのメモリセル M のゲート電極 4 に、電圧 V_{q2} で幅が時間幅 T_8 (第 2 期間) を有する第 2 前置パルス P_{q2} (第 8 信号) が印加される。

[0187] また、図 18 (b) に表したように、第 2 事前パルス P_{p2} の印加の直前に、時間幅 T_8 の間、ゲート電圧 V_g が 0 ボルトに設定されている。すなわち、そのメモリセル M のゲート電極 4 と半導体層 1 との電位が同じに設定されている。

[0188] また、図 18 (a) 及び図 18 (b) に例示した電位の状態を混合させて与えても良い。

[0189] このように、第 2 事前パルス P_{p2} の印加の直前に、メモリセル M のゲート電極 4 に第 2 前置パルス P_{q2} を印加する、及び、ゲート電極 4 の電位を半導体層 1 と同じ電位に設定する、の少なくともいずれかを実施することで、各メモリセル M における誘電緩和の差異の影響をより低減することができる。

[0190] ここで、上記の時間幅 T_8 は、1 ms よりも長く設定することが望ましい。

すなわち、図 17 (a) 及び図 17 (b) に関して既に説明したように、1 ms の時間幅 T_7 の第 2 事前パルス P_{p2} の電圧 V_{p2} が変化すると、チャネル電流変動 ΔI_{chv3} が変動しているので、1 ms よりも長い比較的長時間に渡ってゲート電極 4 の電位を安定化させる必要がある。従って、例えば、上記の時間幅 T_8 は、10 ms 以上であることがより好ましい。

[0191] なお、この第 2 前置パルス P_{q2} の印加の最中にメモリセル M への書き込みや消去が行われないように、第 2 前置パルス P_{q2} の電圧 V_{q2} は、電圧

V_q2 による第1絶縁膜3Aに印加される電界が 10MV/cm （メガボルト／センチメートル）よりも低くなるように、設定されることが望ましい。

[0192] 以上説明した不揮発性半導体記憶装置121における動作は、例えば特許文献2に記載されているステップアップ書き込み法の動作にも適用できる。

さらに、第1の実施形態で説明した動作と第2の実施形態で説明した動作とを併用しても良い。

[0193] （第3の実施の形態）

本発明の第3の実施形態においては、第1及び第2の実施形態で説明した読み出し及びベリファイ書き込みの両方の動作を安定化させる。そして、読み出しとベリファイ書き込みとで生じる可能性がある、しきい値の差異を一致させるように動作させる。

[0194] 本実施形態に係る不揮発性半導体記憶装置131（図示せず）に用いられるメモリセルM及びメモリストリングMSの構成は、第1の実施形態に係る不揮発性半導体記憶装置101及び102のいずれかと同様とすることができるので説明を省略する。本実施形態に係る不揮発性半導体記憶装置131においては、駆動部20の動作が第1の実施形態と異なっており、以下では、この動作に関して説明する。

[0195] 本実施形態に係る不揮発性半導体記憶装置131においては、例えば、図16に例示した第2の実施形態に係る動作によってベリファイ書き込みを行った後に、例えば図1に例示した第1の実施形態に係る動作によって読み出しが行われる。

[0196] このとき、ベリファイ書き込みの際の最後のベリファイパルス P_v が印加されたときのチャネル電流と、その後の読み出しの際の読み出しパルス P_r が印加されたときのチャネル電流と、は、ベリファイパルス P_v の電圧 V_v と読み出しパルスの電圧 V_r とが互いに同じ電圧であった場合においても、必ずしも同一にはならない。

[0197] これは、第1及び第2絶縁膜3A及び3Cの少なくともいずれかにおいて誘電分極が大きい場合には、着目する時刻までにメモリセルMに印加されて

いた電圧の履歴がその特性に影響を与えるからである。

[0198] すなわち、第2の実施形態に係る動作を適用したときに着目しているメモリセルMが経験したパルス群と、第1の実施形態に係る動作を適用するときそのメモリセルMが経験したパルス群とは異なるため、チャネル電流の基準電流が異なるためである。

[0199] 従って、本実施形態に係る不揮発性半導体記憶装置131においては、第1の実施形態に係る読み出し時のチャネル電流（しきい値）と、第2の実施形態に係るベリファイ書き込みの時のチャネル電流（しきい値）と、を以下のような手法によって整合させる。

[0200] その第1の手法は以下である。

ある電流レベル I_a で規定されるしきい値レベルが必ず存在する。電流レベル I_a が不揮発性半導体装置131において唯一であるならば、第2の実施形態によって決まるしきい値レベル V_{tb} と第1の実施形態によって決まるしきい値レベル V_{ta} とは、既に説明したように異なる。

この時、しきい値 V_{ta} としきい値 V_{tb} とを同じしきい値レベル L_1 とみなす。

この動作は、例えば駆動部20によって行われる。

[0201] これにより、読み出し時のチャネル電流（しきい値）と、ベリファイ書き込みの時のチャネル電流（しきい値）と、が異なった場合においても、これらの整合が図られ、データの書き込みと読み出しが正しく行われる。

[0202] また、第2の手法は以下である。

この場合も、ある電流レベル I_a で規定され、第2の実施形態によって決まるしきい値レベル V_{tb} と第1の実施形態によって決まるしきい値レベル V_{ta} とを用いる。

この手法においては、しきい値 V_{ta} としきい値 V_{tb} とが同一の書き込み状態とされるように、読み出しパルス P_r の電圧 V_r 、及び、ベリファイパルス P_v の電圧 V_v 、の少なくともいずれかが調整（制御）される。

この動作は、例えば駆動部20によって行われる。

[0203] このような第2の手法によっても、電圧 V_r と電圧 V_v とが同じ時に読み出し時のチャネル電流（しきい値）とベリファイ書き込みの時のチャネル電流（しきい値）とが異なった場合においても、これらの整合が図られ、データの書き込みと読み出しが正しく行われる。

[0204] （第4の実施の形態）

本発明の第4の実施の形態は、不揮発性半導体記憶装置の駆動方法、特に、読み出しの駆動方法に関するものである。

[0205] すなわち、複数のメモリセル M を有するメモリストリング MS を備えた、例えば不揮発性半導体記憶装置101及び102のいずれかの駆動法に関する。メモリストリング MS においては、複数のメモリセル M のそれぞれに読み出しパルス P_r （第1信号）を順次印加して、複数のメモリセル M に記憶されたデータを順次読み出す際に、前記複数のメモリセル M のうちのいずれかのメモリセル M （第1セル）に、読み出しパルス P_r が印加されるときに、前記いずれかのメモリセル M （第1セル）を除くメモリセル M （第2セル）に前記データを伝送する伝送パルス P_s （第2信号）が印加される。

そして、前記メモリセル M のそれぞれは、チャネル1aと前記チャネル1aの両側に設けられたソース領域2a及びドレイン領域2bとを有する半導体層1と、前記チャネル1aの上に設けられた第1絶縁膜3Aと、前記第1絶縁膜3Aの上に設けられた電荷保持層3Bと、前記電荷保持層3Bの上に設けられたゲート電極4と、を有するものである。上記のメモリセル M は、電荷保持層3Bとゲート電極4との間にさらに第2絶縁膜3Cを有していても良い。

[0206] そして、第1絶縁膜3A及び第2絶縁膜3Cの少なくともいずれかに、高誘電率材料が用いられる場合に、本実施形態に係る駆動方法が好適に用いられる。

[0207] 図19は、本発明の第4の実施形態に係る不揮発性半導体記憶装置の駆動方法を例示するフローチャート図である。

図19に表したように、本実施形態に係る不揮発性半導体記憶装置の駆動

方法では、まず、メモリストリングMSに含まれる全てのメモリセルMのゲート電極4に、伝送パルス P_s の電圧 V_s の絶対値よりも小さい絶対値の電圧 V_{p1} を有する第1事前パルス P_{p1} （第3信号）を同時に印加する（ステップS110）。

[0208] なお、既に説明したように、第1事前パルス P_{p1} は必ずしも全てのメモリセルMに同時に印加されなくても良く、第1事前パルス P_{p1} の印加によってメモリセル $M_1 \sim M_n$ における読み出しのタイミングの前の履歴の差異が縮小されれば良く、第1事前パルス P_{p1} の印加のタイミング、時間幅、電圧値はメモリセル $M_1 \sim M_n$ によって異なっても良い。

[0209] その後、メモリストリングMSのメモリセルMSの少なくともいずれかに読み出しパルス P_r を印加してメモリセルMに記憶されたデータを読み出す（ステップS120）。

[0210] ステップS110及びステップS120の動作は、第1の実施形態に関して説明した方法を適用することができる。

[0211] これにより、誘電緩和に起因した特性変動があっても安定した読み出し動作が可能な不揮発性半導体記憶装置の駆動方法が提供できる。

[0212] （第5の実施の形態）

本発明の第5の実施の形態は、不揮発性半導体記憶装置の駆動方法、特に、ベリファイ書き込みの駆動法に関するものである。そして、この場合も、例えば不揮発性半導体記憶装置101及び102のいずれかの構成を有する不揮発性半導体記憶装置に適用でき、また、高誘電率材料を用いた場合に特に好適に用いられる。

[0213] 図20は、本発明の第5の実施形態に係る不揮発性半導体記憶装置の駆動方法を例示するフローチャート図である。

図20に表したように、本実施形態に係る不揮発性半導体記憶装置の駆動方法では、まず、データを書き込むメモリセルMのゲート電極4に、第2事前パルス P_{p2} （第7信号）を印加する（ステップS210）。

[0214] その後、データを書き込むメモリセルM（第3セル）にデータを書き込む

書き込みパルス P_w （第5信号）と前記書き込まれたデータをベリファイ読み出しするベリファイパルス P_v （第6信号）とを印加して、メモリセル M にデータを書き込む（ステップ $S220$ ）。

[0215] そして、上記の第2事前パルス P_{p2} は、書き込みパルス P_w の電圧 V_w の絶対値よりも小さい絶対値の電圧 V_{p2} を有する。

[0216] ステップ $S210$ 及びステップ $S220$ の動作は、第2の実施形態に関して説明した方法を適用することができる。

[0217] これにより、誘電緩和に起因した特性変動があっても安定したベリファイ読み出し動作が可能な不揮発性半導体記憶装置の駆動方法が提供できる。

[0218] 第4及び第5の実施形態を組み合わせても良い。この際、第4の実施形態において読み出されたしきい値と第5の実施形態において読み出されたしきい値とを、第3の実施形態に関して説明した第1手法及び第2手法のいずれかによって、整合させることができる。

[0219] すなわち、読み出しパルス P_r によって読み出されたメモリセル M のしきい値と、ベリファイパルス P_v によって読み出されたそのメモリセル M のしきい値と、を同一の書き込み状態として扱う。

[0220] なお、上記第1～第3の実施形態に係る不揮発性半導体記憶装置、及び第4及び第5の実施形態に係る駆動方法は、さまざまな形態のメモリセルアレイの構成に適用することができる。例えば、NAND型、NOR型、AND型、DINOR型、スタック型、3層ポリシリコン型及び3Tr-NANDなどのメモリセルアレイの構成に適用できる。

[0221] 以上、具体例を参照しつつ、本発明の実施の形態について説明した。しかし、本発明は、これらの具体例に限定されるものではない。例えば、不揮発性半導体記憶装置及びその駆動方法を構成する、半導体層、チャネル、ソース領域、ドレイン領域、絶縁膜、電荷保持層、ゲート電極及び各種配線などの各要素の具体的な構成に関しては、当業者が公知の範囲から適宜選択することにより本発明を同様に実施し、同様の効果を得ることができる限り、本発明の範囲に包含される。

また、各具体例のいずれか2つ以上の要素を技術的に可能な範囲で組み合わせたものも、本発明の要旨を包含する限り本発明の範囲に含まれる。

[0222] その他、本発明の実施の形態として上述した不揮発性半導体記憶装置及びその駆動方法を基にして、当業者が適宜設計変更して実施し得る全ての不揮発性半導体記憶装置及びその駆動方法も、本発明の要旨を包含する限り、本発明の範囲に属する。

[0223] その他、本発明の思想の範疇において、当業者であれば、各種の変更例及び修正例に想到し得るものであり、それら変更例及び修正例についても本発明の範囲に属するものと了解される。

産業上の利用可能性

[0224] 本発明によれば、誘電緩和に起因した特性変動があっても安定した読み出し動作が可能な不揮発性半導体記憶装置及びその駆動方法が提供される。

符号の説明

- [0225]
- 1 半導体層
 - 1 a チヤネル
 - 2 a ソース領域
 - 2 b ドレイン領域
 - 3 A 第1絶縁膜
 - 3 B 電荷保持層
 - 3 C 第2絶縁膜
 - 4 ゲート電極
 - 5 層間絶縁膜
 - 1 1 メモリセルアレイ
 - 1 2 電圧制御回路
 - 1 3 電圧発生回路
 - 1 4 読み出し回路
 - 2 0 駆動部
 - 2 1 制御部

101、102 不揮発性半導体記憶装置
BC1、BC2 ビット線コンタクト
BL1、BL2 ビット線
M、M1、M2、M3、Mi、Mn メモリセル
MS メモリストリング
Pex、Pex1～Pex32 実験パルス
Pp1 第1事前パルス（第3信号）
Pp2 第2事前パルス（第7信号）
Pps1 第1サブ事前パルス
Pps2 第2サブ事前パルス
Pq1 第1前置パルス（第4信号）
Pq2 第2前置パルス（第8信号）
Pr 読み出しパルス（第1信号）
Pra 読み出しパルス群
Ps 伝送パルス（第2信号）
Pv ベリファイパルス（第6信号）
Pw 書き込みパルス
PWV パルス列
S1 第1セレクトトランジスタ
S2 第2セレクトトランジスタ
SG1 第1セレクトゲート
SG2 第2セレクトゲート
T01、T02 休止期間
T11、T21、T3、T31、T32、T4、T51、T61、T7、
T8、Tex1 時間幅
T12、T22、T52、T62、Tex2 周期（時間）
TT1、TT2、TT3 時刻
Tr、Tw 時間幅

V_{ave} 平均電圧

V_B バックバイアス電圧

V_{cc} ハイレベル電圧

V_{ex} 、 V_{p1} 、 V_{p2} 、 V_{pave} 、 V_{ps1} 、 V_{ps2} 、 V_{q1} 、 V_{q2} 、 V_r 、 V_s 、 V_v 、 V_w 、 V_x 、 V_y 電圧

V_G ゲート電圧

$WL1$ 、 $WL2$ 、 $WL3$ 、 WL_n ワード線

請求の範囲

[請求項1]

複数のメモリセルを有するメモリストリングと、
前記メモリセルのそれぞれに接続された駆動部と、
を備え、
前記複数のメモリセルのそれぞれは、

チャネルと前記チャネルの両側に設けられたソース領域及びド
レイン領域とを有する半導体層と、

前記チャネルの上に設けられた第1絶縁膜と、
前記第1絶縁膜の上に設けられた電荷保持層と、
前記電荷保持層の上に設けられたゲート電極と、
を有し、

前記複数のメモリセルのそれぞれに第1信号を順次印加して、前記
複数のメモリセルに記憶されたデータを順次読み出す際に、前記複数の
メモリセルのうちのいずれかである第1セルに前記第1信号が印加
されるときに、前記データを伝送する第2信号が前記複数のメモリセ
ルのうちの前記第1セルを除いた前記メモリセルである第2セルに印
加され、

前記駆動部は、前記順次読み出しの前に、前記メモリストリングに
含まれる全ての前記メモリセルの前記ゲート電極に、第3信号を印加
し、

前記第3信号は、前記第2信号の電圧の絶対値よりも小さい絶対値
の電圧と、前記順次読み出しの際に前記メモリセルに含まれる全ての
前記メモリセルに前記第1信号が順次印加される合計の時間幅以上の
時間幅と、を有することを特徴とする不揮発性半導体記憶装置。

[請求項2]

前記駆動部は、前記第3信号の印加前の第1期間において、
前記メモリストリングに含まれる全ての前記メモリセルの前記ゲー
ト電極に第4信号を印加する、
及び、

前記メモリストリングに含まれる全ての前記メモリセルの前記ゲート電極と前記半導体層との電位を同じにする、

の少なくともいずれかを実施することを特徴とする請求項 1 記載の不揮発性半導体記憶装置。

[請求項3]

複数のメモリセルを有するメモリストリングと、

前記メモリセルのそれぞれに接続された駆動部と、

を備え、

前記複数のメモリセルのそれぞれは、

チャンネルと前記チャンネルの両側に設けられたソース領域及びドレイン領域とを有する半導体層と、

前記チャンネルの上に設けられた第 1 絶縁膜と、

前記第 1 絶縁膜の上に設けられた電荷保持層と、

前記電荷保持層の上に設けられたゲート電極と、

を有し、

前記複数のメモリセルのそれぞれに第 1 信号を順次印加して、前記複数のメモリセルに記憶されたデータを順次読み出す際に、前記複数のメモリセルのうちのいずれかである第 1 セルに前記第 1 信号が印加されるときに、前記データを伝送する第 2 信号が前記複数のメモリセルのうちの前記第 1 セルを除いた前記メモリセルである第 2 セルに印加され、

前記駆動部は、前記順次読み出しの前の第 1 期間において、

前記メモリストリングに含まれる全ての前記メモリセルの前記ゲート電極に第 4 信号を印加する、

及び、

前記メモリストリングに含まれる全ての前記メモリセルの前記ゲート電極と前記半導体層との電位を同じにする、

の少なくともいずれかを実施することを特徴とする不揮発性半導体記憶装置。

[請求項4]

複数のメモリセルを有するメモリストリングと、
前記メモリセルのそれぞれに接続された駆動部と、
を備え、

前記複数のメモリセルのそれぞれは、

チャネルと前記チャネルの両側に設けられたソース領域及びド
レイン領域とを有する半導体層と、

前記チャネルの上に設けられた第1絶縁膜と、

前記第1絶縁膜の上に設けられた電荷保持層と、

前記電荷保持層の上に設けられたゲート電極と、

を有し、

前記複数のメモリセルのそれぞれに第1信号を順次印加して、前記
複数のメモリセルに記憶されたデータを順次読み出す際に、前記複数の
メモリセルのうちのいずれかである第1セルに前記第1信号が印加
されるときに、前記データを伝送する第2信号が前記複数のメモリセ
ルのうちの前記第1セルを除いた前記メモリセルである第2セルに印
加され、

前記駆動部は、前記メモリストリングの前記メモリセルの少なくと
もいずれかである第3セルにデータを書き込む第5信号と前記書き込
まれたデータをベリファイ読み出しする第6信号とを印加する前に、
前記第3セルの前記ゲート電極に、第7信号を印加し、

前記第7信号は、前記第5信号の電圧の絶対値よりも小さい絶対値
の電圧と、前記第3セルに前記第5信号及び前記第6信号が印加され
る間の時間幅以上の時間幅と、を有することを特徴とする不揮発性半
導体記憶装置。

[請求項5]

前記駆動部は、前記第7信号の印加前の第2期間において、

前記第3セルの前記ゲート電極に第8信号を印加する、

及び、

前記第3セルの前記ゲート電極と前記半導体層との電位を同じにす

る、

の少なくともいずれかを実施することを特徴とする請求項 4 記載の不揮発性半導体記憶装置。

[請求項6]

前記駆動部は、さらに、前記順次読み出しの前に、前記メモリストリングに含まれる全ての前記メモリセルの前記ゲート電極に、第 3 信号を印加し、

前記第 3 信号は、前記第 2 信号の電圧の絶対値よりも小さい絶対値の電圧と、前記順次読み出しの際に前記メモリセルに含まれる全ての前記メモリセルに前記第 1 信号が順次印加される合計の時間幅以上の時間幅と、を有し、

前記駆動部は、前記第 1 信号によって読み出された前記第 3 セルのしきい値と、前記第 6 信号によって読み出された前記第 3 セルのしきい値と、が同一の書き込み状態とされるように、前記第 1 信号の電圧の絶対値、及び、前記第 6 信号の電圧の絶対値の少なくともいずれかを制御することを特徴とする請求項 4 記載の不揮発性半導体記憶装置。

[請求項7]

前記複数のメモリセルのそれぞれは、前記電荷保持層と前記ゲート電極との間に設けられた第 2 絶縁膜をさらに有することを特徴とする請求項 1 記載の不揮発性半導体記憶装置。

[請求項8]

前記第 1 絶縁膜、前記第 2 絶縁膜及び前記電荷保持層の少なくともいずれかは、酸化アルミニウム、酸窒化アルミニウム、ハフニア、ハフニウム・アルミネート、窒化ハフニア、窒化ハフニウム・アルミネート、ハフニウム・シリケート、窒化ハフニウム・シリケート、酸化ランタン、及び、ランタン・アルミネートよりなる群から選択されたいずれかの層、並びに、前記群から選択された 2 つ以上からなる積層、の少なくともいずれかを含むことを特徴とする請求項 7 記載の不揮発性半導体記憶装置。

[請求項9]

複数のメモリセルを有するメモリストリングと、前記メモリセルの

それぞれに接続された駆動部と、を有し、前記複数のメモリセルのそれぞれは、チャンネルと前記チャンネルの両側に設けられたソース領域及びドレイン領域とを有する半導体層と、前記チャンネルの上に設けられた第1絶縁膜と、前記第1絶縁膜の上に設けられた電荷保持層と、前記電荷保持層の上に設けられたゲート電極と、を有し、前記複数のメモリセルのそれぞれに第1信号を順次印加して、前記複数のメモリセルに記憶されたデータを順次読み出す際に、前記複数のメモリセルのうちのいずれかである第1セルに前記第1信号が印加されるときに、前記データを伝送する第2信号が前記複数のメモリセルのうちの前記第1セルを除いた前記メモリセルである第2セルに印加される不揮発性半導体記憶装置の駆動方法であって、

前記順次読み出しの前に、

前記メモリストリングに含まれる全ての前記メモリセルの前記ゲート電極に、第3信号を印加し、

前記第3信号は、前記第2信号の電圧の絶対値よりも小さい絶対値の電圧と、前記順次読み出しの際に前記メモリセルに含まれる全ての前記メモリセルに前記第1信号が印加される間の時間幅以上の時間幅と、を有することを特徴とする不揮発性半導体記憶装置の駆動方法。

[請求項10]

複数のメモリセルを有するメモリストリングと、前記メモリセルのそれぞれに接続された駆動部と、を有し、前記複数のメモリセルのそれぞれは、チャンネルと前記チャンネルの両側に設けられたソース領域及びドレイン領域とを有する半導体層と、前記チャンネルの上に設けられた第1絶縁膜と、前記第1絶縁膜の上に設けられた電荷保持層と、前記電荷保持層の上に設けられたゲート電極と、を有し、前記複数のメモリセルのそれぞれに第1信号を順次印加して、前記複数のメモリセルに記憶されたデータを順次読み出す際に、前記複数のメモリセルのうちのいずれかである第1セルに前記第1信号が印加されるときに、前記データを伝送する第2信号が前記複数のメモリセルのうちの前記

第 1 セルを除いた前記メモリセルである第 2 セルに印加される不揮発性半導体記憶装置の駆動方法であって、

前記メモリストリングの前記メモリセルの少なくともいずれかである第 3 セルにデータを書き込む第 5 信号と前記書き込まれたデータをベリファイ読み出しする第 6 信号とを印加する前に、前記第 3 セルの前記ゲート電極に第 7 信号を印加し、

前記第 7 信号は、前記第 5 信号の電圧の絶対値よりも小さい絶対値の電圧と、前記第 3 セルに前記第 5 信号及び前記第 6 信号が印加される間の時間幅以上の時間幅と、を有することを特徴とする不揮発性半導体記憶装置の駆動方法。

補正された請求の範囲
[2010年7月13日 (13.07.2010) 国際事務局受理]

- [請求項 1] (補正後) 複数のメモリセルを有するメモリストリングと、
前記メモリセルのそれぞれに接続された駆動部と、
を備え、
前記複数のメモリセルのそれぞれは、
 チャンネルと前記チャンネルの両側に設けられたソース領域及びド
 レイン領域とを有する半導体層と、
 前記チャンネルの上に設けられた第 1 絶縁膜と、
 前記第 1 絶縁膜の上に設けられた電荷保持層と、
 前記電荷保持層の上に設けられたゲート電極と、
を有し、
前記複数のメモリセルのそれぞれに第 1 信号を順次印加して、前記
複数のメモリセルに記憶されたデータを順次読み出す際に、前記複数の
メモリセルのうちのいずれかである第 1 セルに前記第 1 信号が印加
されるときに、前記データを伝送する第 2 信号が前記複数のメモリセ
ルのうちの前記第 1 セルを除いた前記メモリセルである第 2 セルに印
加され、
前記駆動部は、前記順次読み出しの前に、前記メモリストリングに
含まれる全ての前記メモリセルの前記ゲート電極に、第 3 信号を印加
し、
前記第 3 信号は、前記第 2 信号の電圧の絶対値よりも小さい絶対値
の電圧と、前記順次読み出しの際に前記メモリセルに含まれる全ての
前記メモリセルに前記第 1 信号が順次印加される合計の時間幅以上の
時間幅と、を有し、
前記駆動部は、前記第 3 信号の印加前の第 1 期間において、
前記メモリストリングに含まれる全ての前記メモリセルの前記ゲー
ト電極に第 4 信号を印加する、
及び、

前記メモリストリングに含まれる全ての前記メモリセルの前記ゲート電極と前記半導体層との電位を同じにする、

の少なくともいずれかを実施することを特徴とする不揮発性半導体記憶装置。

[請求項 2] (削除)

[請求項 3] (削除)

[請求項 4] 複数のメモリセルを有するメモリストリングと、
前記メモリセルのそれぞれに接続された駆動部と、
を備え、
前記複数のメモリセルのそれぞれは、

チャネルと前記チャネルの両側に設けられたソース領域及びド
레인領域とを有する半導体層と、

前記チャネルの上に設けられた第 1 絶縁膜と、

前記第 1 絶縁膜の上に設けられた電荷保持層と、

前記電荷保持層の上に設けられたゲート電極と、

を有し、

前記複数のメモリセルのそれぞれに第 1 信号を順次印加して、前記
複数のメモリセルに記憶されたデータを順次読み出す際に、前記複数の
メモリセルのうちのいずれかである第 1 セルに前記第 1 信号が印加
されるときに、前記データを伝送する第 2 信号が前記複数のメモリセ
ルのうちの前記第 1 セルを除いた前記メモリセルである第 2 セルに印
加され、

前記駆動部は、前記メモリストリングの前記メモリセルの少なくと
もいずれかである第 3 セルにデータを書き込む第 5 信号と前記書き込
まれたデータをベリファイ読み出しする第 6 信号とを印加する前に、
前記第 3 セルの前記ゲート電極に、第 7 信号を印加し、

前記第 7 信号は、前記第 5 信号の電圧の絶対値よりも小さい絶対値
の電圧と、前記第 3 セルに前記第 5 信号及び前記第 6 信号が印加され
る間の時間幅以上の時間幅と、を有することを特徴とする不揮発性半
導体記憶装置。

[請求項 5] 前記駆動部は、前記第 7 信号の印加前の第 2 期間において、
前記第 3 セルの前記ゲート電極に第 8 信号を印加する、
及び、
前記第 3 セルの前記ゲート電極と前記半導体層との電位を同じにす

る、

の少なくともいずれかを実施することを特徴とする請求項4記載の不揮発性半導体記憶装置。

[請求項6] 前記駆動部は、さらに、前記順次読み出しの前に、前記メモリストリングに含まれる全ての前記メモリセルの前記ゲート電極に、第3信号を印加し、

前記第3信号は、前記第2信号の電圧の絶対値よりも小さい絶対値の電圧と、前記順次読み出しの際に前記メモリセルに含まれる全ての前記メモリセルに前記第1信号が順次印加される合計の時間幅以上の時間幅と、を有し、

前記駆動部は、前記第1信号によって読み出された前記第3セルのしきい値と、前記第6信号によって読み出された前記第3セルのしきい値と、が同一の書き込み状態とされるように、前記第1信号の電圧の絶対値、及び、前記第6信号の電圧の絶対値の少なくともいずれかを制御することを特徴とする請求項4記載の不揮発性半導体記憶装置。

[請求項7] 前記複数のメモリセルのそれぞれは、前記電荷保持層と前記ゲート電極との間に設けられた第2絶縁膜をさらに有することを特徴とする請求項1記載の不揮発性半導体記憶装置。

[請求項8] 前記第1絶縁膜、前記第2絶縁膜及び前記電荷保持層の少なくともいずれかは、酸化アルミニウム、酸窒化アルミニウム、ハフニア、ハフニウム・アルミネート、窒化ハフニア、窒化ハフニウム・アルミネート、ハフニウム・シリケート、窒化ハフニウム・シリケート、酸化ランタン、及び、ランタン・アルミネートよりなる群から選択されたいずれかの層、並びに、前記群から選択された2つ以上からなる積層、の少なくともいずれかを含むことを特徴とする請求項7記載の不揮発性半導体記憶装置。

[請求項9] (補正後) 複数のメモリセルを有するメモリストリングと、前記メモ

リセルの

それぞれに接続された駆動部と、を有し、前記複数のメモリセルのそれぞれは、チャンネルと前記チャンネルの両側に設けられたソース領域及びドレイン領域とを有する半導体層と、前記チャンネルの上に設けられた第1絶縁膜と、前記第1絶縁膜の上に設けられた電荷保持層と、前記電荷保持層の上に設けられたゲート電極と、を有し、前記複数のメモリセルのそれぞれに第1信号を順次印加して、前記複数のメモリセルに記憶されたデータを順次読み出す際に、前記複数のメモリセルのうちのいずれかである第1セルに前記第1信号が印加されるときに、前記データを伝送する第2信号が前記複数のメモリセルのうちの前記第1セルを除いた前記メモリセルである第2セルに印加される不揮発性半導体記憶装置の駆動方法であって、

前記順次読み出しの前に、

前記メモリストリングに含まれる全ての前記メモリセルの前記ゲート電極に、第3信号を印加し、

前記第3信号は、前記第2信号の電圧の絶対値よりも小さい絶対値の電圧と、前記順次読み出しの際に前記メモリセルに含まれる全ての前記メモリセルに前記第1信号が印加される間の時間幅以上の時間幅と、を有し、

前記第3信号の印加前の第1期間において、

前記メモリストリングに含まれる全ての前記メモリセルの前記ゲート電極に第4信号を印加する、

及び、

前記メモリストリングに含まれる全ての前記メモリセルの前記ゲート電極と前記半導体層との電位を同じにする、

の少なくともいずれかを実施することを特徴とする不揮発性半導体記憶装置の駆動方法。

[請求項 10] 複数のメモリセルを有するメモリストリングと、前記メモリセルのそれぞれに接続された駆動部と、を有し、前記複数のメモリセルのそ

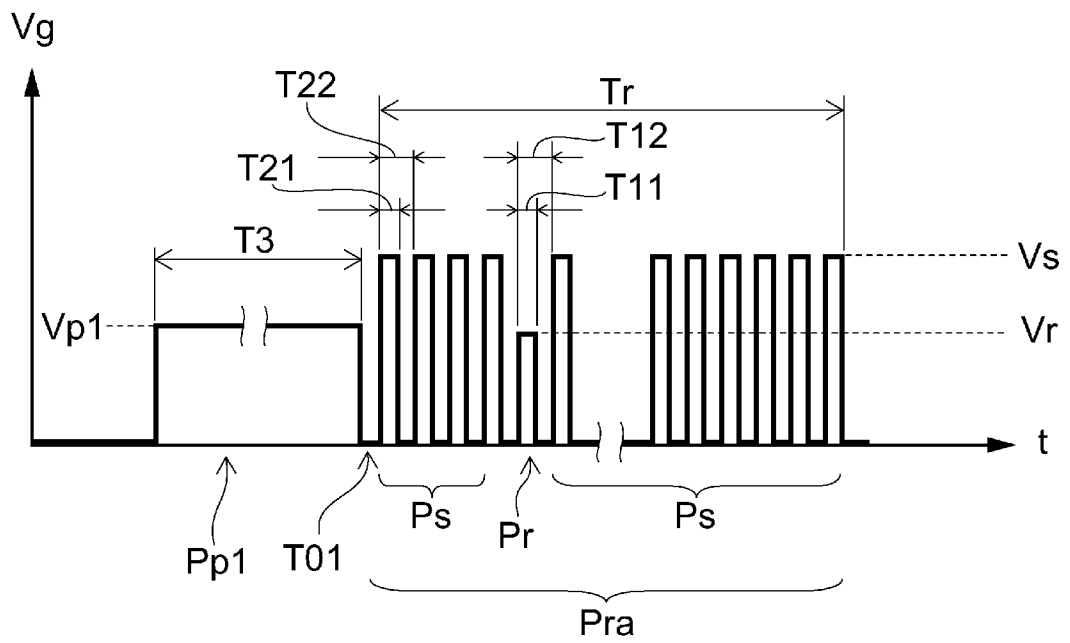
れぞれは、チャンネルと前記チャンネルの両側に設けられたソース領域及びドレイン領域とを有する半導体層と、前記チャンネルの上に設けられた第1絶縁膜と、前記第1絶縁膜の上に設けられた電荷保持層と、前記電荷保持層の上に設けられたゲート電極と、を有し、前記複数のメモリセルのそれぞれに第1信号を順次印加して、前記複数のメモリセルに記憶されたデータを順次読み出す際に、前記複数のメモリセルのうちのいずれかである第1セルに前記第1信号が印加されるときに、前記データを伝送する第2信号が前記複数のメモリセルのうちの前記

第 1 セルを除いた前記メモリセルである第 2 セルに印加される不揮発性半導体記憶装置の駆動方法であって、

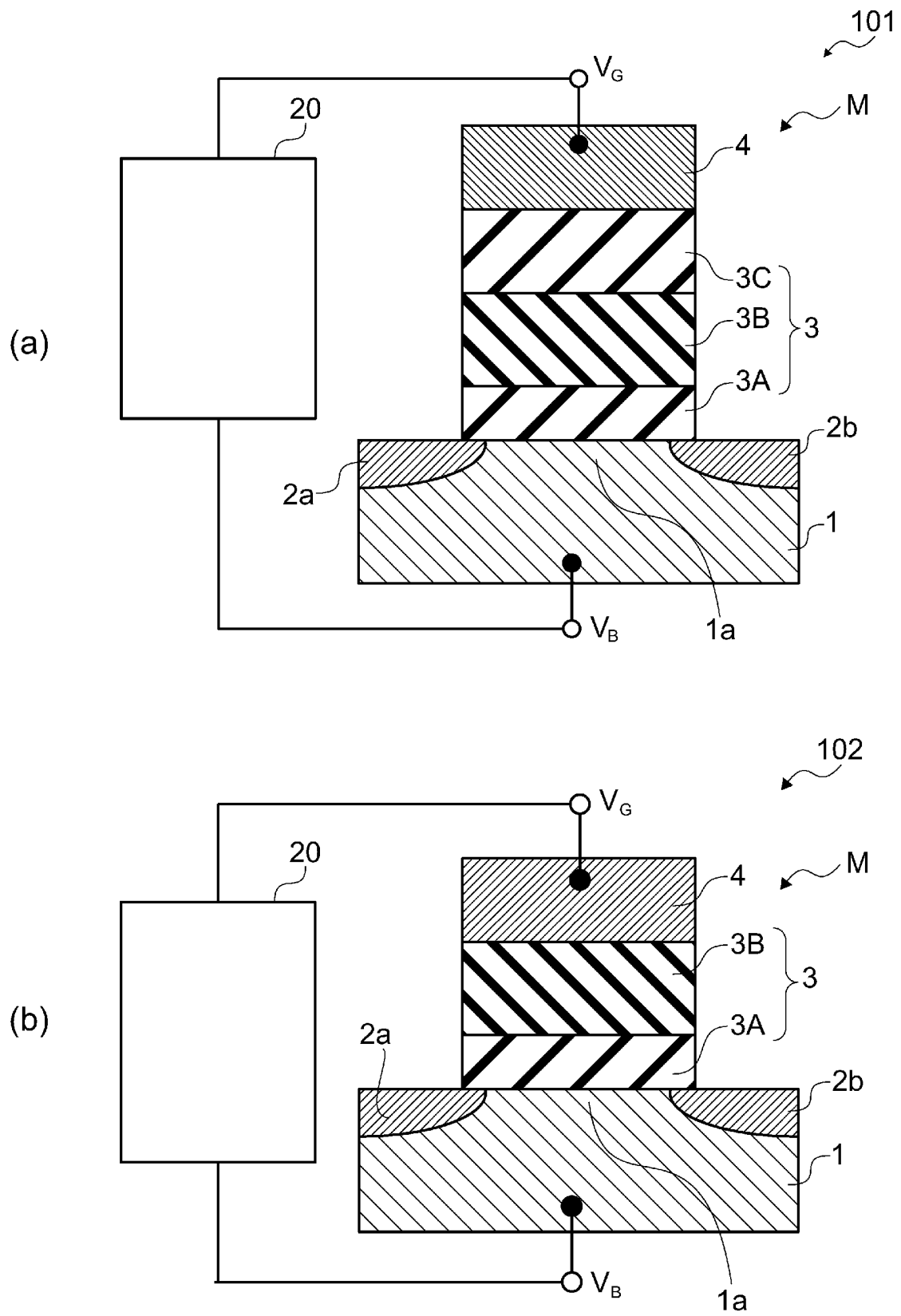
前記メモリストリングの前記メモリセルの少なくともいずれかである第 3 セルにデータを書き込む第 5 信号と前記書き込まれたデータをベリファイ読み出しする第 6 信号とを印加する前に、前記第 3 セルの前記ゲート電極に第 7 信号を印加し、

前記第 7 信号は、前記第 5 信号の電圧の絶対値よりも小さい絶対値の電圧と、前記第 3 セルに前記第 5 信号及び前記第 6 信号が印加される間の時間幅以上の時間幅と、を有することを特徴とする不揮発性半導体記憶装置の駆動方法。

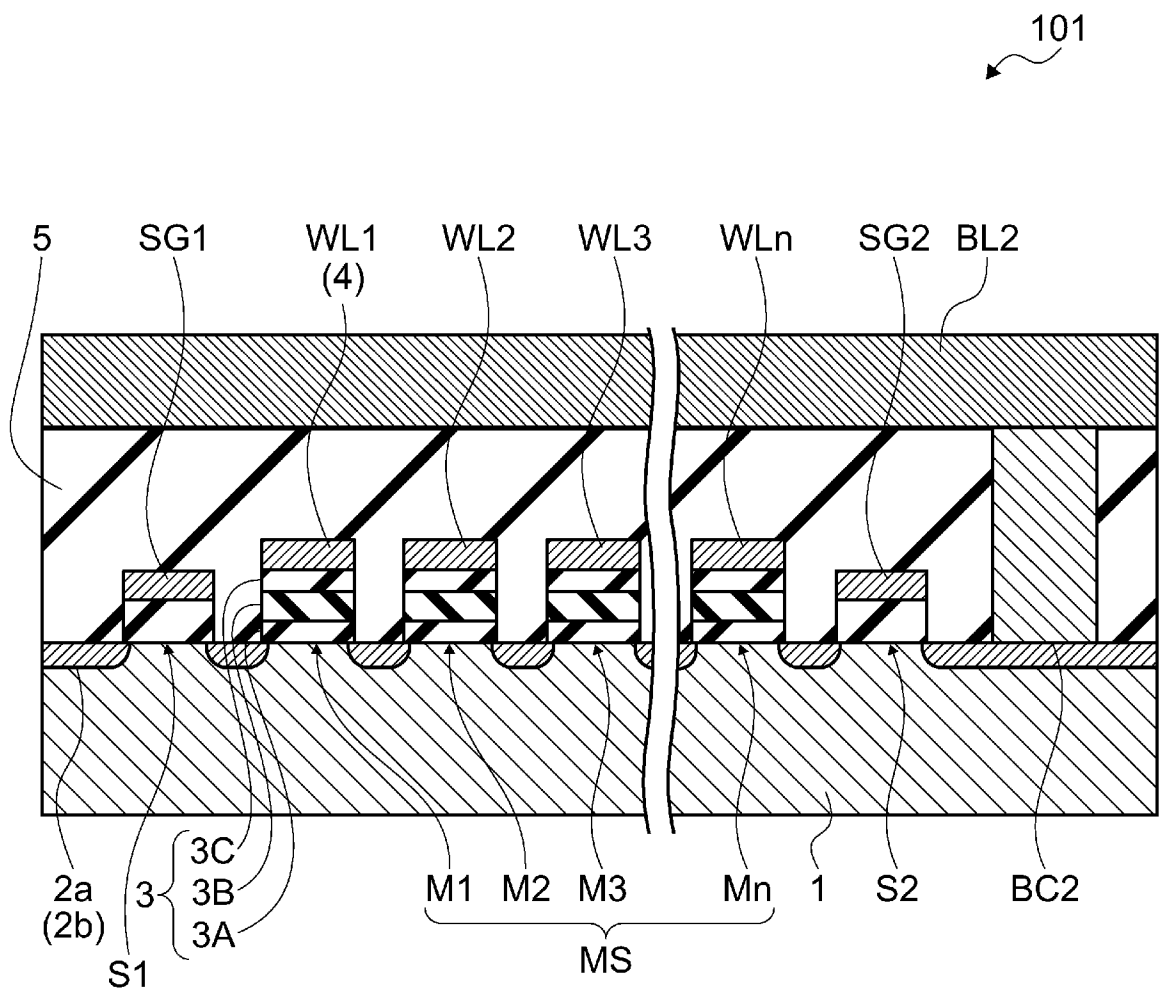
[図1]



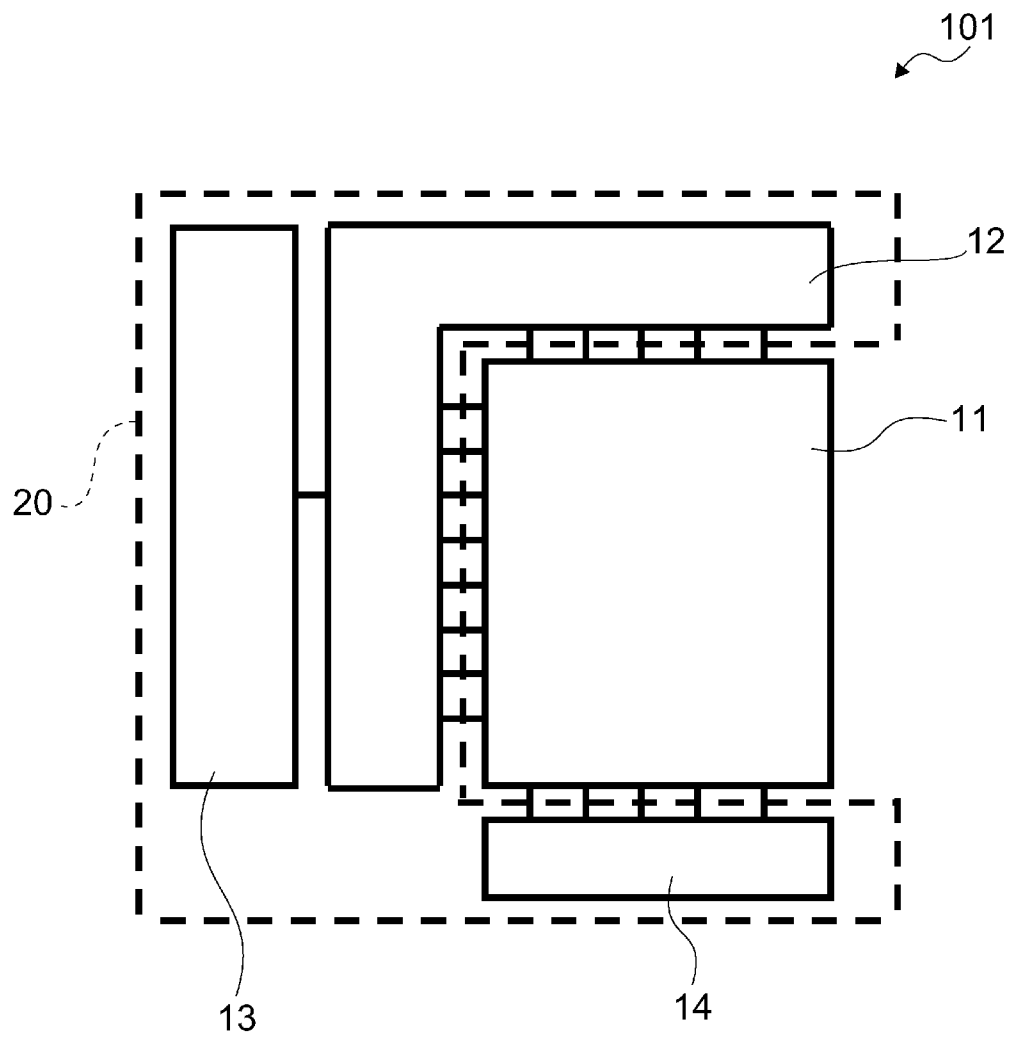
[図2]



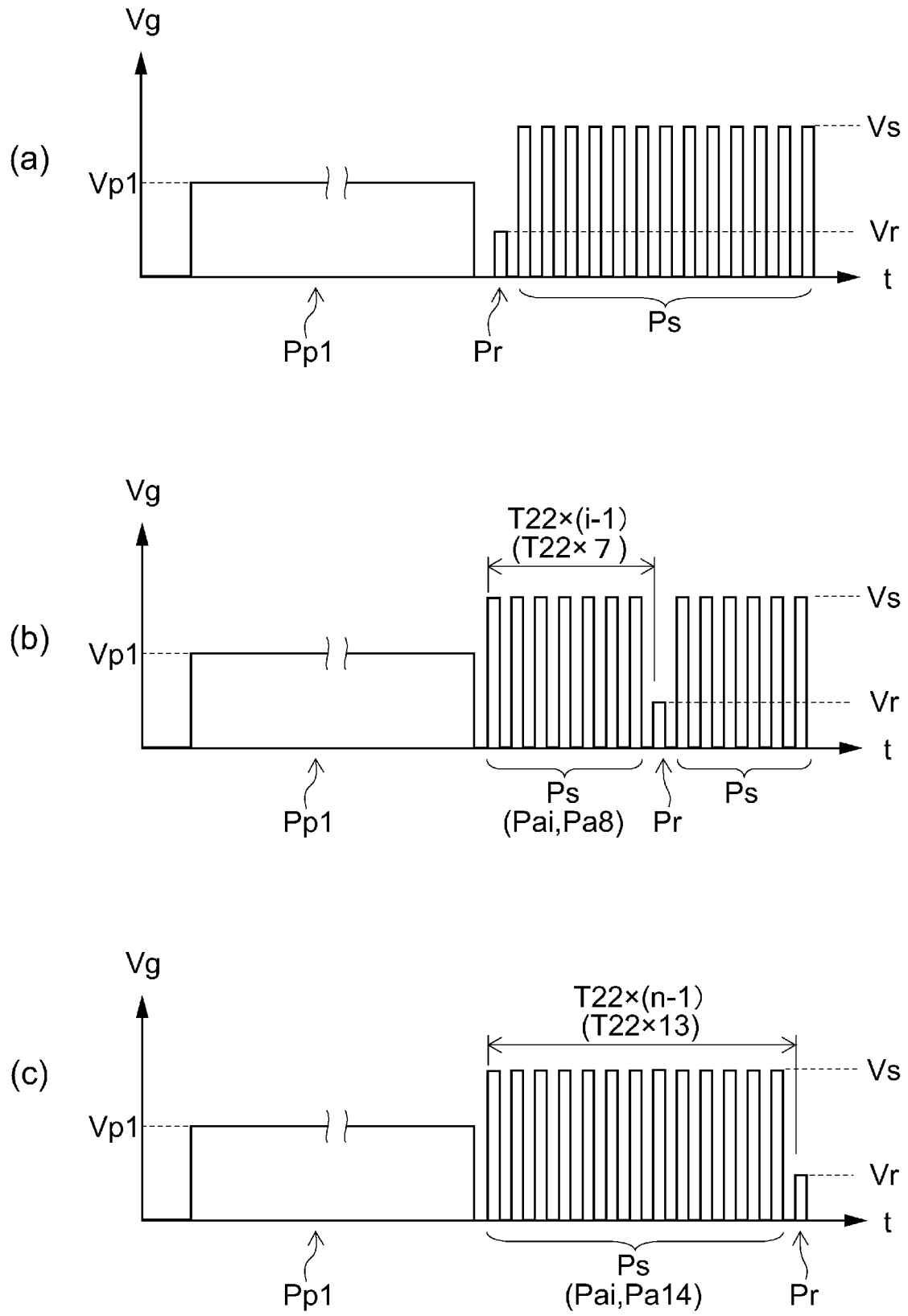
[図3]



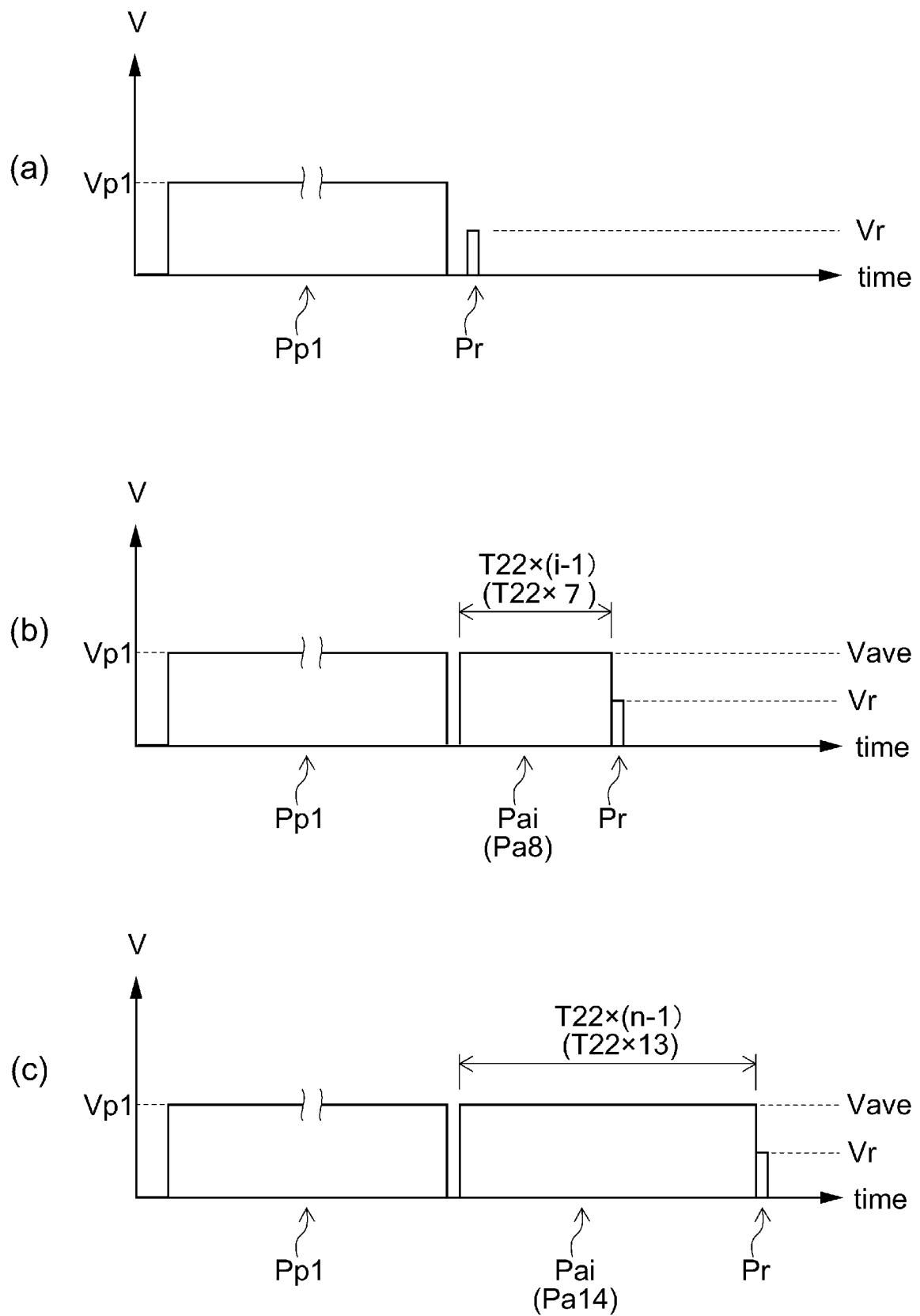
[図4]



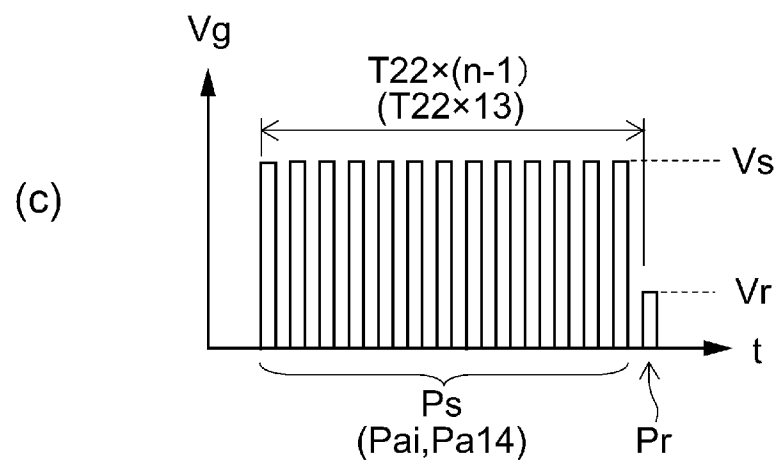
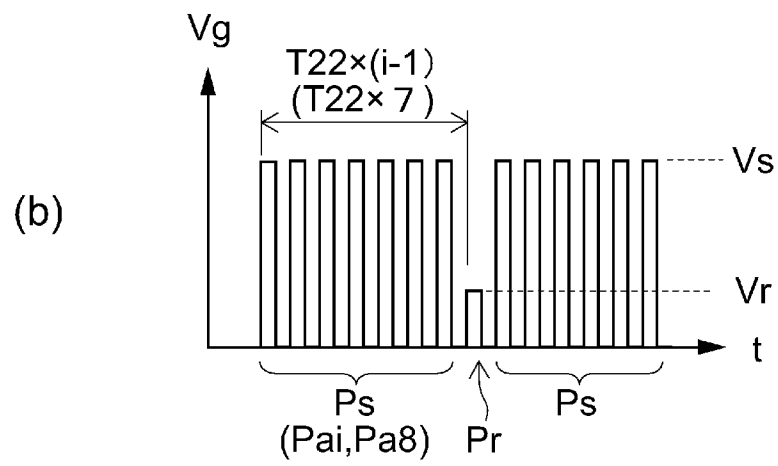
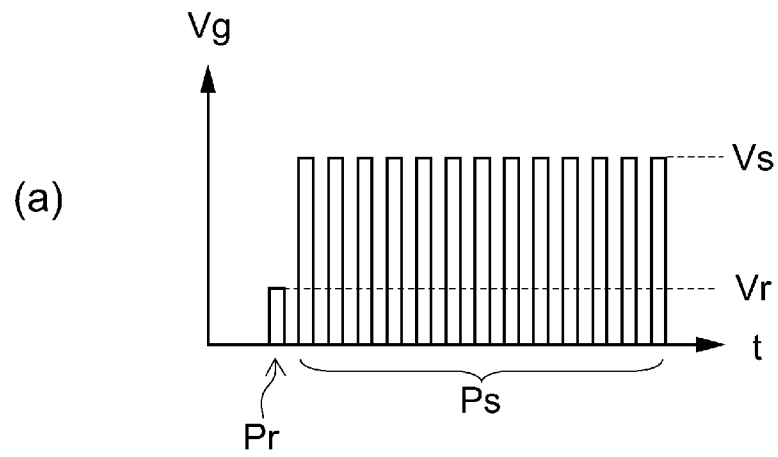
[図5]



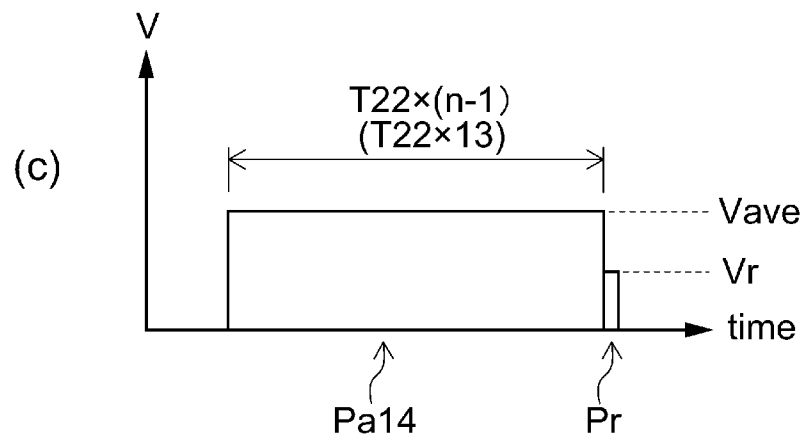
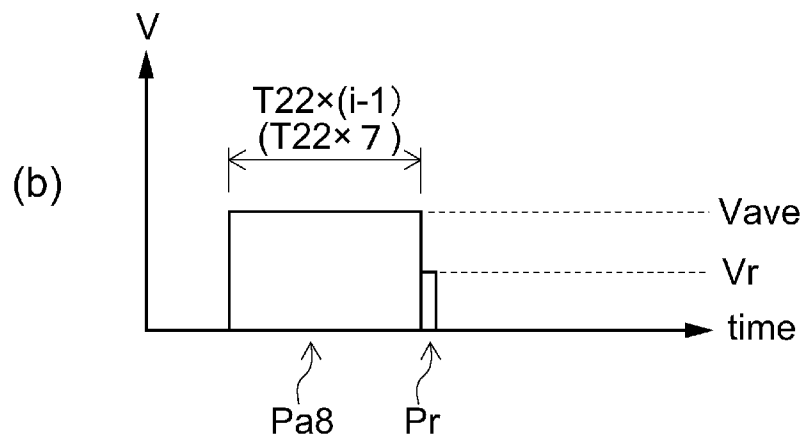
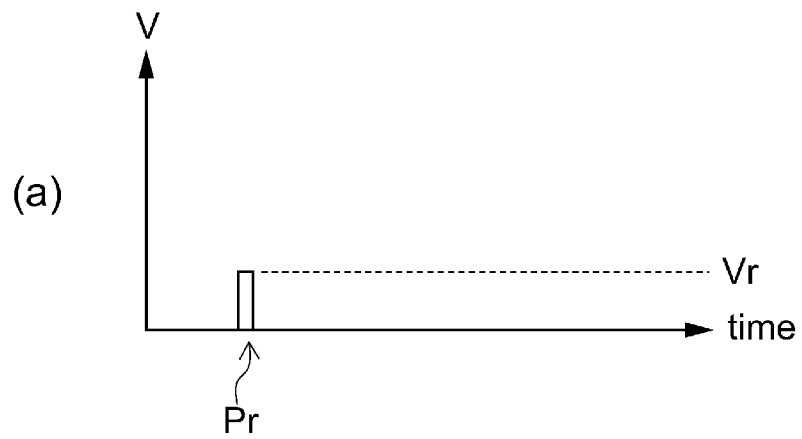
[図6]



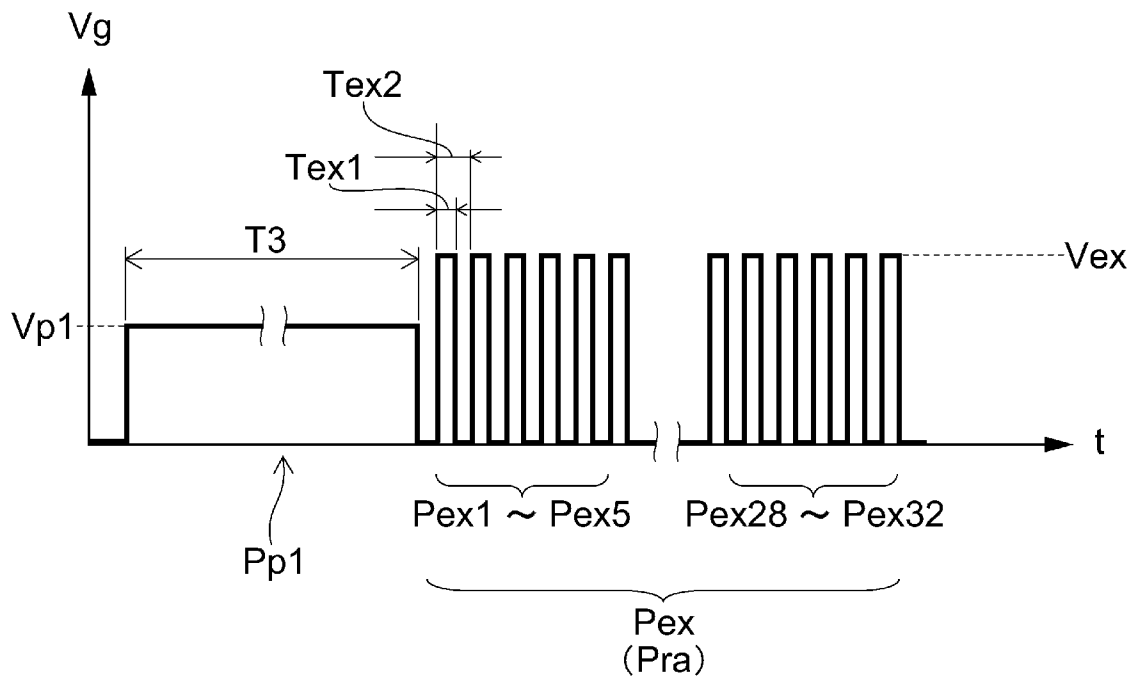
[図7]



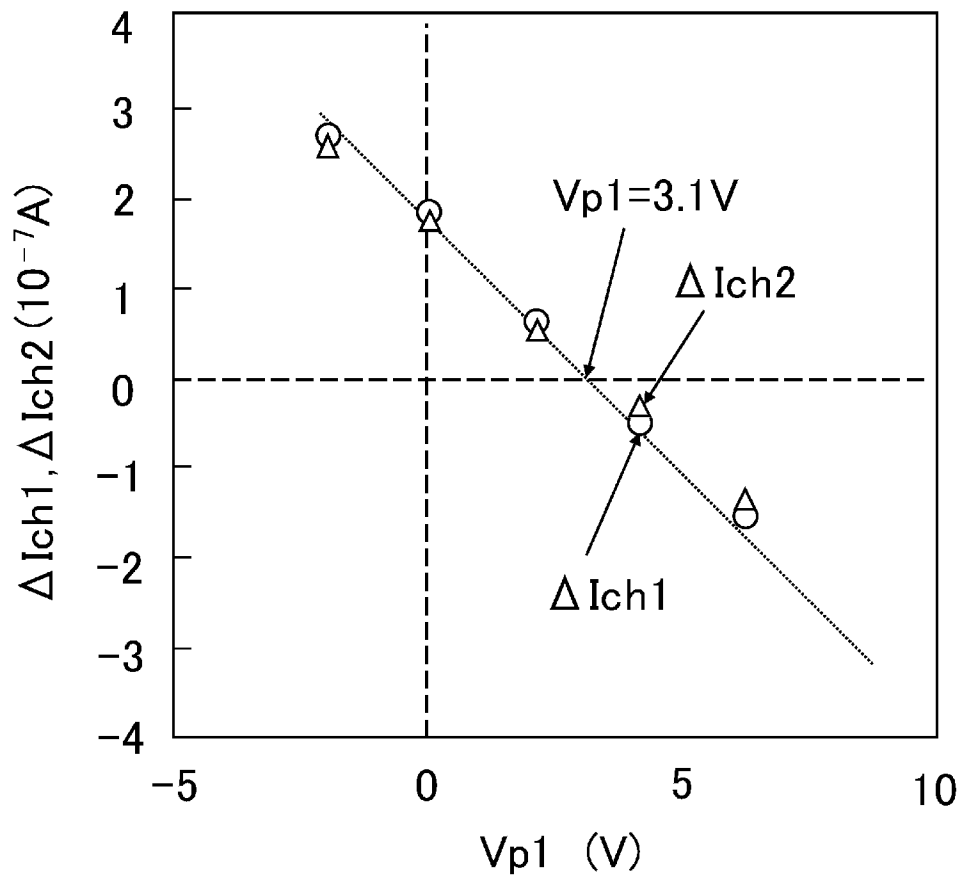
[図8]



[図9]



[図10]



Timing diagram of the gate voltage V_g . The diagram shows a sequence of pulses: P_{ps1} (width T_{31} , height V_{ps1}), P_{ps2} (width T_{32} , height V_{ps2}), a series of pulses $Pr1 \sim Pr5$ (width T_{ex1} , height V_{ex}), and a series of pulses $Pr28 \sim Pr32$ (width T_{ex2} , height V_{ex}). The pulses are grouped into P_{p1} and P_{ex} . The x-axis is time t and the y-axis is voltage V_g .

Figure 1 is a scatter plot showing the relationship between the change in current (ΔI_{ch1} and ΔI_{ch2}) and the voltage V_{ps1} . The y-axis is labeled $\Delta I_{ch1}, \Delta I_{ch2} (10^{-7} \text{ A})$ and ranges from -4 to 4. The x-axis is labeled $V_{ps1} \text{ (V)}$ and ranges from -5 to 10. A vertical dashed line is drawn at $V_{ps1} = 0$. Data points are represented by open circles. Arrows point to the data points at $V_{ps1} \approx 6.5$ V, labeled ΔI_{ch2} and ΔI_{ch1} .

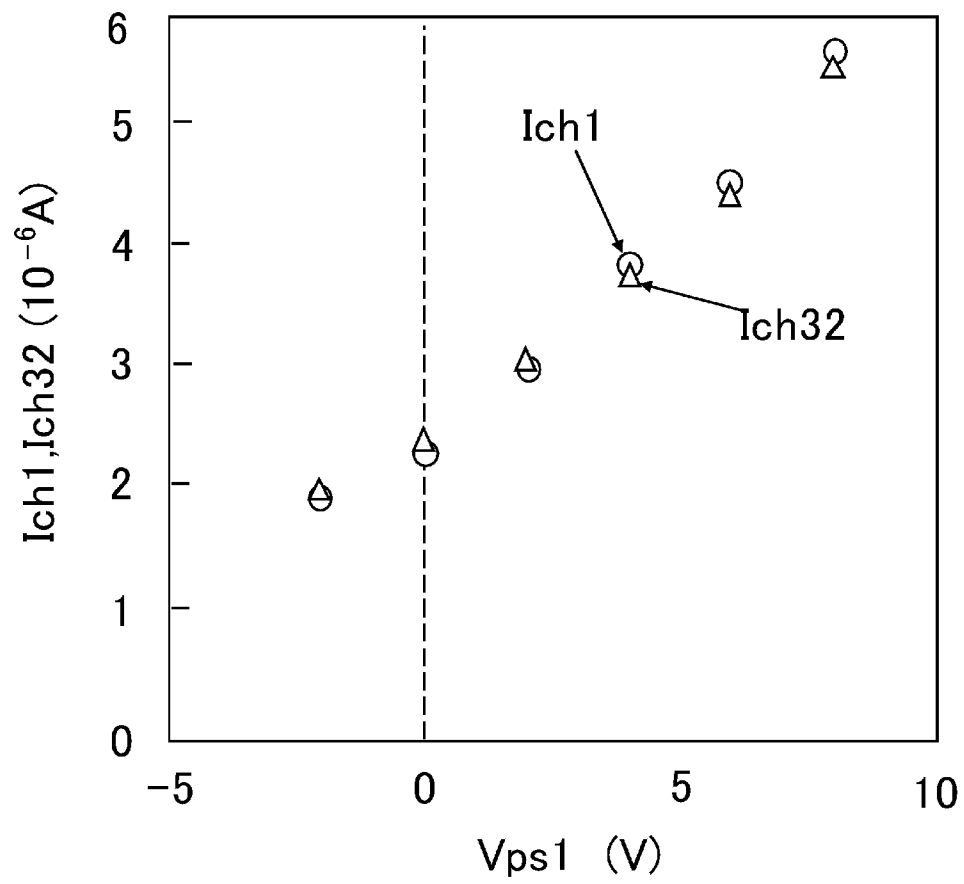
$V_{ps1} \text{ (V)}$	$\Delta I_{ch1} (10^{-7} \text{ A})$	$\Delta I_{ch2} (10^{-7} \text{ A})$
-1.5	0.3	0.3
0.0	0.3	0.3
1.5	0.2	0.2
3.5	0.0	0.0
6.5	-0.2	0.0
8.0	-0.5	-0.5

Figure 1 consists of two timing diagrams, (a) and (b), showing the gate voltage V_g over time t . Both diagrams illustrate the sequence of operations for a 1T1R1C1 architecture, including precharge, programming, and read phases.

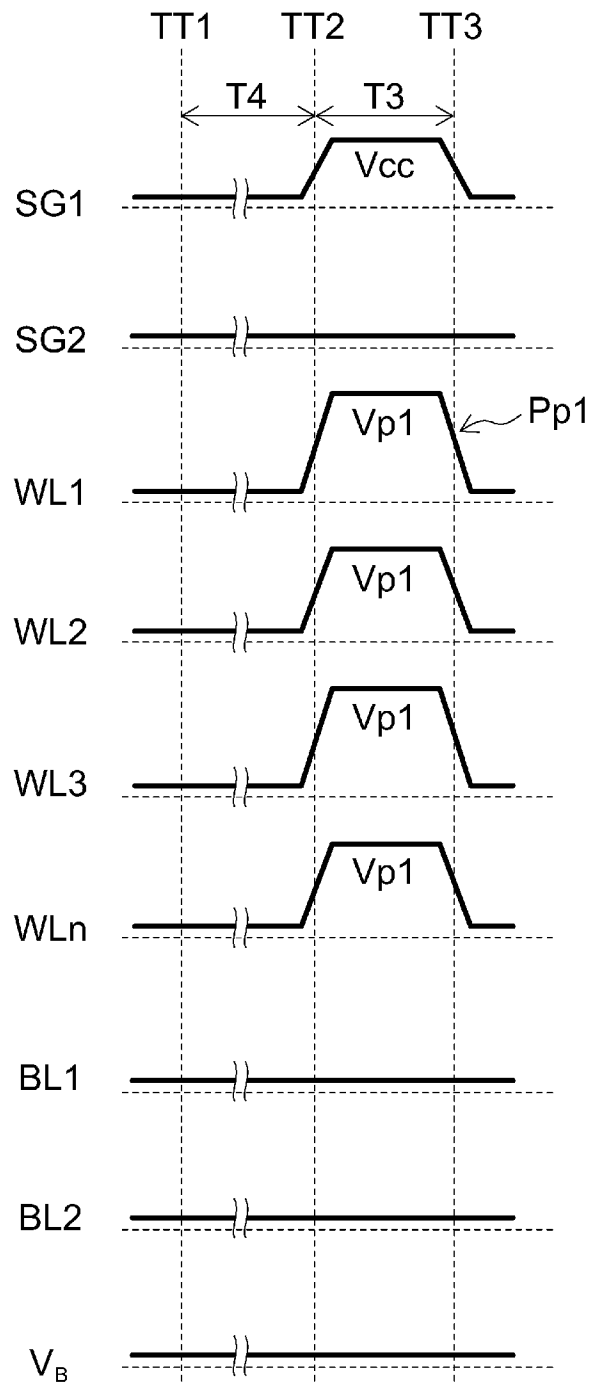
(a) Conventional 1T1R1C1 architecture: The diagram shows the gate voltage V_g over time t . The voltage starts at a low level, then rises to V_{p1} for a duration T_4 (labeled P_{q1}). It then rises to V_{r1} for a duration T_3 (labeled P_{p1}). This is followed by a series of pulses for the read phase, with a total duration T_r . The read phase is divided into three sub-phases: P_s (labeled T_{21}), P_r (labeled T_{12}), and P_s (labeled T_{11}). The voltage levels V_{p1} and V_{r1} are indicated by dashed lines. The total duration of the read phase is T_r .

(b) Proposed 1T1R1C1 architecture: The diagram shows the gate voltage V_g over time t . The voltage starts at a low level, then rises to V_{p1} for a duration T_4 (labeled P_{q1}). It then rises to V_{r1} for a duration T_3 (labeled P_{p1}). This is followed by a series of pulses for the read phase, with a total duration T_r . The read phase is divided into three sub-phases: P_s (labeled T_{21}), P_r (labeled T_{12}), and P_s (labeled T_{11}). The voltage levels V_{p1} and V_{r1} are indicated by dashed lines. The total duration of the read phase is T_r .

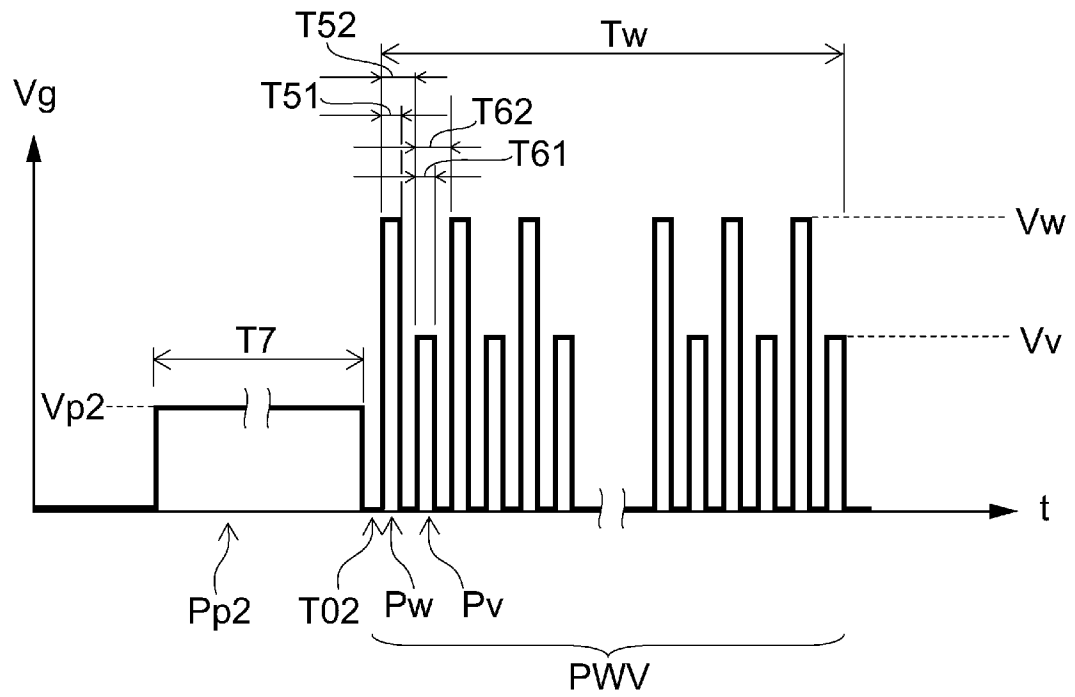
[図14]



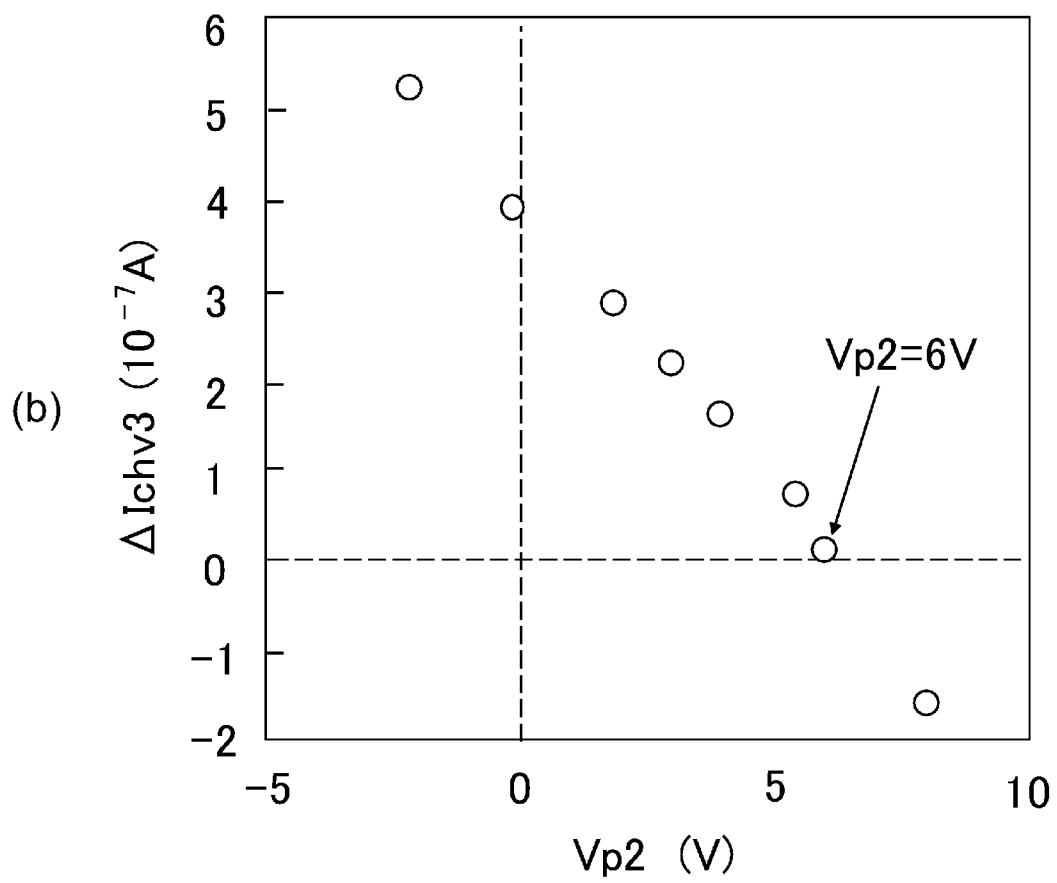
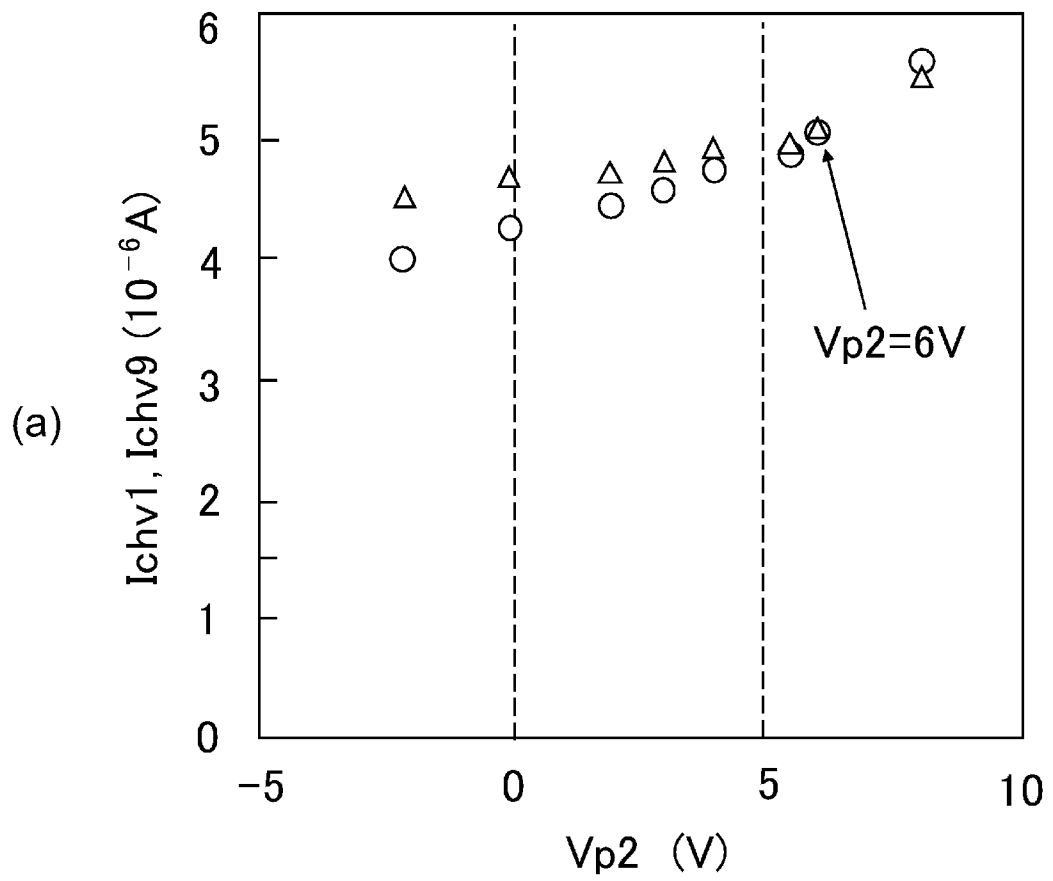
[図15]



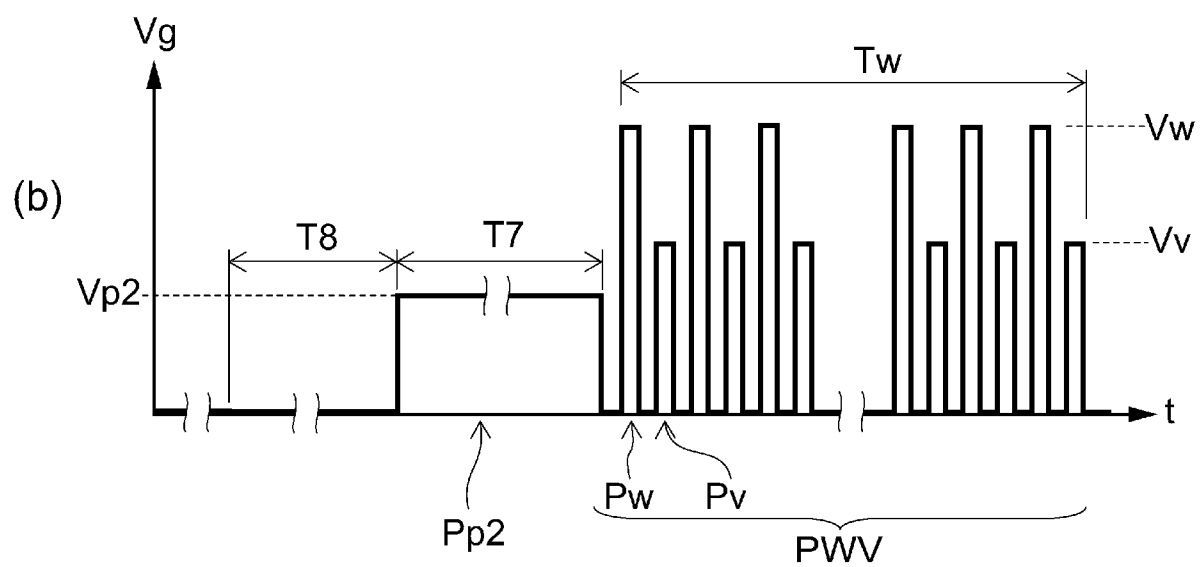
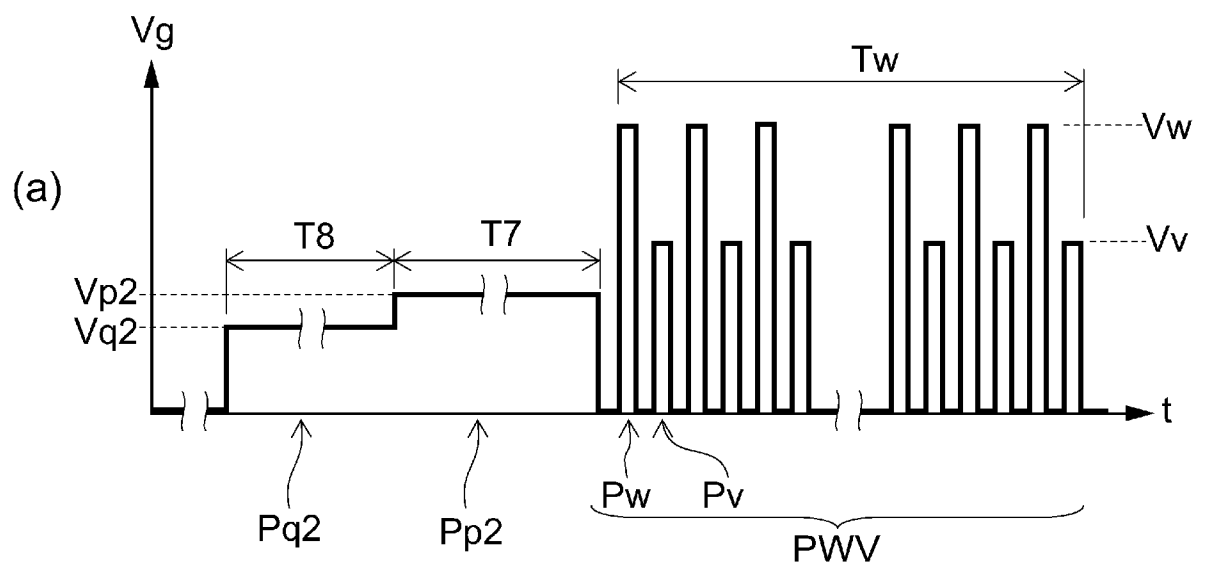
[図16]



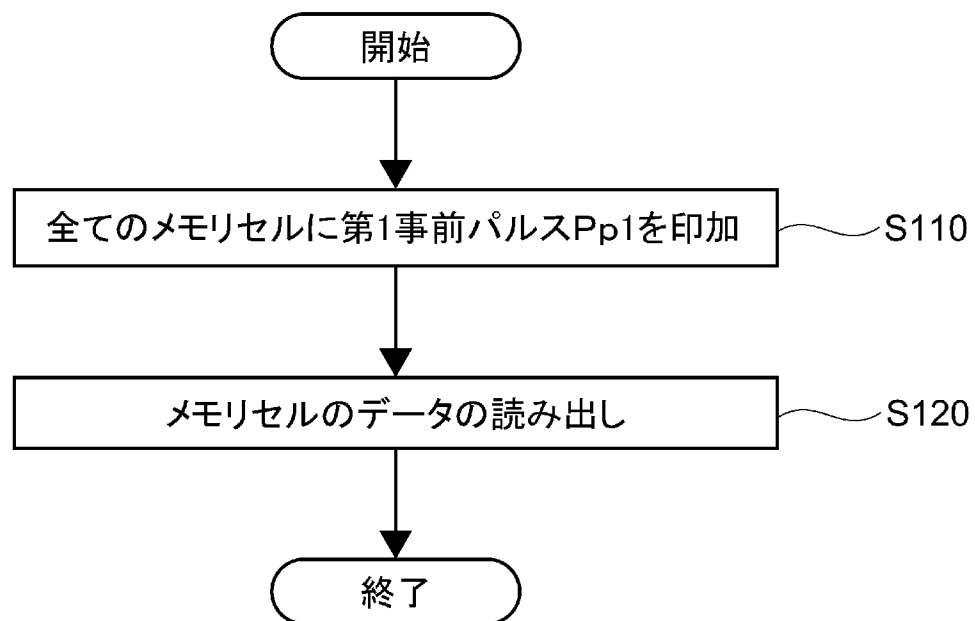
[図17]



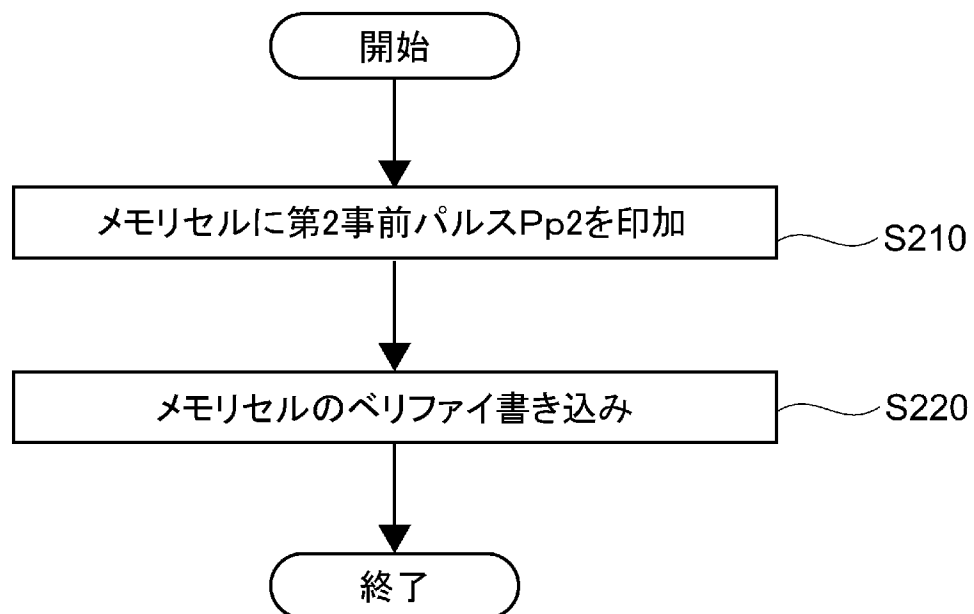
[図18]



[図19]



[図20]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2010/051995

A. CLASSIFICATION OF SUBJECT MATTER

G11C16/06(2006.01)i, G11C16/02(2006.01)i, G11C16/04(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G11C16/06, G11C16/02, G11C16/04

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2010
Kokai Jitsuyo Shinan Koho	1971-2010	Toroku Jitsuyo Shinan Koho	1994-2010

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2001-014868 A (Toshiba Micro-Electronics Corp., Toshiba Corp.), 19 January 2001 (19.01.2001), paragraphs [0005], [0043] to [0045]; fig. 11 & US 6292423 B1 & US 6452853 B2 & KR 10-2001-0007550 A & TW 471178 B1	1, 3, 7-9
A	JP 2007-257827 A (Spansion L.L.C.), 04 October 2007 (04.10.2007), paragraphs [0032] to [0043]; fig. 9, 10 & US 6567312 B1 & DE 10100939 A1 & TW 466711 B1 & KR 10-2001-0105143 A	1-10

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search
15 April, 2010 (15.04.10)

Date of mailing of the international search report
27 April, 2010 (27.04.10)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2010/051995

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2005-520270 A (SanDisk Corp.), 07 July 2005 (07.07.2005), paragraphs [0062] to [0066]; fig. 6, 7 & WO 2003/063171 A2 & US 6850441 B2 & EP 1466331 A2 & TW 264016 B1 & CN 1623206 A	1-10

A. 発明の属する分野の分類 (国際特許分類 (I P C))

Int.Cl. G11C16/06(2006.01)i, G11C16/02(2006.01)i, G11C16/04(2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (I P C))

Int.Cl. G11C16/06, G11C16/02, G11C16/04

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 0 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 0 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 0 年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X	JP 2001-014868 A (東芝マイクロエレクトロニクス株式会社, 株式会社東芝) 2001.01.19, 段落【0005】、【0043】 - 【0045】、第11図 & US 6292423 B1 & US 6452853 B2 & KR 10-2001-0007550 A & TW 471178 B1	1, 3, 7-9
A	JP 2007-257827 A (スパンション エルエルシー) 2007.10.04, 段落【0032】 - 【0043】、第9, 10図 & US 6567312 B1 & DE 10100939 A1 & TW 466711 B1 & KR 10-2001-0105143 A	1-10

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

1 5 . 0 4 . 2 0 1 0

国際調査報告の発送日

2 7 . 0 4 . 2 0 1 0

国際調査機関の名称及びあて先

日本国特許庁 (I S A / J P)

郵便番号 1 0 0 - 8 9 1 5

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

外山 毅

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 5 8 5

5 N

3 9 8 2

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2005-520270 A (サンディスク コーポレーション) 2005.07.07, 段落【0062】－【0066】, 第6, 7図 & WO 2003/063171 A2 & US 6850441 B2 & EP 1466331 A2 & TW 264016 B1 & CN 1623206 A	1-10