

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 7 部門第 2 区分

【発行日】平成20年9月4日(2008.9.4)

【公開番号】特開2002-158303(P2002-158303A)

【公開日】平成14年5月31日(2002.5.31)

【出願番号】特願2001-285604(P2001-285604)

【国際特許分類】

H 0 1 L 21/8247 (2006.01)

H 0 1 L 27/115 (2006.01)

H 0 1 L 29/788 (2006.01)

H 0 1 L 29/792 (2006.01)

【F I】

H 0 1 L 27/10 4 3 4

H 0 1 L 29/78 3 7 1

【手続補正書】

【提出日】平成20年7月17日(2008.7.17)

【手続補正 1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】半導体基板にフローティングゲートメモリーセルの半導体メモリーアレーを形成し、各メモリーセルがフローティングゲート、第 1 端子、それらの間のチャンネル領域を有する第 2 端子、及びコントロールゲートを備えた自己整列方法であって、

a) 基板上に複数の離隔された離隔領域を形成する工程であって、それらの領域が、互いに実質的に平行でかつ第 1 の方向に延在し、隣り合う離隔領域の各対の間にアクティブ領域を持ち、該アクティブ領域の各々が、半導体基板上の絶縁材料の第 1 層と、該絶縁材料の第 1 層上の導電材料の第 1 層とを備える、工程と、

b) 前記アクティブ領域及び離隔領域にまたがる複数の離隔された第 1 のトレンチを形成する工程であって、それらのトレンチが、互いに実質的に平行でかつ第 1 の方向とほぼ直交する第 2 の方向に延在し、さらに、各アクティブ領域内の前記導電性材料の第 1 層を露出させ、各第 1 トレンチが切り込みが形成された側壁を持つ、工程と、

c) 前記導電性材料の第 1 層の上方に隣接して配置されたアクティブ領域の各々に絶縁材料の第 2 層を形成する工程と、

d) 前記第 1 トレンチの各々に第 2 導電材料を充填して第 2 導電材料のブロックを形成する工程であって、各アクティブ領域内の各ブロックに関して、そのブロックが絶縁材料の前記第 2 層に隣接し、基板から絶縁されており、さらに、そのブロックが、第 1 のトレンチの側壁内の切り込みによって形成された突出部を備え、それが絶縁材料の第 2 層及び導電材料の第 1 層の上方に配置されている、工程と、

e) 複数の第 1 端子を基板に形成する工程であって、各アクティブ領域内で、各第 1 端子が 1 つのブロックと隣接する、工程と、

f) 複数の第 2 端子を基板に形成する工程であって、各アクティブ領域内で、各第 2 端子が前記第 1 端子から離隔されるとともに、導電材料の第 1 層の下方にある、工程を含む方法。

【請求項 2】請求項 1 の方法において、各ブロックの下方の部分は前記第 1 導電層に隣接するとともに、前記第 2 絶縁層により前記第 1 導電層から絶縁されている方法。

【請求項 3】請求項 1 の方法において、前記絶縁材料の第 2 層の形成工程は、前記第 1 の

トレンチの側壁に絶縁体を形成する工程と、前記導電性材料の第1層の上方表面に絶縁体を形成する工程とを含む方法。

【請求項4】請求項1の方法において、さらに、

前記アクティブ領域及び離隔領域にまたがって複数の離隔された第2のトレンチを形成する工程であって、前記第2トレンチが互いに平行でかつ第2の方向に延在し、前記第2トレンチの各々が、選択されたブロックの対の間に形成され、さらに、前記導電材料の第1層及び絶縁材料の第1層を貫通して前記第2端子を露出させる、工程と、  
前記第2のトレンチの側壁に沿って絶縁材料の第3層を形成する工程と、  
前記第2のトレンチの各々に導電性材料を充填する工程であって、該材料が前記絶縁材料の第3層によって前記第1の導電層から絶縁されている、工程とを含む方法。

【請求項5】請求項1の方法において、前記ブロックの各々が前記突出部の下方にあるノッチを持つコントロールゲートを形成する方法。

【請求項6】請求項1の方法において、前記第1のトレンチの形成が、  
前記導電性材料の第1層の上方に少なくとも1つの層を形成する工程と、  
前記少なくとも1つの層の要素を通じて選択的にエッチング処理をして、前記第1トレンチの頂部を形成する工程と、  
前記第1トレンチの各々の側壁上に側壁スペーサを形成する工程と、  
前記第1トレンチの各々の前記側壁スペーサの間で前記導電性材料の第1層を通じてエッチング処理をして前記第1トレンチの底部を形成する工程と、  
前記第1トレンチの各々から前記側壁スペーサを除去する工程とを含み、  
前記第1トレンチの前記底部が前記第1トレンチの頂部の幅よりも狭い幅を持つ方法。

【請求項7】請求項1の方法において、さらに、前記第2導電性材料のブロックの各々に金属化されたシリコンの層を形成する工程を含む方法。

【請求項8】請求項1の方法において、  
前記第1トレンチの形成工程に、前記アクティブ領域及び離隔領域にまたがって前記第1トレンチの選択された対の間に中間トレンチを形成する工程を含み、その中間トレンチが、互いに平行でかつ第2方向に延在するようにすることを含み、さらに、  
前記第1トレンチの充填に、前記中間トレンチに第2の導電性材料を充填して該中間トレンチ内に第2の導電性材料のブロックを形成することを含む方法。

【請求項9】請求項8の方法において、さらに、前記第2導電性材料のブロックの各々に金属化されたシリコンの層を形成する工程を含む方法。

【請求項10】請求項8の方法において、さらに、  
前記アクティブ領域及び離隔領域にまたがって、実質的に平行でかつ前記第2の方向に延在する複数の離隔された第2トレンチを形成する工程であって、該第2トレンチが前記中間トレンチから前記第2導電性材料を除去することによって形成され、さらに、前記導電性材料の第1層及び前記絶縁材料の第1層を通じて前記中間トレンチを延在させて前記第2端子を露出させる工程と、  
前記第2トレンチの側壁に沿って絶縁材料の第3層を形成する工程と、  
前記第2トレンチの各々に、前記絶縁材料の第3層によって前記第1導電層から絶縁される導電性材料を充填する工程とを含む方法。

【請求項11】請求項1の方法において、さらに、  
導電性材料のブロックの各々の側壁に沿って絶縁材料の側壁スペーサを形成する工程と、  
前記側壁スペーサの1つと直ぐに隣り合う第1端子の各々に金属化されたシリコンの層を形成する工程であって、該金属化されたシリコンの層の各々が前記側壁スペーサの1つと自己整列する工程とを含む方法。

【請求項12】請求項11の方法において、さらに、  
前記第2導電性材料のブロックの各々に金属化されたシリコンの層を形成する工程であって、前記第1トレンチの各々に関して、第1トレンチの側壁が前記金属化されたシリコンの端部と前記第2導電性材料のブロックの端部とを整列する工程と、  
前記金属化されたシリコンの層の上方に絶縁材料の第3層を形成する工程であって、前記

第 1 トレンチの各々に関して、第 1 トレンチの側壁が、前記絶縁材料の第 3 層の端部を、前記金属化されたシリコンの端部と前記第 2 導電性材料のブロックの端部とに整列させる工程とを含む方法。

【請求項 13】請求項 11 の方法において、さらに、前記金属化されたシリコンの各層の上方でかつそれに自己整列された側壁スペーサに対し導電性材料を形成する工程を含む方法。

【請求項 14】請求項 11 の方法において、前記側壁スペーサの各々を形成する工程に、側壁スペーサと導電性材料の側壁との間に絶縁材料の層を形成する工程を含む方法。

【請求項 15】請求項 1 の方法において、さらに、導電性材料の各ブロックの側壁に沿って絶縁材料の第 2 の側壁スペーサを形成して、該第 2 の側壁スペーサの対が、互いに隣り合うが離隔されており、第 1 の端子の 1 つが実質的にそれらの間に存在するようにする工程と、

1 つの第 1 端子に対応する第 2 側壁スペーサの対の間の第 1 端子の 1 つに金属化されたシリコンの層を形成し、金属化されたシリコンの層が、第 2 側壁スペーサの対応する対によって前記 1 つの第 1 端子と自己整列されるようにする工程と、

前記アクティブ領域の上方にパッシベーション材料の層を形成する工程と、

前記パッシベーション材料を通じてコンタクト開口を形成する工程であって、各コンタクト開口に関して、

コンタクト開口が下方に延在して前記金属化されたシリコン層の 1 つを露出させ、

コンタクト開口が第 2 側壁スペーサの対応する対によって画定された下方部分を持ち、さらに、

コンタクト開口が第 2 側壁スペーサの対応する対の間の空間よりも広い空間の上方部分を持つ工程と、

コンタクト開口の各々を導電性材料で充填する工程とを含む方法。

【請求項 16】請求項 1 の方法において、さらに、

前記アクティブ領域及び離隔領域にまたがって複数の離隔された第 2 のトレンチを形成する工程であって、前記第 2 トレンチが互いに平行でかつ第 2 の方向に延在し、前記第 2 トレンチの各々が、第 2 の導電性材料のブロックの 1 に隣接し、前記導電性材料の第 1 層の一部を露出させる工程を含む方法。

【請求項 17】請求項 16 の方法において、さらに、

前記第 2 トレンチの側壁に沿って絶縁材料の第 3 層を形成する工程と、

各第 2 トレンチの内の導電性材料の第 1 層の露出された部分にレンズ形状の酸化物層を形成する工程とを含む方法。

【請求項 18】請求項 1 の方法において、第 1 トレンチの各々に関して、該第 1 トレンチが、上方部分及び下方部分を持ち、上方部分が下方部分の幅よりも広く、

該第 1 トレンチの側壁内の切り込みが前記第 1 トレンチの上方部分と前記第 1 トレンチの下方部分との間に形成された方法。

【請求項 19】請求項 18 の方法において、各ブロックの下方部分が前記第 1 導電層の隣に配置され、前記第 2 絶縁層によってそれから絶縁されている方法。

【請求項 20】電氣的にプログラム可能及び消去可能なメモリデバイスのアレーであって、

第 1 の導電型の半導体材料の基板と、

基板上に互いに実質的に平行で第 1 の方向に延在するように形成された離隔された離隔領域であって、隣接する離隔領域の各対の間にはアクティブ領域が存在する離隔領域とを備え、

各アクティブ領域が、第 1 の方向に延在する複数のメモリーセルを備え、各メモリーセルが、

基板に形成された第 2 の導電型の第 1 及び第 2 の離隔された端子であって、それらの間の基板にはチャンネル領域を備える第 1 及び第 2 の離隔された端子と、

前記チャンネル上及び前記基板上に配置された第 1 の絶縁層と、

前記第 1 の絶縁層上に配置され、前記チャンネル領域の一部及び第 2 端子の一部の上方に延在する導電性のフローティングゲートと、  
該フローティングゲートの上方に隣接して配置され、貫通する電荷のファウラー・ノルドハイム・トンネルを許容する厚さを持つ第 2 絶縁層と、  
該第 2 絶縁層及びフローティングゲートに隣接して配置されたほぼ平坦な側面と、この平坦な側面部からフローティングゲートの上方に部分的に延びるように突き出てそれから絶縁されている突出部とを備える導電性のコントロールゲートとを備えるアレー。

【請求項 2 1】請求項 2 0 のアレーにおいて、前記コントロールゲートの各々が隣接する離隔領域を横切って前記第 1 の方向とほぼ直行する第 2 の方向に延出し、隣接するアクティブ領域内のコントロールゲートと電気的に接続されるアレー。

【請求項 2 2】請求項 2 0 のアレーにおいて、前記コントロールゲートは前記突出部の下方にノッチを形成するアレー。

【請求項 2 3】請求項 2 0 のアレーにおいて、前記コントロールゲートの各々は第 1 の部分及び第 2 の部分を持ち、該第 1 の部分がほぼ矩形状に形成されて第 2 絶縁層及びフローティングゲートの近くに配置され、前記第 2 の部分が、ほぼ矩形状に形成されて前記第 1 の部分の幅よりも広い幅を持ち、それにより、第 2 の部分の一部が、第 2 絶縁層の一部及びフローティングゲートの一部の上方に延在するアレー。

【請求項 2 4】半導体基板にフローティングゲートメモリーセルの半導体メモリーアレーを形成し、各メモリーセルが、フローティングゲート、第 1 端子、第 2 端子、それらの間にあるチャンネル領域及びコントロールゲートを持つ方法であって、

a) 基板上に複数の離隔された離隔領域を形成する工程であって、前記離隔領域が互いに実質的に平行で第 1 の方向に延在しており、隣接する離隔領域の各対の間にアクティブ領域が存在し、アクティブ領域の各々が、半導体基板上の絶縁材料の第 1 層と、該絶縁材料の第 1 層上の導電材料の第 1 層とからなる、工程と、

b) 前記アクティブ領域及び離隔領域を横切って複数の離隔された第 1 トレンチを形成する工程であって、前記第 1 トレンチが互いに実質的に平行で、前記第 1 の方向とほぼ直行する第 2 の方向に延在しており、さらに、各アクティブ領域内の導電材料の第 1 層を露出する工程と、

c) 各アクティブ領域内に、導電性材料の第 1 層の上方に隣接して配置された絶縁材料の第 2 層を形成する工程と、

d) 前記第 1 トレンチの側面上に第 1 の側壁スペーサを形成する工程と、

e) 前記第 1 の側壁スペーサの各々に第 2 の側壁スペーサを形成する工程と、

f) 各アクティブ領域に第 2 のトレンチを形成する工程であって、各第 2 のトレンチが、第 1 の側壁スペーサの 1 つの直ぐ近くに隣接する側壁を有する、工程と、

g) 前記第 1 の側壁スペーサを除去して各第 2 のトレンチの側面に切り込みを形成する工程と、

h) 各第 2 のトレンチを第 2 の導電材料で充填して第 2 の導電材料のブロックを形成する工程であって、各アクティブ領域内の各ブロックに関して、前記ブロックが絶縁材料の第 2 層に隣接するとともに前記基板から絶縁されており、さらに、前記ブロックが、絶縁材料の第 2 層及び導電材料の第 1 層の上方に配置された第 2 のトレンチの側面の切り込みによって形成された突出部を備える、工程と、

i) 前記基板に複数の第 1 端子を形成し、各アクティブ領域内において各第 1 端子がブロックの 1 つと隣接するようにする工程と、

j) 前記基板に複数の第 2 端子を形成し、各アクティブ領域内において各第 2 端子が第 1 端子から離隔されるとともに導電材料の第 1 層の下方に存在するようにする工程とを含む方法。

【請求項 2 5】請求項 2 4 の方法において、前記第 1 のスペーサの各々は前記絶縁材料の第 2 層の直ぐ上方に形成される方法。

【請求項 2 6】請求項 2 4 の方法において、前記第 2 のスペーサの各々は前記絶縁材料の第 2 層の直ぐ上方に形成される方法。

【請求項 27】請求項 24 の方法において、各ブロックの下方の部分は、前記第 1 導電層の近くに配置され、前記第 2 絶縁層によってそれから絶縁されている方法。

【請求項 28】請求項 24 の方法において、各ブロックは、前記突出部の真下にノッチを持つコントロールゲートを形成する方法。

【請求項 29】請求項 24 の方法において、前記第 2 トレンチの形成工程には、前記アクティブ領域において導電材料の第 1 層を露出させる工程を含む方法。

【請求項 30】請求項 29 の方法において、前記絶縁材料の第 2 層の形成工程には、第 2 トレンチの側面に絶縁要素を形成する工程と、前記導電材料の第 1 層の上方表面上に絶縁要素を形成する工程とを含む方法。

【請求項 31】請求項 24 の方法において、さらに、前記第 2 のトレンチの各々に絶縁材料の第 3 層を形成する工程と、前記第 2 のトレンチの各々に導電性材料を充填する工程であって、該材料が前記絶縁材料の第 3 層によって前記第 1 の導電層から絶縁されている、工程を含む方法。

【請求項 32】請求項 24 の方法において、前記第 1 のトレンチの形成が、前記導電性材料の第 1 層の上方少なくとも 1 つの層を形成する工程と、前記少なくとも 1 つの層を通じて選択的にエッチング処理をして、前記第 1 トレンチの頂部を形成し、次に前記第 1 及び第 2 スペースを前記第 1 トレンチ内に形成する工程と、各第 1 トレンチの第 2 の側壁スペースの間においてかつ導電材料の第 1 層を通じてエッチング処理をして前記第 1 のトレンチの底部を形成する工程とを含み、前記第 1 トレンチの前記底部が前記第 1 トレンチの頂部の幅よりも狭い幅を持つ方法。

【請求項 33】請求項 24 の方法において、さらに、前記導電材料の各ブロックの側面に沿って絶縁材料の第 3 の側壁スペースを形成する工程と、前記第 3 の側壁スペースの 1 つの直ぐ隣にある各第 2 端子に金属化されたシリコン層を形成する工程であって、該金属化されたシリコンの各層が前記第 3 の側壁スペースの 1 つと自己整列する工程とを含む方法。

【請求項 34】請求項 33 の方法において、さらに、前記第 2 導電性材料のブロックの各々に金属化されたシリコンの層を形成する工程であって、前記第 2 トレンチの各々に関して、第 2 トレンチの側壁が前記金属化されたシリコンの端部と前記第 2 導電性材料のブロックの端部とを整列する工程と、ブロックを前記第 2 導電材料の各ブロックに隣接して形成する工程と、前記金属化されたシリコンの層の上方に絶縁材料の第 3 層を形成する工程であって、前記ブロックの各々に関して、前記ブロックの側壁が、前記絶縁材料の第 3 層の端部を、前記金属化されたシリコンの端部と前記第 2 導電材料のブロックの端部とに整列させる工程とを含む方法。

【請求項 35】請求項 33 の方法において、さらに、前記金属化されたシリコンの層の各々の上方でかつそれに自己整列された第 3 の側壁スペースに対し導電性材料を形成する工程を含む方法。

【請求項 36】請求項 33 の方法において、前記第 3 側壁スペースの各々の形成工程に、前記第 3 側壁スペースと導電材料のブロックの側壁との間に絶縁材料の層を形成する工程を含む方法。

【請求項 37】請求項 24 の方法において、さらに、前記導電材料の各ブロックの側壁に沿って絶縁材料の第 3 側壁スペースを形成して、第 3 側壁スペースが互いに隣接するが離隔されており、第 1 端子の 1 つが実質的にそれらの間に存在するようにする工程と、

1 つの第 1 端子に対応する第 3 側壁スペースの対の間の第 1 端子の各々に金属化されたシリコンの層を形成し、その金属化されたシリコンの層が第 3 の側壁スペースの対応する対によって 1 つの第 1 端子と自己整列するようにする工程と、

前記アクティブ領域上にパッシベーション材料の層を形成する工程と、

前記パッシベーション材料を通じてコンタクト開口を形成する工程であって、各コンタク

ト開口に関して、

該コンタクト開口が、下方に延びて前記金属化されたシリコン層の 1 つを露出させ、

該コンタクト開口が、第 3 側壁スペーサの対応する対によって画定された下方部分を持ち、さらに、

該コンタクト開口が、前記第 3 側壁スペーサの対応する対の間の空間より広い上方部分を持つ工程と、

前記コンタクト開口の各々に、導電材料を充填する工程とを含む方法。