

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2017 年 8 月 17 日 (17.08.2017)



(10) 国际公布号
WO 2017/136967 A1

- (51) 国际专利分类号:
H01L 21/77 (2006.01) H01L 27/02 (2006.01)
- (21) 国际申请号: PCT/CN2016/074791
- (22) 国际申请日: 2016 年 2 月 29 日 (29.02.2016)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (30) 优先权:
201610084686.6 2016 年 2 月 14 日 (14.02.2016) CN
- (71) 申请人: 武汉华星光电技术有限公司 (WUHAN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.) [CN/CN]; 中国湖北省武汉市东湖开发区高新大道 666 号生物城 C5 栋, Hubei 430070 (CN)。
- (72) 发明人: 邓思 (DENG, Si); 中国湖北省武汉市东湖开发区高新大道 666 号生物城 C5 栋, Hubei 430070 (CN)。
- (74) 代理人: 深圳市德力知识产权代理事务所 (COMIPS INTELLECTUAL PROPERTY OFFICE); 中国广东省深圳市福田区上步中路深勘大厦 15E, Guangdong 518028 (CN)。

- (81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。
- (84) 指定国 (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

— 包括国际检索报告(条约第 21 条(3))。

(54) Title: METHOD FOR MANUFACTURING ARRAY SUBSTRATE AND ARRAY SUBSTRATE

(54) 发明名称: 阵列基板的制作方法及其阵列基板

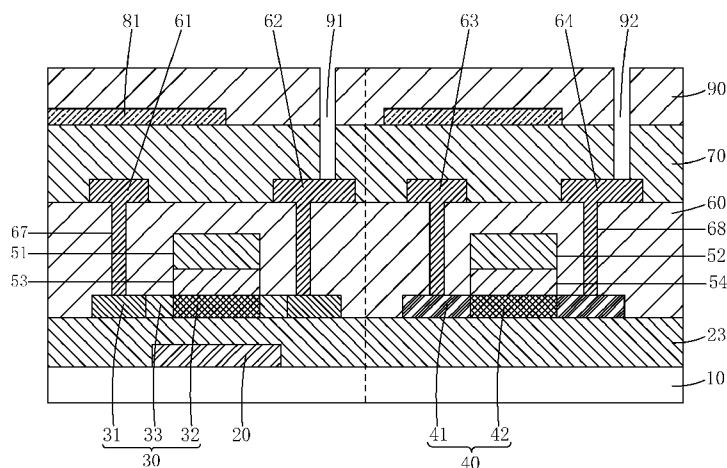


图12

(57) Abstract: Disclosed are a method for manufacturing an array substrate and an array substrate. The method adopts a protective passivation layer (90) made of an organic photoresist material instead of a conventional protective passivation layer (90) made of a silicon nitride material, and utilizes a single photomask to perform exposure and development processes on the protective passivation layer (90), and a planarization layer (70) so as to obtain a third via (91) above a first drain electrode (62) and a fourth via (92) above a second drain electrode (64). Compared with respective processes in the prior art, the method of the present invention allows reduction of both one photomask and one etching process, thereby simplifying the process flow and saving on production costs. The array substrate of the present invention has a simple structure, low manufacturing cost and good electrical properties.

(57) 摘要:

[见续页]



WO 2017/136967 A1



一种阵列基板的制作方法，该阵列基板的制作方法，通过采用由有机光阻材料制作的钝化保护层（90）来代替现有的氮化硅材料的钝化保护层（90），利用一道光罩对钝化保护层（90）和平坦层（70）进行曝光、显影处理，得到位于第一漏极（62）上方的第三过孔（91）、及位于第二漏极（64）上方的第四过孔（92），与现有技术的相应制程相比，既节省了一道光罩，又减少了一道蚀刻制程，从而达到简化工艺流程、以及节约生产成本的目的。阵列基板，结构简单，制作成本低，且具有良好的电学性能。

阵列基板的制作方法及其阵列基板

技术领域

5 本发明涉及显示技术领域，尤其涉及一种阵列基板的制作方法及其阵列基板。

背景技术

10 随着显示技术的发展，液晶显示器（Liquid Crystal Display，LCD）等平面显示装置因具有高画质、省电、机身薄及应用范围广等优点，而被广泛的应用于手机、电视、个人数字助理、数字相机、笔记本电脑、台式计算机等各种消费性电子产品，成为显示装置中的主流。

15 现有市场上的液晶显示装置大部分为背光型液晶显示器，其包括液晶显示面板及背光模组（backlight module）。液晶显示面板的工作原理是在两片平行的玻璃基板当中放置液晶分子，两片玻璃基板中间有许多垂直和水平的细小电线，通过通电与否来控制液晶分子改变方向，将背光模组的光线折射出来产生画面。

通常液晶显示面板由彩膜（CF，Color Filter）基板、薄膜晶体管（TFT，Thin Film Transistor）基板、夹于彩膜基板与薄膜晶体管基板之间的液晶（LC，Liquid Crystal）及密封胶框（Sealant）组成，其成型工艺一般包括：
20 前段阵列（Array）制程（薄膜、黄光、蚀刻及剥膜）、中段成盒（Cell）制程（TFT 基板与 CF 基板贴合）及后段模组组装制程（驱动 IC 与印刷电路板压合）。其中，前段 Array 制程主要是形成 TFT 基板，以便于控制液晶分子的运动；中段 Cell 制程主要是在 TFT 基板与 CF 基板之间添加液晶；后段模组组装制程主要是驱动 IC 压合与印刷电路板的整合，进而驱动液晶分子转动，显示图像。

30 低温多晶硅（Low Temperature Poly Silicon，LTPS）是广泛用于中小电子产品中的一种液晶显示技术。传统的非晶硅材料的电子迁移率约 $0.5-1.0\text{cm}^2/\text{V.S}$ ，而低温多晶硅的电子迁移率可达 $30-300\text{cm}^2/\text{V.S}$ 。因此，低温多晶硅液晶显示器具有高解析度、反应速度快、高开口率等诸多优点。但是另一方面，由于 LTPS 半导体器件的体积小、集成度高，所以整个 LTPS 阵列基板的制备工艺复杂，生产成本较高。

目前，业界主流的显示面板的阵列基板的钝化保护层（PV）通常采用氮化硅（分子式： SiN_x ）单层结构组成。氮化硅是一种良好的绝缘材料，其透

光度较好，介电常数大约是 6~9。

目前流行的 LTPS 阵列基板的制作流程中，对平坦层和钝化保护层进行图形化处理以形成像素电极与漏极的接触孔的方法如下：步骤 1、如图 1 所示，首先形成平坦层（PLN）700，并利用光罩对平坦层 700 进行曝光显影处理，形成位于漏极 620 上方的第一通孔 710；步骤 2、如图 2 所示，在平坦层 700 上形成图形化的公共电极层（BITO）810，在公共电极层 810 上沉积氮化硅材料，形成钝化保护层 900，利用曝光和蚀刻工艺对钝化保护层 900 进行图形化处理，在所述钝化保护层 900 上形成位于第一通孔 710 内的第二通孔 910 所述第二通孔 910 用于实现像素电极与漏极 620 的接触。

然而上述制程需要使用两道光罩并进行一次蚀刻制程，生产成本较高，且工艺流程复杂。

发明内容

本发明的目的在于提供一种阵列基板的制作方法，与现有技术相比，既节省一道光罩，又减少一道蚀刻制程，从而简化工艺流程、节约生产成本。

本发明的目的还在于提供一种阵列基板，结构简单，制作成本低，且具有良好的电学性能。

为实现上述目的，本发明提供一种阵列基板的制作方法，包括如下步骤：

步骤 1、提供一基板，在所述基板上沉积第一金属层，对所述第一金属层进行图形化处理，得到遮光层；

步骤 2、在所述遮光层、及基板形成缓冲层，在所述缓冲层上形成非晶硅层，并对非晶硅层进行结晶化处理，从而形成多晶硅层，采用光刻制程对所述多晶硅层进行图形化处理，得到对应于遮光层上方的第一多晶硅段、及与第一多晶硅段间隔设置的第二多晶硅段；

步骤 3、利用光罩对所述第一多晶硅段的中间区域进行 P 型轻掺杂，得到第一沟道区，之后利用光罩对所述第一多晶硅段的两端进行 N 型重掺杂，得到位于两端的 N 型重掺杂区；

步骤 4、在所述第一多晶硅段、第二多晶硅段、及缓冲层上沉积栅极绝缘层，在栅极绝缘层上沉积第二金属层，采用光刻制程对所述栅极绝缘层及第二金属层进行图形化处理，在栅极绝缘层上得到分别对应于所述第一多晶硅段与第二多晶硅段中间区域的第一栅极绝缘层与第二栅极绝缘层，在第二金属层上得到分别位于所述第一、第二栅极绝缘层上方且与所述第

一、第二栅极绝缘层对齐的第一栅极与第二栅极；

步骤 5、利用第一栅极作为光罩对所述第一多晶硅段上位于第一沟道区与 N 型重掺杂区之间的区域进行 N 型轻掺杂，得到 N 型轻掺杂区，之后利用光罩对所述第二多晶硅段的两端进行 P 型重掺杂，得到位于两端的 P 型重掺杂区、及位于两 P 型重掺杂区之间的第二沟道区；

步骤 6、在所述第一栅极、第二栅极、第一多晶硅段、第二多晶硅段、及缓冲层上沉积层间绝缘层，通过光刻制程对所述层间绝缘层进行图形化处理，在所述层间绝缘层上形成对应于 N 型重掺杂区上方的第一过孔、及对应于 P 型重掺杂区上方的第二过孔；

10 步骤 7、在所述层间绝缘层上沉积第三金属层，对所述第三金属层进行图形化处理，得到间隔设置的第一源极、第一漏极、第二源极、及第二漏极；所述第一源极、第一漏极分别通过第一过孔与 N 型重掺杂区相接触，所述第二源极、第二漏极分别通过第二过孔与 P 型重掺杂区相接触；

15 步骤 8、在所述第一源极、第一漏极、第二源极、第二漏极、及层间绝缘层上形成平坦层；在所述平坦层上沉积第一透明导电层，对所述第一透明导电层进行图形化处理，得到公共电极；

步骤 9、在所述公共电极、及平坦层上沉积有机光阻材料，形成钝化保护层；

20 步骤 10、利用光罩对所述钝化保护层、及平坦层进行曝光、显影，得到对应于第一漏极上方的第三过孔、及对应于第二漏极上方的第四过孔；

步骤 11、在所述钝化保护层上沉积第二透明导电层，对所述第二透明导电层进行图形化处理，得到像素电极，所述像素电极分别通过第三过孔、第四过孔与第一漏极、及第二漏极相接触。

所述步骤 2 中，利用激光退火方法对非晶硅层进行结晶化处理。

25 所述步骤 6 还包括：对所述层间绝缘层进行去氢和活化处理。

通过快速热退火工艺对所述层间绝缘层进行去氢和活化处理。

所述步骤 9 中，采用蒸镀或喷印的方法沉积有机光阻材料。

所述步骤 9 还包括：对所述钝化保护层进行紫外光照射处理，使所述钝化保护层薄化，以增加其透光性。

30 所述平坦层的材料为有机光阻，所述钝化保护层的介电常数为 3~4。

所述基板为透明基板；所述第一金属层、第二金属层、第三金属层的材料为钼、钛、铝、铜中的一种或多种的堆栈组合；所述缓冲层、第一、第二栅极绝缘层、层间绝缘层为氧化硅层、氮化硅层、或者由氧化硅层与氮化硅层叠加构成的复合层；所述第一透明导电层、第二透明导电层的材

料为金属氧化物。

本发明还提供一种阵列基板，包括基板，位于基板上的遮光层，位于遮光层、及基板上的缓冲层，位于所述缓冲层上的第一多晶硅段与第二多晶硅段，分别位于第一多晶硅段与第二多晶硅段中间区域上方的第一栅极绝缘层与第二栅极绝缘层，分别位于所述第一栅极绝缘层与第二栅极绝缘层上方且与所述第一、第二栅极绝缘层对齐的第一栅极与第二栅极，位于所述第一栅极、第二栅极、第一多晶硅段、第二多晶硅段、及缓冲层上的层间绝缘层，位于层间绝缘层上的第一源极、第一漏极、第二源极、第二漏极，位于所述第一源极、第一漏极、第二源极、第二漏极、及层间绝缘层上的平坦层，位于平坦层上的公共电极，位于公共电极、及平坦层上的钝化保护层，以及位于钝化保护层上的像素电极；

所述第一多晶硅段包括对应所述第一栅极绝缘层下方的第一沟道区、位于两端的 N 型重掺杂区、及位于 N 型重掺杂区与第一沟道区之间的 N 型轻掺杂区；所述第二多晶硅段包括对应所述第二栅极绝缘层下方的第一沟道区、及位于两端的 P 型重掺杂区；

所述层间绝缘层上设有对应于 N 型重掺杂区上方的第一过孔、及对应于 P 型重掺杂区上方的第二过孔；所述第一源极、第一漏极分别通过第一过孔与 N 型重掺杂区相接触，所述第二源极、第二漏极分别通过第二过孔与 P 型重掺杂区相接触；

所述平坦层与钝化保护层的材料均为有机光阻，所述钝化保护层及平坦层上设有对应于第一漏极上方的第三过孔、及对应于第二漏极上方的第四过孔，所述像素电极分别通过第三过孔、第四过孔与第一漏极、及第二漏极相接触。

所述钝化保护层的介电常数为 3~4；所述基板为透明基板；所述第一金属层、第二金属层、第三金属层的材料为钼、钛、铝、铜中的一种或多种的堆栈组合；所述缓冲层、第一、第二栅极绝缘层、层间绝缘层为氧化硅层、氮化硅层、或者由氧化硅层与氮化硅层叠加构成的复合层；所述第一透明导电层、第二透明导电层的材料为金属氧化物。

本发明还提供一种阵列基板的制作方法，包括如下步骤：

步骤 1、提供一基板，在所述基板上沉积第一金属层，对所述第一金属层进行图形化处理，得到遮光层；

步骤 2、在所述遮光层、及基板形成缓冲层，在所述缓冲层上形成非晶硅层，并对非晶硅层进行结晶化处理，从而形成多晶硅层，采用光刻制程对所述多晶硅层进行图形化处理，得到对应于遮光层上方的第一多晶硅段、

及与第一多晶硅段间隔设置的第二多晶硅段；

步骤 3、利用光罩对所述第一多晶硅段的中间区域进行 P 型轻掺杂，得到第一沟道区，之后利用光罩对所述第一多晶硅段的两端进行 N 型重掺杂，得到位于两端的 N 型重掺杂区；

5 步骤 4、在所述第一多晶硅段、第二多晶硅段、及缓冲层上沉积栅极绝缘层，在栅极绝缘层上沉积第二金属层，采用光刻制程对所述栅极绝缘层及第二金属层进行图形化处理，在栅极绝缘层上得到分别对应于所述第一多晶硅段与第二多晶硅段中间区域的第一栅极绝缘层与第二栅极绝缘层，在第二金属层上得到分别位于所述第一、第二栅极绝缘层上方且与所述第一、第二栅极绝缘层对齐的第一栅极与第二栅极；

步骤 5、利用第一栅极作为光罩对所述第一多晶硅段上位于第一沟道区与 N 型重掺杂区之间的区域进行 N 型轻掺杂，得到 N 型轻掺杂区，之后利用光罩对所述第二多晶硅段的两端进行 P 型重掺杂，得到位于两端的 P 型重掺杂区、及位于两 P 型重掺杂区之间的第二沟道区；

15 步骤 6、在所述第一栅极、第二栅极、第一多晶硅段、第二多晶硅段、及缓冲层上沉积层间绝缘层，通过光刻制程对所述层间绝缘层进行图形化处理，在所述层间绝缘层上形成对应于 N 型重掺杂区上方的第一过孔、及对应于 P 型重掺杂区上方的第二过孔；

步骤 7、在所述层间绝缘层上沉积第三金属层，对所述第三金属层进行图形化处理，得到间隔设置的第一源极、第一漏极、第二源极、及第二漏极；所述第一源极、第一漏极分别通过第一过孔与 N 型重掺杂区相接触，所述第二源极、第二漏极分别通过第二过孔与 P 型重掺杂区相接触；

步骤 8、在所述第一源极、第一漏极、第二源极、第二漏极、及层间绝缘层上形成平坦层；在所述平坦层上沉积第一透明导电层，对所述第一透明导电层进行图形化处理，得到公共电极；

25 步骤 9、在所述公共电极、及平坦层上沉积有机光阻材料，形成钝化保护层；

步骤 10、利用光罩对所述钝化保护层、及平坦层进行曝光、显影，得到对应于第一漏极上方的第三过孔、及对应于第二漏极上方的第四过孔；

30 步骤 11、在所述钝化保护层上沉积第二透明导电层，对所述第二透明导电层进行图形化处理，得到像素电极，所述像素电极分别通过第三过孔、第四过孔与第一漏极、及第二漏极相接触；

所述步骤 2 中，利用激光退火方法对非晶硅层进行结晶化处理；

所述步骤 6 还包括：对所述层间绝缘层进行去氢和活化处理。

本发明的有益效果：本发明的阵列基板的制作方法，通过采用由有机光阻材料制作的钝化保护层来代替现有的氮化硅材料的钝化保护层，利用一道光罩对钝化保护层和平坦层进行曝光、显影处理，得到位于第一漏极上方的第三过孔、及位于第二漏极上方的第四过孔，与现有技术的相应制程相比，既节省了一道光罩，又减少了一道蚀刻制程，从而达到简化工艺流程、以及节约生产成本的目的。本发明的阵列基板，结构简单，制作成本低，且具有良好的电学性能。

为了能更进一步了解本发明的特征以及技术内容，请参阅以下有关本发明的详细说明与附图，然而附图仅提供参考与说明用，并非用来对本发明加以限制。

附图说明

下面结合附图，通过对本发明的具体实施方式详细描述，将使本发明的技术方案及其它有益效果显而易见。

附图中，

图 1-2 为现有的阵列基板的制作方法中对平坦层和钝化保护层进行图形化处理的示意图；

图 3 为本发明的阵列基板的制作方法步骤 1 的示意图；

图 4 为本发明的阵列基板的制作方法步骤 2 的示意图；

图 5 为本发明的阵列基板的制作方法步骤 3 的示意图；

图 6 为本发明的阵列基板的制作方法步骤 4 的示意图；

图 7 为本发明的阵列基板的制作方法步骤 5 的示意图；

图 8 为本发明的阵列基板的制作方法步骤 6 的示意图；

图 9 为本发明的阵列基板的制作方法步骤 7 的示意图；

图 10 为本发明的阵列基板的制作方法步骤 8 的示意图；

图 11 为本发明的阵列基板的制作方法步骤 9 的示意图；

图 12 为本发明的阵列基板的制作方法步骤 10 的示意图；

图 13 为本发明的阵列基板的制作方法步骤 11 的示意图暨本发明的阵列基板的结构示意图。

具体实施方式

为更进一步阐述本发明所采取的技术手段及其效果，以下结合本发明的优选实施例及其附图进行详细描述。

请参阅图 3-13，本发明提供一种阵列基板的制作方法，包括如下步骤：

步骤 1、如图 3 所示，提供一基板 10，在所述基板 10 上沉积第一金属层，对所述第一金属层进行图形化处理，得到遮光层 20。

具体的，所述基板 10 为透明基板，优选为玻璃基板。

步骤 2、如图 4 所示，在所述遮光层 20、及基板 10 形成缓冲层 23，在所述缓冲层 23 上形成非晶硅层，利用激光退火方法对非晶硅层进行结晶化处理，从而形成多晶硅层，采用光刻制程对所述多晶硅层进行图形化处理，得到对应于遮光层 20 上方的第一多晶硅段 30、及与第一多晶硅段 30 间隔设置的第二多晶硅段 40。

通过将第一多晶硅段 30 设置于遮光层 20 上方，从而有效防止光线进入第一多晶硅段 30 的沟道区中，可以起到降低漏电流、提高 TFT 器件电学性能的作用。所述第二多晶硅段 40 的沟道区在阵列基板完成后采用其它遮光材料在阵列基板外侧进行覆盖。

步骤 3、如图 5 所示，利用光罩对所述第一多晶硅段 30 的中间区域进行 P 型轻掺杂，得到第一沟道区 32，之后利用光罩对所述第一多晶硅段 30 的两端进行 N 型重掺杂，得到位于两端的 N 型重掺杂区 31。

步骤 4、如图 6 所示，在所述第一多晶硅段 30、第二多晶硅段 40、及缓冲层 23 上沉积栅极绝缘层，在所述栅极绝缘层上沉积第二金属层，采用光刻制程对所述栅极绝缘层及第二金属层进行图形化处理，在所述栅极绝缘层上得到分别对应于所述第一多晶硅段 30 与第二多晶硅段 40 中间区域的第一栅极绝缘层 53 与第二栅极绝缘层 54，在第二金属层上得到分别位于所述第一、第二栅极绝缘层 53、54 上方且与所述第一、第二栅极绝缘层 53、54 对齐的第一栅极 51 与第二栅极 52。

步骤 5、如图 7 所示，利用第一栅极 51 为光罩对所述第一多晶硅段 30 上位于第一沟道区 32 与 N 型重掺杂区 31 之间的区域进行 N 型轻掺杂，得到 N 型轻掺杂区 33，之后利用光罩对所述第二多晶硅段 40 的两端进行 P 型重掺杂，得到位于两端的 P 型重掺杂区 41、及位于两 P 型重掺杂区 41 之间的第二沟道区 42。

步骤 6、如图 8 所示，在所述第一栅极 51、第二栅极 52、第一多晶硅段 30、第二多晶硅段 40、及缓冲层 23 上沉积层间绝缘层 60，通过光刻制程对所述层间绝缘层 60 进行图形化处理，在所述层间绝缘层 60 上形成对应于 N 型重掺杂区 31 上方的第一过孔 67、及对应于 P 型重掺杂区 41 上方的第二过孔 68；之后对所述层间绝缘层 60 进行去氢和活化处理。

具体的，通过快速热退火工艺（RTA，Rapid Thermal Annealing）对所述层间绝缘层 60 进行去氢和活化处理。

步骤 7、如图 9 所示，在所述层间绝缘层 60 上沉积第三金属层，对所述第三金属层进行图形化处理，得到间隔设置的第一源极 61、第一漏极 62、第二源极 63、及第二漏极 64；所述第一源极 61、第一漏极 62 分别通过第一过孔 67 与 N 型重掺杂区 31 相接触，所述第二源极 63、第二漏极 64 分别通过第二过孔 68 与 P 型重掺杂区 41 相接触。

步骤 8、如图 10 所示，在所述第一源极 61、第一漏极 62、第二源极 63、第二漏极 64、及层间绝缘层 60 上涂布有机光阻材料，形成平坦层 70；在所述平坦层 70 上沉积第一透明导电层，对所述第一透明导电层进行图形化处理，得到公共（COM）电极 81。

步骤 9、如图 11 所示，在所述公共电极 81、及平坦层 70 上采用蒸镀或喷印的方法沉积有机光阻材料，形成钝化保护层 90。

进一步的，所述步骤 10 还可以包括：对所述钝化保护层 90 进行紫外光照射处理，使所述钝化保护层 90 薄化，以增加其透光性。

具体的，所述钝化保护层 90 的介电常数大约是 3~4，与现有的介电常数大约是 6~9 的氮化硅材料的钝化保护层相比，可以通过降低所述钝化保护层 90 的膜厚来满足阵列基板的电容需求。

步骤 10、如图 12 所示，利用光罩对所述钝化保护层 90、及平坦层 70 进行曝光、显影，得到对应于第一漏极 62 上方的第三过孔 91、及对应于第二漏极 64 上方的第四过孔 92。

步骤 11、如图 13 所示，在所述钝化保护层 90 上沉积第二透明导电层，对所述第二透明导电层进行图形化处理，得到像素电极 95，所述像素电极 95 分别通过第三过孔 91、第四过孔 92 与第一漏极 62、及第二漏极 64 相接触。

具体的，所述第一金属层、第二金属层、第三金属层的材料为钼、钛、铝、铜中的一种或多种的堆栈组合。

具体的，所述缓冲层 23、第一、第二栅极绝缘层 53、54、层间绝缘层 60 为氧化硅层、氮化硅层、或者由氧化硅层与氮化硅层叠加构成的复合层。

具体的，所述第一透明导电层、第二透明导电层的材料为金属氧化物，所述金属氧化物可以为铟锡氧化物、铟锌氧化物、铝锡氧化物、铝锌氧化物、铟锗锌氧化物中的一种或多种。

所述 P 型轻掺杂与 P 型重掺杂掺入的离子可以为硼（B）离子或镓（Ga）离子；所述 N 型轻掺杂与 N 型重掺杂掺入的离子可以为磷（P）离子或砷（As）离子。

所述第一源极 61、第一漏极 62、第一栅极 51 与第一多晶硅段 30 构成

NMOS (Negative channel-Metal-Oxide-Semiconductor, N 型金属氧化物半导体) 晶体管; 所述第二源极 63、第二漏极 64、第二栅极 52 与第二多晶硅段 40 构成 PMOS (Positive channel-Metal-Oxide-Semiconductor, P 型金属氧化物半导体) 晶体管。

上述阵列基板的制作方法, 通过采用由有机光阻材料制作的钝化保护层 90 来代替现有的氮化硅材料的钝化保护层, 之后利用一道光罩对钝化保护层 90 和平坦层 70 进行曝光、显影处理, 得到位于第一漏极 62 上方的第三过孔 91、及位于第二漏极 64 上方的第四过孔 92, 与现有技术的相应制程相比, 既节省了一道光罩, 又减少了一道蚀刻制程, 从而达到了简化工艺流程、以及节约生产成本的目的。

请参阅图 13, 同时参阅图 3-12, 本发明还提供一种阵列基板, 包括基板 10, 位于基板 10 上的遮光层 20, 位于遮光层 20、及基板 10 上的缓冲层 23, 位于所述缓冲层 23 上的第一多晶硅段 30 与第二多晶硅段 40, 分别位于第一多晶硅段 30 与第二多晶硅段 40 中间区域上方的第一栅极绝缘层 53 与第二栅极绝缘层 54, 分别位于所述第一栅极绝缘层 53 与第二栅极绝缘层 54 上方且与所述第一、第二栅极绝缘层 53、54 对齐的第一栅极 51 与第二栅极 52, 位于所述第一栅极 51、第二栅极 52、第一多晶硅段 30、第二多晶硅段 40、及缓冲层 23 上的层间绝缘层 60, 位于层间绝缘层 60 上的第一源极 61、第一漏极 62、第二源极 63、第二漏极 64, 位于所述第一源极 61、第一漏极 62、第二源极 63、第二漏极 64、及层间绝缘层 60 上的平坦层 70, 位于平坦层 70 上的公共电极 81, 位于公共电极 81、及平坦层 70 上的钝化保护层 90, 以及位于钝化保护层 90 上的像素电极 95。

具体的, 所述第一多晶硅段 30 包括对应所述第一栅极绝缘层 53 下方的第一沟道区 32、位于两端的 N 型重掺杂区 31、及位于 N 型重掺杂区 31 与第一沟道区 32 之间的 N 型轻掺杂区 33; 所述第二多晶硅段 40 包括对应所述第二栅极绝缘层 54 下方的第一沟道区 41、及位于两端的 P 型重掺杂区 42; 所述 N 型重掺杂区 31 与 N 型轻掺杂区 33 中掺入的离子可以为磷 (P) 离子或砷 (As) 离子; 所述 P 型重掺杂区 41 及第一沟道区 32 中掺入的离子可以为硼 (B) 离子或镓 (Ga) 离子。

具体的, 所述层间绝缘层 60 上设有对应于 N 型重掺杂区 31 上方的第一过孔 67、及对应于 P 型重掺杂区 41 上方的第二过孔 68; 所述第一源极 61、第一漏极 62 分别通过第一过孔 67 与 N 型重掺杂区 31 相接触, 所述第二源极 63、第二漏极 64 分别通过第二过孔 68 与 P 型重掺杂区 41 相接触;

所述平坦层 70 与钝化保护层 90 的材料均为有机光阻, 所述钝化保护

层 90 及平坦层 70 上设有对应于第一漏极 62 上方的第三过孔 91、及对应于第二漏极 64 上方的第四过孔 92，所述像素电极 95 分别通过第三过孔 91、第四过孔 92 与第一漏极 62、及第二漏极 64 相接触。

具体的，所述第一源极 61、第一漏极 62、第一栅极 51 与第一多晶硅段 30 构成 NMOS 晶体管；所述第二源极 63、第二漏极 64、第二栅极 52 与第二多晶硅段 40 构成 PMOS 晶体管。

具体的，所述第一多晶硅段 30 对应于遮光层 20 上方设置，由于遮光层 20 的覆盖，可以有效防止光线进入第一多晶硅段 30 的第一沟道区 32 中，可以起到降低漏电流、提高 TFT 器件电学性能的作用。所述第二多晶硅段 40 的第二沟道区 42 在后续制程中采用其它遮光材料在阵列基板外侧进行覆盖。

具体的，所述基板 10 为透明基板，优选为玻璃基板。

所述遮光层 20、第一栅极 51、第二栅极 52、第一源极 61、第一漏极 62、第二源极 63、第二漏极 64 的材料可以是钼 (Mo)、钛 (Ti)、铝 (Al)、铜 (Cu) 中的一种或多种的堆栈组合。

所述缓冲层 23、第一、第二栅极绝缘层 53、54、层间绝缘层 60 为氧化硅 (SiO_x) 层、氮化硅 (SiN_x) 层、或者由氧化硅层与氮化硅层叠加构成的复合层。

所述公共电极 81、及像素电极 95 的材料为金属氧化物，所述金属氧化物可以为铟锡氧化物、铟锌氧化物、铝锡氧化物、铝锌氧化物、铟锗锌氧化物中的一种或多种。

具体的，所述钝化保护层 90 的介电常数大约是 3~4，可以通过调节所述钝化保护层 90 的膜厚，从而达成阵列基板的电容需求。

上述阵列基板，通过采用由有机光阻材料制作的钝化保护层 90 来代替现有的氮化硅材料的钝化保护层，使得钝化保护层 90 和平坦层 70 上对应于第一漏极 62 上方的第三过孔 91 及对应于第二漏极 64 上方的第四过孔 92 可以利用一道光罩进行曝光形成，从而与现有的阵列基板的制程相比，既节省了一道光罩，又减少了一道蚀刻制程，从而达到简化工艺流程、以及节约生产成本的目的。

综上所述，本发明提供一种阵列基板的制作方法。本发明的阵列基板的制作方法，通过采用由有机光阻材料制作的钝化保护层 90 来代替现有的氮化硅材料的钝化保护层，利用一道光罩对钝化保护层 90 和平坦层 70 进行曝光、显影处理，得到位于第一漏极 62 上方的第三过孔 91、及位于第二漏极 64 上方的第四过孔 92，与现有技术的相应制程相比，既节

省了一道光罩，又减少了一道蚀刻制程，从而达到简化工艺流程、以及节约生产成本的目的。本发明的阵列基板，结构简单，制作成本低，且具有良好的电学性能。

- 5 以上所述，对于本领域的普通技术人员来说，可以根据本发明的技术方案和技术构思作出其他各种相应的改变和变形，而所有这些改变和变形都应属于本发明权利要求的保护范围。

权 利 要 求

1、一种阵列基板的制作方法，包括如下步骤：

5 步骤 1、提供一基板，在所述基板上沉积第一金属层，对所述第一金属层进行图形化处理，得到遮光层；

步骤 2、在所述遮光层、及基板形成缓冲层，在所述缓冲层上形成非晶硅层，并对非晶硅层进行结晶化处理，从而形成多晶硅层，采用光刻制程对所述多晶硅层进行图形化处理，得到对应于遮光层上方的第一多晶硅段、及与第一多晶硅段间隔设置的第二多晶硅段；

10 步骤 3、利用光罩对所述第一多晶硅段的中间区域进行 P 型轻掺杂，得到第一沟道区，之后利用光罩对所述第一多晶硅段的两端进行 N 型重掺杂，得到位于两端的 N 型重掺杂区；

步骤 4、在所述第一多晶硅段、第二多晶硅段、及缓冲层上沉积栅极绝缘层，在栅极绝缘层上沉积第二金属层，采用光刻制程对所述栅极绝缘层及第二金属层进行图形化处理，在栅极绝缘层上得到分别对应于所述第一多晶硅段与第二多晶硅段中间区域的第一栅极绝缘层与第二栅极绝缘层，在第二金属层上得到分别位于所述第一、第二栅极绝缘层上方且与所述第一、第二栅极绝缘层对齐的第一栅极与第二栅极；

20 步骤 5、利用第一栅极作为光罩对所述第一多晶硅段上位于第一沟道区与 N 型重掺杂区之间的区域进行 N 型轻掺杂，得到 N 型轻掺杂区，之后利用光罩对所述第二多晶硅段的两端进行 P 型重掺杂，得到位于两端的 P 型重掺杂区、及位于两 P 型重掺杂区之间的第二沟道区；

25 步骤 6、在所述第一栅极、第二栅极、第一多晶硅段、第二多晶硅段、及缓冲层上沉积层间绝缘层，通过光刻制程对所述层间绝缘层进行图形化处理，在所述层间绝缘层上形成对应于 N 型重掺杂区上方的第一过孔、及对应于 P 型重掺杂区上方的第二过孔；

步骤 7、在所述层间绝缘层上沉积第三金属层，对所述第三金属层进行图形化处理，得到间隔设置的第一源极、第一漏极、第二源极、及第二漏极；所述第一源极、第一漏极分别通过第一过孔与 N 型重掺杂区相接触，30 所述第二源极、第二漏极分别通过第二过孔与 P 型重掺杂区相接触；

步骤 8、在所述第一源极、第一漏极、第二源极、第二漏极、及层间绝缘层上形成平坦层；在所述平坦层上沉积第一透明导电层，对所述第一透明导电层进行图形化处理，得到公共电极；

步骤 9、在所述公共电极、及平坦层上沉积有机光阻材料，形成钝化保护层；

步骤 10、利用光罩对所述钝化保护层、及平坦层进行曝光、显影，得到对应于第一漏极上方的第三过孔、及对应于第二漏极上方的第四过孔；

5 步骤 11、在所述钝化保护层上沉积第二透明导电层，对所述第二透明导电层进行图形化处理，得到像素电极，所述像素电极分别通过第三过孔、第四过孔与第一漏极、及第二漏极相接触。

2、如权利要求 1 所述的阵列基板的制作方法，其中，所述步骤 2 中，利用激光退火方法对非晶硅层进行结晶化处理。

10 3、如权利要求 1 所述的阵列基板的制作方法，其中，所述步骤 6 还包括：对所述层间绝缘层进行去氢和活化处理。

4、如权利要求 3 所述的阵列基板的制作方法，其中，通过快速热退火工艺对所述层间绝缘层进行去氢和活化处理。

15 5、如权利要求 1 所述的阵列基板的制作方法，其中，所述步骤 9 中，采用蒸镀或喷印的方法沉积有机光阻材料。

6、如权利要求 1 所述的阵列基板的制作方法，其中，所述步骤 9 还包括：对所述钝化保护层进行紫外光照射处理，使所述钝化保护层薄化，以增加其透光性。

20 7、如权利要求 1 所述的阵列基板的制作方法，其中，所述平坦层的材料为有机光阻，所述钝化保护层的介电常数为 3~4。

8、如权利要求 1 所述的阵列基板的制作方法，其中，所述基板为透明基板；所述第一金属层、第二金属层、第三金属层的材料为钼、钛、铝、铜中的一种或多种的堆栈组合；所述缓冲层、第一、第二栅极绝缘层、层间绝缘层为氧化硅层、氮化硅层、或者由氧化硅层与氮化硅层叠加构成的复合层；所述第一透明导电层、第二透明导电层的材料为金属氧化物。

25 9、一种阵列基板，包括基板，位于基板上的遮光层，位于遮光层、及基板上的缓冲层，位于所述缓冲层上的第一多晶硅段与第二多晶硅段，分别位于第一多晶硅段与第二多晶硅段中间区域上方的第一栅极绝缘层与第二栅极绝缘层，分别位于所述第一栅极绝缘层与第二栅极绝缘层上方且与
30 所述第一、第二栅极绝缘层对齐的第一栅极与第二栅极，位于所述第一栅极、第二栅极、第一多晶硅段、第二多晶硅段、及缓冲层上的层间绝缘层，位于层间绝缘层上的第一源极、第一漏极、第二源极、第二漏极，位于所述第一源极、第一漏极、第二源极、第二漏极、及层间绝缘层上的平坦层，位于平坦层上的公共电极，位于公共电极、及平坦层上的钝化保护层，以

及位于钝化保护层上的像素电极;

所述第一多晶硅段包括对应所述第一栅极绝缘层下方的第一沟道区、位于两端的 N 型重掺杂区、及位于 N 型重掺杂区与第一沟道区之间的 N 型轻掺杂区; 所述第二多晶硅段包括对应所述第二栅极绝缘层下方的第一沟道区、及位于两端的 P 型重掺杂区;

所述层间绝缘层上设有对应于 N 型重掺杂区上方的第一过孔、及对应于 P 型重掺杂区上方的第二过孔; 所述第一源极、第一漏极分别通过第一过孔与 N 型重掺杂区相接触, 所述第二源极、第二漏极分别通过第二过孔与 P 型重掺杂区相接触;

所述平坦层与钝化保护层的材料均为有机光阻, 所述钝化保护层及平坦层上设有对应于第一漏极上方的第三过孔、及对应于第二漏极上方的第四过孔, 所述像素电极分别通过第三过孔、第四过孔与第一漏极、及第二漏极相接触。

10、如权利要求 9 所述的阵列基板, 其中, 所述钝化保护层的介电常数为 3~4; 所述基板为透明基板; 所述第一金属层、第二金属层、第三金属层的材料为钼、钛、铝、铜中的一种或多种的堆栈组合; 所述缓冲层、第一、第二栅极绝缘层、层间绝缘层为氧化硅层、氮化硅层、或者由氧化硅层与氮化硅层叠加构成的复合层; 所述第一透明导电层、第二透明导电层的材料为金属氧化物。

11、一种阵列基板的制作方法, 包括如下步骤:

步骤 1、提供一基板, 在所述基板上沉积第一金属层, 对所述第一金属层进行图形化处理, 得到遮光层;

步骤 2、在所述遮光层、及基板形成缓冲层, 在所述缓冲层上形成非晶硅层, 并对非晶硅层进行结晶化处理, 从而形成多晶硅层, 采用光刻制程对所述多晶硅层进行图形化处理, 得到对应于遮光层上方的第一多晶硅段、及与第一多晶硅段间隔设置的第二多晶硅段;

步骤 3、利用光罩对所述第一多晶硅段的中间区域进行 P 型轻掺杂, 得到第一沟道区, 之后利用光罩对所述第一多晶硅段的两端进行 N 型重掺杂, 得到位于两端的 N 型重掺杂区;

步骤 4、在所述第一多晶硅段、第二多晶硅段、及缓冲层上沉积栅极绝缘层, 在栅极绝缘层上沉积第二金属层, 采用光刻制程对所述栅极绝缘层及第二金属层进行图形化处理, 在栅极绝缘层上得到分别对应于所述第一多晶硅段与第二多晶硅段中间区域的第一栅极绝缘层与第二栅极绝缘层, 在第二金属层上得到分别位于所述第一、第二栅极绝缘层上方且与所述第

一、第二栅极绝缘层对齐的第一栅极与第二栅极；

步骤 5、利用第一栅极作为光罩对所述第一多晶硅段上位于第一沟道区与 N 型重掺杂区之间的区域进行 N 型轻掺杂，得到 N 型轻掺杂区，之后利用光罩对所述第二多晶硅段的两端进行 P 型重掺杂，得到位于两端的 P 型重掺杂区、及位于两 P 型重掺杂区之间的第二沟道区；

步骤 6、在所述第一栅极、第二栅极、第一多晶硅段、第二多晶硅段、及缓冲层上沉积层间绝缘层，通过光刻制程对所述层间绝缘层进行图形化处理，在所述层间绝缘层上形成对应于 N 型重掺杂区上方的第一过孔、及对应于 P 型重掺杂区上方的第二过孔；

10 步骤 7、在所述层间绝缘层上沉积第三金属层，对所述第三金属层进行图形化处理，得到间隔设置的第一源极、第一漏极、第二源极、及第二漏极；所述第一源极、第一漏极分别通过第一过孔与 N 型重掺杂区相接触，所述第二源极、第二漏极分别通过第二过孔与 P 型重掺杂区相接触；

15 步骤 8、在所述第一源极、第一漏极、第二源极、第二漏极、及层间绝缘层上形成平坦层；在所述平坦层上沉积第一透明导电层，对所述第一透明导电层进行图形化处理，得到公共电极；

步骤 9、在所述公共电极、及平坦层上沉积有机光阻材料，形成钝化保护层；

20 步骤 10、利用光罩对所述钝化保护层、及平坦层进行曝光、显影，得到对应于第一漏极上方的第三过孔、及对应于第二漏极上方的第四过孔；

步骤 11、在所述钝化保护层上沉积第二透明导电层，对所述第二透明导电层进行图形化处理，得到像素电极，所述像素电极分别通过第三过孔、第四过孔与第一漏极、及第二漏极相接触；

所述步骤 2 中，利用激光退火方法对非晶硅层进行结晶化处理；

25 所述步骤 6 还包括：对所述层间绝缘层进行去氢和活化处理。

12、如权利要求 11 所述的阵列基板的制作方法，其中，通过快速热退火工艺对所述层间绝缘层进行去氢和活化处理。

13、如权利要求 11 所述的阵列基板的制作方法，其中，所述步骤 9 中，采用蒸镀或喷印的方法沉积有机光阻材料。

30 14、如权利要求 11 所述的阵列基板的制作方法，其中，所述步骤 9 还包括：对所述钝化保护层进行紫外光照射处理，使所述钝化保护层薄化，以增加其透光性。

15、如权利要求 11 所述的阵列基板的制作方法，其中，所述平坦层的材料为有机光阻，所述钝化保护层的介电常数为 3~4。

- 16、如权利要求 11 所述的阵列基板的制作方法，其中，所述基板为透明基板；所述第一金属层、第二金属层、第三金属层的材料为钼、钛、铝、铜中的一种或多种的堆栈组合；所述缓冲层、第一、第二栅极绝缘层、层间绝缘层为氧化硅层、氮化硅层、或者由氧化硅层与氮化硅层叠加构成的复合层；所述第一透明导电层、第二透明导电层的材料为金属氧化物。
- 5

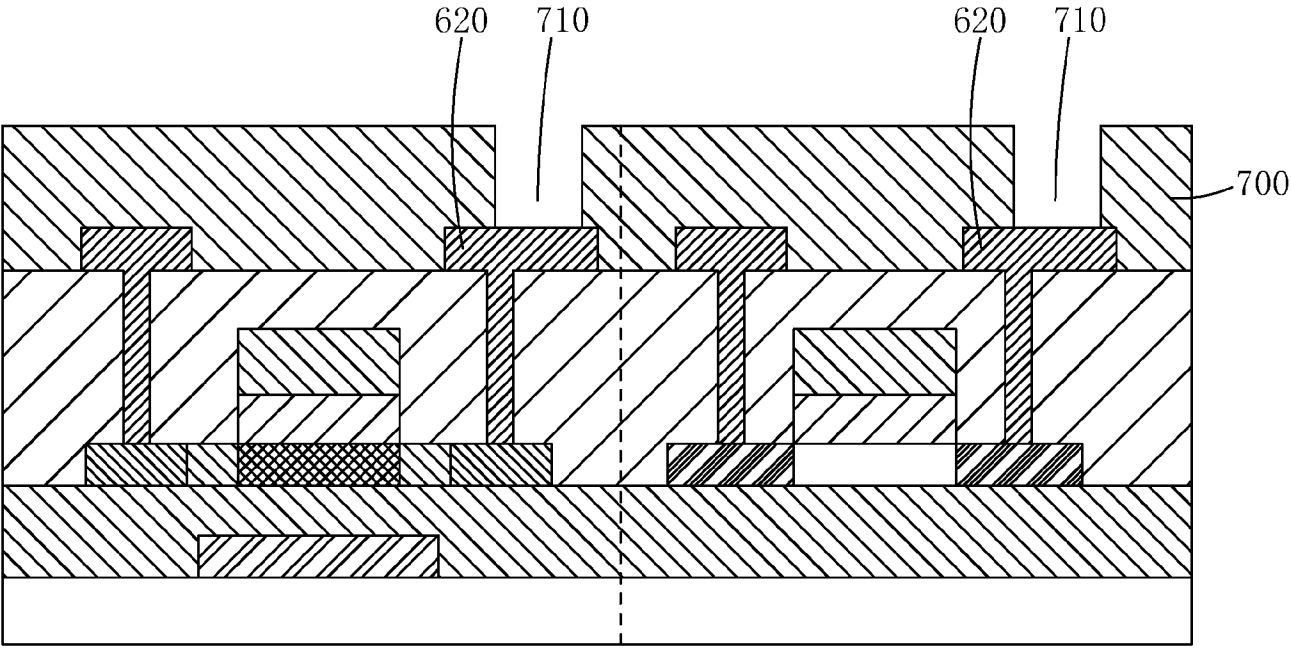


图1

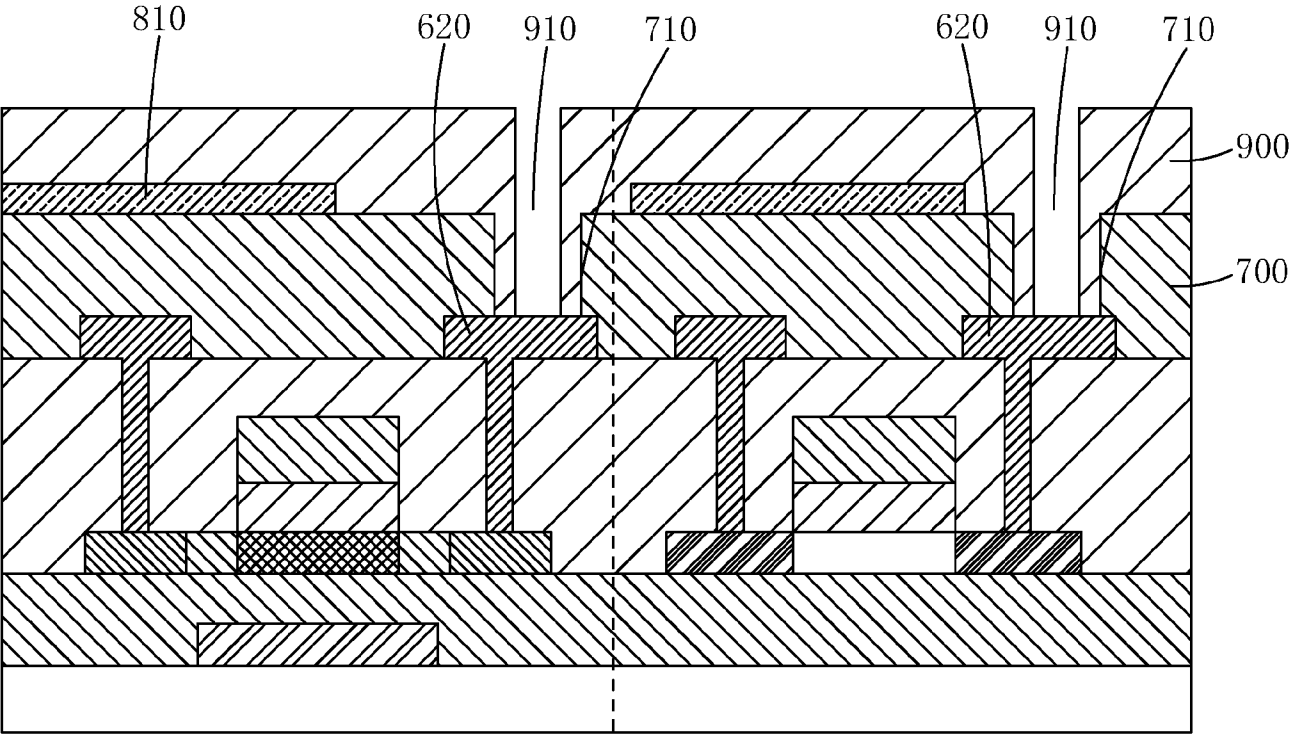


图2

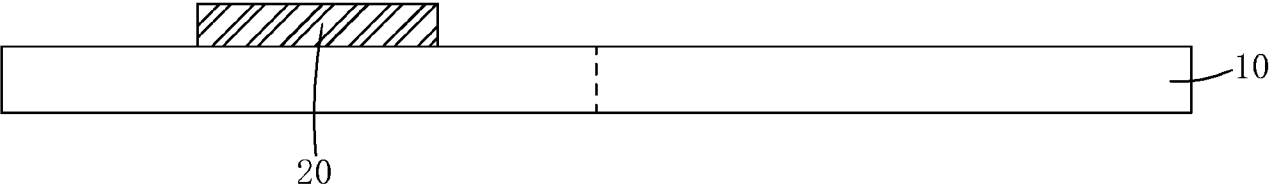


图3

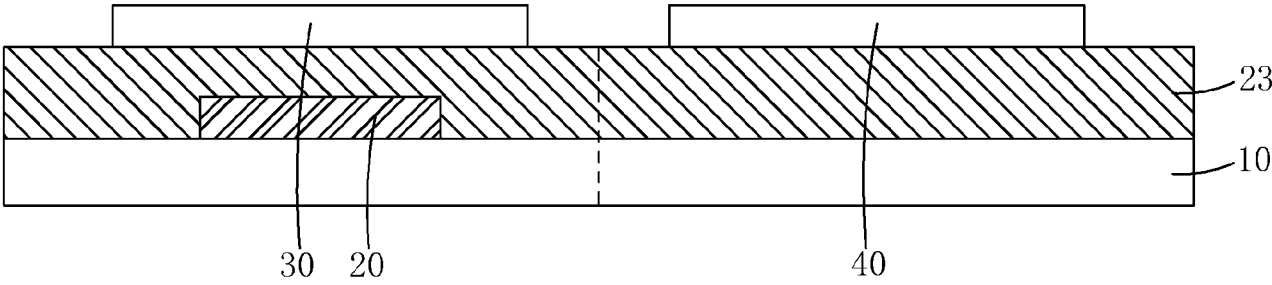


图4

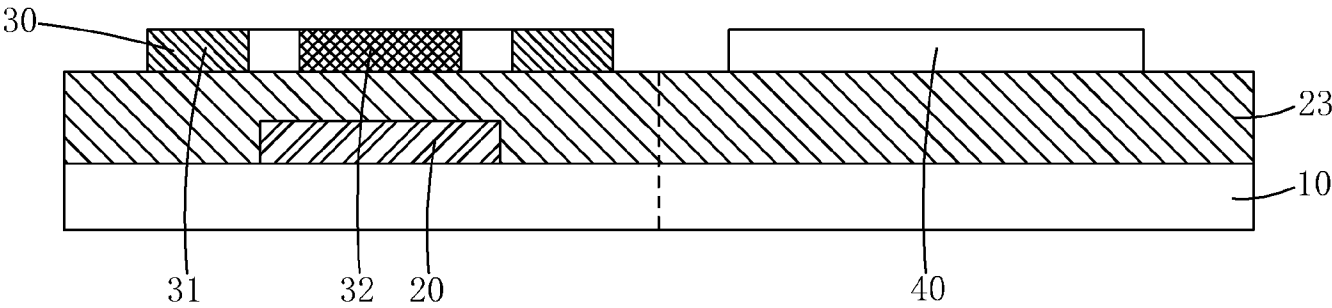


图5

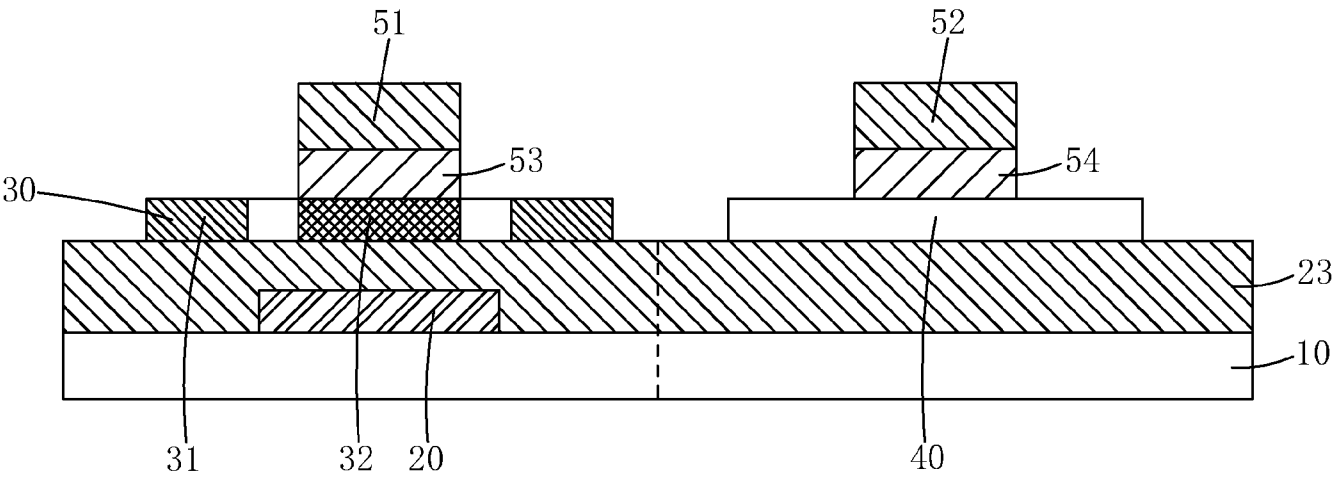


图6

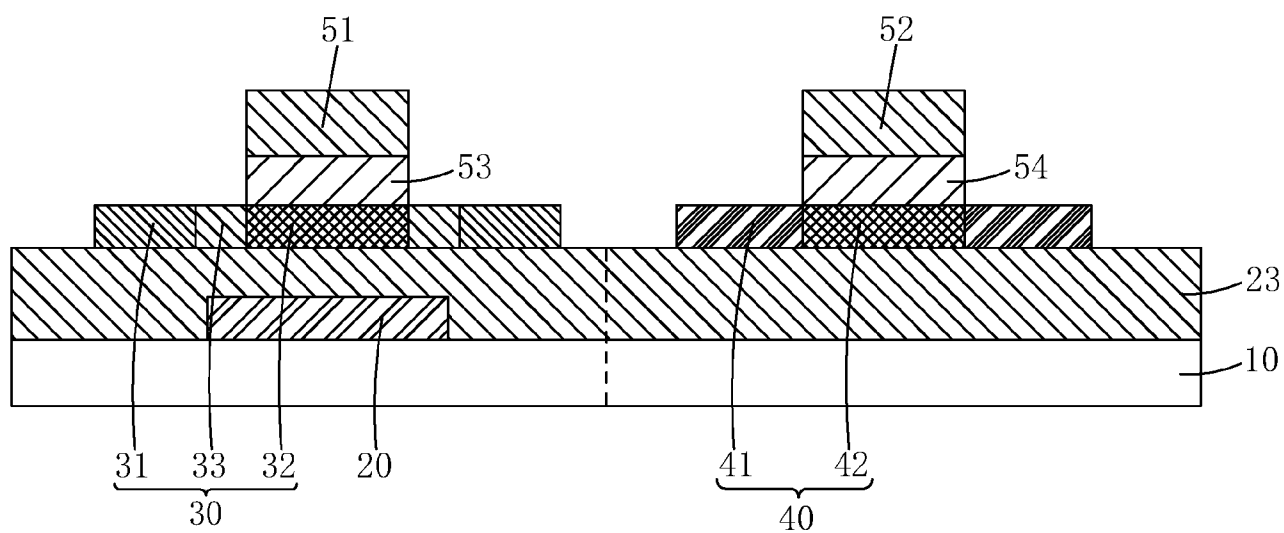


图7

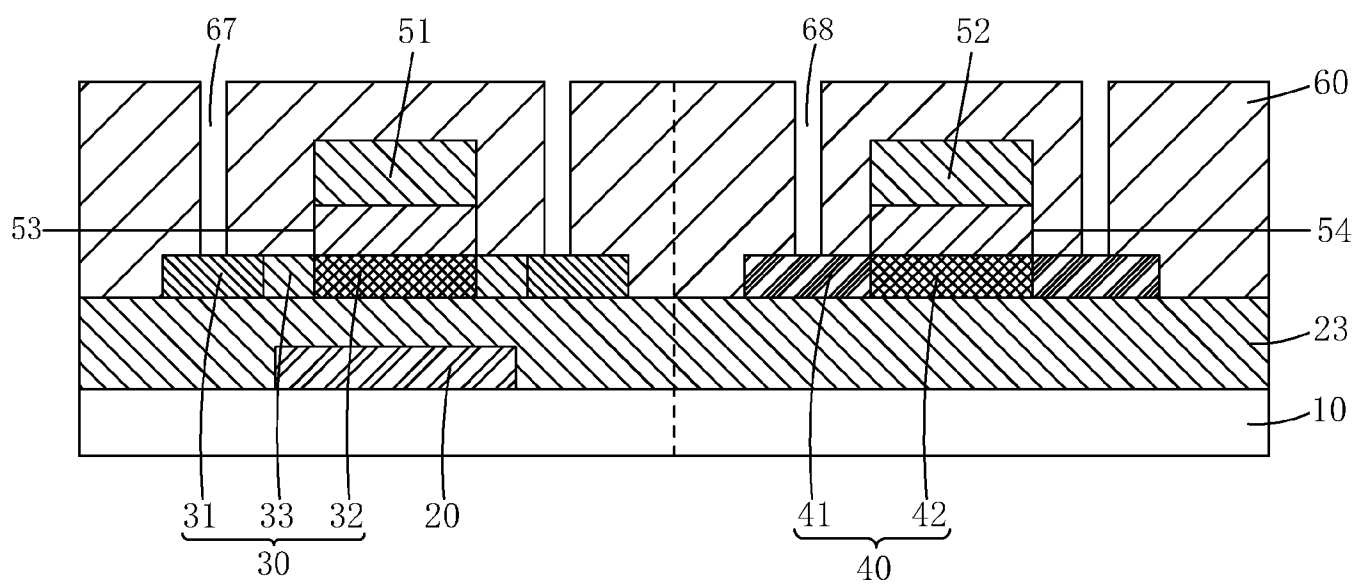


图8

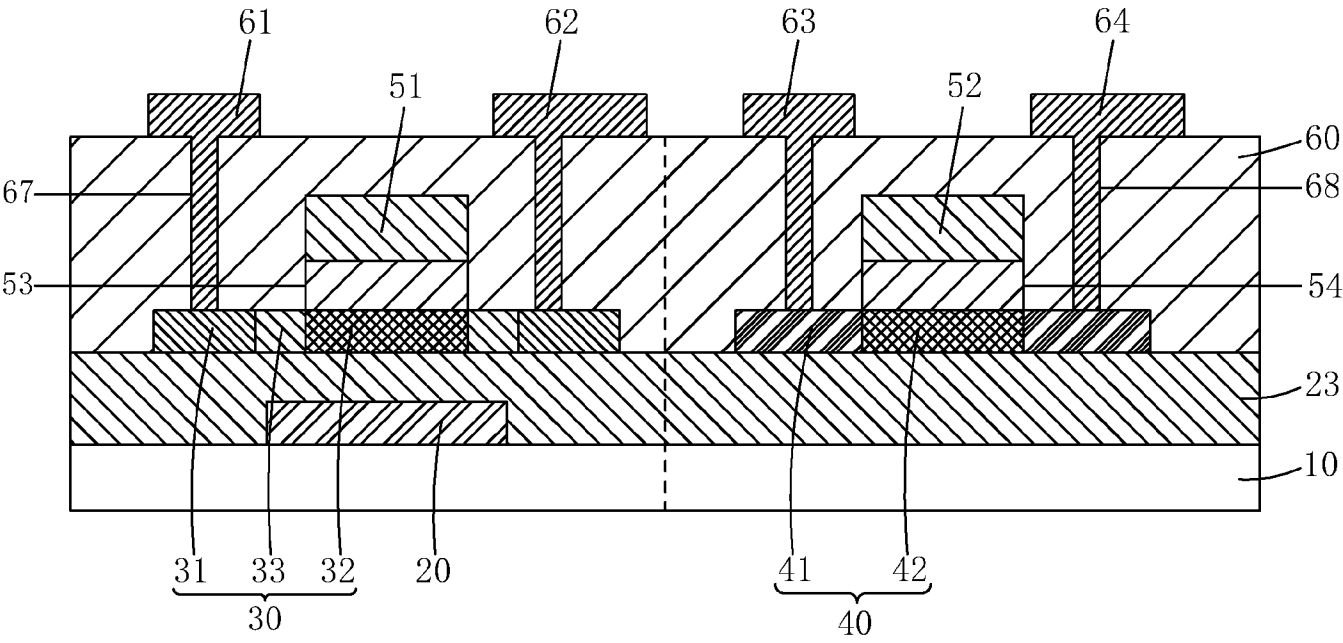


图9

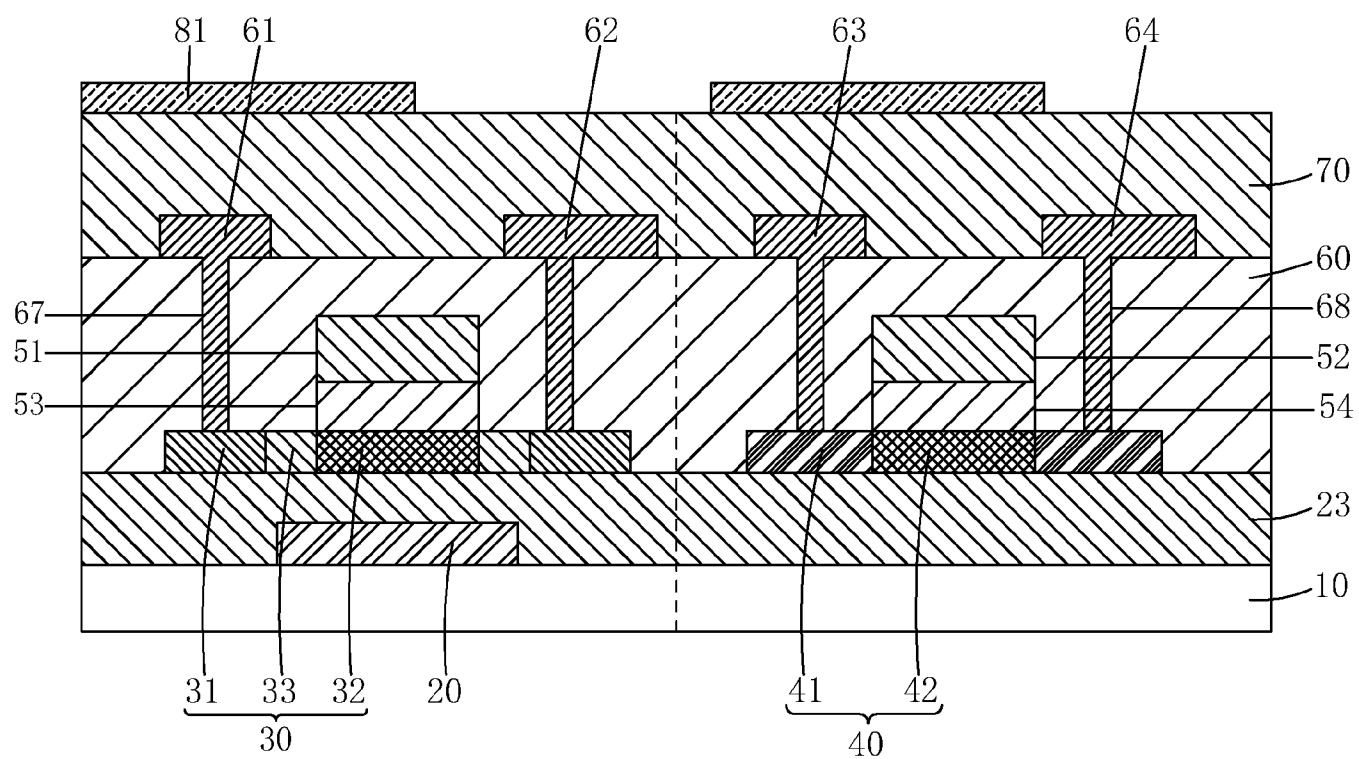


图10

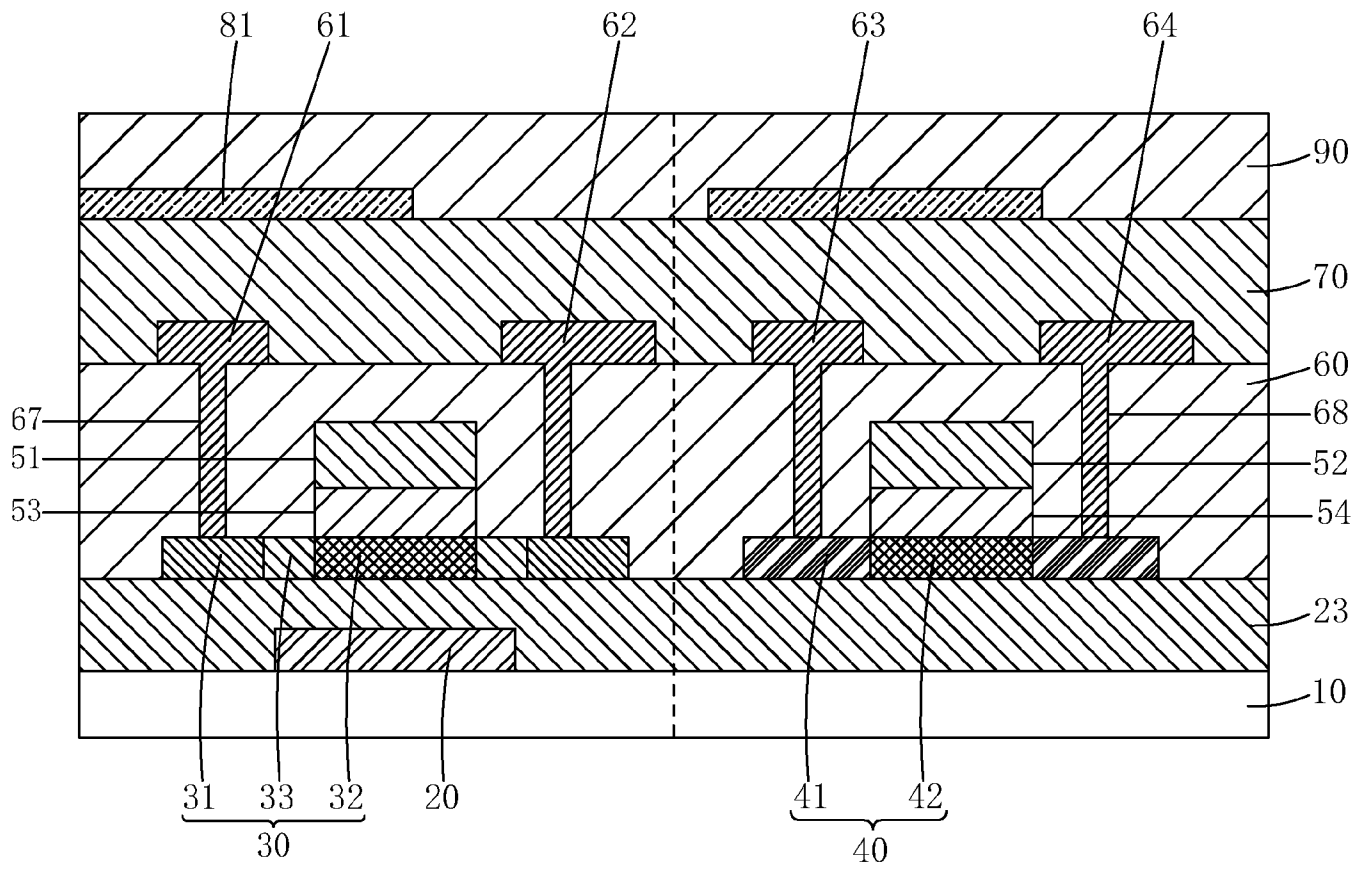


图11

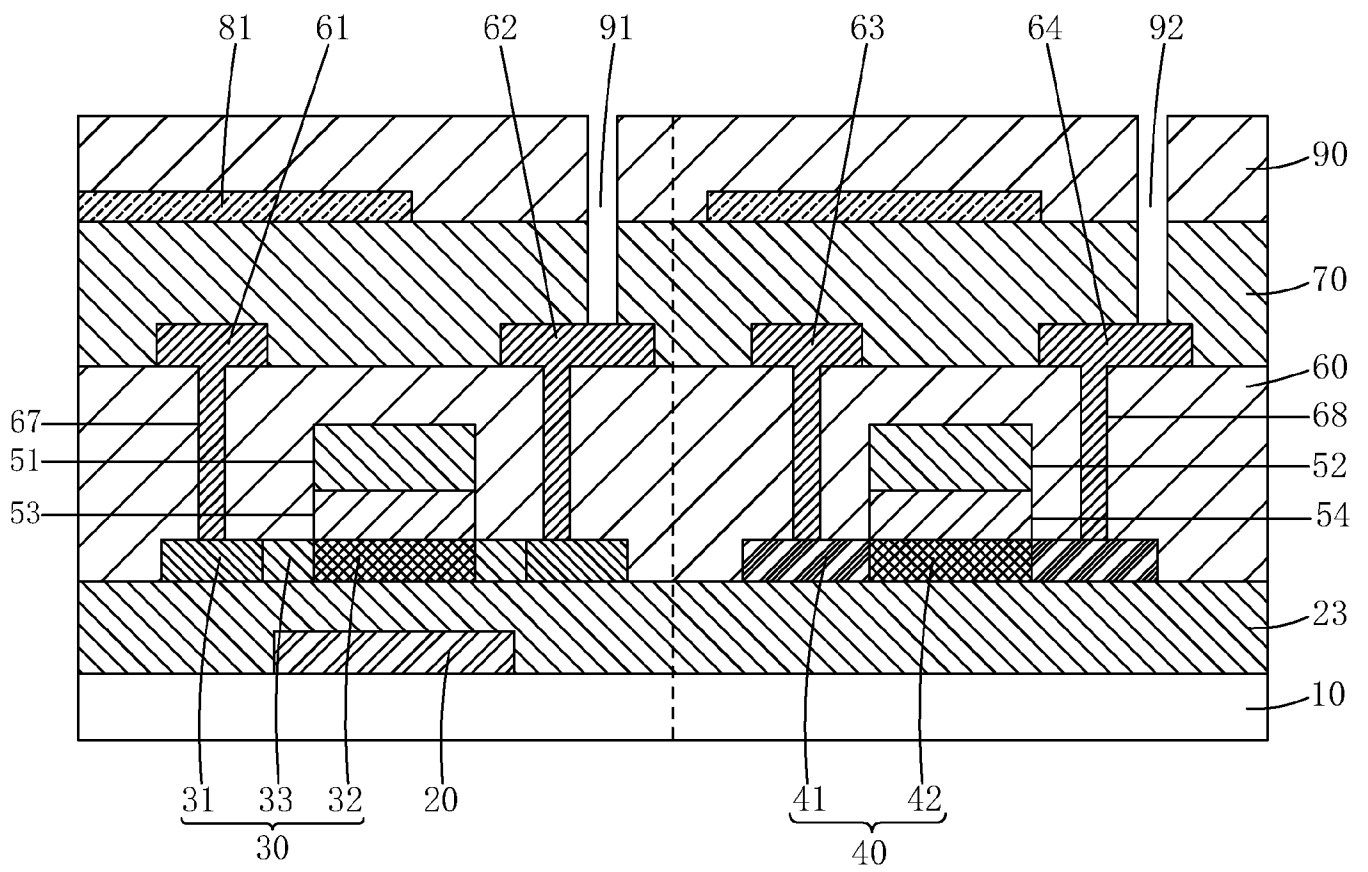


图12

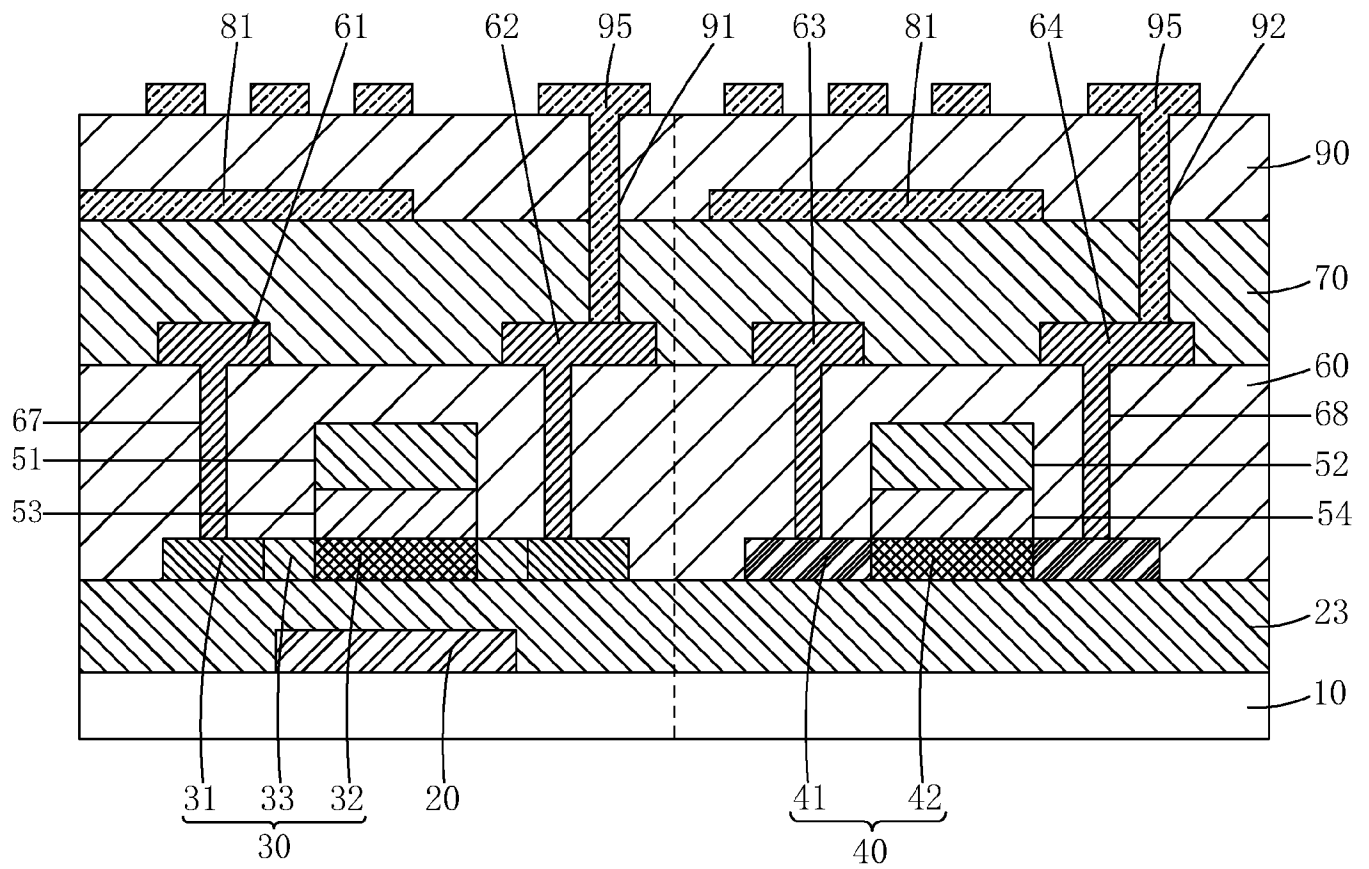


图13

INTERNATIONAL SEARCH REPORT

International application No.
PCT/CN2016/074791

A. CLASSIFICATION OF SUBJECT MATTER

H01L 21/77 (2006.01) i; H01L 27/02 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNPAT, CNKI, EPODOC, WPI: shading, first grid, passivation layer, polycrystalline silicon section, pixel electrode, through hole, flat layer, organic light resistance, array substrate, gate, polycrystalline, silicon, hole?, insulation layer, transparent

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	CN 105259723 A (WUHAN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.) 20 January 2016 (20.01.2016) description, paragraphs [0049]-[0064], and figure 4	9, 10
Y	CN 102683354 A (BOE TECHNOLOGY GROUP CO., LTD. et al.) 19 September 2012 (19.09.2012) description, paragraphs [0031]-[0033], and figures 1 and 2	9, 10
A	CN 102522410 A (SHENZHEN LAIBAO HI-TECHNOLOGY CO., LTD.) 27 June 2012 (27.06.2012) the whole document	1-16
A	CN 104656333 A (SHENZHEN HUAXING OPTOELECTRONIC TECHNOLOGY CO., LTD.) 27 May 2015 (27.05.2015) the whole document	1-16
A	JP H11126907 A (SHARP K.K.) 11 May 1999 (11.05.1999) the whole document	1-16

☐ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier application or patent but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 14 October 2016	Date of mailing of the international search report 27 October 2016
Name and mailing address of the ISA State Intellectual Property Office of the P. R. China No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing 100088, China Facsimile No. (86-10) 62019451	Authorized officer YANG, Weiwei Telephone No. (86-10) 61648473

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No.
PCT/CN2016/074791

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
CN 105259723 A	20 January 2016	None	
CN 102683354 A	19 September 2012	WO 2013139128 A1	26 September 2013
		CN 102683354 B	17 December 2014
CN 102522410 A	27 June 2012	CN 102522410 B	02 March 2016
CN 104656333 A	27 May 2015	WO 2016145694 A1	22 September 2016
JP H11126907 A	11 May 1999	JP 3447535 B2	16 September 2003

国际检索报告

国际申请号

PCT/CN2016/074791

A. 主题的分类

H01L 21/77(2006.01)i ; H01L 27/02(2006.01)i

按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

H01L

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))

CNPAT;CNKI;EPDOC;WPI:阵列基板, 遮光, 第一栅极, 钝化层, 多晶硅, 多晶硅段, 像素电极, 过孔, 平坦层, 有机光阻, array substrate,gate,polycrystalline,silicon,hole?,insulation layer,transparent

C. 相关文件

类型*	引用文件, 必要时, 指明相关段落	相关的权利要求
Y	CN 105259723 A (武汉华星光电技术有限公司) 2016年 1月 20日 (2016-01-20) 说明书第[0049]-[0064]段, 附图4	9-10
Y	CN 102683354 A (京东方科技集团股份有限公司 等) 2012年 9月 19日 (2012-09-19) 说明书第[0031]-[0033]段, 附图1-2	9-10
A	CN 102522410 A (深圳莱宝高科技股份有限公司) 2012年 6月 27日 (2012-06-27) 全文	1-16
A	CN 104656333 A (深圳市华星光电技术有限公司) 2015年 5月 27日 (2015-05-27) 全文	1-16
A	JP H11126907 A (SHARP KK) 1999年 5月 11日 (1999-05-11) 全文	1-16

☐ 其余文件在C栏的续页中列出。☒ 见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期

2016年 10月 14日

国际检索报告邮寄日期

2016年 10月 27日

ISA/CN的名称和邮寄地址

中华人民共和国国家知识产权局(ISA/CN)
中国北京市海淀区蓟门桥西土城路6号 100088

传真号 (86-10)62019451

授权官员

杨蔚蔚

电话号码 (86-10)61648473

国际申请号
PCT/CN2016/074791

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	105259723	A	2016年 1月 20日	无			
CN	102683354	A	2012年 9月 19日	WO	2013139128	A1	2013年 9月 26日
				CN	102683354	B	2014年 12月 17日
CN	102522410	A	2012年 6月 27日	CN	102522410	B	2016年 3月 2日
CN	104656333	A	2015年 5月 27日	WO	2016145694	A1	2016年 9月 22日
JP	H11126907	A	1999年 5月 11日	JP	3447535	B2	2003年 9月 16日