



공개특허 10-2025-0005482



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2025-0005482
(43) 공개일자 2025년01월09일

- (51) 국제특허분류(Int. Cl.)
H01L 21/3065 (2006.01) *H01L 21/306* (2006.01)
H01L 21/311 (2006.01) *H01L 21/3213* (2006.01)
- (52) CPC특허분류
H01L 21/3065 (2013.01)
H01L 21/30621 (2013.01)
- (21) 출원번호 10-2024-7040514(분할)
- (22) 출원일자(국제) 2017년12월14일
심사청구일자 2024년12월11일
- (62) 원출원 특허 10-2023-7034721
원출원일자(국제) 2017년12월14일
심사청구일자 2023년11월06일
- (85) 번역문제출일자 2024년12월05일
- (86) 국제출원번호 PCT/US2017/066470
- (87) 국제공개번호 WO 2018/118655
국제공개일자 2018년06월28일
- (30) 우선권주장
62/436,286 2016년12월19일 미국(US)
(뒷면에 계속)
- (71) 출원인
램 리씨치 코포레이션
미국 94538 캘리포니아주 프레몬트 쿠싱 파크웨이 4650
- (72) 벌명자
캐나리, 케렌 제이콥스
미국, 94024 캘리포니아, 로스 알토스, 서머힐 애비뉴 24481
김, 태승
미국, 94538 캘리포니아, 프레몬트, 구아디노 드 라이브 39224 102호
- (74) 대리인
특허법인인벤팅크

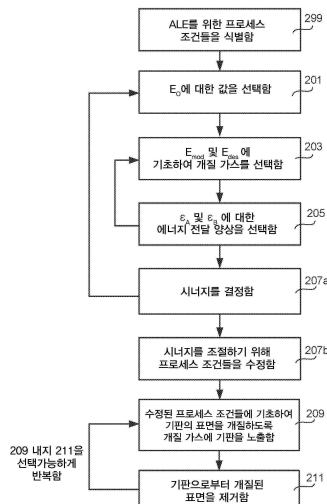
전체 청구항 수 : 총 1 항

(54) 발명의 명칭 원자 층 에칭

(57) 요 약

ALE (atomic layer etching)에 의한 자기-제한 에칭을 위한 프로세스 조건들을 결정하기 위해 광범위한 재료들에 대한 개질 동작 및 제거 동작의 시너지를 평가하기 위한 방법들이 본 명세서에 제공된다. 방법들은 재료의 표면 결합 에너지를 결정하는 단계, 재료에 대한 개질 가스를 선택하는 단계로서 재료의 표면을 개질하기 위한 프로세스 조건들은 개질 에너지보다 작고 탈착 에너지보다 큰 에너지를 생성하는, 개질 가스를 선택하는 단계, 제거 가스를 선택하는 단계로서 개질된 표면을 제거하기 위한 프로세스 조건들은 개질된 표면을 제거하도록 탈착 에너지보다 크지만 스퍼터링을 방지하도록 재료의 표면 결합 에너지보다 작은 에너지를 생성하는, 제거 가스를 선택하는 단계, 및 ALE를 위한 프로세스 윈도우를 최대화하도록 시너지를 계산하는 단계를 포함한다.

대 표 도 - 도2



(52) CPC특허분류

H01L 21/31116 (2013.01)

H01L 21/32136 (2013.01)

H01J 2237/3341 (2013.01)

(30) 우선권주장

62/532,916 2017년07월14일 미국(US)

15/841,205 2017년12월13일 미국(US)

명세서

청구범위

청구항 1

기판 상의 재료를 에칭하는 방법에 있어서,

개질 가스 (modification gas) 및 제거 가스를 사용한 재료의 ALE (atomic layer etching) 프로세스를 위한 프로세스 조건들을 식별하는 단계; 및

기판 상의 상기 재료에 대해:

상기 재료의 표면을 개질하기 위해 상기 개질 가스에 상기 기판을 노출하는 단계로서, 상기 개질 가스는 에칭될 상기 재료에 대한 개질 에너지 및 탈착 (desorption) 에너지를 갖는, 상기 개질 가스에 상기 기판을 노출하는 단계, 및

상기 개질된 표면을 제거하기 위해 상기 제거 가스에 상기 개질된 표면을 노출하고 플라즈마를 점화하는 (igniting) 단계에 의해, 상기 ALE 프로세스를 수행하는 단계를 포함하고,

상기 개질 에너지는 상기 탈착 에너지보다 더 작고, 그리고 상기 탈착 에너지는 상기 재료의 표면 결합 에너지보다 더 작고;

상기 프로세스 조건들을 식별하는 단계는 상기 개질 가스에 상기 기판을 노출하는 단계를 수행하기 위해 기판 온도를 선택하는 단계를 포함하고, 상기 기판 온도에 의해 제공된 이온 에너지는 상기 개질 에너지와 상기 탈착 에너지 사이이고;

상기 재료는 6 eV보다 더 큰 표면 결합 에너지를 갖고; 그리고

상기 기판을 상기 개질 가스에 노출하기 전부터 상기 기판을 상기 개질 가스에 노출하는 동안까지 상기 기판을 상기 개질 에너지와 상기 탈착 에너지 사이의 이온 에너지를 제공하기 위한 온도로 설정하는 단계를 더 포함하는, 에칭 방법.

발명의 설명

기술 분야

[0001] 관련 출원들에 대한 교차 참조

[0002] 본 출원은 2016년 12월 19일 출원된, 명칭이 "DESIGNER ATOMIC LAYER ETCHING"인 미국 특허 출원 번호 제 62/436,286 호 및 2017년 7월 14일 출원된, 명칭이 "DESIGNER ATOMIC LAYER ETCHING"인 미국 특허 출원 번호 제 62/532,916 호 모두의 우선권을 주장하는, 2017년 12월 13일 출원된, 명칭이 "DESIGNER ATOMIC LAYER ETCHING"인 미국 특허 출원번호 제 15/841,205 호의 이점을 주장하고, 전체가 모든 목적들을 위해 본 명세서에 참조로서 인용되었다.

배경 기술

[0003] 반도체 제조 프로세스들은 다양한 재료들의 에칭을 포함한다. 피처 사이즈들이 축소됨에 따라, ALE (Atomic Layer Etch) 와 같은 원자 스케일 프로세싱에 대해 성장하는 수요가 있다. 그러나, 다양한 재료들을 스퍼터링 하지 않고 자기-제한 (self-limiting) 방식으로 ALE를 수행하는 것은 어렵다.

발명의 내용

[0004] 반도체 기판들을 프로세싱하기 위한 방법들 및 장치들이 본 명세서에 기술된다. 일 양태는 기판 상의 재료를 에칭하는 방법을 수반하고, 방법은 개질 가스 (modification gas) 및 제거 가스를 사용한 재료의 ALE (atomic layer etching) 프로세스를 위한 프로세스 조건들을 식별하는 단계; 및 기판 상의 재료에 대해: 재료의 표면을 개질하기 위해 개질 가스에 기판을 노출하는 단계로서, 개질 가스는 에칭될 재료에 대한 개질 에너지 및 탈착 (desorption) 에너지를 갖는, 개질 가스에 기판을 노출하는 단계, 및 개질된 표면을 제거하기 위해 제거 가스에

개질된 표면을 노출하고 플라즈마를 점화하는 (igniting) 단계에 의해, ALE 프로세스를 수행하는 단계를 포함하고, 개질 에너지는 탈착 에너지보다 작고, 그리고 탈착 에너지는 재료의 표면 결합 에너지보다 작다.

[0005] 다양한 실시예들에서, 프로세스 조건들을 식별하는 단계는 기판 온도에 의해 제공된 에너지는 개질 에너지와 탈착 에너지 사이이도록 기판을 개질 가스에 노출하는 단계를 수행하기 위해 기판 온도를 선택하는 단계를 포함한다.

[0006] 다양한 실시예들에서, 프로세스 조건들을 식별하는 단계는 기판 온도에 의해 제공된 에너지는 개질 에너지와 탈착 에너지 사이이도록 기판을 개질 가스에 노출하는 단계를 수행하기 위해 기판 온도를 선택하는 단계를 포함한다.

[0007] 다양한 실시예들에서, 개질 가스는 재료를 예칭하지 않고 재료에 흡착하도록 선택된다.

[0008] 다양한 실시예들에서, 제거 가스는 아래에 놓인 개질되지 않은 재료를 예칭하지 않고 개질된 표면을 제거하도록 선택된다.

[0009] 일부 실시예들에서, 프로세스 조건들은 온도, 챔버 압력, 플라즈마 전력, 바이어스 전력, 개질 가스 플로우, 및 노출 시간 중 임의의 하나 이상일 수도 있다.

[0010] 방법은 또한 프로세스 윈도우 내에서 프로세스 조건들을 수정하는 단계를 포함할 수도 있다. 프로세스 윈도우는 최소 바이어스 전력이 개질된 표면을 제거하도록 사용된 최소 바이어스이고 최대 바이어스 전력이 개질된 표면 아래에 놓인 재료를 스퍼터링하지 않고 사용될 수 있는 최고 바이어스이도록 기판을 홀딩하는 페데스탈로 전달된 최소 바이어스 전력 및 최대 바이어스 전력에 의해 규정될 수도 있다.

[0011] 다양한 실시예들에서, 재료는 실리콘, 탄소, 텅스텐, 및 탄탈륨 중 임의의 하나이다. 일부 실시예들에서, 방법은 또한 ALE 프로세스를 수행하기 전에 약 0 °C 미만의 온도로 기판을 냉각하는 단계를 포함하고, 식별된 프로세스 조건은 온도이고, 그리고 재료는 탄탈륨이다.

[0012] 다양한 실시예들에서, 기판은 약 0 °C 미만의 기판 온도에서 개질 가스에 노출된다. 일부 실시예들에서, 온도는 약 -20 °C 내지 약 0 °C이다.

[0013] 일부 실시예들에서, 개질 가스는 할로겐-함유 가스이다. 일부 실시예들에서, 제거 가스는 불활성 가스이다.

[0014] 다양한 실시예들에서, ALE는 또한 기판을 개질 가스에 노출하는 단계와 기판을 제거 가스에 노출하는 단계 사이에 기판을 하우징하는 챔버를 페징하는 단계를 포함한다.

[0015] 또 다른 양태는 기판 상의 탄탈륨을 예칭하는 방법을 수반하고, 방법은, 탄탈륨을 포함하는 기판을 제공하는 단계; 약 0 °C 미만의 온도로 기판을 냉각하는 단계; 및 탄탈륨의 표면을 개질하기 위해 기판을 개질 가스에 노출하는 단계, 및 탄탈륨의 개질된 표면을 제거하기 위해 개질된 표면을 제거 가스에 노출하고 플라즈마를 점화하는 단계에 의해 탄탈륨의 ALE를 수행하는 단계를 포함한다.

[0016] 다양한 실시예들에서, 기판은 약 0 °C 미만의 기판 온도에서 개질 가스에 노출된다. 일부 실시예들에서, 온도는 약 -20 °C 내지 약 0 °C이다.

[0017] 다양한 실시예들에서, 기판은 탄탈륨 나이트라이드를 포함한다. 일부 실시예들에서, 방법은 또한 기판을 개질 가스에 노출하는 단계와 기판을 제거 가스에 노출하는 단계 사이에 기판을 하우징하는 챔버를 페지하는 단계를 포함한다. 페지 단계는 N₂, Ar, Ne, He, 및 이들의 조합들과 같은 임의의 불활성 가스를 사용하여 이루어질 수 있다.

[0018] 일부 실시예들에서, 개질 가스는 염소이다. 일부 실시예들에서, 개질 가스는 브롬, 요오드, 육불화황, 실리콘 테트라플루오라이드, 및 삼염화붕소 (BCl₃) 중 임의의 하나 이상이다.

[0019] 다양한 실시예들에서, 제거 가스는 아르곤이다. 일부 실시예들에서, 네온 또는 크립톤이 사용될 수도 있다. 제거 동작에서, 기판은 에너지가 표면 결합 에너지보다 작도록 개질된 탄탈륨 표면을 탈착하기 충분하지만 탄탈륨을 스퍼터링하기 불충분한 에너지를 제공함으로써 기판을 예칭하기 위해 아르곤 또는 헬륨과 같은 에너지 소스 (예를 들어, 활성화 가스 또는 이온 충격 가스 또는 제거를 유도하는 화학적으로 반응성 종)에 노출될 수도 있다. 일부 실시예들에서, 제거는 등방성일 수도 있다.

[0020] 다양한 실시예들에서, 바이어스가 기판을 개질 가스에 노출하는 단계 및 개질된 표면을 제거 가스에 노출하는 단계 중 적어도 하나에 인가되는. 바이어스 전력은 기판 상에 증착된 금속과 함께 활성화된 제거 가스의 문턱값

스퍼터 수율에 따라 선택될 수도 있다.

[0021] 또 다른 양태는 기판을 프로세싱하기 위한 장치를 수반하고, 장치는 샤퍼헤드 및 재료를 갖는 기판을 홀딩하기 위한 기판 지지부를 포함하는 프로세스 챔버, 플라즈마 생성기, 및 적어도 하나의 프로세서 및 메모리를 갖는 제어기를 포함하고, 적어도 하나의 프로세서 및 메모리는 서로 통신가능하게 연결되고, 적어도 하나의 프로세서는 적어도 플로우-제어 하드웨어와 동작가능하게 연결되고, 그리고 메모리는: 개질 가스 및 제거 가스를 사용하여 재료의 ALE 프로세스를 위한 프로세스 조건들의 식별을 유발하는 머신-판독가능한 인스트럭션; 및 재료의 표면을 개질하기 위해 개질 가스의 도입을 유발하는 머신-판독가능한 인스트럭션으로서, 개질 가스는 에칭될 재료에 대한 개질 에너지 및 탈착 에너지를 갖는, 개질 가스의 도입을 유발하는 머신-판독가능한 인스트럭션, 및 개질된 표면을 제거하기 위해 제거 가스의 도입 및 플라즈마의 생성을 유발하는 머신-판독가능한 인스트럭션에 의해, 기판 상의 재료에 대한 ALE 프로세스의 수행을 유발하는 머신-판독가능한 인스트럭션을 저장하고, 개질 에너지는 탈착 에너지보다 작고, 그리고 탈착 에너지는 재료의 표면 결합 에너지보다 작다.

[0022] 다양한 실시예들에서, 프로세스 조건들의 도입을 유발하는 인스트럭션들은 기판 온도에 의해 제공된 에너지가 개질 에너지와 탈착 에너지 사이이도록 기판을 개질 가스에 노출하는 단계를 수행하기 위한 기판 온도의 선택을 유발하는 인스트럭션들을 포함한다.

[0023] 다양한 실시예들에서, 프로세스 조건들의 도입을 유발하는 인스트럭션들은 바이어스에 의해 제공된 에너지가 탈착 에너지와 표면 결합 에너지 사이이도록 개질된 표면을 제거 가스에 노출하는 단계 동안 바이어스를 인가하기 위해 바이어스 전력의 선택을 유발하는 인스트럭션들을 포함한다.

[0024] 다양한 실시예들에서, 개질 가스는 재료를 에칭하지 않고 재료에 흡착하도록 선택된다. 다양한 실시예들에서, 제거 가스는 아래에 놓인 개질되지 않은 재료를 에칭하지 않고 개질된 표면을 제거하도록 선택된다.

[0025] 일부 실시예들에서, 프로세스 조건들의 도입을 유발하는 인스트럭션들은 온도, 챔버 압력, 플라즈마 전력, 바이어스 전력, 개질 가스 플로우, 및 노출 시간 중 임의의 하나 이상으로부터 프로세스 조건들의 선택을 유발하는 인스트럭션들을 포함한다.

[0026] 장치는 또한 프로세스 윈도우 내에서 프로세스 조건들의 수정을 유발하는 인스트럭션들을 포함할 수도 있다. 프로세스 윈도우는 최소 바이어스 전력이 개질된 표면을 제거하도록 사용된 최소 바이어스이고 최대 바이어스 전력이 개질된 표면 아래에 놓인 재료를 스퍼터링하지 않고 사용될 수 있는 최고 바이어스이도록 기판을 홀딩하는 페테스탈로 전달된 최소 바이어스 전력 및 최대 바이어스 전력에 의해 규정될 수도 있다.

[0027] 다양한 실시예들에서, ALE의 수행을 유발하는 인스트럭션들은 또한 개질 가스의 도입을 유발하는 인스트럭션과 제거 가스의 도입을 유발하는 인스트럭션 사이에 기판을 하우징하는 프로세스 챔버를 페지하게 하는 인스트럭션들을 포함한다.

[0028] 또 다른 양태는 기판을 프로세싱하기 위한 장치를 수반하고, 장치는 샤퍼헤드 및 재료를 갖는 기판을 홀딩하기 위한 기판 지지부를 포함하는 프로세스 챔버, 플라즈마 생성기, 및 적어도 하나의 프로세서 및 메모리를 갖는 제어기를 포함하고, 적어도 하나의 프로세서 및 메모리는 서로 통신가능하게 연결되고, 적어도 하나의 프로세서는 적어도 플로우-제어 하드웨어와 동작가능하게 연결되고, 그리고 메모리는: 탄탈룸을 포함하는 기판을 갖는 기판 지지부의 온도를 약 0 °C 미만의 온도로 설정하게 하는 머신-판독가능한 인스트럭션; 및 탄탈룸의 표면을 개질하기 위해 개질 가스의 도입을 유발하는 머신-판독가능한 인스트럭션, 및 개질된 탄탈룸을 제거하기 위해 제거 가스의 도입 및 플라즈마의 생성을 유발하기 위한 머신-판독가능한 인스트럭션에 의해 탄탈룸의 ALE의 수행을 유발하는 머신-판독가능한 인스트럭션을 저장한다.

[0029] 다양한 실시예들에서, 기판 지지부의 온도 약 0 °C 미만의 온도로 설정되게 하는 인스트럭션들은 기판 지지부의 온도를 온도 약 -20 °C 내지 약 0 °C의 온도로 설정되게 하는 인스트럭션들을 포함한다.

[0030] 다양한 실시예들에서, ALE의 수행을 유발하는 인스트럭션들은 또한 개질 가스의 도입을 유발하는 인스트럭션과 제거 가스의 도입을 유발하는 인스트럭션 사이에 기판을 하우징하는 프로세스 챔버를 페지하게 하는 인스트럭션들을 포함한다. 페지는 N₂, Ar, Ne, He, 및 이들의 조합들과 같은 임의의 불활성 가스를 사용하여 이루어질 수 있다.

[0031] 다양한 실시예들에서, 메모리는 바이어스로 하여금 개질 가스의 도입 및 제거 가스 도입 중 적어도 하나 동안 기판을 홀딩하기 위한 기판 지지부에 인가되게 하는 인스트럭션들을 더 저장한다. 바이어스 전력은 기판 상에 증착된 금속과 활성화된 제거 가스의 문턱값 스퍼터링 수율에 따라 선택될 수도 있다.

[0032] 이를 및 다른 양태들은 도면들을 참조하여 이하에 더 기술된다.

도면의 간단한 설명

[0033] 도 1a는 ALE를 겪는 기판들의 예시적인 개략도를 도시한다.

도 1b는 도 1a로부터 기판들의 개략도에 기초하여 ALE의 시너지를 도시한다.

도 2는 개시된 실시예들에 따른 일 방법에 대한 동작들을 도시하는 프로세스 흐름도이다.

도 3은 E_{mod} , E_{des} , 및 E_0 동안 실리콘, 게르마늄, 텡스텐, 탄소, 및 탄탈룸에 대한 에너지 배리어들을 도시한다.

도 4는 주기율표의 원소들의 표면 결합 에너지들의 그래프이다.

도 5a는 다양한 재료들에 대해 표면 결합 에너지의 함수로서 스퍼터링 문턱값들의 그래프를 도시한다.

도 5b는 다양한 재료들에 대해 표면 결합 에너지의 함수로서 시너지의 그래프를 도시한다.

도 5c는 다양한 재료들에 대해 표면 결합 에너지의 함수로서 사이클 당 에칭 (EPC: etch per cycle) 의 그래프를 도시한다.

도 6은 개시된 실시예들에 따른 방법에 대한 동작들을 도시하는 프로세스 흐름도이다.

도 7은 개시된 실시예들을 수행하기 위한 예시적인 프로세스 챔버의 개략도이다.

도 8은 개시된 실시예들을 수행하기 위한 예시적인 프로세스 장치의 개략도이다.

도 9a는 실험 데이터에 의해 결정될 때 온도의 함수로서 도시된 탄탈룸에 대한 에칭 레이트의 그래프이다.

도 9b는 수행된 실험에 따라 ALE를 사용한 탄탈룸에 대해 아르곤 노출 지속기간 및 사이클 당 에칭의 그래프이다.

도 9c는 수행된 실험에 따라 ALE에 의해 탄탈룸에 대해 아르곤을 사용한 제거 동안 페데스탈에 인가된 바이어스 전력 및 사이클 당 에칭의 그래프이다.

발명을 실시하기 위한 구체적인 내용

[0034] 이하의 기술에서, 다수의 구체적인 상세들이 제시된 실시예들의 완전한 이해를 제공하기 위해 진술된다. 개시된 실시예들은 이를 구체적인 상세들 중 일부 또는 전부 없이 실시될 수도 있다. 다른 예들에서, 공지의 프로세스 동작들은 개시된 실시예들을 불필요하게 모호하게 하지 않도록 상세히 기술되지 않았다. 개시된 실시예들이 특정한 실시예들과 함께 기술되었지만, 개시된 실시예들을 제한하도록 의도되지 않았다는 것이 이해될 것이다.

[0035] 에칭 프로세스들은 종종 재료를 제거하기 위해 에칭 가스들의 조합에 에칭될 재료를 노출하는 단계를 수반한다. 그러나, 이러한 제거는 자기-제한되지 않을 수도 있고 일부 경우들에서 목표된 것보다 많이 에칭할 수도 있고 또는 바람직하지 않은 피쳐 프로파일을 발생시킬 수도 있다. 피쳐 사이즈들이 축소됨에 따라, ALE (Atomic Layer Etch) 와 같은 원자 스케일 프로세싱에 대해 성장하는 수요가 있다. ALE는 막 두께들에 수치적 (digital) 이고 작은 변화들을 발생시키는 명목상 자기-제한 단계들의 순환적 프로세스이다. 프로세스는 평활도 (smoothness) 및 컨포멀리티 (conformality), 또한 일부 ALE의 경우에 지향성 (directionality) 을 특징으로 한다.

[0036] ALE는 원자 스케일 심층 해상도 및 제어를 사용하여 재료의 초박층들의 패턴-규정 에칭 또는 블랭킷 제거를 위해 발전된 반도체 제작시 (예를 들어, 기술 노드 $< 10 \text{ nm}$) 사용된 디-단계 프로세스이다. ALE는 순차적인 자기-제한 반응들을 사용하여 재료의 박층들을 제거하는 기법이다. 일반적으로, ALE는 임의의 적합한 기법을 사용하여 수행될 수도 있다. ALE 기법들의 예들은 2014년 11월 11일 허여된 미국 특허 제 8,883,028 호; 및 2014년 8월 19일 허여된 미국 특허 제 8,808,561 호에 기술되고, 예시적인 ALE 및 에칭 기법들을 기술할 목적들을 위해 참조로서 본 명세서에 인용되었다. 다양한 실시예들에서, ALE는 플라즈마를 사용하여 수행될 수도 있고, 또는 열적으로 수행될 수도 있다.

[0037] ALE는 사이클들로 수행될 수도 있다. "ALE 사이클"의 개념은 본 명세서의 다양한 실시예들의 논의와 관련된다.

일반적으로, ALE 사이클은 단층 (monolayer) 을 에칭하는 것과 같이, 에칭 프로세스를 한번 수행하는데 사용된 동작들의 최소 세트이다. 일 사이클의 결과는 기판 표면 상의 적어도 일부 막 층이 에칭된다는 것이다. 통상적으로, ALE 사이클은 반응성 층을 형성하기 위한 개질 동작, 이어서 이 개질된 층만을 제거하거나 에칭하기 위한 제거 동작을 포함한다. 사이클은 반응물질들 또는 부산물들 중 하나를 스윕핑 (sweeping) 하는 것과 같은 특정한 보조 동작들을 포함할 수도 있다. 일반적으로, 사이클은 고유한 시퀀스의 동작들의 일 예를 포함한다. 예로서, ALE 사이클은 다음 동작들: (i) 반응물질 가스의 전달, (ii) 챔버로부터 반응물질 가스의 퍼지, (iii) 제거 가스 및 선택가능하게 플라즈마의 전달, 및 (iv) 챔버의 퍼지를 포함할 수도 있다. 일부 실시예들에서, 에칭은 컨포멀하지 않게 (nonconformally) 수행될 수도 있다. 도 1a는 ALE 사이클의 2 개의 개략적인 예시들을 도시한다. 다이어그램들 171a 내지 171e는 일반적인 ALE 사이클을 도시한다. 171a에서, 기판이 제공된다. 171b에서, 기판의 표면이 개질된다. 171c에서, 다음 단계가 준비된다. 171d에서, 개질된 층이 에칭된다. 171e에서, 개질된 층이 제거된다. 유사하게, 다이어그램들 172a 내지 172e는 실리콘 막을 에칭하기 위한 ALE 사이클의 일 예를 도시한다. 172a에서, 많은 실리콘 원자들을 포함하는 실리콘 기판이 제공된다. 172b에서, 반응물질 가스 염소가 기판으로 도입되어 기판의 표면을 개질한다. 172b의 개략도는 예로서 일부 염소가 기판의 표면 상에 흡착되는 것을 도시한다. 도 1a에 염소가 도시되지만, 임의의 염소-함유 화합물 또는 적합한 반응물질이 사용될 수도 있다. 172c에서, 반응물질 가스 염소는 챔버로부터 퍼지된다. 172d에서, 제거 가스 아르곤이 Ar⁺ 플라즈마 중 및 화살표들로 나타낸 바와 같이 지향성 플라즈마와 함께 도입되고, 기판의 개질된 표면을 제거하기 위해 이온 충격이 수행된다. 이 동작 동안, 기판을 향해 이온들을 끌어당기도록 (attract) 바이어스가 기판에 인가된다. 172e에서, 챔버는 퍼지되고 부산물들은 제거된다.

[0038] 일 사이클은 재료의 0.1 nm 내지 약 50 nm, 또는 재료의 약 0.1 nm 내지 약 20 nm, 또는 재료의 약 0.1 nm 내지 약 2 nm, 또는 재료의 약 0.1 nm 내지 약 5 nm, 또는 재료의 약 0.2 nm 내지 약 50 nm, 또는 재료의 약 0.2 nm 내지 약 5 nm를 부분적으로만 에칭할 수도 있다. 일 사이클에서 에칭된 재료의 양은 자기-제한 방식에서 에칭 목적에 종속될 수도 있다. 일부 실시예들에서, 일 사이클의 ALE는 재료의 단층보다 적게 제거할 수도 있다.

[0039] 챔버 압력, 기판 온도, 플라즈마 전력, 주파수, 및 타입, 및 바이어스 전력과 같은 ALE 프로세스 조건들은 에칭될 재료, 에칭될 재료를 개질하기 위해 사용된 가스들의 조성, 에칭될 재료 아래에 놓인 재료, 및 개질된 재료를 제거하기 위해 사용된 가스들의 조성에 종속된다. 그러나, 이들 인자들의 조합은 다양한 재료들의 에칭을 위해 ALE를 수행하는 것을 어렵게 만든다.

[0040] 집적 회로 프로세싱 내로 도입될 증가하는 수의 새로운 재료들 및 많은 수의 프로세스 파라미터들 (가스 압력, 웨이퍼 온도, 플라즈마 전력, 이온 에너지, 등)의 조합들을 고려하면, 주어진 재료에 대해 층-단위 (layer-by-layer) 자기-제한 방식으로 스팍터링하지 않고 또한 에칭하는 ALE 프로세스를 달성하는 것은 어렵다. ALE 프로세스 전개를 위해 범용으로 적용가능한 툴이 필요하다. 이에 더하여, ALE 성능 또는 심지어 적용가능성을 예측하는 능력을 갖는 것은 ALE를 위해 가장 유망한 후보자들인 재료들에 대한 연구 및 개발에 초점을 둘 것이다.

[0041] 에칭될 재료에 대한 "ALE 시너지" 메트릭에 기초하여 "디자이너" ALE를 수행하는 방법이 본 명세서에 제공된다. 개시된 실시예들은 에칭될 재료의 스팍터링, 또는 에칭될 재료 아래에 놓인 재료의 제거 또는 스팍터링을 감소시키는 동안, 재료의 자기-제한 제거를 달성하기 위해 ALE 시너지 메트릭을 사용하여 ALE 프로세스를 설계하는 것을 가능하게 한다. 대안적으로, 기존의 프로세스 툴 및 액세스가능한 프로세스 파라미터들의 세트에 대해, 개시된 실시예들은 주어진 재료가 ALE를 사용하여 제거될 수 있는지 여부를 예측하게 하고, 그렇다면, 에칭의 예상된 품질을 예측하게 한다. 이에 더하여, 개시된 실시예들은 일 재료가 에칭되게 하는 한편 또 다른 재료는 동일한 조건들 하에 있지 않게 설계함으로써, 재료들 간의 목표된 에칭 선택도를 최대화하도록 사용될 수 있다.

[0042] 개시된 실시예들은 반도체들 (예를 들어, 실리콘, 게르마늄, 실리콘 게르마늄 (SiGe), 갈륨 나이트라이드 (GaN); 금속들 (예를 들어, 텅스텐, 코발트, 구리, 탄탈룸); 유전체들 (예를 들어, 실리콘 옥사이드 (SiO₂), 실리콘 나이트라이드 (SiN)); 및 탄소와 같은 애시가능 (ashable) 하드마스크들을 포함하는 넓은 부류의 재료들에 적용가능하다. 개시된 실시예들은 또한 나이트라이드들 및 옥사이드들과 같은 에칭 화합물들에 적합하다. 이는 새로운 또는 개선된 유닛 또는 통합된 프로세스들 뿐만 아니라 독립 (stand-alone) 또는 클러스터된 하드웨어를 개발하는데 활용될 수 있다. 방법론은 오프라인 사용을 위해 적절한 컴퓨터 소프트웨어로 구현될 수 있고 또는 레시피 개발, 프로세스 검정 (qualification), 또는 프로세스 제어를 위해 프로세스 툴에 임베딩될 수 있다.

[0043] 방법론은 범용으로 적용가능하지만 컴퓨터 알고리즘으로서 구현에 적합한, 주어진 재료-프로세스 툴 조합을 위

해 커스터마이즈될 (customize) 수 있다. 원자론적 에너지 고려사항들에 기초하여, 이 접근 방법은 본질적으로 스케일링 가능하고 현재 및 미래의 디바이스 기술 노드들 모두에 적용될 수 있다. ALE 프로세스가 얼마나 잘 작동하는지 또는 이상에 대응하여 얼마나 잘 작동하는지 예측하는 능력은 이 접근 방법의 부가적인 이점이다.

[0044] 개시된 실시예들은 집적 회로 기술에 관계된 광범위한 부류의 재료들 (예를 들어, 반도체들 예컨대 실리콘, 게르마늄, 갈륨 나이트라이드; 금속들 예컨대 탄탈륨, 텅스텐, 코발트; 유전체들 예컨대 실리콘 옥사이드, 및 애시가능 하드마스크 재료들 예컨대 비정질 탄소 또는 다이아몬드-형 탄소)에 대해 ALE를 수행하는 것이 적합하다. 이하의 논의에서, 비-제한적인 예들이 (예를 들어, Cl_2 -플라즈마 및 Ar^+ 충돌을 교번함으로써 이루어지는) 실리콘의 ALE 및 탄탈륨의 ALE를 위해 제공된다.

[0045] ALE는 2 (또는 그 이상) 개의 분리된 단계들: 개질 (동작 A) 및 제거 (동작 B)로 에칭 프로세스를 분할하는 것을 수반한다. 예를 들어, 개질 동작 단계는 표면 층을 개질하여 제거 동작 쉽게 제거될 수 있다. 재료의 박층이 사이클마다 제거되고, 사이클이 개질 및 제거를 포함하고, 사이클은 목표된 깊이에 도달할 때까지 반복될 수 있다. 시너지는 동작 A와 동작 B의 상호작용으로 인해 양호한 에칭이 발생한다는 것을 의미한다. ALE에서, 동작 A 및 동작 B는 공간 또는 시간에서 분리된다.

[0046] 양호한 ALE는 동작 A와 동작 B의 상호작용으로 인해 발생하고, 다음의 "시너지" 메트릭은 시너지적 (synergistic) 상호작용의 강도 및 영향을 정량화하기 위해 사용된다. ALE 시너지는 다음과 같이 계산되고:

$$\text{ALE 시너지 \%} = \frac{\text{EPC} - (\text{A} + \text{B})}{\text{EPC}} \times 100\%$$

[0047] (등식 1)

[0048] 여기서 EPC ("etch per cycle")는 일 ALE 사이클에서 제거된 기판 재료의 두께이고, 통상적으로 많은 사이클들에 걸쳐 평균되고, 그리고 A 및 B는 독립 개질 동작 및 제거 동작으로부터 이들 동작들을 독립적으로 수행함으로써 기준 지점들로서 조심스럽게 (respectfully) 측정된 EPC에 대한 기여이다.

[0049] 시너지는 ALE 거동 (behavior)의 많은 양태들을 캡처하는 테스트이고, 상이한 ALE 조건들 또는 시스템들을 비교하는데 잘 맞는다. 이 동작 A로부터 반응물질들이 소비된 후 동작 B에서 왜 에칭이 중단되는지에 대한 기본적인 메커니즘이다. 이는 따라서 종횡비 독립성, 균일도, 평활도, 및 선택도와 같은 ALE 이점들의 자기-제한 거동의 원인이 있다.

[0050] 도 1b는 실리콘에 대해 예시된 ALE 시너지의 개략적인 예시이다. 예로서, 염소화 동작 A 및 아르곤 이온 충격 동작 B를 사용하여 수행된 실리콘의 ALE를 고려한다. 전체 ALE 프로세스가 1 nm/사이클, 그러나 A에서만 0.1 nm/사이클 및 B에서만 0.1 nm/사이클만을 제거한다면, 시너지는 80 %이다. 고-시너지 프로세스는 저-시너지 프로세스에 대해 약 60 % 이하인 것과 비교하여, 약 90 % 이상의 시너지를 가질 수도 있다.

[0051] 개시된 실시예들은 고 시너지를 갖는 ALE 프로세스를 달성하도록 구성된다 -시너지가 100 %가 되는 ALE 프로세스가 이상적이다. 이러한 이상은 모든 경우들에서 액세스 가능한 범위의 프로세스 조건들, 웨이퍼 쓰루풋 요건들, 등과 같은 미리 결정된 실제적인 고려사항들을 달성하기 불가능할 수도 있다. 그러나, 100 %의 이상 (ideal) 보다 작은 시너지에 대한 허용오차는 애플리케이션 및 기술 노드에 종속될 것이고, 아마도 연속적인 기술 세대 (technology generation) 각각이 보다 높은 레벨들의 이상성을 요구할 것이다.

[0052] 고 시너지를 갖는 ALE 프로세스를 설계하기 위한 개시된 실시예들은 전체 ALE 프로세스 및 100 %에 가까운 시너지를 갖는 에칭을 달성하기 위해 극복되는 에너지 배리어들을 특징으로 하는 5 개의 규정 에너지들 사이의 계층적 관계를 달성하는 것에 기초한다.

[0053] 이 관계는 다음과 같다:

$$E_{\text{mod}} < \varepsilon_A < E_{\text{des}} < \varepsilon_B < E_0 \quad (\text{등식 2})$$

[0055] 대문자 E로 쓰여진 3 개의 에너지들 (E_0 , E_{mod} , 및 E_{des})은 에칭될 재료 및 반응물질의 속성들에 의해 결정된다.

[0056] E_0 는 개질되지 않은 재료의 표면 결합 에너지이고 표면으로부터 제거되는 것을 막는 응집력 (cohesive force)이다. 값들은 승화 열로부터 추산되고 통상적으로 원자 당 2 내지 10 eV의 범위이다.

[0057] E_{mod} 는 표면을 개질하기 위한 흡착 배리어이고 반응물질들을 해리하거나 표면 원자들을 재조직할 필요성으로부

터 발생한다. 이 배리어는 플라즈마가 반응물질들을 라디칼들로 해리하기 위해 사용될 때, 예컨대 실리콘의 플라즈마 염소화 동안 무시해도 될 정도일 수도 있다.

[0058] 탈착 배리어 E_{des} 는 개질된 표면으로부터 부산물을 제거하기 위해 사용된 에너지이다. 예를 들어, 실리콘의 ALE에서, 부산물은 약 2.9 eV 탈착 에너지를 갖는 SiCl_2 (g) 일 수도 있다. 이 배리어는 휘발성 및 열적 탈착 온도들에 관련된다.

[0059] E 들에 대한 실험적 값들은 화학적-물리적 설명서들 공개된 과학 논문들에서 알 수 있고 또는 순이론적 계산들 (*ab initio* calculations)로부터 획득될 수 있다. 예로서, Ar^+ 이온들/ Cl_2 를 사용한 실리콘 ALE에 대해, $E_{mod} = 0.3 \text{ eV} < E_{des} \sim 2.9 \text{ eV} < E_0 = 4.7 \text{ eV}$.

[0060] ε_A 및 ε_B 는 각각 동작 A 및 동작 B 주변의 에너지들이다. 레이트들의 관점에서, 전달된 에너지가 에너지 배리어와 비교하여 충분히 높을 때 미리 결정된 반응이 진행될 것이다. 이 에너지는 (지향성 에너지 소스의 가능성을 허용하는) 적합하게 에너제틱 (energetic) 인 이온들, 전자들, 등의 힘에 의해 또는 온도 종속성과 관련하여 아레니우스-타입 (Arrhenius-type)으로 열적으로 제공될 수 있다 (즉, 레이트는 $\varepsilon^{-E/kT}$ 이거나 $\varepsilon^{-E/kT}$ 를 특징으로 한다).

[0061] ε_A 및 ε_B 는 장비 및 프로세스 조건들에 종속되고, 하드웨어 및 프로세스 파라미터들의 액세스 가능한 범위 내에서, 미리 결정된 재료 시스템에 대해 고-시너지 ALE 예칭을 제공하도록 선택된다.

[0062] 온도와 관련하여, 평균 온도를 소량 상승시키는 것은 전달된 에너지를 극적으로 상승시킬 수 있다. 예를 들어, Maxwell-Boltzmann 분포를 만족하는 가스는 평균 에너지 $\langle E \rangle = 3/2 kT$ 를 갖는다. 예를 들어, 25 °C (300K)의 상온으로부터 325 °C (600K)로 상승하는 온도는 $2 \langle E \rangle$ 일 것이다. 그러나, 지수 꼬리 분포 (exponential tail of distribution)의 고 에너지 원자들의 상승은 2 배보다 훨씬 크게 상승할 것이다 - 이 경우, $E > 1\text{eV}$ 를 갖는 원자를 군 (population)은 거의 10억배 상승한다.

[0063] 이온들에 대한 제거 레이트의 에너지 종속성을 표면 결합 에너지 E_0 에 반비례하는 비례 상수를 사용하여, 문턱값 에너지에 대한 이온 에너지의 제곱근에 종속된다. 대부분의 입사하는 (incident) 이온의 운동 에너지는 원자-원자 충돌들에서 열로 소멸되고, 배리어 에너지의 약 20 배인 이온 에너지는 ALE를 위해 충분한 에너지 소스를 제공하도록 사용된다. 예를 들어, 2.5 eV 의 배리어는 약 95 %의 입사 이온들이 웨이퍼 격자 (lattice)를 사용하여 열중성화한 후 ALE 프로세스를 구동하기 위해 이용가능하지 않을 것이기 때문에 약 50 eV보다 큰 입사 이온 에너지를 사용하여 극복될 수도 있다.

[0064] 등식 (2)에서 부등식들의 순서는 흡착이 동작 A에서 탈착 없이 일어난다면, 그리고 동작 B에서 개질되지 않은 재료를 제거하지 않고 털착이 일어난다면, 최고 시너지가 발생한다는 것을 나타낸다. 이 관계는 ALE 프로세스에 대한 에너지 "원도우"를 나타낸다. 따라서, E_0 및 E_{mod} 는 부등식의 상한 및 하한을 설정하여, 이를 에너지의 보다 큰 차, 보다 큰 정도 (latitude)의 에너지는 충분한 시너지를 달성해야 한다.

[0065] 등식 (2)에 도시된 E 들 및 앱실론들의 상호 관계 본질은, ALE 프로세스의 성공이 재료-반응물질 조합의 속성들 (E 's), 뿐만 아니라 반응기 조건들의 선택 (ε 's) 및 고 시너지에 대한 기준을 만족하는 에너지들에도 종속될 것이라는 사실을 강조한다. 게다가, 쓰루풋은 또한 배리어를 극복하는 것이 동작 시간들의 제한들에 종속될 때의 인자이다 - 화학 반응이 열역학적으로 양호할 수도 있고 (즉, Gibbs 자유 에너지 변화는 크고 음성이다) 그러나 동역학은 반응 시간이 비현실적으로 길게 하는 상황과 유사하다.

[0066] 개시된 실시예들은 또한 일 재료가 예칭되는 한편 또 다른 재료는 동일한 조건들 하에 있지 않게 설계함으로써 재료들 간의 예칭 선택도에 대해 설계되도록 사용될 수 있다. 이는 (기판과 마스킹 층 사이에서, 예칭될 재료와 아래에 놓인 예칭 정지 층 사이, 등과 같은) 고 예칭 선택도를 달성하는데 어려움을 주는, 방법론의 잠재적인 이점이다.

[0067] ALD (Atomic Layer Deposition) 및 ALE가 유사한 순차적인, 자기-제한, 원자단위 프로세스들이라고 감안하면, 등식 (1) 및 등식 (2)과 유사한 형식, 및 가장 기본적인 (first-principles) 에너제틱 고려사항들에 기초한 유사한 방법론이 ALD를 위해 개발될 수 있다. 일부 실시예들에서, ALD 및 ALE는 반도체 디바이스들을 제조하도록 사용된 일련의 동작들로 조합될 수도 있다. 예를 들어, ALD 및 ALE의 통합에 관한 추가 기술은 본 명세서에 전체가 참조로서 인용된 2017년 2월 21일 허여된 명칭이 "INTEGRATING ATOMIC SCALE PROCESSES: ALD (ATOMIC

LAYER DEPOSITION) AND ALE (ATOMIC LAYER ETCH)"인 미국 특허 제 9,675,811 호에 기술된다.

[0068] 도 2는 에칭될 재료, ALE를 사용하여 에칭하기 위해 사용된 반응물질들, 및 에칭될 재료 또는 임의의 아래에 놓인 재료를 스퍼터링하지 않고 그리고 비-자기-제한 방식으로 매우 신속하게 재료를 에칭하지 않고 ALE를 사용하여 효과적으로 에칭하기 위한 프로세스 조건들을 선택하기 위한 동작들을 도시하는 프로세스 흐름도를 제공한다.

[0069] 동작 299에서, ALE를 위한 프로세스 조건들이 식별된다. 예시적인 프로세스 조건들은 온도, 챔버 압력, 플라즈마 전력, 바이어스 전력, 개질 가스 흐로우, 및 노출 시간을 포함한다. 이들 프로세스 조건들은 개질 동안, 또는 제거 동안, 또는 모두에서, 사용된 프로세스 조건들일 수도 있다. 예시적인 프로세스 조건들은 기판을 개질 가스에 노출하는 단계를 수행하기 위한 기판 온도, 및 이하에 기술된 바와 같이 동작 211에서 수행된, 개질된 표면의 제거 가스로의 노출 동안 바이어스를 인가하기 위한 바이어스 전력을 포함한다.

[0070] 동작 201에서, E_0 가 결정된다. E_0 는 등식 2에 주어진 에너지 부등식의 에너지 상한을 설정한다. E_0 는 재료의 선택에 의해 결정되어, 사실상 E_0 를 선택하는 것은 에칭할 재료를 선택하는 것과 동가이다. 재료의 선택이 결정되어야 하면, 고 시너지를 달성하기 위해 가장 큰 프로세스 윈도우를 제공할 것이기 때문에 가능한 큰 에너지 E_0 를 갖는 재료를 선택할 수도 있다.

[0071] 동작 203에서, 동작 201에서 선택된 재료를 에칭하기 위한 반응물질 또는 개질 가스가 선택된다. 이 선택은 개질 가스와 에칭될 막의 상호작용에 따라 E_{mod} 및 E_{des} 의 값들을 구술할 것이다. E_{mod} 에 대한 값은 ε_A 및 ε_B 의 선택들에 대한 유연성을 제공하도록 충분히 작아야 하지만, 반응물질이 반응할 것이지만 탈착하지 않도록 ($E_{des} > E_{mod}$) 충분히 크다. 이들 값들은 (E_{mod} 에 대해) Arrhenius 등식을 사용한 순이론적 계산으로부터 그리고 (E_{des} 에 대해) 휘발성 측정값들, 순이론적 계산들, 또는 열적 탈착 온도들로부터 추정될 수 있다.

[0072] 동작 205에서, 양상이 ε_A 및 ε_B 에 대한 값을 결정하도록 에너지 전달 양상이 선택되고, $E_{mod} < \varepsilon_A < E_{des} < \varepsilon_B < E_0$ 이다. 이들 ε_A 및 ε_B 값들은 표면으로 전달되고 (예를 들어, 이온들, 양자들 또는 전자들의 에너제틱 플럭스, 화학적 에너지, 등) 또는 주변으로부터 이용가능한 유용한 에너지 (예를 들어, 기판 또는 플라즈마 온도)를 나타낸다. 다양한 실시예들에서, ε_A 는 기판을 개질하기 충분한 ($E_{mod} < \varepsilon_A$) 개질 동작 (동작 A) 동안 인가된 에너지를 나타내지만, 개질 가스가 표면과 반응하는 것을 방지하기 충분히 낮다 ($e_A < E_{des}$). 다양한 실시예들에서, ε_B 는 개질된 표면을 제거하기 충분한 ($E_{des} < \varepsilon_B$) 제거 동작 (동작 B) 동안 인가된 에너지를 나타내고, 에칭될 재료의 스퍼터링을 방지하기 충분히 낮다 ($e_B < E_0$). 임의의 미리 결정된 재료에 대해, 개질 가스에 따라, E_{mod} 및 E_{des} 는 가변할 수도 있다.

[0073] 개질 가스로서 Cl_2 및 제거 가스로서 Ar^+ 를 사용한 실리콘의 ALE의 경우에서, ε_A 는 Cl_2 (열적) 또는 Cl_2 플라즈마의 온도에 의해 결정될 수 있는 한편, ε_B 는 Ar 이온들에 의해 전달된 유용한 에너지에 의해 결정될 수 있다. 예를 들어, 플라즈마가 사용되면, 이는 반응 경로 (및 따라서 E_{mod} 및 E_{des})에 영향을 줄 수 있고 상이한 개질 가스를 선택할 수도 있다. 다양한 실시예들에서, 동작 A를 위한 에너지, 또는 ε_A 는 개질 동작 동안 기판의 온도를 가변함으로써 조절되는 한편, 동작 B를 위한 에너지, 또는 ε_B 는 제거 동작 동안 플라즈마 조건들 (예컨대 플라즈마 전력 또는 바이어스 전력)을 가변함으로써 조절된다. 따라서, 자기-제한 방식으로 ALE를 달성하기 위해, E_{mod} 와 E_{des} 사이의 범위가 작다면, 탈착을 유발하지 않고 개질 동작을 수행하기 위한 온도 범위가 작고, E_{mod} 와 E_{des} 사이의 범위가 크다면, 탈착을 유발하지 않고 개질 동작을 수행하기 위한 온도 범위가 크다. E_{des} 와 E_0 사이의 범위가 작다면, 스퍼터링 없이 제거 동작을 수행하기 위한 프로세스 조건들의 범위는 작은 한편, E_{des} 와 E_0 사이의 범위가 크다면, 스퍼터링 없이 제거 동작을 수행하기 위한 프로세스 조건들의 범위는 크다.

[0074] 동작 207a에서, 발생되는 ALE 프로세스의 시너지가 측정되고, 그리고 동작 207b에서, 여전히 5 개의 에너지들 사이에서 등식 2를 만족하는 동안, ALE 프로세스 조건들은 시너지를 더 상승시키도록 수정한다. 값들의 범위를 활용할 수 있고 시너지를 계산하기 위해 개별 그리고 시너지적 에칭 레이트들을 측정할 수 있다. 예를 들어, Ar^+ 이온 충격이 사용되면, 웨이퍼를 바이어스할 수 있고 이온 에너지들의 범위에서 런 쓰루 (run through) 할

수 있다 (예를 들어, 10 내지 100 eV). 이는 시너지가 가장 높은, 바이어스 원도우를 결정하도록 사용될 수 있다.

[0075] 일부 실시예들에서, 동작 201은 결정된 시너지가 목표된 값이 아니면 반복될 수도 있다. 일부 실시예들에서, 동작 203 및 동작 205는 바람직한 시너지 속성을 갖는 개질 가스를 선택하기 위해 에너지 전달 양상을 평가하도록 반복적으로 수행될 수도 있다.

[0076] 동작 209에서, 기판은 선택된 프로세스 조건들에 기초하여 기판의 표면을 개질하기 위해 동작 203에서 선택된 개질 가스에 노출된다.

[0077] 동작 211에서, 개질된 표면은 프로세스 조건들 예컨대 시너지를 최대화하기 위해 동작 207b에서 수정된 바이어스 전력을 사용하여 기판으로부터 제거된다. 일부 실시예들에서, 동작 209 및 동작 211이 반복된다.

[0078] 표 1은 개질 동작을 위해 다양한 개질 가스들 및 제거를 위해 아르곤 플라즈마를 사용하여 다양한 재료들의 ALE에 대한 예시적인 시너지들을 도시한다.

표 1

재료	ALE 개질	ALE 제거	측정값들
실리콘	염소 플라즈마	50 eV Ar ⁺	시너지 = 90 % EPC = 0.70 nm/사이클 α = 0.03 nm/사이클 β = 0.04 nm/사이클
계르마늄	염소 플라즈마	25 eV Ar ⁺	시너지 = 66 % EPC = 0.80 nm/사이클 α = 0.20 nm/사이클 β = 0.07 nm/사이클
비정질 탄소	산소 플라즈마	50 eV Ar ⁺	시너지 = 97 % EPC = 0.31 nm/사이클 α = 0 nm/사이클 β = 0.01 nm/사이클
텅스텐	염소 플라즈마	60 eV Ar ⁺	시너지 = 95 % EPC = 0.21 nm/사이클 α = 0 nm/사이클 β = 0.01 nm/사이클
갈륨 나이트라이드	염소 플라즈마	70 eV Ar ⁺	시너지 = 91 % EPC = 0.33 nm/사이클 α = 0 nm/사이클 β = 0.03 nm/사이클
실리콘 다이옥사이드	염소 플라즈마	70 eV Ar ⁺	시너지 = 80 % EPC = 0.50 nm/사이클 α = 0 nm/사이클 β = 0.10 nm/사이클

[0080] 탄탈륨이 도 2의 동작들을 사용한 탄탈륨 ALE를 위한 프로세스 조건들을 어떻게 조절할지 결정하는 입증된 예로서 사용된다. 동작 201에서, E_0 에 대한 값은 탄탈륨의 표면 결합 에너지를 계산함으로써 결정된다. 문헌 값들이 탄탈륨의 표면 결합 에너지를 평가하도록 취해진다. 동작 203에서, 반응물질은 E_{mod} 및 E_{des} 에 기초하여 선택된다. 예를 들어, 흡착 배리어 (E_{mod})는 개질 동안 플라즈마가 사용되면, ~0으로 취해진다. E_{des} 는 일부 반응물질 재료 체계들에서 문헌적으로 발견되는 열적 탈착 온도들을 추정함으로써 결정된다. 에너지 전달 양상은 ε_A 및 ε_B 에 대해 동작 205에서 결정된다. 나중에 시너지가 동작 207a에서 계산되고, 동작 207b에서 필요하면 프로세스 조건들은 수정된다. 다양한 실시예들에서, 임의의 하나 이상의 불활성 캐리어 가스들 (예컨대 N₂, Ar, Ne, He, 또는 이들의 조합들)이 임의의 개질 동작 또는 제거 동작 동안 흐를 수도 있다는 것이 이해될 것이다. 부가적으로, ALE 사이클에 대해, 챔버는 일부 실시예들에서 개질 후, 또는 제거 후, 또는 모두 후에 펴지될 수도 있다. 일부 실시예들에서, ALE 사이클은 개질, 펴지, 제거, 및 펴지를 포함한다. 펴지는 다른 동작

들에서 사용된 캐리어 가스 또는 상이한 가스일 수도 있는, 스윕핑 가스를 수반할 수도 있다. 일부 실시예들에서, 퍼지는 챔버를 배기하는 단계를 수반할 수도 있다. 도 3은 염소가 개질 가스로서 사용되고 아르곤이 다른 원소적 재료들의 ALE에 대한 제거 가스로서 사용될 때 탄탈룸 ALE가 상대적인 흡착 에너지, 탈착 에너지 및 표면 결합 에너지에 기초하여 어떻게 작동하는 지의 일 예를 도시한다. 도 4에서 이하에 더 기술되는 바와 같이, 표면 결합 에너지들 E_0 (검정 삼각형들)는 문헌적 값들에 의해 결정된다. 흡수 배리어 E_{mod} (스트라이프 음영된 삼각형들)는 플라즈마가 사용되기 때문에 ~0으로 취해진다. 탈착 에너지 E_{des} 는 탈착 온도로부터 추론된다.

[0081] 도 3에서 제공된 모든 예들에 대해, E_{mod} 는 약 0 eV로 취해진다. 실리콘에 대해, 탈착 온도는 $SiCl_2$ 에 대해 650 °C이고, E_{des} 는 염소를 사용한 에칭을 위해 (실리콘 표면이 염소에 의해 개질될 때 부산물 $SiCl_2$ 를 형성하도록) 이 온도로부터 약 2.3 eV가 되도록 추론된다. 실리콘의 표면 결합 에너지는 4.7 eV이다.

[0082] 게르마늄에 대해, 탈착 온도는 $GeCl_2$ 에 대해 350 °C이고, E_{des} 는 (게르마늄 표면이 염소에 의해 개질될 때 부산물 $GeCl_2$ 를 형성하도록) 이 온도로부터 1 내지 2 eV이도록 추론된다. 게르마늄의 표면 결합 에너지는 3.8 eV이다.

[0083] 텅스텐에 대해, (텅스텐 표면이 염소에 의해 개질될 때 부산물 WC_5 를 형성하기 위해) 개질 가스로서 염소를 사용하여 약 800 °C의 탈착 온도로부터 추론된 E_{des} 는 약 3 eV이다. 텅스텐에 대한 표면 결합 에너지는 8.8 eV이다.

[0084] 탄소에 대해, (탄소 표면이 산소에 의해 개질될 때 부산물 CO를 형성하기 위해) 개질 가스로서 산소를 사용하여 약 850 °C의 탈착 온도로부터 추론된 E_{des} 는 약 3 eV이다. 그래파이트 (graphitic) 탄소에 대한 표면 결합 에너지는 7.4 eV이다.

[0085] 탄탈룸에 대해, (탄탈룸 표면이 염소에 의해 개질될 때 부산물 $TaCl_5$ 를 형성하기 위해) 개질 가스로서 염소를 사용하여 약 23 °C의 탈착 온도로부터 추론된 E_{des} 는 약 1.5 eV이다. 탄탈룸에 대한 표면 결합 에너지는 8.1 eV이다.

[0086] 탈착 배리어 (흰색 삼각형들)에 대한 상대적인 값은 반응물질-재료 체계들에 대한 문헌에서 발견되는, 열적 탈착 온도들에 기초하여 추정된다. 도 3에 나타낸 온도들은 열적 탈착 온도들이다. 탄탈룸 ALE에 대한 에너지 배리어들은 탄탈룸과의 염소 반응을 억제하기 위해 개질 동안 저온, 및 이온 에너지에 대해 제거 동작 동안 큰 윈도우를 사용하는 것을 암시한다. 이는 E_{mod} 와 E_{des} 사이의 윈도우가 매우 작기 때문이고, 탈착 온도 250 °C에서 탈착 에너지가 매우 작다고 고려하면, 탄탈룸의 ALE를 위한 프로세싱 온도는 개질 동작 (동작 A) 동안 사용된 에너지는 비-자기-제한 방식으로 염소가 탄탈룸과 반응하는 것을 방지하도록 이 작은 윈도우 내에 있다는 것을 보장하도록 낮아야 한다. 그러나, E_{des} 와 E_0 사이의 큰 에너지 캡을 고려하면, 탄탈룸의 고 표면 결합 에너지를 고려하여 넓은 범위의 이온 에너지가 탄탈룸 표면을 스퍼터링할 위험 없이 제거 동작 (동작 B) 동안 사용될 수 있다.

[0087] 도 4는 승화 열에 의해 결정될 때, 원소적 재료들에 대한 표면 결합 에너지를 도시한다. 이 플롯에 따르면, 탄소 및 내화 (refractory) 금속들 (W, Ta, Re, Os, Nb, Mo, Ru, Rh, Tc, 등)은 ALE를 위한 우수한 후보군들이다. 약 6 eV보다 큰 표면 결합 에너지를 갖는 다른 재료들로부터, 탄탈룸은 이 재료가 BEOL 프로세싱의 금속화 (metallization)에서 배리어/라이너의 일부로서 사용되기 때문에 특히 유용하다. 표면 결합 에너지에 기초하여, 탄탈룸의 ALE는 잘 작동할 것이다.

[0088] 도 5a 내지 도 5c는 ALE에서 재료 경향들의 개요를 도시한다. 논의된 바와 같이, 이 경향들은 고 표면 결합 에너지를 갖는 다른 재료들이 ALE를 위한 우수한 후보군들이라는 것을 암시한다. 도 5a에서, 윈도우의 상부 에지 또는 스퍼터링 문턱값 (재료가 개질되지 않고 스퍼터링되는 에너지일 때)이 표면 결합 에너지 E_0 에 대해 플로팅된다. 도시된 바와 같이, 표면 결합 에너지가 상승함에 따라 윈도우의 상부 에지가 상승한다. 윈도우의 보다 높은 상부 에지는 재료를 스퍼터링하지 않고 재료를 개질하도록 사용될 수도 있는 에너지들의 보다 넓은 범위를 가능하게 한다.

[0089] 도 5b는 표면 결합 에너지 E_0 의 함수로서, 등식 1에 의해 계산되는 시너지를 도시한다. 도시된 바와 같이, 표면 결합 에너지가 상승함에 따라, 시너지가 상승한다. 이들은 고 표면 결합 에너지 재료들이 고 시너지 효과를

갖는 것이 보다 가능성성이 높을 (likely) 것이고, 따라서 ALE를 위해 우수한 후보군들이라는 것을 보여준다.

[0090] 도 5c는 표면 결합 에너지 E_0 의 함수로서 nm/사이클로 사이클 당 에칭 (EPC) 을 도시한다. 도시된 바와 같이, 표면 결합 에너지가 상승함에 따라, 사이클 당 에칭이 감소한다. 즉, 보다 적은 재료가 사이클 당 에칭된다. 이는 고 표면 결합 에너지 재료들이 ALE에 의해 충돌위 자기-제한 에칭을 위해 보다 밀접하게 제어될 수 있다는 것을 암시하여, 저 표면 결합 에너지 재료들은 ALE에 의해 보다 고속으로 에칭될 가능성이 높다.

[0091] 탄탈륨 예에 대해, 다양한 실시예들에서, 탄탈륨은 개시된 실시예들에 따라 ALE를 사용하여 에칭될 수도 있다. 예를 들어, 탄탈륨을 에칭하기 위해 염소 (예시적인 개질 가스로서) 를 사용하기 위해 E_0 , E_{des} , 및 E_{mod} 를 식별할 때, 탄탈륨을 갖는 기판이 다음의 예시적인 방법을 사용하여 에칭될 수도 있다.

[0092] 도 6은 특정한 개시된 실시예들에 따라 탄탈륨의 ALE를 위해 수행된 동작들의 예시적인 프로세스 흐름도를 도시한다. 상기 기술된 바와 같이, 탄탈륨에 대한 시너지를 결정한 후, 탄탈륨의 ALE는 프로세스 조건들을 토글링 함으로써 달성될 수 있다.

[0093] 동작 601에서, 탄탈륨을 갖는 기판이 프로세스 챔버로 제공된다. 기판은 상부에 중착된 유전체, 도전성, 또는 반-도전성 재료와 같은 재료의 하나 이상의 층들을 갖는 웨이퍼들을 포함하는, 실리콘 웨이퍼, 예를 들어, 200- μm 웨이퍼, 300- μm 웨이퍼, 또는 450- μm 웨이퍼일 수도 있다. 패터닝된 기판은 하나 이상의 좁은 개구 및/또는 재차 들어간 (re-entrant) 개구들, 피쳐들 내 힙착부들 및 고 종횡비들을 특징으로 할 수도 있는, 비아들 또는 콘택트 홀들과 같은 "피쳐들"을 가질 수도 있다. 피쳐들은 상기 기술된 층들 중 하나 이상에 형성될 수도 있다. 피처의 일 예는 반도체 기판 또는 기판 상의 층 내 홀 또는 비아이다. 또 다른 예는 기판 또는 층의 트렌치이다. 다양한 실시예들에서, 피쳐는 배리어 층 또는 접착 층과 같은 하부-층을 가질 수도 있다. 하부-층들은 비-제한적인 예들은 유전체 층들 및 도전성 층들, 예를 들어, 실리콘 옥사이드들, 실리콘 나이트라이드들, 실리콘 카바이드들, 금속 옥사이드들, 금속 나이트라이드들, 금속 카바이드들, 및 금속 층들을 포함한다. 다양한 실시예들에서, 기판은 탄탈륨 또는 탄탈륨 유도체들을 포함한다. 일부 실시예들에서, 기판은 탄탈륨 나이트라이드, 또는 탄탈륨 및/또는 탄탈륨 나이트라이드의 2 이상의 층들을 포함한다.

[0094] 동작 603에서, 기판은 저 기판 온도에서 탄탈륨의 표면을 개질하도록 개질 가스에 노출된다. 이 동작 동안, 또는 가스를 도입하기 전이지만 기판을 프로세스 챔버에 제공한 후, 기판은 저온으로 냉각되고, 저온은 0 °C의, 거의 0 °C 또는 약 0 °C 미만, 예컨대 -30 °C 내지 약 0 °C의 온도이다.

[0095] 개질 가스는 개질 동안 인가된 에너지, 예컨대 저온이 개질 에너지 (표면을 개질하기 충분한 에너지) 와 탈착 에너지 사이의 에너지를 달성하도록 탄탈륨의 표면을 개질한다. 온도는 개질 가스가 탄탈륨과 반응하는 것을 방지하기 위해 낮게 유지되고, 이와 같이 반응은 ALE의 자기-제한 거동이 송해되는 것을 방지할 것이다. 예를 들어, 약 60 °C의 온도에서, 염소 가스에 노출될 때, 탄탈륨의 에칭은 발생할 것이고, ALE 프로세스를 발생되지 않는다.

[0096] 다양한 실시예들에서, 개질 가스 플로우는 기판으로 도입된 개질 가스의 양을 가변하기 위해 조절될 수도 있다. 기판은 임의의 적합한 노출 시간 동안 개질 가스에 노출될 수도 있다. 일부 실시예들에서, 기판은 탄탈륨의 표면 상에 개질 가스를 흡착시키기 충분한 노출 시간 동안 노출된다. 일부 실시예들에서, 노출 시간은 적어도 약 1 초, 또는 약 1 초 또는 약 2 초이다.

[0097] 일부 실시예들에서, 동작 603 동안, 플라즈마가 또한 탄탈륨의 개질된 표면을 형성하기 위해 점화된다. 플라즈마는 보다 고속의 흡착 동역학을 인에이블함으로써 흡착 시간을 상승시킨다. 예를 들어, 플라즈마는 개질 가스를 라디칼들로 변환함으로써 에너지 배리어 E_{des} 를 하강시킨다. 일부 실시예들에서, 염소-계 플라즈마가 이 동작 동안 생성될 수도 있다. 염소-계 플라즈마로부터 생성된 좋은 기판을 하우징하는 프로세스 챔버에서 플라즈마를 형성함으로써 인시츄로 생성될 수 있고 또는 기판을 하우징하지 않는 프로세스 챔버 예컨대 리모트 플라즈마 생성기에서 리모트로 생성될 수 있고, 기판을 하우징하는 프로세스 챔버 내로 공급될 수 있다. 다양한 실시예들에서, 플라즈마는 유도 커플링된 플라즈마 또는 용량 커플링된 플라즈마 또는 마이크로파 플라즈마일 수도 있다. 유도 커플링된 플라즈마에 대한 전력은 약 50 W 내지 약 2000 W, 예컨대 약 900 W에서 설정될 수도 있다. 전력은 기판의 직접 플라즈마 에칭을 유발하지 않도록 충분히 낮은 레벨로 설정될 수도 있다.

[0098] 개질 동작에서, 기판은 할로겐-함유 화학물질을 사용하여 개질될 수도 있다. 예를 들어, 기판이 염소를 챔버 내로 도입함으로써 염소화될 수도 있다. 염소가 개시된 실시예들에서 예시적인 개질 화학물질로서 사용되지만, 일부 실시예들에서, 상이한 개질 화학물질이 챔버 내로 도입된다는 것이 이해될 것이다. 예들은 브롬, 요오드,

육불화황, 실리콘 테트라플루오라이드, 및 삼염화붕소 (BCl_3) 를 포함한다.

- [0099] 동작 605에서, 챔버는 선택가능하게 펴지된다. 펴지 동작에서, 비-표면-결합 활성 염소 종은 프로세스 챔버로 부터 제거될 수도 있다. 이는 흡착된 층을 제거하지 않고, 비-흡착된 개질 화학물질을 제거하기 위해 프로세스 챔버를 펴지하고 그리고/또는 배기함으로써 이루어질 수 있다. 염소-계 플라즈마에서 생성된 종은 플라즈마를 중단하고 그리고 챔버의 펴지 및/또는 배기와 선택가능하게 조합하여 남아 있는 종으로 하여금 부식되게 함으로써 제거될 수 있다. 펴지는 임의의 불활성 가스 예컨대 N_2 , Ar, Ne, He, 및 이들의 조합들을 사용하여 이루어질 수 있다.
- [0100] 동작 607에서, 개질된 표면을 제거하기 위해 기판은 제거 가스에 노출되고 플라즈마가 점화된다. 다양한 실시 예들에서, 제거 가스는 아르곤이다. 일부 실시예들에서, 네온 또는 크립톤이 사용될 수도 있다. 제거 동작에서, 기판은 에너지가 표면 결합 에너지보다 낮도록 개질된 탄탈륨 표면을 탈착하기 충분하지만 탄탈륨을 스퍼터링하기 불충분한 에너지를 제공함으로써 기판을 에칭하기 위해 아르곤 또는 헬륨과 같은 에너지 소스 (예를 들어, 제거를 유도하는 활성화 또는 이온 충격 가스 또는 화학적으로 반응성 종) 에 노출될 수도 있다. 일부 실시예들에서, 제거는 등방성일 수도 있다. 일부 실시예들에서, 동작 607에서 개질된 표면은 기판 온도를 상승시킴으로써 제거될 수 있지만, 이러한 제거는 등방성이다. 예를 들어, 일부 실시예들에서, 열을 사용한 제거는 탈착을 위해 사용될 수도 있지만, 이러한 제거는 등방성일 수도 있다.
- [0101] 추정된 탈착 레이트는 보다 낮은 온도들보다 보다 높은 온도들에서 보다 낮고, 따라서, 다양한 실시예들에서, 플라즈마는 탈착 레이트를 상승시키도록 점화된다. 플라즈마로부터 생성된 이온들은 저온들에서 이방성 에칭을 사용하여 제거하게 한다. 이온들을 사용하는 것은 대안적인 기법으로 하여금 지향성으로 에칭을 수행하도록 그리고 Arrhenius 레이트 법칙에 종속되지 않는 에칭 프로세스를 수행하도록 에칭하게 한다. 일부 실시예들에서, 바이어스가 ALE에 의한 제거를 보조하기 위해 동작 607 및 동작 603 중 적어도 하나 동안 인가된다. 약 90 %의 에너지와 같은 상당한 에너지 손실이 충돌들로 인해 발생하고, 따라서 바이어스를 인가함으로써 이방성 에칭은 개질된 탄탈륨 층을 효과적으로 제거하기 위해 에너지 손실들을 극복하는 것을 돋는 것으로 이해될 것이다.
- [0102] 제거 동안, 바이어스가 지향성 이온 충돌을 용이하게 하도록 선택가능하게 인가될 수도 있다. 바이어스 전력은 스퍼터링은 방지하지만 제거 가스로 하여금 피처로 들어가게 하고 피처의 개구부에서 또는 개구부 근방에서 텅스텐을 에칭하게 하여 이를 개방하게 하도록 선택된다. 바이어스 전력은 활성화된 제거 가스와 기판 상에 증착된 금속의 문턱값 스퍼터링 수율에 따라 선택될 수도 있다. 본 명세서에 사용된 바와 같이 스퍼터링은 기판의 표면의 적어도 일부의 물리적 제거를 지칭할 수도 있다. 이온 충격은 기판의 표면 상으로 종의 물리적 충격을 지칭할 수도 있다.
- [0103] 동작 609에서, 챔버는 챔버로부터 반응된 부산물들을 제거하기 위해 선택가능하게 펴지된다. 챔버는 동작 605에 대해 상기 기술된 바와 같이 임의의 가스들 또는 기법들을 사용하여 펴지될 수도 있다.
- [0104] 도시된 바와 같이, 일부 실시예들에서, 동작들 603 내지 609는 기판으로부터 목표된 양의 탄탈륨을 에칭하기 위해 필요한 만큼 선택가능하게 반복될 수도 있다.
- [0105] 장치
- [0106] 특정한 실시예들에서, ALE (atomic layer etching) 동작들에 적합할 수도 있는 ICP 리액터들이 이제 기술된다. 이러한 ICP 리액터들은 또한 2013년 12월 10일 출원된, 명칭이 "IMAGE REVERSAL WITH AHM GAP FILL FOR MULTIPLE PATTERNING"인 미국 특히 출원 공보 제 2014/0170853 호에 기술되고, 전체 내용들이 모든 목적들을 위해 참조로서 본 명세서에 인용된다. ICP 리액터들이 본 명세서에 기술되었지만, 일부 실시예들에서, 용량 커플링된 플라즈마 리액터들이 또한 사용될 수도 있다는 것이 이해되어야 한다.
- [0107] 도 7은 본 명세서의 특정한 실시예들을 구현하기에 적절한 유도 커플링 플라즈마 에칭 장치 (700) 의 단면도를 개략적으로 도시하고, 이의 예는 CA, Fremont 소재의 Lam Research Corp.에 의해 생산된 Kiyo™리액터이다. 유도 커플링 플라즈마 장치 (700) 는 챔버 벽들 및 윈도우 (711) 에 의해서 구조적으로 구획된 전체 프로세스 챔버 (701) 를 포함한다. 챔버 벽들은 스테인레스 스틸 또는 알루미늄으로 제조될 수도 있다. 윈도우 (711) 는 석영 또는 다른 유전체 재료로 제조될 수도 있다. 선택가능한 내부 플라즈마 그리드 (750) 는 상부 서브-챔버 (702) 및 하부 서브-챔버 (703) 로 전체 프로세싱 챔버를 분할한다. 대부분의 실시예들에서, 플라즈마 그리드 (750) 는 제거될 수도 있고, 따라서, 서브-챔버들 (702 및 703) 로 이루어진 챔버 공간을 활용한다. 척

(717) 은 하단 내측 표면 근방에서 하부 프로세싱 챔버 (703) 내에 위치된다. 척 (717)은 예칭 및 증착 프로세스들이 수행되는 반도체 웨이퍼 (719)를 수용 및 홀딩하도록 구성된다. 척 (717)은 웨이퍼 (719)가 존재하는 경우에 웨이퍼 (719)를 지지하는 정전 척일 수 있다. 일부 실시예들에서, 예지 링 (미도시)이 척 (717)을 둘러싸며 척 (717) 위에 존재할 경우에 웨이퍼 (719)의 상단 표면과 대략 동일 평면에 있는 상부 표면을 갖는다. 척 (717)은 또한 웨이퍼 (719)를 척킹 및 디척킹하기 위한 정전 전극들을 포함한다. 필터 및 DC 클램프 전력 공급부가 이 목적을 위해서 제공될 수도 있다. 척 (717)으로부터 웨이퍼 (719)를 리프팅 (lifting)하기 위한 다른 제어 시스템들이 또한 제공될 수 있다. 척 (717)은 RF 전력 공급부 (723)를 사용하여 전기적으로 대전될 수 있다. RF 전력 공급부 (723)는 연결부 (727)를 통해 매칭 회로 (721)에 연결된다. 매칭 회로 (721)는 연결부 (725)를 통해 척 (717)에 연결된다. 이러한 방식으로, RF 전력 공급부 (723)는 척 (717)에 연결된다.

[0108] 플라즈마 생성을 위한 엘리먼트들은 윈도우 (711) 위에 위치된 코일 (733)을 포함한다. 일부 실시예들에서, 코일이 개시된 실시예들에서 사용되지 않는다. 코일 (733)은 전기적으로 도전성 재료로 제조되고, 적어도 1회의 완전한 턴 (turn)을 포함한다. 도 7에 도시된 코일 (733)의 예는 3회의 턴들을 포함한다. 코일 (733)의 단면도들은 심볼들로 도시되고, "X"를 갖는 코일들은 페이지 내로 회전하여 연장하는 한편, "●"을 갖는 코일들은 페이지로부터 회전하여 연장한다. 플라즈마 생성을 위한 엘리먼트들은 또한 코일 (733)에 RF 전력을 공급하도록 구성된 RF 전력 공급부 (741)를 포함한다. 일반적으로, RF 전력 공급부 (741)는 연결부 (745)를 통해 매칭 회로 (739)에 연결된다. 매칭 회로 (739)는 연결부 (743)를 통해 코일 (733)에 연결된다. 이러한 방식으로, RF 전력 공급부 (741)는 코일 (733)에 연결된다. 선택 가능한 Faraday 차폐부 (749)는 코일 (733)과 윈도우 (711) 사이에 위치된다. Faraday 차폐부 (749)는 코일 (733)에 대해 이격된 관계로 유지될 수도 있다. Faraday 차폐부 (749)는 윈도우 (711) 바로 위에 배치된다. 코일 (733), Faraday 차폐부 (749), 및 윈도우 (711)는 각각 서로 실질적으로 평행하도록 구성된다. Faraday 차폐부는 금속 또는 다른 종이 플라즈마 챔버 (701)의 유전체 윈도우 상에 증착되는 것을 방지할 수도 있다.

[0109] 프로세스 가스들 (예를 들어, 염소, 아르곤, 산소, 등)이 상부 챔버 (702) 내에 위치된 하나 이상의 주 가스 플로우 유입구들 (760)을 통해 그리고/또는 하나 이상의 측면 가스 플로우 유입구들 (770)을 통해 프로세스 챔버 (701) 내로 흐를 수도 있다. 유사하게, 명시적으로 도시되지 않지만, 프로세스 가스들을 용량 커플링 플라즈마 프로세싱 챔버로 공급하도록 유사한 가스 플로우 유입구들이 사용될 수도 있다. 진공 펌프, 예를 들어, 1 또는 2 단계 기계적 드라이 펌프 및/또는 터보분자 펌프 (740)가 프로세스 챔버 (701)로부터 프로세스 가스들을 유출하도록 그리고 프로세스 챔버 (701) 내에서 압력을 유지하도록 사용될 수도 있다. 예를 들어, 펌프는 ALE의 폐지 동작 동안 챔버 (701)를 배기하도록 사용될 수도 있다. 진공 펌프에 의해 제공된 진공 환경의 적용을 선택적으로 제어하도록 프로세스 챔버 (701)로 진공 펌프를 유체적으로 연결하도록 밸브-제어된 도관이 사용될 수도 있다. 이는 동작 중인 플라즈마 프로세싱 동안, 쓰로틀 밸브 (미도시) 또는 웜둘럼 밸브 (미도시)와 같은 폐루프 제어된 플로우 제한 디바이스를 채용함으로써 이루어질 수도 있다. 유사하게, 용량 커플링 플라즈마 프로세싱 챔버로의 진공 펌프 및 밸브 제어된 유체 연결이 또한 채용될 수도 있다.

[0110] 장치의 동작 동안, 하나 이상의 프로세스 가스들은 가스 플로우 유입구들 (760 및/또는 770)를 통해 공급될 수도 있다. 특정한 실시예들에서, 프로세스 가스들은 주 가스 플로우 유입구 (760)를 통해서만, 또는 측면 가스 플로우 유입구 (770)를 통해서만 공급될 수도 있다. 일부 경우들에서, 도면에 도시된 가스 플로우 유입구들은 보다 복잡한 가스 플로우 유입구들, 예를 들어 하나 이상의 샤퍼헤드들로 대체될 수도 있다. Faraday 차폐부 (749) 및/또는 선택 가능한 그리드 (750)는 챔버 (701)로의 프로세스 가스들의 전달을 허용하는 내부 채널들 및 홀들을 포함할 수도 있다. Faraday 차폐부 (749) 및 선택 가능한 그리드 (750) 중 하나 또는 모두는 프로세스 가스들의 전달을 위한 샤퍼헤드로서 역할을 할 수도 있다. 일부 실시예들에서, 일단 액체 반응물질 또는 전구체가 기화되면, 기화된 반응물질 또는 전구체는 가스 플로우 유입구 (760 및/또는 770)를 통해 챔버 (701) 내로 도입되도록, 액체 기화 및 전달 시스템이 챔버 (701)의 업스트림에 위치될 수도 있다. 예시적인 액체 전구체들은 $SiCl_4$ 및 실리콘 아마이드들을 포함한다.

[0111] RF 전류로 하여금 코일 (733)을 통해 흐르게 하도록 RF 전력 공급부 (741)로부터 코일 (733)로 RF 전력이 공급된다. 코일 (733)을 통한 RF 전류는 코일 (733)을 중심으로 전자기장을 생성한다. 전자기장은 상부 서브-챔버 (702) 내에 유도 전류를 생성한다. 웨이퍼 (719)와 다양한 생성된 이온들 및 라디칼들의 물리적 및 화학적 상호작용들은 웨이퍼의 피처들을 선택적으로 에칭한다.

[0112] 상부 서브-챔버 (702) 및 하부 서브-챔버 (703) 양자가 있도록 플라즈마 그리드가 사용되면, 상부 서브-챔버

(702) 내에서 전자-이온 플라즈마를 생성하도록 유도 전류는 상부 서브-챔버 (702) 내에 존재하는 가스에 작용한다. 선택가능한 내부 플라즈마 그리드 (750)는 하부 서브-챔버 (703) 내 핫 (hot) 전자들의 양을 제한한다. 일부 실시예들에서, 장치는 하부 서브-챔버 (703) 내에 존재하는 플라즈마가 이온-이온 플라즈마이도록 설계되고 동작된다.

[0113] 상부 전자-이온 플라즈마 및 하부 이온-이온 플라즈마는 모두 양이온 및 음이온을 포함할 수도 있지만, 이온-이온 플라즈마가 양이온들에 대한 음이온들의 보다 큰 비를 가질 것이다. 휘발성 에칭 및/또는 증착 부산물들은 포트 (722)를 통해 하부 서브-챔버 (703)로부터 제거될 수도 있다. 본 명세서에 개시된 척 (717)은 탄탈륨을 에칭하도록 기판을 프로세싱하기 위해 약 -200 °C 내지 약 600 °C 범위 또는 약 -20 °C 내지 약 250 °C의 온도들에서 동작할 수도 있고, 척 (717)은 약 0 °C 미만의 온도로 설정될 수도 있다. 온도는 사용된 툴 및 프로세스 동작 및 특정한 레시피에 종속될 것이다.

[0114] 챔버 (701)는 클린 룸 또는 제조 설비 내에 설치될 때 설비들 (미도시)에 커플링될 수도 있다. 설비들은 프로세싱 가스들, 진공, 온도 제어, 및 환경 입자 제어를 제공하는 플럼빙을 포함한다. 이들 설비들은 타깃 제조 설비 내에 설치될 때 챔버 (701)에 커플링된다. 부가적으로, 챔버 (701)는 로보틱스들로 하여금 통상적인 자동화를 사용하여 반도체 웨이퍼들을 장치 챔버 (701) 내외로 이송하게 하는 이송 챔버에 커플링될 수도 있다.

[0115] 일부 실시예들에서, (하나 이상의 물리적 제어기 또는 논리 제어기를 포함할 수도 있는) 시스템 제어기 (730)는 프로세싱 챔버의 동작들 중 일부 또는 전부를 제어한다. 시스템 제어기 (730)는 하나 이상의 메모리 디바이스들 및 하나 이상의 프로세서들을 포함할 수도 있다. 일부 실시예들에서, 장치는 개시된 실시예들이 수행될 때 플로우 레이트들 및 지속기간들을 제어하기 위한 스위칭 시스템을 포함한다. 일부 실시예들에서, 장치는 약 500 ms까지, 또는 약 750 ms까지의 스위칭 시간을 가질 수도 있다. 스위칭 시간은 플로우 화학물질 (chemistry), 선택된 레시피, 반응기 아키텍처, 및 다른 인자들에 종속될 수도 있다.

[0116] 일부 구현예들에서, 제어기 (730)는 상술한 예들의 일부일 수도 있는 시스템의 일부이다. 이러한 시스템들은, 프로세싱 툴 또는 툴들, 챔버 또는 챔버들, 프로세싱용 플랫폼 또는 플랫폼들, 및/또는 특정 프로세싱 컴포넌트들 (웨이퍼 폐데스탈, 가스 플로우 시스템, 등)을 포함하는, 반도체 프로세싱 장비를 포함할 수 있다. 이들 시스템들은 반도체 웨이퍼 또는 기판의 프로세싱 이전에, 프로세싱 동안에 그리고 프로세싱 이후에 그들의 동작을 제어하기 위한 전자장치에 통합될 수도 있다. 전자장치들은 시스템 또는 시스템들의 다양한 컴포넌트들 또는 하위부품들을 제어할 수도 있는 "제어기"로서 지정될 수도 있다. 제어기 (730)는, 시스템의 프로세싱 파라미터들 및/또는 타입에 따라서, 프로세싱 가스들의 전달, 온도 설정사항들 (예를 들어, 가열 및/또는 냉각), 압력 설정사항들, 진공 설정사항들, 전력 설정사항들, 무선 주파수 (RF) 생성기 설정사항들, RF 매칭 회로 설정사항들, 주파수 설정사항들, 플로우 레이트 설정사항들, 유체 전달 설정사항들, 위치 및 동작 설정사항들, 툴들 및 다른 이송 툴들 및/또는 특정 시스템과 연결되거나 인터페이싱된 로드록들 내외로의 웨이퍼 이송들을 포함하는, 본 명세서에 개시된 프로세스들 중 임의의 프로세스들을 제어하도록 프로그램될 수도 있다.

[0117] 일반적으로 말하면, 제어기 (730)는 인스트럭션들을 수신하고, 인스트럭션들을 발행하고, 동작을 제어하고, 세정 동작들을 인에이블하고, 엔드포인트 측정들을 인에이블하는 등을 하는 다양한 접적 회로들, 로직, 메모리, 및/또는 소프트웨어를 갖는 전자장치로서 규정될 수도 있다. 접적 회로들은 프로그램 인스트럭션들을 저장하는 펌웨어의 형태의 칩들, 디지털 신호 프로세서들 (DSP), ASIC (application specific integrated circuit)으로서 규정되는 칩들 및/또는 프로그램 인스트럭션들 (예를 들어, 소프트웨어)을 실행하는 하나 이상의 마이크로프로세서들, 또는 마이크로제어기들을 포함할 수도 있다. 프로그램 인스트럭션들은 반도체 웨이퍼 상에서 또는 반도체 웨이퍼에 대한 특정 프로세스를 실행하기 위한 동작 파라미터들을 규정하는, 다양한 개별 설정사항들 (또는 프로그램 파일들)의 형태로 제어기로 또는 시스템으로 전달되는 인스트럭션들일 수도 있다. 일부 실시예들에서, 동작 파라미터들은 하나 이상의 충들, 재료들, 금속들, 산화물들, 실리콘, 이산화 실리콘, 표면들, 회로들, 및/또는 웨이퍼의 다이들의 제조 동안에 하나 이상의 프로세싱 단계들을 달성하도록 프로세스 엔지니어에 의해 규정된 레시피의 일부일 수도 있다. 일부 실시예들에서, 제어기 (730)는 ALE의 개질 동작을 위한 온도 윈도우를 결정하도록, 또는 ALE의 제거 동작을 위한 프로세스 조건들의 윈도우를 결정하도록, 또는 둘 다를 위해 사용될 수도 있다.

[0118] 제어기 (730)는, 일부 구현예들에서, 시스템에 통합되거나, 시스템에 커플링되거나, 이와 달리 시스템에 네트워킹되거나, 또는 이들의 조합으로 될 수 있는 컴퓨터에 커플링되거나 이의 일부일 수도 있다. 예를 들어, 제어기는 웨이퍼 프로세싱의 원격 액세스를 가능하게 할 수 있는 공장 (fab) 호스트 컴퓨터 시스템의 전부 또는 일부이거나 "클라우드" 내에 있을 수도 있다. 컴퓨터는 제조 동작들의 현 진행을 모니터링하고, 과거 제조 동

작들의 이력을 조사하고, 복수의 제조 동작들로부터 경향들 또는 성능 계측치들을 조사하고, 현 프로세싱의 파라미터들을 변경하고, 현 프로세싱을 따르는 프로세싱 단계들을 설정하고, 또는 새로운 프로세스를 시작하기 위해서 시스템으로의 원격 액세스를 인에이블할 수도 있다. 일부 예들에서, 원격 컴퓨터 (예를 들어, 서버) 는 로컬 네트워크 또는 인터넷을 포함할 수도 있는 네트워크를 통해서 프로세스 레시피들을 시스템에 제공할 수 있다. 원격 컴퓨터는 차후에 원격 컴퓨터로부터 시스템으로 전달될 파라미터들 및/또는 설정사항들의 입력 또는 프로그래밍을 인에이블하는 사용자 인터페이스를 포함할 수도 있다. 일부 예들에서, 제어기 (730)는 하나 이상의 동작들 동안에 수행될 프로세스 단계들 각각에 대한 파라미터들을 특정한, 테이터의 형태의 인스트러션들을 수신한다. 이 파라미터들은 제어기 (730)가 제어하거나 인터페이싱하도록 구성된 툴의 타입 및 수행될 프로세스의 타입에 특정적일 수도 있다는 것이 이해되어야 한다. 따라서, 상술한 바와 같이, 제어기 (730)는 예를 들어 서로 네트워킹되어서 함께 공통 목적을 위해서, 예를 들어 본 명세서에 기술된 프로세스들 및 제어들을 위해서 협력하는 하나 이상의 개별 제어기들을 포함함으로써 분산될 수도 있다. 이러한 목적을 위한 분산형 제어기의 예는 챔버 상의 프로세스를 제어하도록 조합되는, (예를 들어, 플랫폼 레벨에서 또는 원격 컴퓨터의 일부로서) 원격으로 위치한 하나 이상의 집적 회로들과 통신하는 챔버 상의 하나 이상의 집적 회로들일 수 있다.

[0119] 비한정적으로, 예시적인 시스템들은 플라즈마 애칭 챔버 또는 모듈, 증착 챔버 또는 모듈, 스피-런스 챔버 또는 모듈, 금속 도금 챔버 또는 모듈, 세정 챔버 또는 모듈, 베벨 에지 애칭 챔버 또는 모듈, PVD (physical vapor deposition) 챔버 또는 모듈, CVD (chemical vapor deposition) 챔버 또는 모듈, ALD (atomic layer deposition) 챔버 또는 모듈, ALE 챔버 또는 모듈, 이온 주입 챔버 또는 모듈, 트랙 (track) 챔버 또는 모듈, 및 반도체 웨이퍼들의 제조 및/또는 제작 시에 사용되거나 연관될 수도 있는 임의의 다른 반도체 프로세싱 시스템들을 포함할 수도 있다.

[0120] 상기 주지된 바와 같이, 툴에 의해서 수행될 프로세스 단계 또는 단계들에 따라서, 제어기는, 반도체 제작 공장 내의 툴 위치들 및/또는 로드 포트들로부터/로 웨이퍼들의 컨테이너들을 이동시키는 재료 이송 시에 사용되는, 다른 툴 회로들 또는 모듈들, 다른 툴 컴포넌트들, 클러스터 툴들, 다른 툴 인터페이스들, 인접 툴들, 이웃하는 툴들, 공장 도처에 위치한 툴들, 메인 컴퓨터, 또 다른 제어기 또는 툴들 중 하나 이상과 통신할 수도 있다.

[0121] VTM (vacuum transfer module) (838) 과 인터페이싱하는 다양한 모듈들을 갖는 반도체 프로세스 클러스터 아키텍처를 도시한다. 복수의 저장 설비들 사이에서 웨이퍼들을 "이송"하기 위한 이송 모듈들 및 프로세스 모듈들의 장치는 "클러스터 툴 아키텍처" 시스템으로 지칭될 수도 있다. 또한 로드록 또는 이송 모듈로 공지된 에어록 (830) 이 4 개의 프로세싱 모듈들 (820a 내지 820d) 을 갖는 VTM (838) 내에 도시되고, 프로세싱 모듈들은 다양한 제조 프로세스들을 수행하도록 개별적으로 최적화될 수도 있다. 예로서, 프로세싱 모듈들 (820a 내지 820d) 은 기판 애칭, 증착, 이온 주입, 웨이퍼 세정, 스퍼터링, 및/또는 다른 반도체 프로세스들을 수행하도록 구현될 수도 있다. 하나 이상의 기판 애칭 프로세싱 모듈들 (820a 내지 820d 중 어느 하나) 이 본 명세서에 개시된 바와 같이, 즉, 개질 가스를 도입하기 위해, 제거 가스를 도입하기 위해, 그리고 개시된 실시예들에 따른 다른 적합한 기능들을 위해 구현될 수도 있다. 에어록 (830) 및 프로세스 모듈 (820) 은 "스테이션들"로 지칭될 수도 있다. 스테이션 각각은 스테이션을 VTM (838) 에 인터페이싱하는 패싯 (836) 을 갖는다. 패싯 각각 내부에서, 센서들 (1 내지 18) 은 웨이퍼가 각각의 스테이션들 사이에서 이동할 때 웨이퍼 (826) 의 통과를 검출하도록 사용된다.

[0122] 로봇 (822) 이 스테이션들 사이에서 웨이퍼 (826) 를 이송한다. 일 실시예에서, 로봇 (822) 은 하나의 암을 갖고, 또 다른 실시예에서, 로봇 (822) 은 2 개의 암들을 갖고, 암 각각은 이송을 위해 웨이퍼 (826) 와 같은 웨이퍼들을 페킹하기 위해 엔드 이펙터 (824) 를 갖는다. ATM (atmospheric transfer module) (840) 의 프론트 엔드 로봇 (832) 이 LPM (Load Port Module) (842) 의 FOUP (Front Opening Unified Pod) (834) 또는 카세트로부터 에어록 (830) 으로 웨이퍼들 (826) 을 이송하도록 사용된다. 프로세스 모듈 (820) 내부의 모듈 중심 (828) 은 웨이퍼 (826) 를 배치하기 위한 일 위치이다. ATM (840) 내 열라이너 (844) 가 웨이퍼들을 정렬하기 위해 사용된다.

[0123] 예시적인 프로세싱 방법에서, 웨이퍼는 LPM (842) 내 FOUP들 (834) 중 하나에 배치된다. 프론트엔드 로봇 (832) 은 FOUP (834) 로부터 웨이퍼 (826) 로 하여금 애칭되거나 프로세싱되기 전에 적절히 중심에 위치되게 하는, 열라이너 (844) 로 웨이퍼를 이송한다. 정렬된 후, 웨이퍼 (826) 는 프론트엔드 로봇 (832) 에 의해 에어록 (830) 내로 이동된다. 에어록 모듈들이 ATM과 VTM 사이의 분위기를 매칭하는 능력을 갖기 때문에, 웨이퍼 (826) 는 손상되지 않고 두 압력 분위기들 사이에서 이동할 수 있다. 에어록 모듈 (830) 로부터, 웨이퍼 (826) 는 로봇 (822) 에 의해 VTM (838) 을 통해 프로세싱 모듈들 (820a 내지 820d) 중 하나 내로 이동된다. 이 웨이

퍼 이동을 달성하기 위해, 로봇 (822) 은 암들 각각의 엔드 이펙터들 (824) 을 사용한다. 일단 웨이퍼 (826) 가 프로세싱되면, 웨이퍼는 로봇 (822) 에 의해 프로세싱 모듈들 (820a 내지 820d) 로부터 에어록 모듈 (830) 로 이동된다. 여기서부터, 웨이퍼 (826) 는 프론트엔드 로봇 (832) 에 의해 FOUNP들 (834) 중 하나 또는 얼라이너 (844) 로 이동될 수도 있다.

[0124] 웨이퍼 운동을 제어하는 컴퓨터는 클러스터 아키텍처에 로컬일 수 있거나 제조 플로어 내의 클러스터 아키텍처의 외부 또는 리모트 위치에 위치되고 네트워크를 통해 클러스터 아키텍처에 연결될 수 있다는 것을 주의한다. 도 7에 대하여 상기 기술된 바와 같은 제어기는 도 8의 툴을 사용하여 구현될 수도 있다.

[0125] 실험

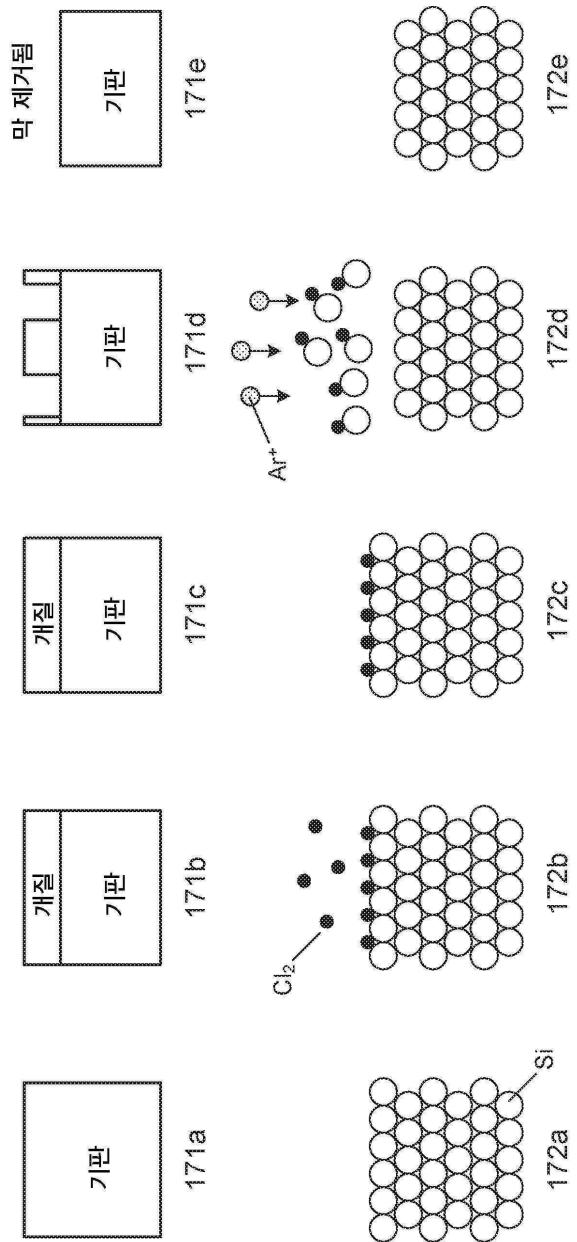
[0126] 도 9a 내지 도 9c는 디자이너 ALE의 일 예를 도시한다. 도 9a는 0 °C에서 반응이 억제될 수 있다는 것을 확정하는, 온도의 함수로서, 동작 A (개질) 를 도시한다. 이 설정점 기관 온도에서, 도 9c는 모두 디자이너 ALE에서 개질을 위해 염소 및 제거를 위해 아르곤을 수반하는, 2 번의 실험들에 기초한 바이어스 스캔을 도시한다. 원 플롯들은 40 사이클들의 ALE 동안 수집된 데이터를 나타낸다. 사각형 플롯들은 25 사이클들의 ALE 동안 수집된 데이터를 나타낸다. 원도우는 ~20 내지 90 eV인 것으로 확정된다. 계르마늄 ALE 원도우가 10 eV 폭 (in width) 이 되고 케이스 연구 실리콘 ALE 원도우가 20 eV 폭인 것과 비교하여 70 eV 원도우가 여기서 가장 큰 것으로 관찰된다. 도 9b는 시간 상 자기-제한 거동을 더 확정한다. 전체적으로, 시너지는 약 94 % 보다 크지만 편광해석법 오류로 인해 제한될 수도 있다. 전체적으로, 이 재료는 고 시너지 ALE 거동을 보인다. 탄탈륨이 약 60 °C 온도들에서 제어가능하지 않은 에칭 방식으로 매우 신속하게 반응된다는 것을 가정하지만 시너지 및 상대적인 에너지 값들을 계산한 후, 툴이 허용할 때 약 0 °C 미만 (예컨대 -200 °C 내지 약 0 °C) 에서 탄탈륨의 ALE를 수행하는 것은 자기-제한 에칭을 발생시킨다는 것은 놀랍다.

[0127] 결론

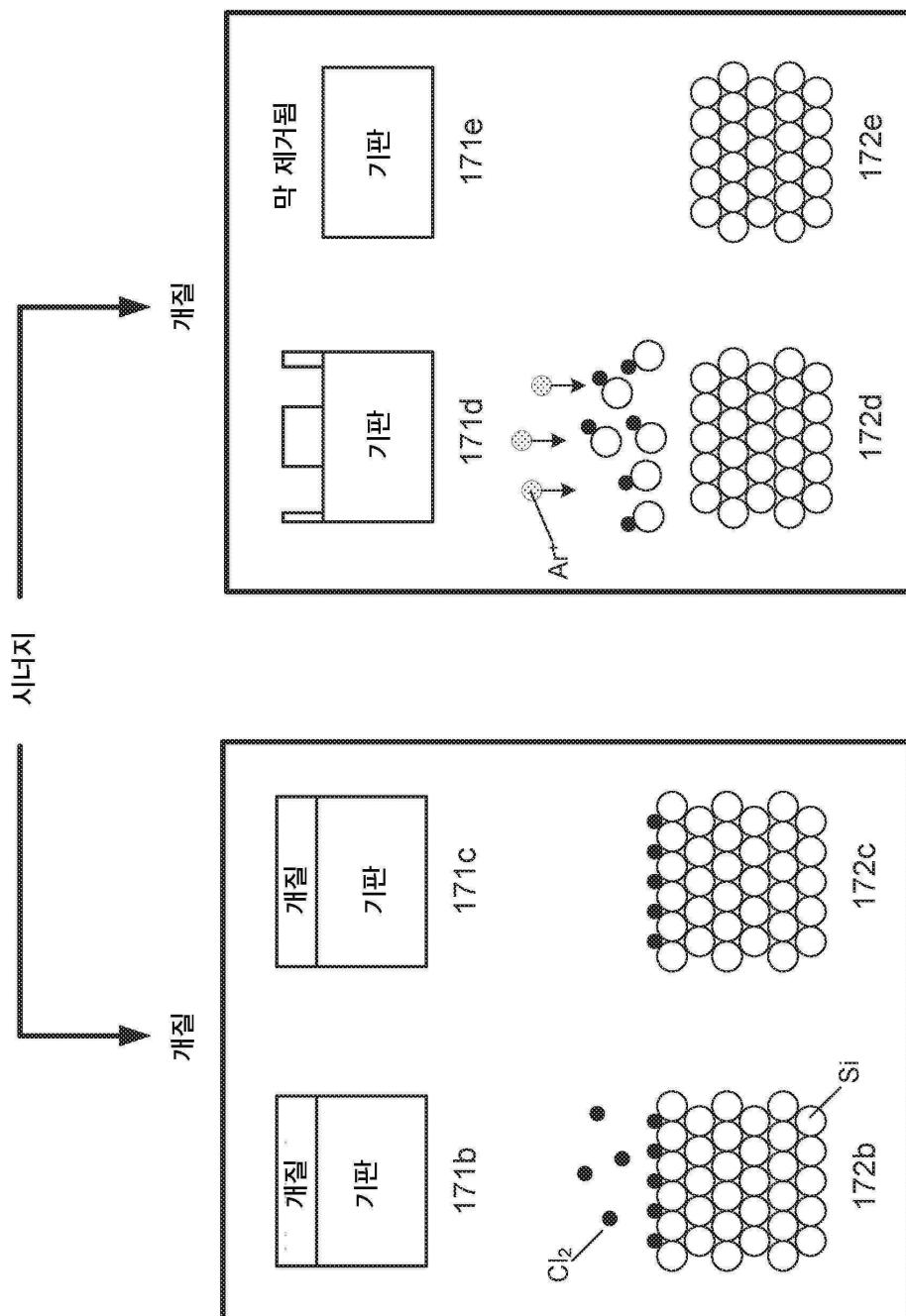
[0128] 전술한 실시예들이 이해의 명확성을 목적으로 다소 상세히 기술되었지만, 특정한 변화들 및 수정들이 첨부된 청구항들의 범위 내에서 실시될 수 있다는 것이 자명할 것이다. 본 실시예들의 프로세스들, 시스템들, 및 장치를 구현하는 많은 대안적인 방식들이 있다는 것을 주의해야 한다. 따라서, 본 실시예들은 예시적이고 제한하지 않는 것으로 간주되고, 실시예들은 본 명세서에 제공된 상세들로 제한되지 않는다.

도면

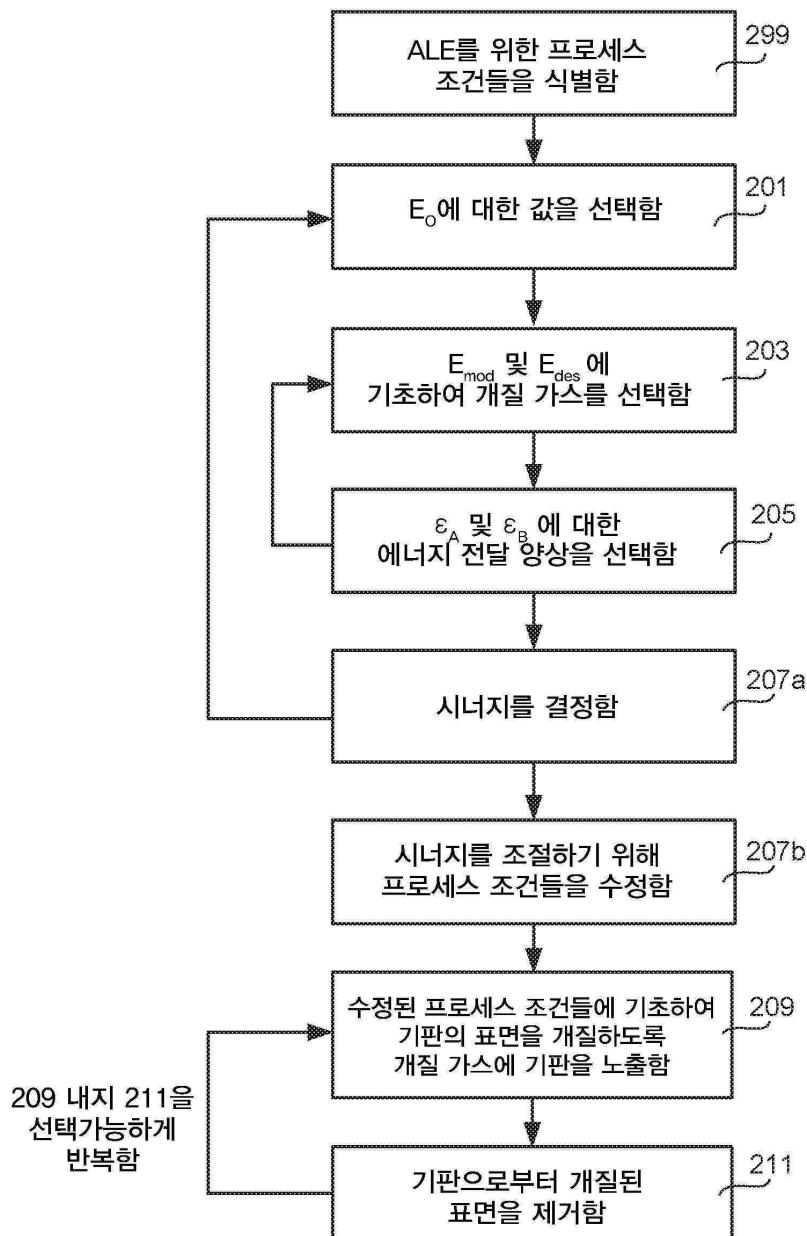
도면 1a



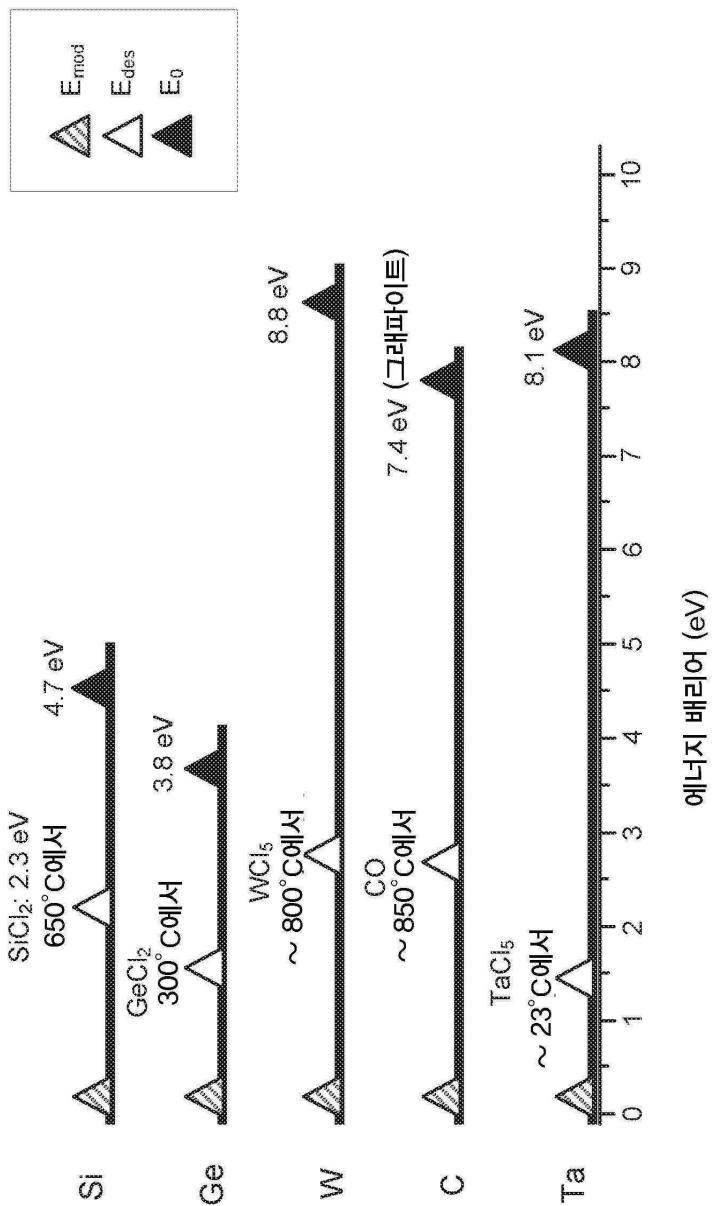
도면 1b



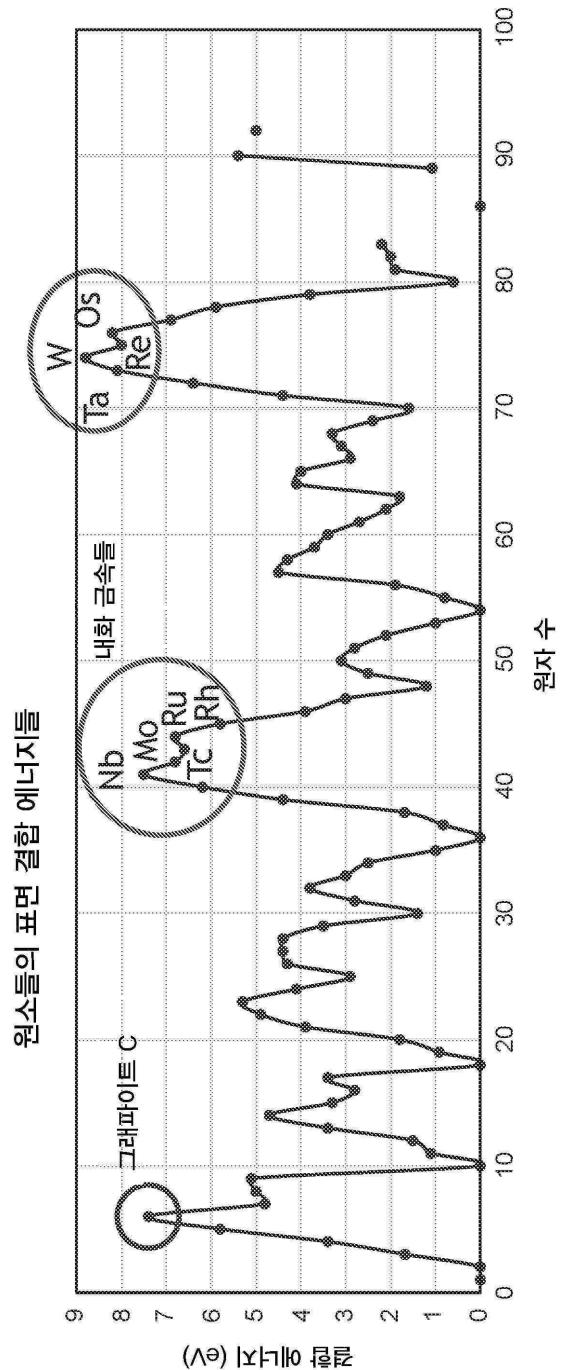
도면2



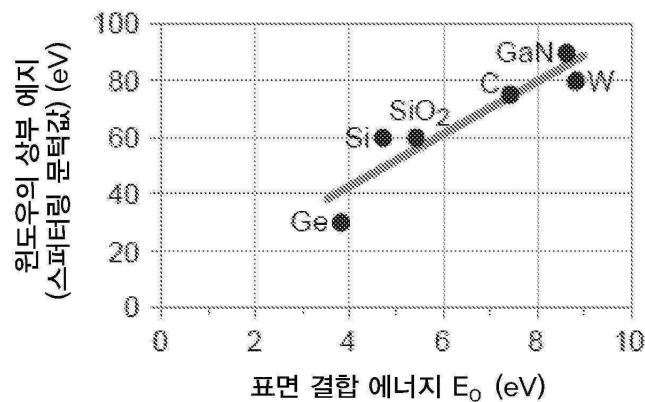
도면3



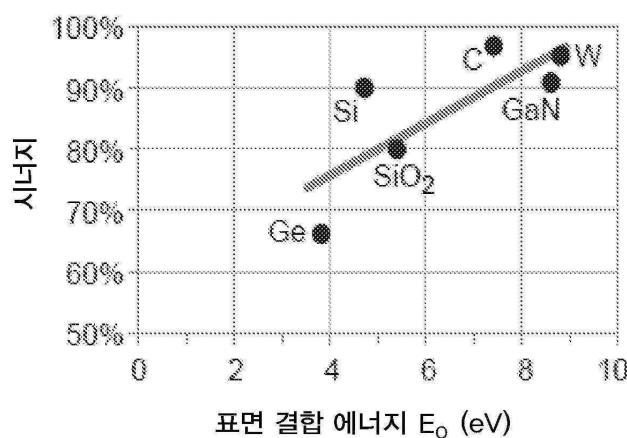
도면4



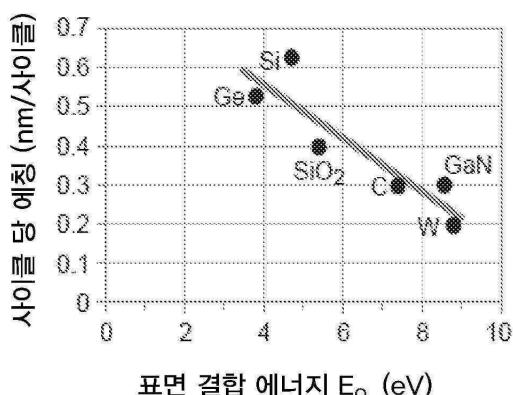
도면5a



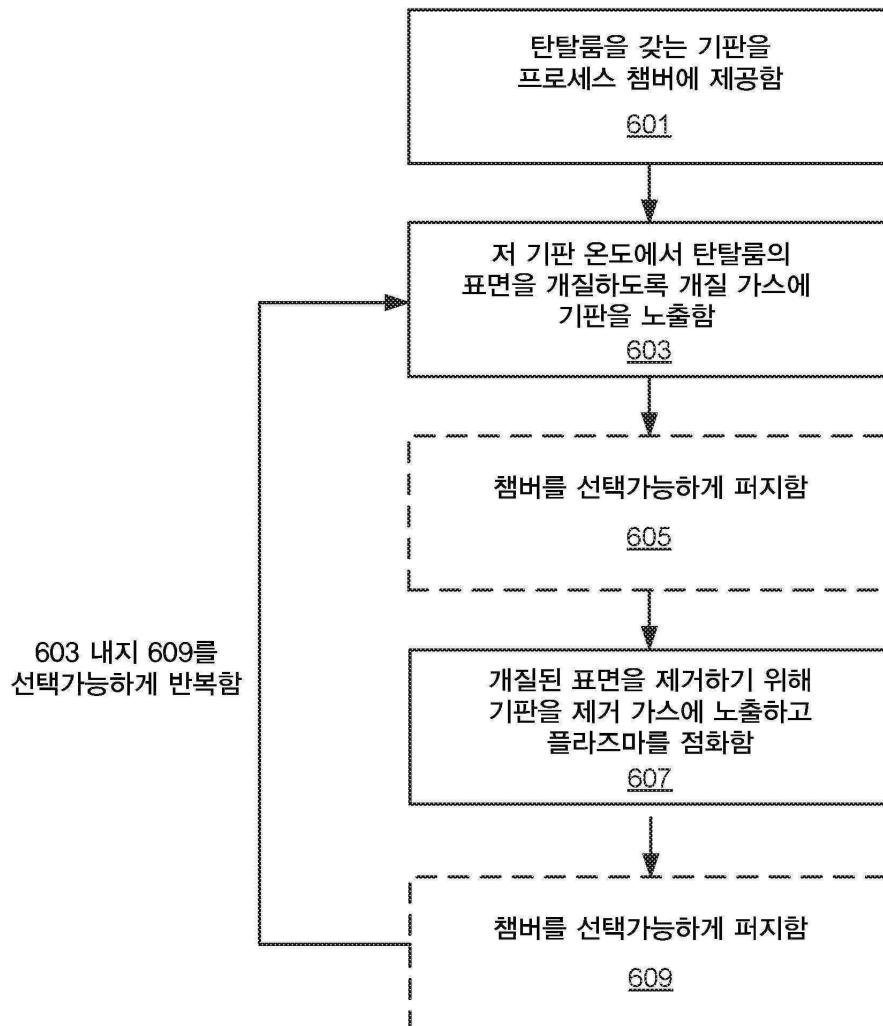
도면5b



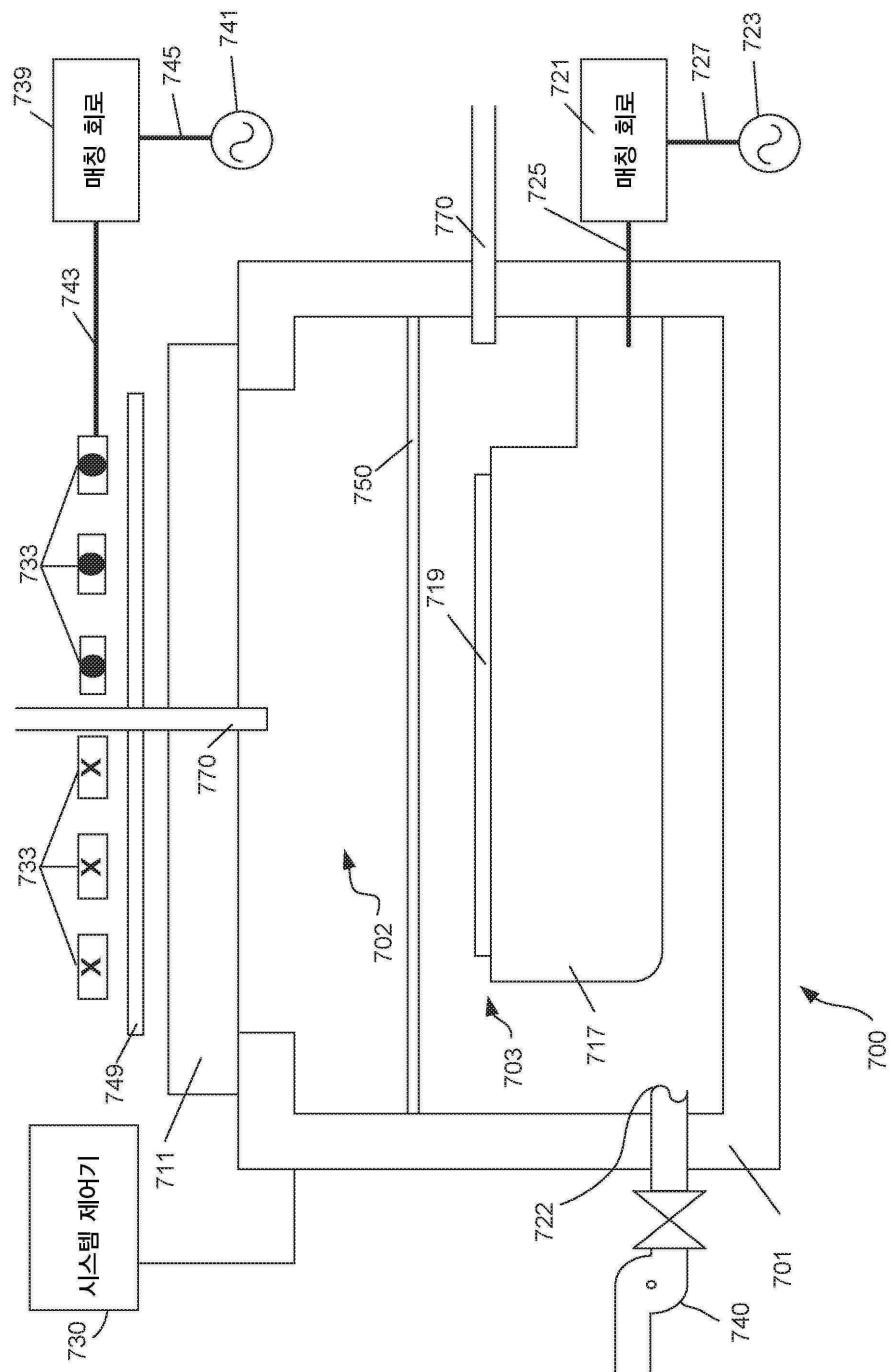
도면5c



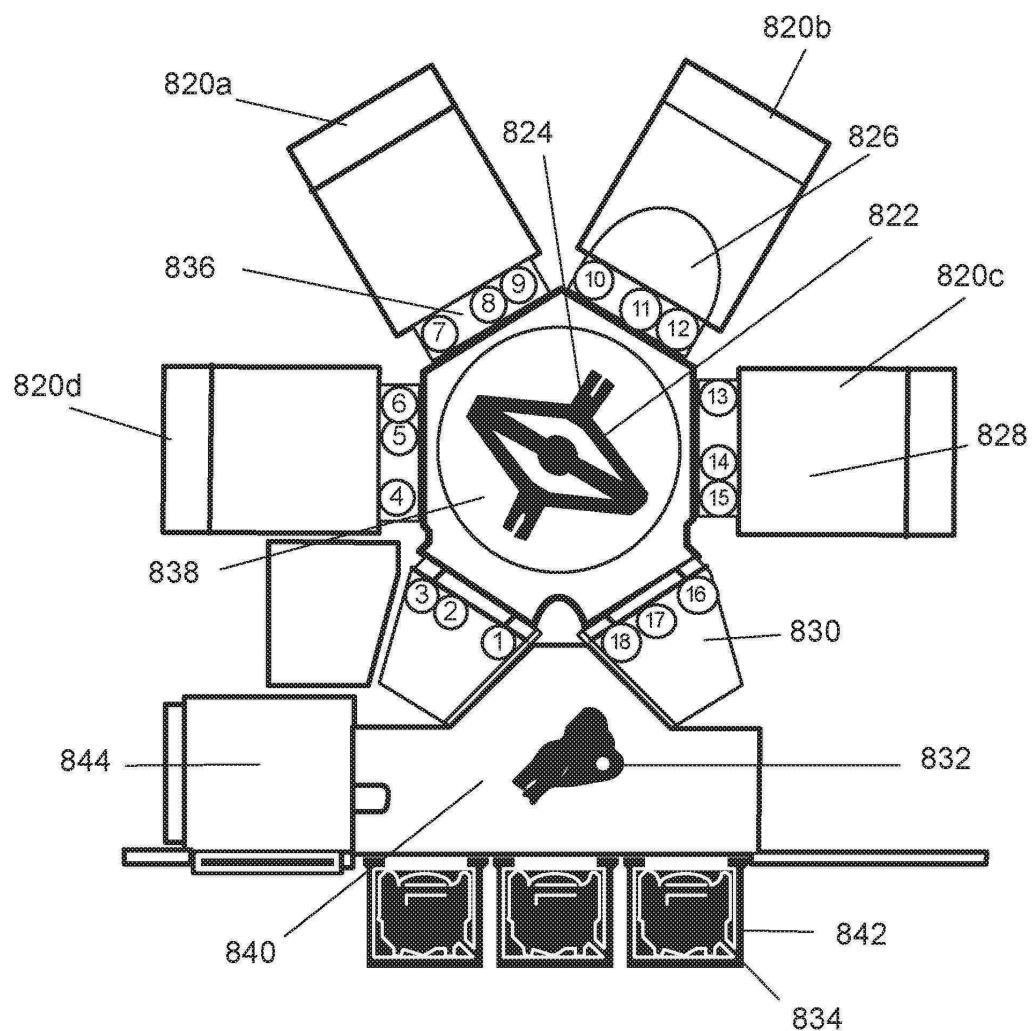
도면6



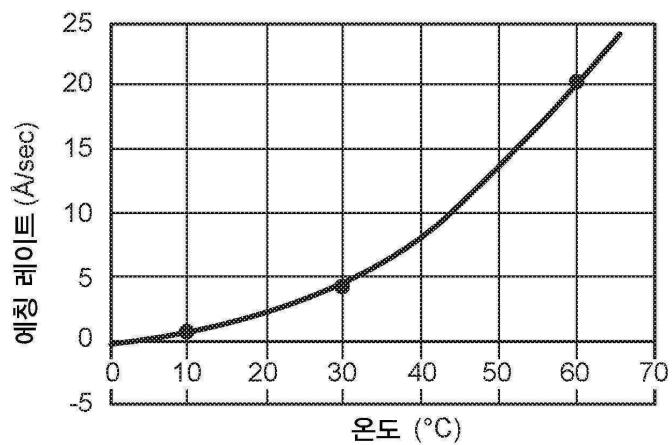
도면7



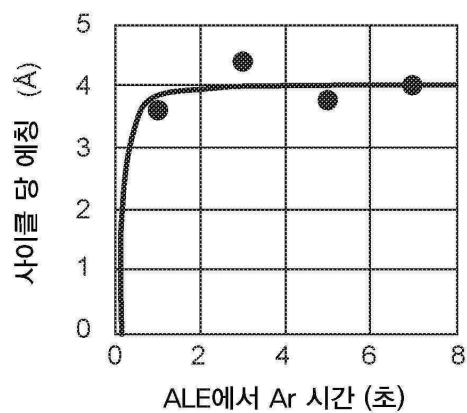
도면8



도면9a



도면9b



도면9c

