

1. 一种用于显示图像帧序列的方法,所述方法包括:

接收至少一个图像帧序列,其中所述至少一个图像帧序列的每一个被以更新速率 (U_r) 接收,并且与更新同步信号序列相关联;以及

以刷新速率 (R_r) 显示所述至少一个图像序列的每一个,其中 $R_r = U_r * [(N+1)/N]$;其中所述图像序列的每一个与驱动自所述更新同步信号的刷新同步信号序列相关联;

其中所述显示包括在多个显示器上显示;

其中,在所述显示之前,通过异步显示控制器向至少一个异步显示器发送刷新同步信号、至少一个图像序列的图像数据以及包括写命令和写地址的图像命令。

2. 权利要求 1 的方法,其中,所述显示包括在没有接收图像命令的同步显示器上显示所述至少一个图像序列的图像序列,以及在接收来自所述异步显示控制器的图像命令的异步显示器上显示所述至少一个图像序列的图像序列。

3. 权利要求 2 的方法,其中,大致同时生成第 N 个更新同步信号和第 $N+1$ 个刷新同步信号。

4. 权利要求 2 的方法,其中,所述方法包括接收所述更新同步信号序列并生成所述刷新同步信号的步骤。

5. 权利要求 2 的方法,其中,所述的接收步骤包括将每一图像帧写到帧缓冲器,并且其中,所述的显示步骤包括从所述帧缓冲器中提取所述图像。

6. 权利要求 2 的方法,其中,所述的接收步骤包括将每一图像帧发送到包括帧缓冲器的显示器,并且所述的显示步骤包括向所述显示器提供所述刷新同步。

7. 权利要求 2 的方法,其中,所述的接收步骤包括接收所述更新同步信号序列。

8. 权利要求 2 的方法,进一步包括:在显示图像帧之前,预处理每一图像帧。

9. 权利要求 2 的方法,其中,所述的接收步骤包括从图像传感器接收所述图像帧序列。

10. 权利要求 2 的方法,其中,所述的接收步骤包括从图像缓冲器中提取所述图像帧序列。

11. 权利要求 2 的方法,其中,所述的接收步骤包括在图像处理单元接收所述图像帧序列。

12. 权利要求 2 的方法,其中,在显示所述至少一个图像序列之前,向显示器提供伴随着 $N+1$ 个同步信号的 N 个图像帧的序列。

13. 权利要求 2 的方法,其中,在显示所述至少一个图像序列之前,响应于显示刷新指针的位置而控制更新指针,其中,所述更新指针和所述显示刷新指针都指向帧缓冲器中存储的图像数据。

14. 权利要求 2 的方法,还包括使用时间复用方案来仲裁对多个显示器的访问。

15. 权利要求 2 的方法,其中,所述显示包括在多个显示器上以 5 个窗显示所述至少一个图像序列的多个图像序列。

16. 一种用于显示图像帧序列的系统,该系统包括:

第一电路,适于接收至少一个图像帧序列,其中,所述至少一个图像帧序列的每一个被以更新速率 (U_r) 接收,且与更新同步信号序列相关联;以及

第二电路,适于控制所述至少一个图像序列的每一个以刷新速率 (R_r) 显示,其中 $R_r = U_r * [(N+1)/N]$;其中,所述图像序列的每一个与驱动自所述更新同步信号的刷新同步信号

序列相关联；

其中，所述第二电路包括异步显示控制器，所述异步显示控制器适于向至少一个异步显示器发送所述刷新同步信号和所述至少一个图像序列的图像数据，以及适于向所述至少一个异步显示器发送包括写命令和写地址的图像命令；

其中，所述第二电路还适于控制在多个显示器上的显示。

17. 权利要求 16 的系统，其中，所述第二电路还适于控制在没有接收图像命令的同步显示器上的所述至少一个图像序列的图像序列的显示，以及还适于控制在接收来自所述异步显示控制器的图像命令的异步显示器上的所述至少一个图像序列的图像序列的显示。

18. 权利要求 17 的系统，适于大致同时生成第 N 个更新同步信号和第 N+1 个刷新同步信号。

19. 权利要求 17 的系统，适于接收所述更新同步信号序列并生成所述刷新同步信号。

20. 权利要求 17 的系统，其中，系统包括帧缓冲器，以促进图像帧的读和写。

21. 权利要求 17 的系统，其中，所述第二电路适于将每一图像帧发送到包括帧缓冲器的显示器，并且适于向所述显示器提供所述刷新同步。

22. 权利要求 17 的系统，适于接收所述更新同步信号序列。

23. 权利要求 17 的系统，进一步包括图像转换器，其连接到所述第一电路，用于在显示图像帧之前，预处理每一图像帧。

24. 权利要求 17 的系统，其中，所述的第一电路适于从图像传感器接收所述图像帧序列。

25. 权利要求 17 的系统，其中，所述的第一电路适于从图像缓冲器中提取所述图像帧序列。

26. 权利要求 17 的系统，还适于向显示器提供伴随着 N+1 个同步信号的 N 个图像帧的序列。

27. 权利要求 17 的系统，还适于响应于显示刷新指针的位置而控制更新指针，其中，所述更新指针和所述显示刷新指针都指向在帧缓冲器中存储的图像数据。

28. 权利要求 17 的系统，还适于使用时间复用方案来仲裁对多个显示器的访问。

29. 权利要求 17 的系统，还适于控制在多个显示器上以 5 个窗显示所述至少一个图像序列的多个图像序列。

用于显示图像帧序列的方法和系统

技术领域

[0001] 本发明涉及用于显示图像帧序列的方法和系统,尤其是用于防止在刷新速率高于更新速率的系统中的图像分裂。

背景技术

[0002] 图像分裂 (image tearing) 出现于各种场合,通常是对共享图像存储器进行异步读和写操作时发生。

[0003] Ishibashi 等的题为“Display controller with motion picture displayfunction,computer system,and motion picture display control method”的美国专利 6489933,在此通过引用合并进来,描述了一种 VGA 控制器,其具有通过模式和 VRAM 模式作为运动图像显示模式,可以通过控制开关来选择这些显示模式之一。在通过模式中,从视频端口接口输入的视频数据可以直接输出到 NTSC/PAL 编码器而无需 VRAM 的介入。在此模式中,可以在 TV 上以其原始质量显示原始视频数据。另一方面,在 VRAM 模式中,屏幕显示的刷新速率与视频数据的垂直同步频率进行匹配,可以获得无“分裂”的高质量图像。

[0004] Eglit 的题为“Display unit displaying images at a refresh rate less than the rate at which the images are encoded in a received display signal”的美国专利 6054980,在此通过引用合并进来,描述了一种显示单元,其接收具有以编码速率 (FRs) 编码的源图像帧的显示信号。显示屏幕可以以小于编码速率的刷新速率进行刷新。实际刷新速率 (FRd) 确定为使得 $FRs/FRd = (N+1)/N$ 。为了满足这个公式,实际刷新速率 (FRd) 可以选择为与显示屏幕所支持的目标刷新速率略微不同。表示源图像帧 (以 FRs 接收) 的像素数据元素可以写入帧缓冲器,可以以由刷新速率 FRd 确定的频率来提取这些像素数据元素。但是,每第 (N+1) 个源图像帧的至少一部分不写入帧缓冲器,以避免图像分裂问题。

[0005] Matsushita 的题为“Image processing apparatus and method of the same, and display apparatus using the image processing apparatus”的美国专利申请 20020021300,在此通过引用合并进来,描述了一种图像处理装置及其方法,以及一种显示装置,能够避免场分裂 (存储器溢出) 的发生,即使是在针对单一图像存储器进行输入/输出图像的读操作和写操作时,其中,提供一种系统 MC,用于生成和供应输出延迟数据,以便基于对图像存储器的写速度、对图像存储器的读速度以及读取区域而延迟图像输出定时,使得对读取端地址的访问的定时 (或者对读取开始地址的访问的定时) 与用于对相同地址进行写操作的定时匹配,还提供一种扫描转换器,用于接收系统 MC 所供应的输出延迟数据并且延迟图像输出定时,使得对读取端地址的方法的定时与用于对相同地址进行写操作的定时匹配。

[0006] 需要提供一种有效的系统和方法来防止分裂,尤其是在刷新速率超过更新速率时。

发明内容

[0007] 本发明提供一种用于在图像帧的更新速率低于图像帧的刷新速率时防止图像分

裂的系统和方法。方便之处在于,该方法和系统通过使用单独一个帧缓冲器而不是双帧缓冲器就能防止图像分裂。

[0008] 该系统可以包含在一个片上系统中,并且可以方便地包括连接到主处理单元的图像处理单元。

[0009] 本发明提供一种用于显示图像帧序列的系统,该系统包括:(i) 第一电路,适于以更新速率(U_r)接收图像帧序列,图像帧序列与更新同步信号序列相关联;以及(ii) 第二电路,适于控制图像序列以刷新速率(R_r)显示,其中 $R_r = U_r * [(N+1)/N]$;其中,图像序列与从更新同步信号驱动的刷新同步信号序列相关联。

[0010] 本发明提供一种用于显示图像帧序列的方法,该方法包括:(i) 以更新速率(U_r)接收图像帧序列,图像帧序列与更新同步信号序列相关联;以及(ii) 以刷新速率(R_r)显示图像序列,其中 $R_r = U_r * [(N+1)/N]$,并且其中,图像序列与从更新同步信号驱动的刷新同步信号序列相关联。

附图说明

[0011] 通过下面的详细说明,并结合附图,将更全面地理解和认识本发明,在附图中:

[0012] 图 1 是根据本发明实施例的片上系统的示意图;

[0013] 图 2 是根据本发明实施例的异步显示控制器的示意图;

[0014] 图 3 图示说明根据本发明实施例的包括两个窗的示例显示帧;

[0015] 图 4a-4b 图示说明根据本发明各种实施例的两种类型的访问通道;

[0016] 图 5 图示说明根据本发明实施例的第三类型访问通道;

[0017] 图 6 图示说明根据本发明实施例的用于显示图像帧序列的方法;以及

[0018] 图 7-8 是图示说明根据本发明各种实施例的图像帧更新和刷新过程的进行的定时图,其中 $N = 1$ 。

具体实施方式

[0019] 图 1 图示说明了片上系统 10,其包括外部存储器 420、处理器 100 和图像处理单元 (IPU) 200。处理器 100 包括 IPU 200 以及主处理单元 400。主处理单元 400 (也称为“通用处理器”、“数字信号处理器”或就是“处理器”)能够执行指令。

[0020] 片上系统 10 可以安装在蜂窝电话或其他个人数据助理与促进多媒体的应用中。

[0021] IPU 200 的特征在于,与主处理单元 400 相比具有低能量消耗水平,并且能够执行多任务而不涉及主处理单元 400。IPU 200 能够通过利用其自身的图像直接存储访问控制器 (IDMAC) 280 访问各种存储器,能够支持各种类型的多显示 (同步和异步、具有串行接口或并行接口),并且支持控制和定时功能,其允许例如在显示图像帧的同时防止图像分裂。

[0022] IPU 200 通过独立控制可在长时期内重复的各个操作 (诸如显示刷新、图像获取),同时允许主处理单元 400 进入空闲模式或管理其他任务,减小了片上系统 10 的电力消耗。在某些情况下,主处理单元 400 参与图像处理步骤 (例如,如果需要进行图像编码),但并不必需这样。

[0023] IPU 200 部件可以用于各种用途。例如, IDMAC 280 用于视频获取、图像处理和数据传输以显示。IPU 200 包括图像转换器 230,其能够处理来自摄像机 300、内部存储器 430

或外部存储器 420 图像帧。

[0024] 片上系统 10 包括多个部件,以及多个指令、控制和数据总线。为简化解释说明,只显示了主要的数据总线与单独一条指令总线。

[0025] 根据本发明的各种实施例,IPU 200 能够进行各种图像处理操作,并且与诸如图像传感器、摄像机、显示器、编码器等的外部设备进行连接。IPU 200 比主处理单元 400 小得多,并且消耗更少的电力。

[0026] IPU 200 具有硬件滤波器 240,其能够进行各种滤波操作,诸如解块 (de-blocking) 滤波、解环 (de-ringing) 滤波等。用于进行所述滤波操作的各种现有技术方法是本领域中已知的,并且不需要额外的解释。

[0027] 通过由滤波器 240 而不是主处理单元 400 进行解块滤波操作,IPU200 减小了主处理单元 400 的计算负担。在一种操作模式中,滤波器 240 可以通过与主处理单元 400 并行操作而加速图像处理过程。

[0028] IPU 200 包括控制模块 210、传感器接口 220、图像转换器 230、滤波器 240、IDMAC 280、同步显示控制器 250、异步显示控制器 260 以及显示接口 270。

[0029] IPU 200 具有第一电路,其可至少包括传感器接口 220,但也可包括额外的部件,诸如 IDMAC 280。第一电路适于以更新速率 (U_r) 接收图像帧序列。IPU 200 还包括第二电路,其可至少包括异步显示控制器 260。第二电路适于控制图像序列以刷新速率 (R_r) 进行显示,其中 $R_r = U_r * [(N+1)/N]$ 。

[0030] 传感器接口 220 一端连接到诸如摄像机 300 的图像传感器,另一端连接到图像转换器 230。显示接口 270 连接到同步显示控制器 (SDC) 250 并且并行连接到异步显示控制器 (ADC) 260。显示接口 270 适于连接到多个设备,诸如但不限于,TV 编码器 310、图形加速器 320、以及显示器 330。

[0031] IDMAC 280 促进 IPU 200 各种模块对诸如内部存储器 430 和外部存储器 420 的存储器组的访问。IDMAC 280 一方面连接到图像转换器 230、滤波器 240、SDC 250 和 ADC 260,另一方面连接到存储器接口 410。存储器接口 410 连接到内部存储器 430,并且附加地,或者替换地,连接到外部存储器 420。

[0032] 传感器接口 220 从摄像机 300 或从 TV 解码器 (未示出) 获取图像数据。获取的图像数据被安排为图像帧,并且可以被发送到图像转换器 230 用于预处理或者后处理,但对获取的数据图像也可以不施加任何上述操作就发送到 IDMAC 280,然后再通过存储器接口 410 发送到内部存储器 430 或外部存储器 420。

[0033] 图像转换器 230 能够预处理来自传感器接口 220 的图像数据或者后处理从外部存储器 420 或内部存储器 430 中提取的图像数据。预处理操作与后处理操作包括小型化、调整大小、色空间转换 (例如 YUV 到 RGB、RGB 到 YUV、YUV 到另一 YUV)、图像旋转、上 / 下和左 / 右翻转图像、以及将视频图像与图片进行组合。

[0034] 显示接口 270 能够使用时间复用方案来仲裁对多个显示器的访问。其将图像数据从 SDC 250、ADC 260 和主处理单元 400 转换为适合于连接到其上的显示器的格式。还要适于生成控制和定时信号并且将这些信号提供给显示器。

[0035] SDC 250 支持在诸如无声显示器和无存储显示器的同步显示器上、以及在电视 (通过 TV 编码器) 上显示视频和图片。ADC 260 支持在智能显示器上显示视频和图片。

[0036] IDMAC 280 具有多个 DMA 通道并且管理对内部和外部存储器 430 和 420 的访问。

[0037] 图 2 是根据本发明的 ADC 260 的示意图。

[0038] ADC 260 包括主处理单元从属接口 261, 其一方面连接到主处理单元总线并且连接到异步显示缓冲器控制单元 (ADCU) 262。ADCU 262 还连接到异步显示缓冲器存储器 (ADM) 263、连接到数据和命令组合器 (组合器) 264 以及连接到访问控制单元 265。访问控制 265 还连接到模板命令生成器 266, 然后又连接到模板存储器 268。

[0039] ADC 260 可以从三个源接收图像数据: 主处理单元 400 (经由主处理单元从属接口 261)、内部或外部存储器 430 和 420 (经由 IDMAC280 和 ADCU 262)、或者来自摄像机 300 (经由传感器接口 220、IDMAC280 和 ADCU 262)。

[0040] ADC 260 发送图像数据、图像命令和刷新同步信号到异步显示器, 诸如显示器 330。图像命令可以包括读/写命令、地址、垂直延迟、水平延迟等。每一图像数据单元 (诸如图像数据字、字节; 长字等) 可以与命令相关联。ADC 260 可以支持 X,Y 寻址或全线性寻址。命令可以从命令缓冲器 (未示出) 中提取或者由模板命令生成器 266 从模板存储器 268 中提供。命令与图像数据通过数据和命令组合器 264 进行组合。模板包括由每次执行一个数据突发的主处理单元 400 写入模板存储器 268 的命令序列, 其被发送到智能显示器 (或从中读取)。

[0041] ADC 260 通过维持多达 5 个访问通道从而能够在不同显示器上支持多达 5 个窗。两个系统通道使显示图像能够储存在内部或外部存储器 420 和 430 中。另一通道允许显示图像由主处理单元提供。两个附加的通道允许显示图像来自摄像机 300 (不处理或者经过预处理)。

[0042] 每个窗的特征在于其长度宽度及其起始地址。每个窗的起始地址储存在 ADC 260 可访问的寄存器中, 方便地, 是指刷新同步信号, 诸如 VSYNCr。起始地址类似 VSYNCr 脉冲与帧开始之间的延迟。图 3 图示说明了根据本发明实施例的示例显示帧 500, 其包括两个窗 510 和 520。显示帧 500 具有起始地址, 在生成 VSYNCr 脉冲时对该起始地址进行访问。第一窗 510 具有起始地址 511, 对应于 VSYNCr 脉冲之后的预定延迟。显示帧 500 具有预定高度 (SCREEN_HEIGHT 504) 和宽度 (SCREEN_WIDTH 502), 第一窗 510 特征在于其预定高度 514 和宽度 516, 第二窗 520 特征在于其预定高度 524 和宽度 526。每个窗由来自单独访问通道的图像数据刷新。

[0043] ADC 260 所支持的 5 个访问通道可以划分为两种类型。第一类型包括提取从摄像机 300 获取的图像数据, 其中图像帧是以预定更新速率 U_r 提供的。第二类型包括从存储器中, 提取图像帧, 例如在视频回放期间, 其提取方式是由 IPU 200 全面控制的。根据本发明另一实施例, 由摄像机 300 或存储器组提供的图像帧在提供给 ADC 260 之前还可以由滤波器 430 进行滤波。

[0044] 图 4a 图示说明了根据本发明实施例的第一类型访问通道。为了简化解释说明, 进一步忽略了多个组件和总线。访问通道包括在传感器接口 220 接收图像帧 (标为 A); 发送图像数据到图像转换器 230 (标为 B), 其中图像数据可以进行预处理或者保持不变; 经由 IDMAC 280 向存储器组提供图像数据 (标为 C1), 从存储器组提取图像数据到 ADC260 (标为 C2); 最后, 经由显示接口 270 向显示器 330 提供图像数据 (标为 D)。如果显示器不包括帧缓冲器, 对于图像传感器所获取的每 N 个图像帧, IPU 200 提供 N+1 个图像帧。图 4a 还图

示说明了同步信号 VSYNCu 500 和 VSYNCr 510 这两个序列。注意,序列 VSYNCu 500 特征在于更新速率 U_r ,序列 VSYNCr 510 特征在于刷新速率 R_r ,其中 $U_r/R_r = (N+1)/N$ 。每一同步信号对图像帧的写或读进行了同步。

[0045] 图 4b 图示说明了第二类型的访问信道,其适于向包括显示面板 334 与内部缓冲器 332 的显示器 330 提供图像帧。IPU 200 向显示器 330 提供 N 个图像帧的序列,其伴随着 N+1 个同步信号。显示面板 334 显示从 IPU 提供的图像(标为 D1),而且在内部缓冲器 332 储存图像(标为 D2)。

[0046] 注意,由于刷新速率 R_r 高于更新速率 U_r ,在更新帧缓冲器的内容之前,储存在帧缓冲器的图像帧可以被读取一次以上。

[0047] 图 5 图示说明了根据本发明实施例的第三类型访问通道。为了简化解释说明,进一步忽略了多个部件和总线。该访问通道包括从外部存储器 420 提取图像帧到 IDMAC 280(标为 A);发送图像数据到图像转换器 230(标为 B),其中图像数据经过后处理;经由 IDMAC 280 向 ADC 260 提供图像数据(标为 C);最后,经由显示接口 270 向显示器 330 提供图像数据(标为 D)。

[0048] 第三类型访问通道可以防止由于双缓冲方法而造成的分裂,在双缓冲方法中,第一缓冲器用于写图像数据,第二缓冲器用于读图像数据,而缓冲器的角色交替改变。注意,发送到 ADC 260 的图像帧可以源自摄像机 300。因此,在图 5 的步骤 A 之前,具有预备步骤,诸如由传感器接口 220 获取图像帧、将其发送到 IDMAC 280(由图像转换器 230 进行或不进行预处理)、将其发送到诸如内部或外部存储器 430 和 420 的存储器。

[0049] 方便地,ADC 260 通过响应于显示刷新指针的位置而控制更新指针,来防止从存储器模块(诸如存储器模块 420 和 430)提取或者在由图像转换器 230 进行后处理之后的图像发生分裂。显示刷新指针指向发送到显示器的图像数据(储存在帧缓冲器中),而更新指针指向帧缓冲器从存储器模块接收图像数据的区域。只有在显示刷新指针跨越窗起始点之后,才从帧缓冲器中读取图像数据。直到帧结束,都不允许更新指针超越刷新指针。

[0050] 当从存储器提取数据到智能显示器时,IPU 200 可以允许探听以便限制对存储器的访问量以及对智能显示器的写操作数量。智能显示器具有缓冲器,并且能够刷新自身。只有当前图像帧不同于以前的图像帧时,当前图像帧才会被发送到显示器。系统 10 可以包括用于进行比较的装置(通常是专用硬件)。比较的结果被发送到 IPU 200,IPU 200 可以决定发送更新图像数据到显示器,或者如果必要,发送适当中断到主处理单元 400。IPU 200 还可以周期性监控所述装置的输出,以确定是否接收到更新图像数据。

[0051] 从摄像机 300 提取并直接或在预处理后发送到显示器的图像帧的显示更加复杂。这个复杂性源于以更新速率 U_r 发生的严格更新周期。更新周期可以由摄像机 300 或其他图像源的提供商规定。

[0052] 发明人发现,如果在新时期的刷新速率 R_r 和更新速率 U_r 之间保持比率 $(N+1)/N$,就可以通过使用单独一个缓冲器而不是双缓冲器来防止分裂。方便地, $N = 1$,但不是必需这样。

[0053] 方便地,每 N 个更新周期,更新周期在与对应刷新周期大致相同的时刻开始。

[0054] 单独一个缓冲器可以包括在显示器中或者组成系统 10 的一部分。

[0055] 刷新周期和更新周期可以通过互相得到的同步信号而彼此同步。例如,假定刷新

过程通过垂直同步信号 VSYNCu 而同步,则 IPU 200 可以生成对应的 VSYNCr 信号来同步刷新过程。该生成处理是由异步显示适配器 267 完成的,其可以应用生成 VSYNCr 的各种公知方法。

[0056] 图 6 图示说明了根据本发明实施例的用于显示图像帧序列的方法 600。

[0057] 方法 600 开始于步骤 610,以更新速率 (U_r) 接收图像帧序列。图像帧序列与更新同步信号序列相关联。

[0058] 步骤 610 之后是步骤 640,以刷新速率 (R_r) 显示图像帧序列,其中 $R_r = U_r * [(N+1)/N]$ 。显示的图像帧序列与驱动自更新同步信号的刷新同步信号序列相关联。

[0059] 方便地,第 N 个更新同步信号和第 N+1 个刷新同步信号大致同时生成。N 个更新周期序列的开始与 N+1 个刷新周期序列的开始基本没有相差。

[0060] 方便地,步骤 610 包括接收更新同步信号序列,而在步骤 610 之后的步骤 620 生成刷新同步信号。

[0061] 方便地,步骤 610 包括写每一图像帧到帧缓冲器,其中显示步骤包括从帧缓冲器中提取图像。帧缓冲器可以包括在显示器中或者包括在片上系统 10 中。

[0062] 根据本发明另一实施例,方法 600 进一步包括步骤 630,预处理每一图像帧。步骤 630 被图示为在步骤 620 之后和步骤 640 之前。

[0063] 图 7 是图示说明根据本发明实施例的图像帧更新与刷新过程的进行的定时图 700,其中 $N = 1$ 。

[0064] 定时图 700 图示说明了两个图像帧更新周期和四个图像帧刷新周期。为了简化解释说明,假定刷新空白时期 (refresh blanking period) 和更新空白时期 (update blanking period) 相同并且每一图像更新周期开始于特定图像刷新周期起始时,而结束于另一图像刷新周期结束时,但并不是必需这样。图 8 图示说明了定时图,其中,图像更新周期在第一图像刷新周期开始之后才开始,而在另一图像刷新周期结束之前就结束。

[0065] 第一图像更新周期 (图示为虚斜线 710) 开始于 T1,结束于 T4。第一图像刷新周期 (图示为斜线 720) 开始于 T1,结束于 T2。第二图像刷新周期 (图示为斜线 730) 开始于 T3,结束于 T4。T2 和 T3 之间的时间段被定义为刷新空白时期 RBP 810。刷新速率 R_r 等于 $1/(T3-T1)$ 。

[0066] 第二图像更新周期 (图示为虚斜线 740) 开始于 T5,结束于 T8。第三图像刷新周期 (图示为斜线 750) 开始于 T5,结束于 T6。第四图像刷新周期 (图示为斜线 760) 开始于 T7,结束于 T8。T4 和 T5 之间的时间段被定义为更新空白时期 UBP 820。更新速率 U_r 等于 $1/(T5-T1)$ 。

[0067] 回过头来参看图 2,显示接口 270 的输出和输入数据总线可以是 18 位宽 (尽管也可以使用更窄的总线),其可以方便地传送高达 24 位色彩深度的像素。每一像素可以在 1、2 或 3 个总线周期期间传送,并且像素数据到数据总线的映射是完全可配置的。对于到 TV 编码器的输出,支持 YUV 4:2:2 格式。另外的格式也可以支持,可以将其认为是“一般数据”,它们按字节进行传送,不进行修改,从系统存储器传送到显示器。

[0068] 显示接口 270 方便地不包括地址总线,其异步接口利用“间接寻址”,包括在数据流中嵌入地址 (及相关命令)。这个方法由显示器供应商所改编,以便减小显示器与主处理器之间的管脚和连线的数目。

[0069] 主处理单元 400 上运行的某些软件被改编为直接地址操作模式,其中,适用专用总线来发送地址。因此,当执行这种类型的软件时,主处理单元不能够管理间接地址显示器。系统 10 提供转换机制,允许主处理单元 400 执行直接地址软件,同时管理间接地址显示器。

[0070] 间接寻址还不标准化。为了支持许多可能的间接寻址格式,IPU200 具有“模板”,规定到显示设备的地址协议。模板储存在模板存储器 238 中。IPU 200 使用该模板来访问显示器 330,而无需任何主处理单元 400 的进一步介入。“模板”或映射可以在配置步骤期间下载,但不是必需这样。

[0071] 特别地,运行在主处理单元 400 上的软件可以请求访问显示器 330,ADC 260 获取请求(通过接口 261)并且执行合适的访问流程。

[0072] 注意,上面的描述涉及垂直同步信号(诸如 VSYNCr 和 VSYNCu),但是同步信号还包括其他信号,诸如水平同步信号。

[0073] 传感器接口所支持的主像素格式是 YUV(4:4:4 或 4:2:2) 和 RGB。注意,其他格式(诸如 Bayer 或 JPEG 格式,以及每像素分配不同比特数的格式)都可以作为“一般数据”而接收,其将会不被修改地传送到内部或外部存储器 420 和 430。IPU 200 还支持任意像素封装(arbitrary pixel packing)。任意像素封装方案允许改变为三个色彩分量中每一个所分配的比特数以及它们在像素表示中的相对位置。

[0074] 来自传感器的同步信号被嵌入到数据流中(例如遵守 BT. 656 协议的方式)或者通过专用管脚进行传送。

[0075] IDMAC 280 能够支持各种像素格式。典型支持的格式是:(i)YUV:交织和非交织,4:4:4,4:2:2 和 4:2:0,8 比特/采样;以及(ii)RGB:8,16,24,32 比特/像素(有可能包括某些不用的比特),对于每种色彩分量的完全可配置尺寸及位置,还支持用于透明度的额外分量。

[0076] 当从(向)存储器 420 读(写)二维块时,由 IPU 200 进行滤波和旋转。其他任务可以逐行完成,因此可以在来自传感器和/或去向显示器的途中完成。

[0077] 在许多设备中,大多数部件在延长的时间段内是空闲的,同时屏幕却不得不周期性刷新。IPU 200 可以有效且低能量消耗地进行屏幕刷新。IPU 200 还可以提供信息给智能显示器,而基本上无需要主处理单元 400 参与。当更新帧缓冲器时可能需要参与。

[0078] IPU 200 进一步能够促进变化/移动图像的自动显示。在各种情况中,例如,当系统 10 空闲时,变化图像序列可以显示在显示器 330 上。IPU 200 提供一种机制来以最小的主处理单元 400 牵连而进行这项工作。主处理单元 400 在存储器 420 和 430 中储存所有要显示的数据,IPU200 自动进行周期显示更新。对于动画,将有差别帧序列,对于运行消息,将有单独大帧,从中,IPU 200 将读取“运行”窗。在该显示更新期间,主处理单元 400 可以操作于低能量消耗模式。当 IPU 200 达到最后编程帧时,它可以进行下列操作之一:返回第一帧,在此情况下,主处理单元 400 可以断电;或者中断主处理单元 400 以生成下一帧。

[0079] 对于本领域普通技术人员来说,这里所描述的内容的变化、修改或其他实现都将可能发生,而不会背离本发明所要求的精神和范围。因此,本发明并不通过前面的说明性描述来限定,而是由所附权利要求的精神和范围来限定。

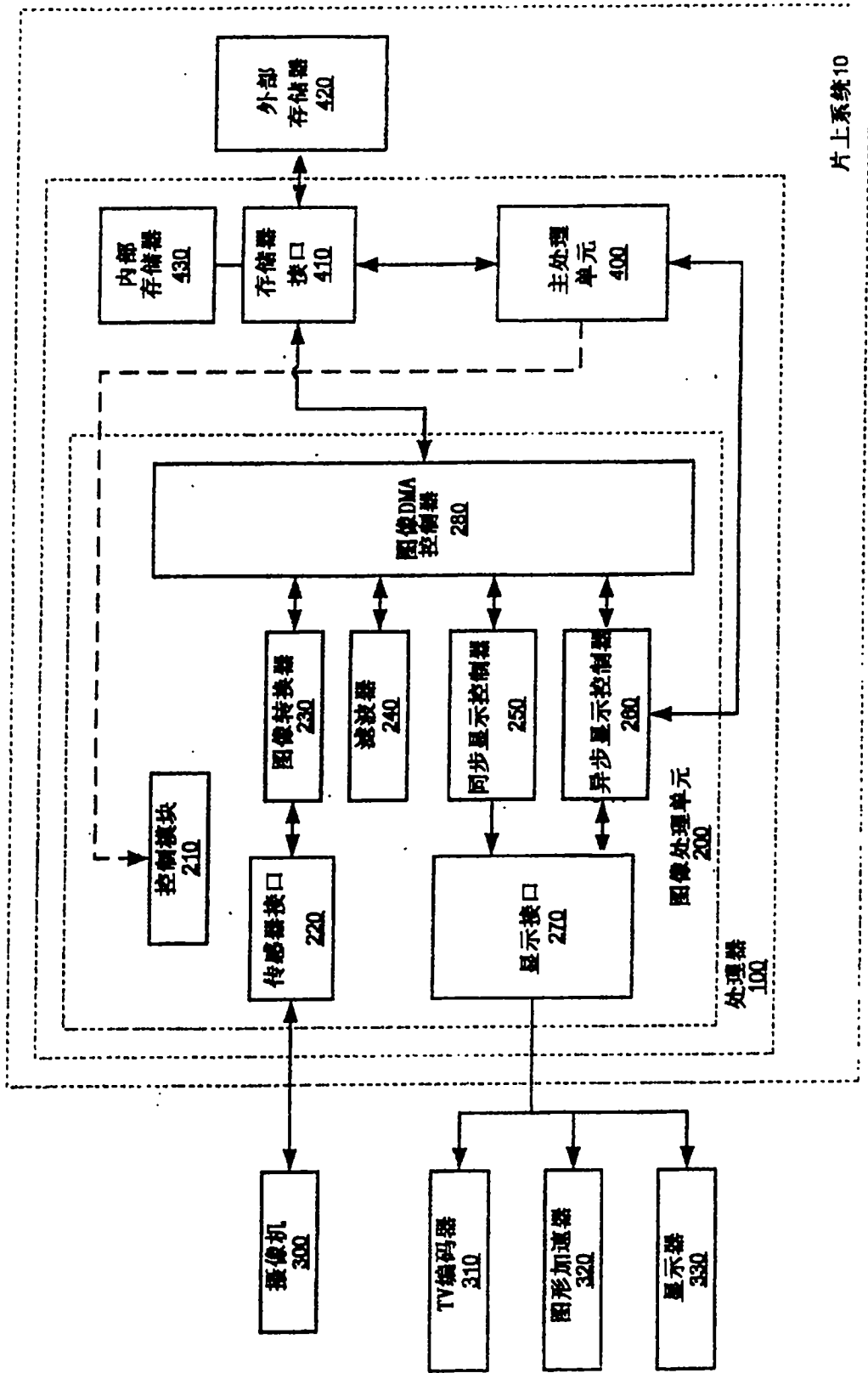


图 1

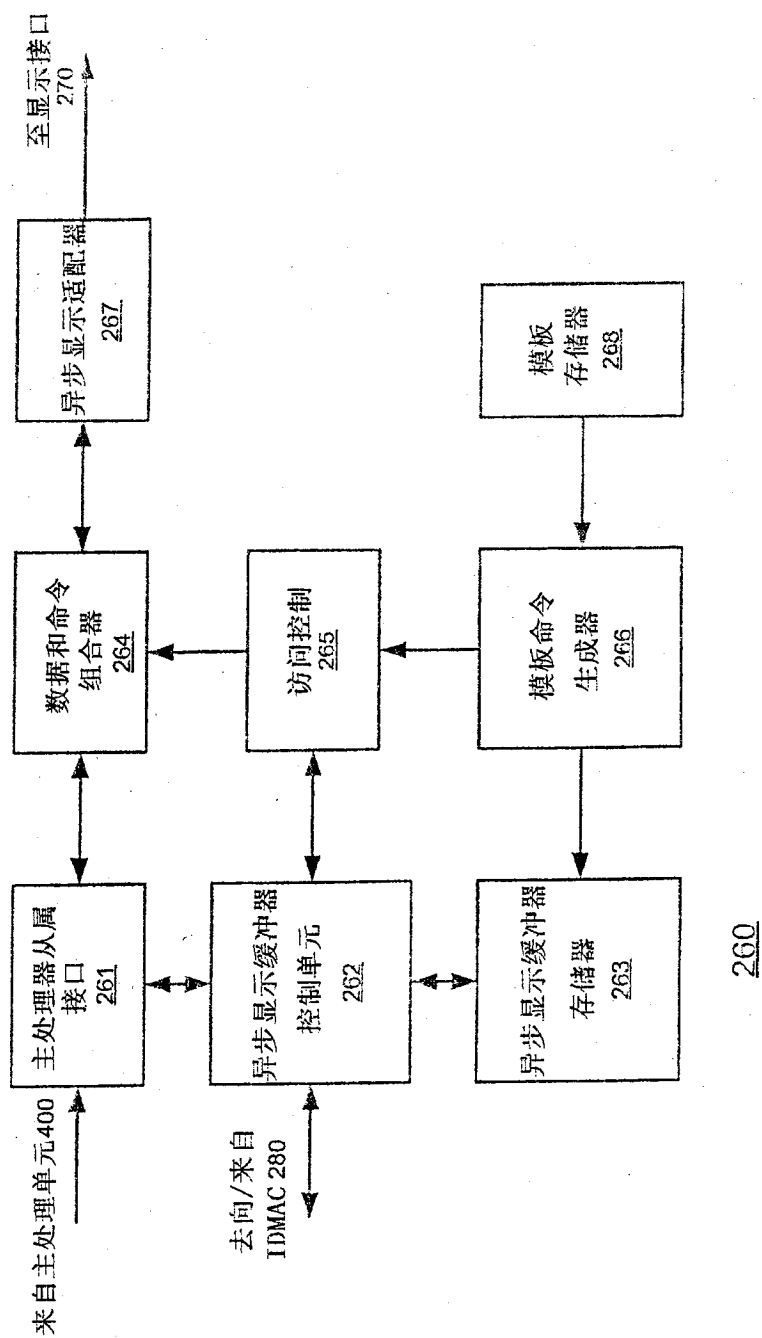


图 2

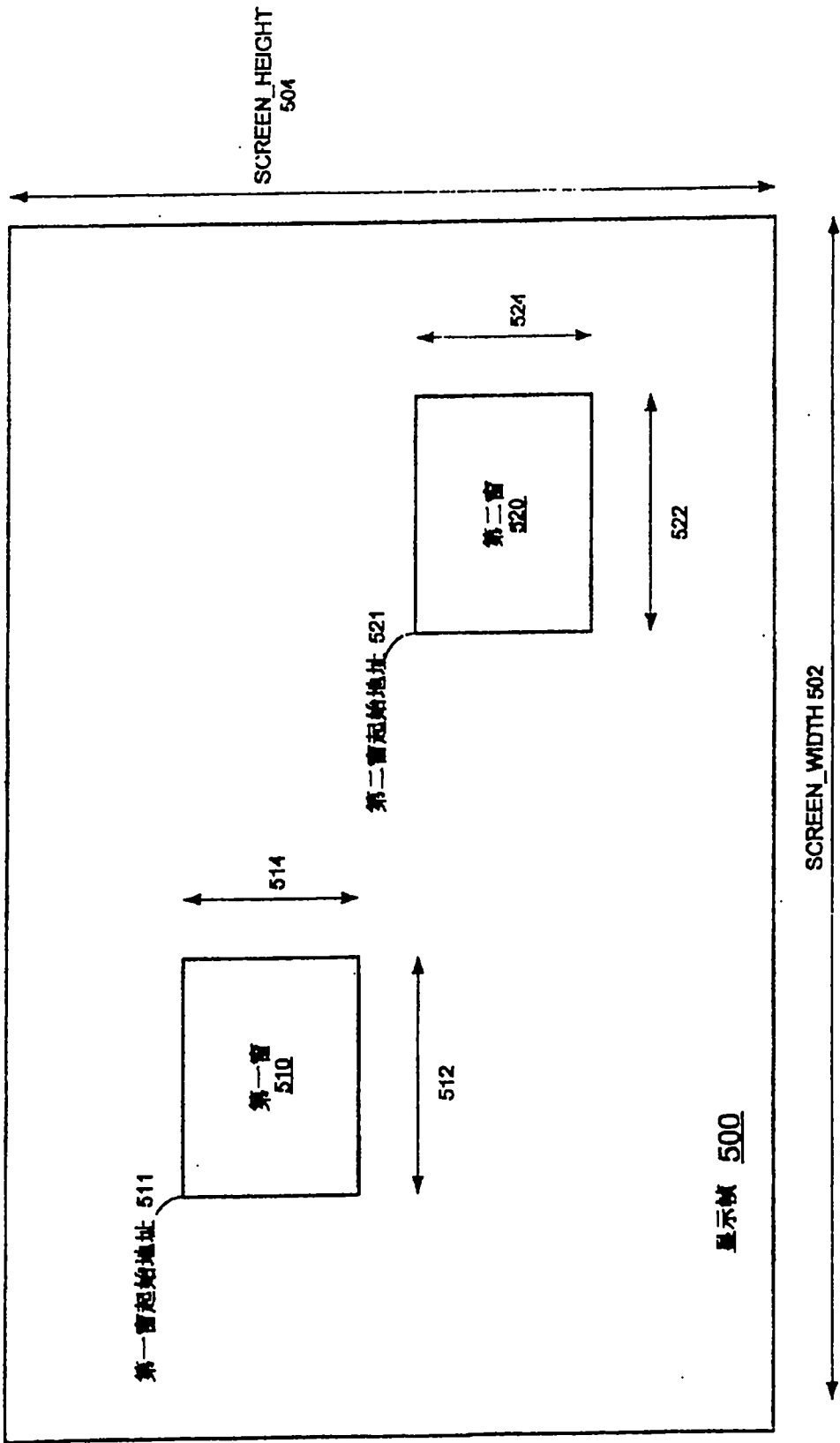


图 3

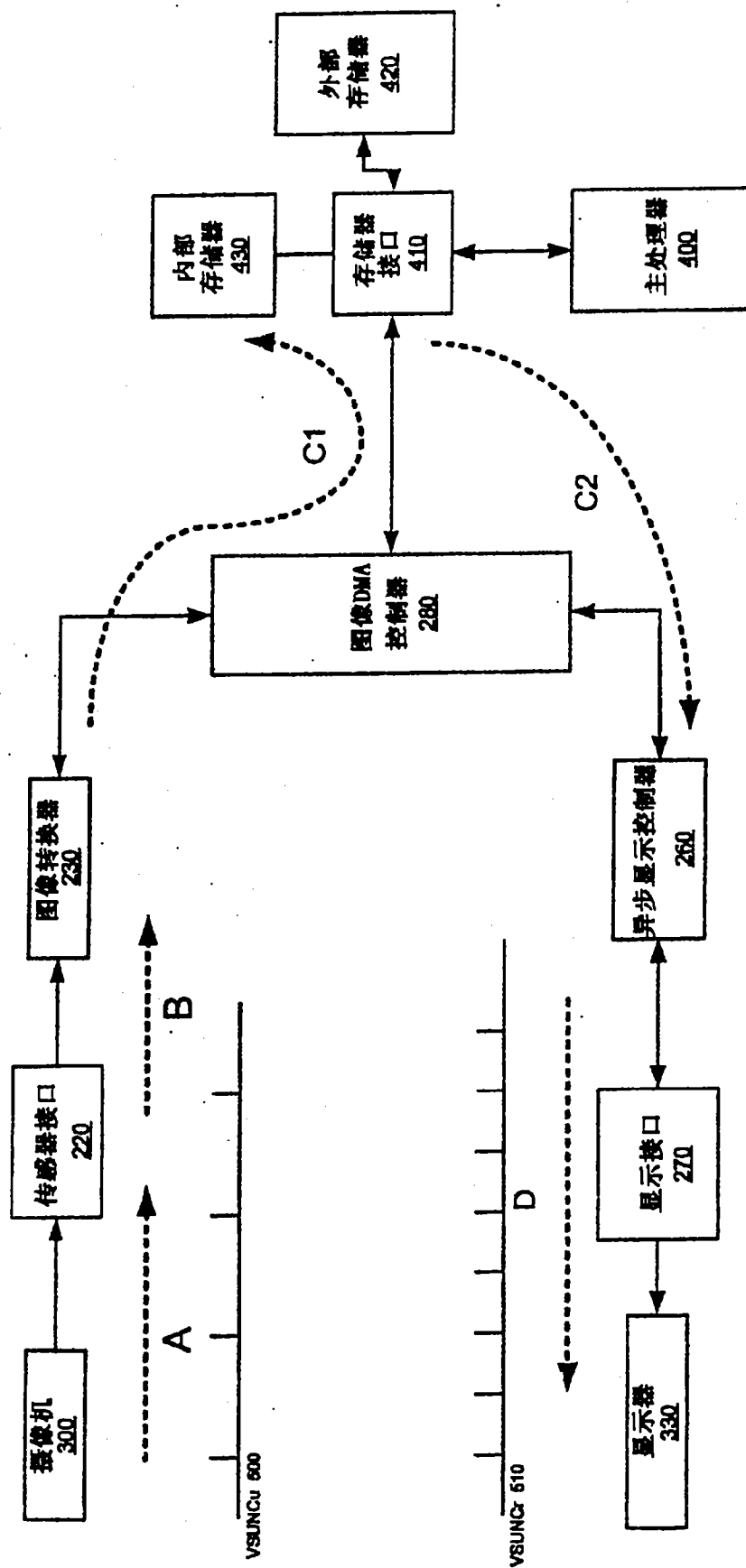


图 4a

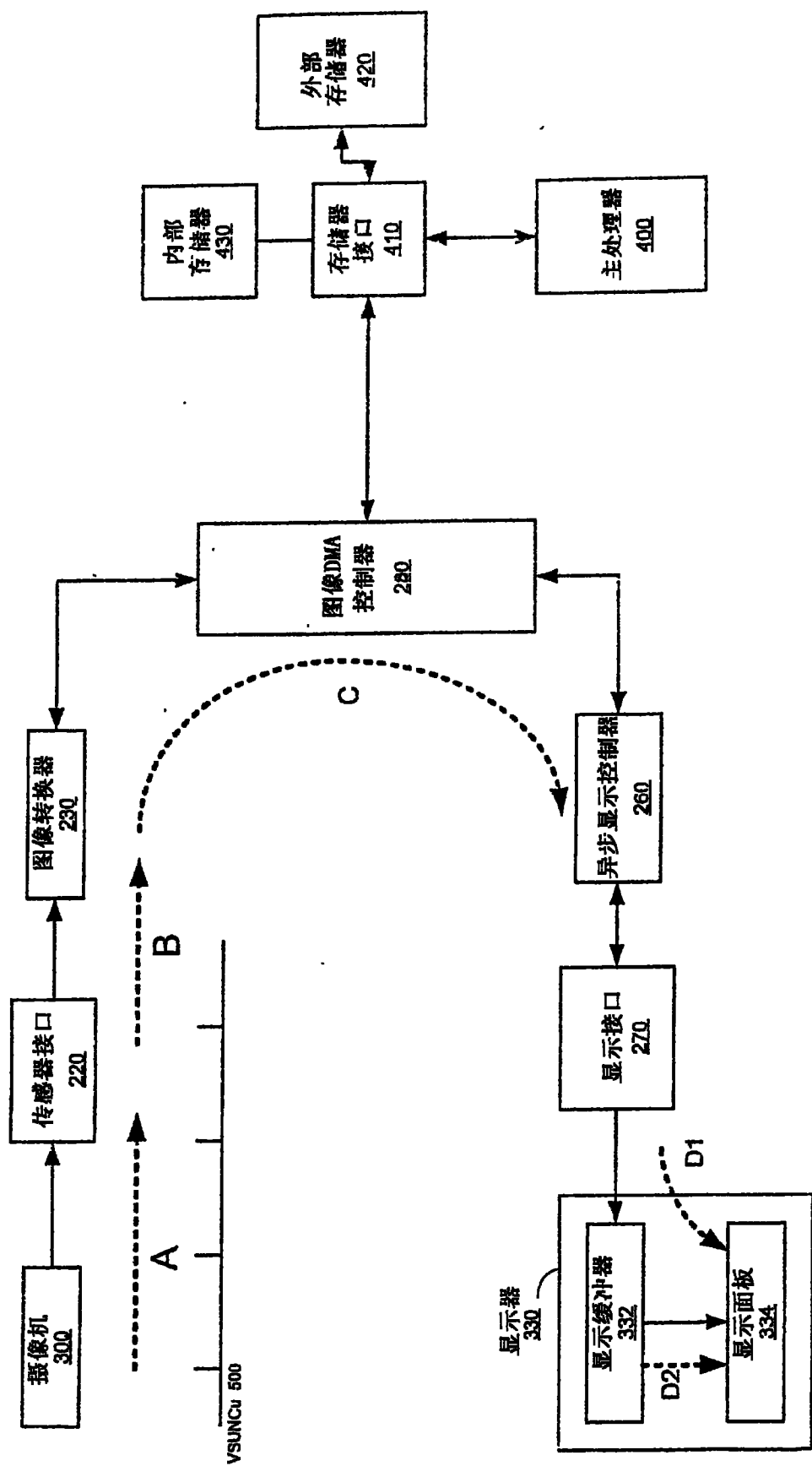


图 4b

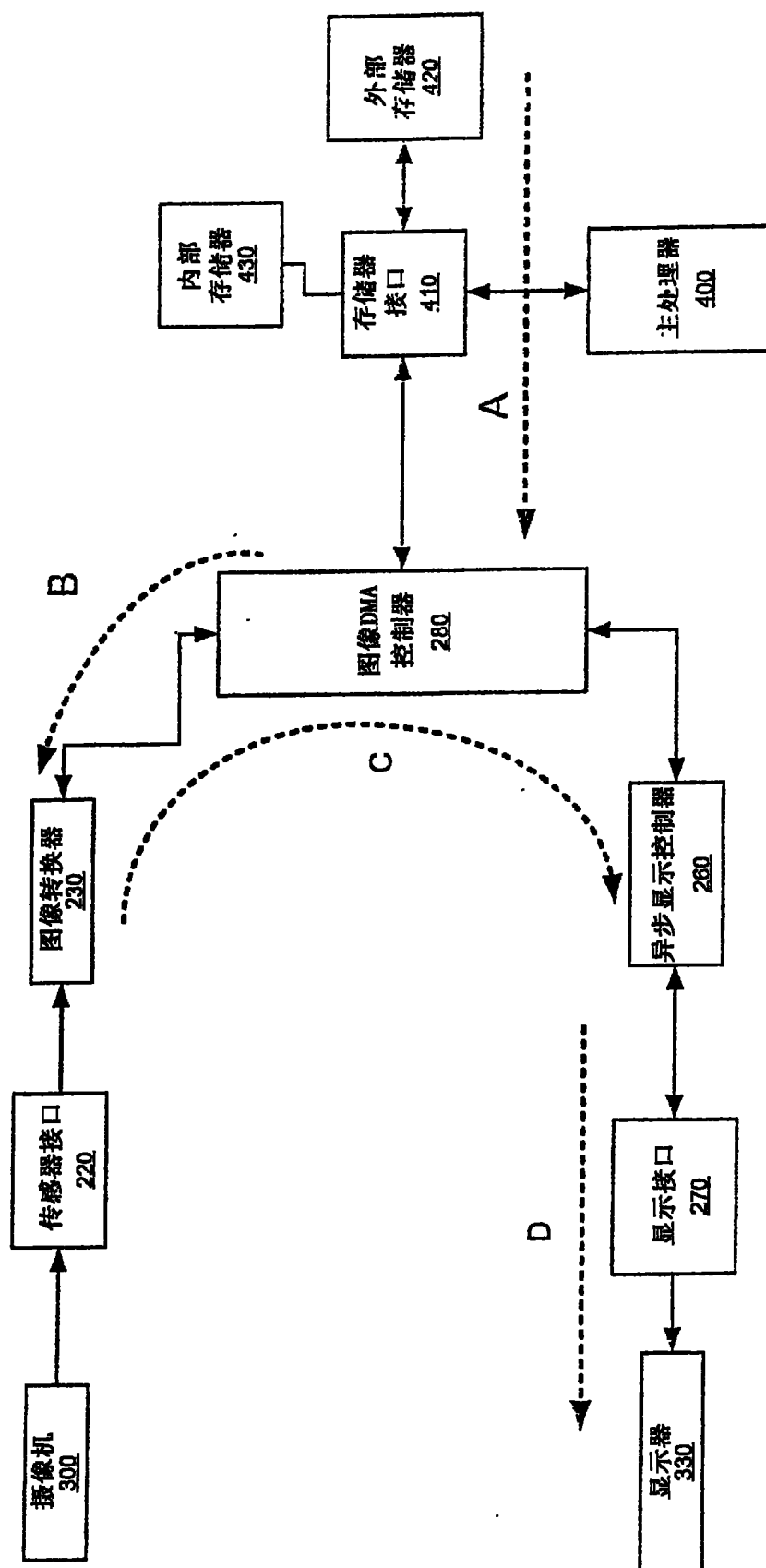


图 5

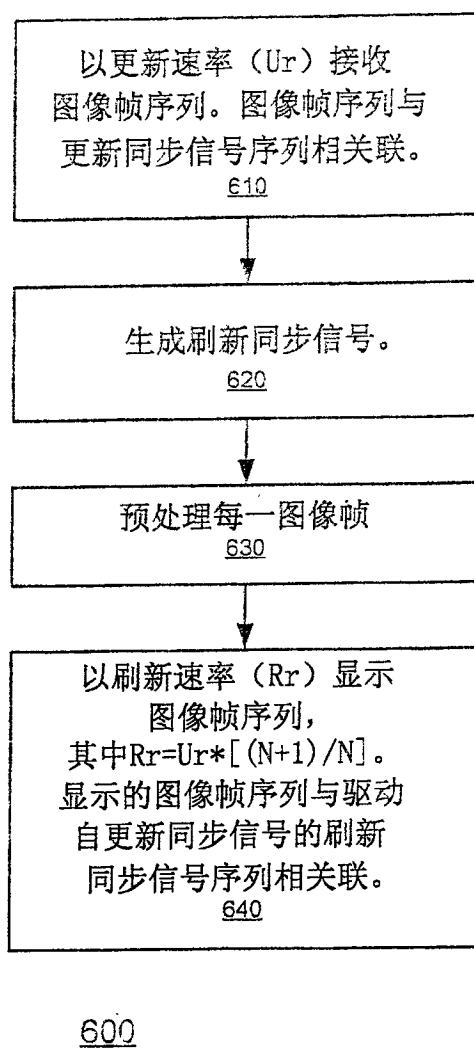


图 6

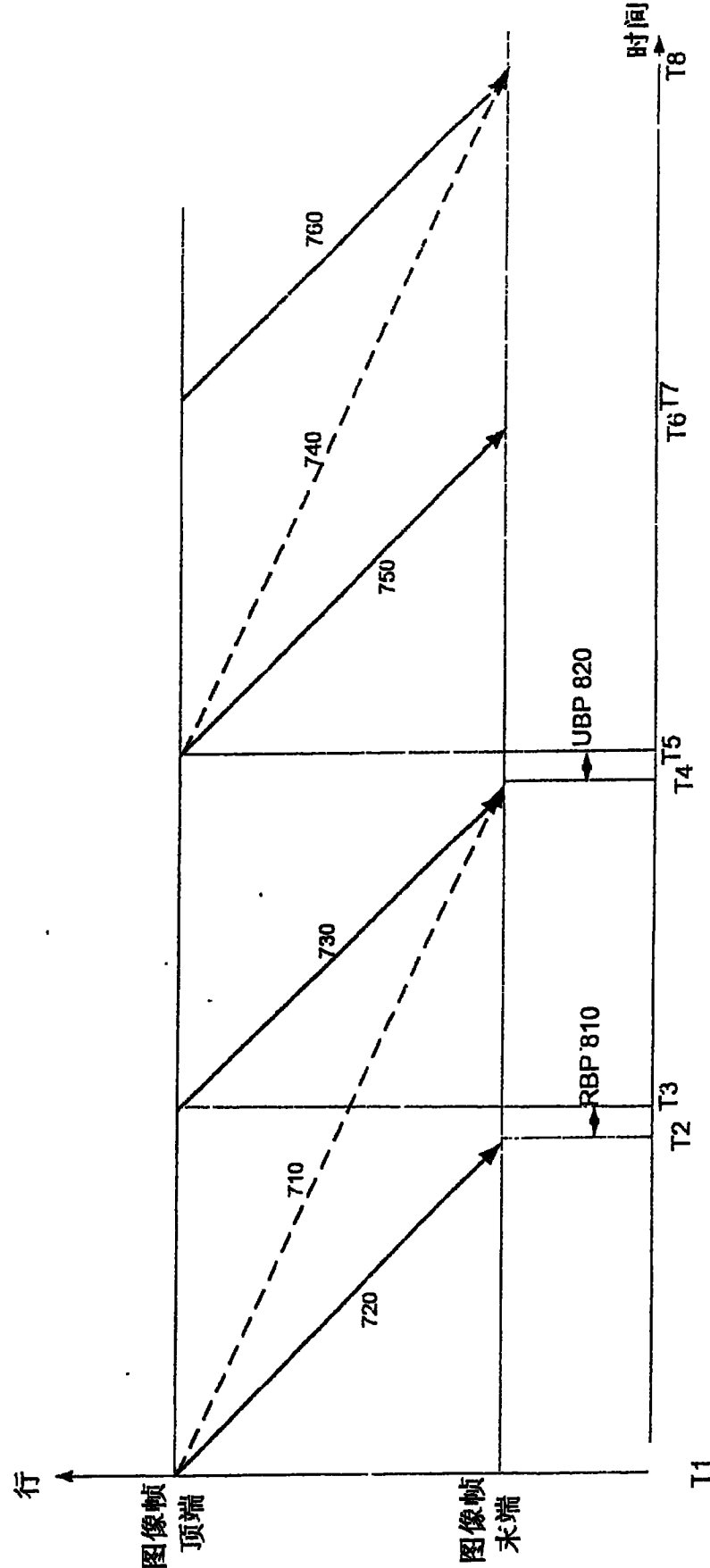


图 7

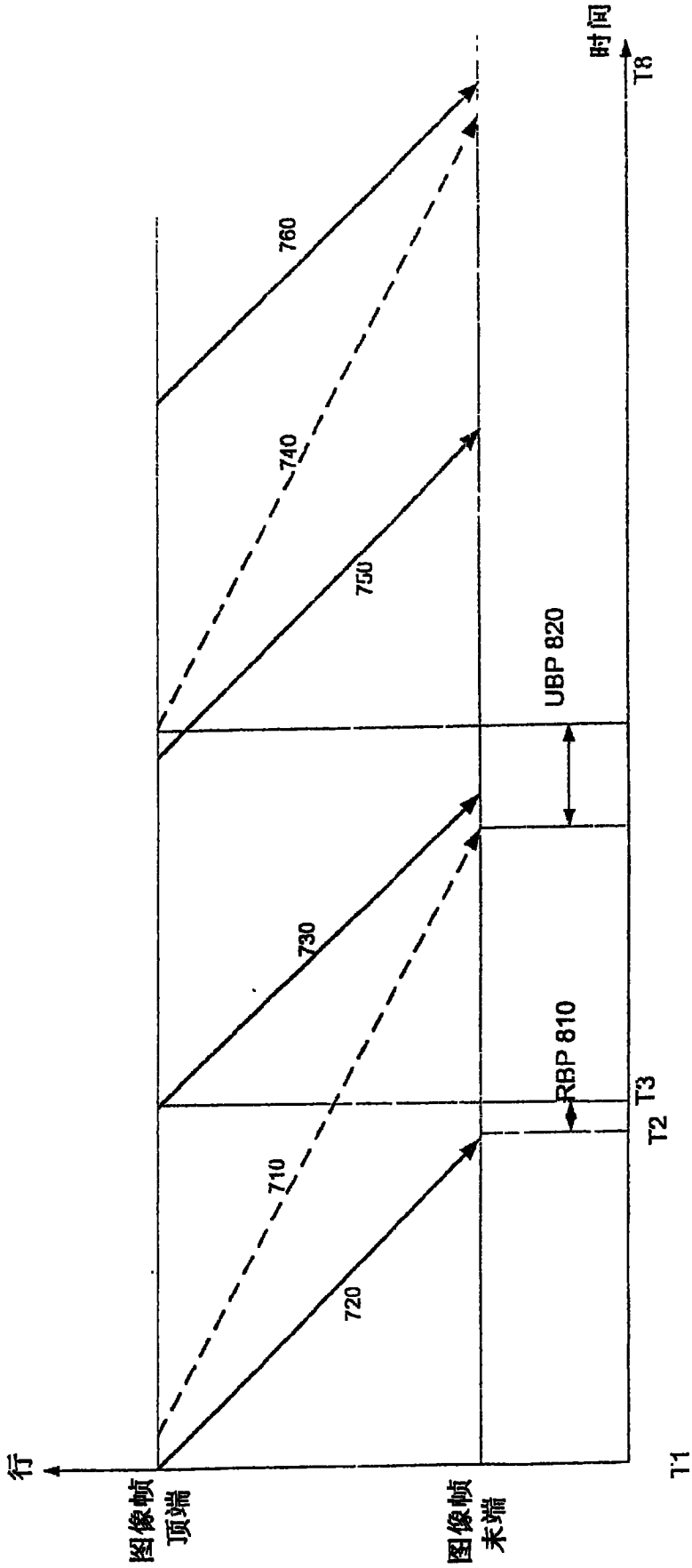


图 8