

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)(11) 공개번호 10-2024-0029909
(43) 공개일자 2024년03월07일

(51) 국제특허분류(Int. Cl.)
G01J 1/44 (2006.01) H03M 1/66 (2006.01)
(52) CPC특허분류
G01J 1/44 (2013.01)
H03M 1/66 (2019.01)
(21) 출원번호 10-2022-0108267
(22) 출원일자 2022년08월29일
심사청구일자 2022년08월29일

(71) 출원인
어보브반도체 주식회사
충청북도 청주시 청원구 오창읍 각리1길 93
충남대학교산학협력단
대전광역시 유성구 대학로 99 (궁동, 충남대학교)
(72) 발명자
고형호
대전광역시 유성구 지족로 343, 201동 503호(지족동, 반석마을아파트2단지)
김윤기
서울특별시 강남구 자곡로 260, 402동 803호(자곡동, 강남한양수자인)
문영진
서울특별시 강남구 개포로109길 9, 212동 1001호(개포동, 대치아파트)
(74) 대리인
이영수

전체 청구항 수 : 총 10 항

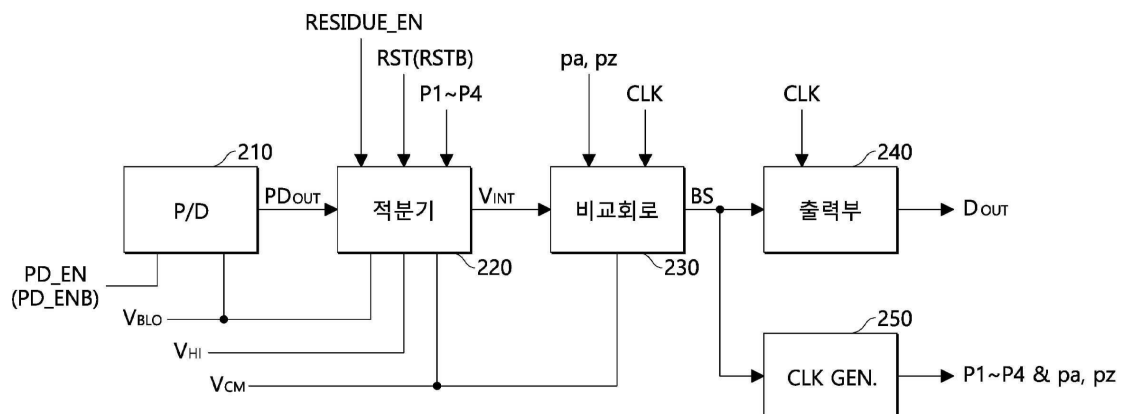
(54) 발명의 명칭 광 디지털 변환기

(57) 요약

광 디지털 변환기를 구성하는 적분기 및 비교기의 오프셋을 제거하고 넓은 범위의 이득조절이 가능하며, 광 전류의 기본 적분 모드에서 델타-시그마 동작을 통한 1차 변환 및 잔여 적분 모드에서 2차 변환을 각각 수행하여 얻은 신호를 처리함으로써 고해상도의 디지털 출력신호를 확보할 수 있는 광 디지털 변환기를 제안한다. 본 발명에 따른 광 디지털 변환기는 적분기, 비교회로, 출력부 및 클록 생성부를 포함한다.

대표도

200



(52) CPC특허분류

G01J 2001/4426 (2013.01)

G01J 2001/4453 (2013.01)

G01J 2001/446 (2013.01)

명세서

청구범위

청구항 1

복수의 제어신호, 리셋신호 및 잔여적분 제어신호에 응답하여 외부에서 입력되는 전류신호 및 바이어스 전압에 대하여 기본 적분 모드에서 제1 펄스 신호를 생성하고 잔여 적분 모드에서 제2 펄스 신호를 생성하고, 상기 제1 펄스 신호 및 상기 제2 펄스 신호를 이용하여 적분전압을 생성하는 적분기;

비교제어신호 및 오프셋제어신호에 응답하여 상기 적분전압을 미리 설정한 비교전압과 비교하여 비트 스트림 신호를 생성하는 비교회로;

상기 비트 스트림 신호를 처리하여 디지털 출력신호를 생성하는 출력부; 및

상기 비트 스트림 신호를 이용하여 상기 복수의 제어신호, 상기 비교제어신호 및 상기 오프셋제어신호를 생성하는 클록 생성부를 포함하며,

상기 적분기는,

상기 전류신호 및 상기 바이어스 전압을 수신하는 오프셋 자동 제거 기능을 수행하는 차동-차동 증폭기;

상기 차동-차동 증폭기의 네거티브 입력단자와 출력단자 사이에 설치되어 상기 잔여적분 제어신호에 응답하여 상기 기본 적분 모드 및 상기 잔여 적분 모드를 수행하는 피드백부;

상기 차동-차동 증폭기의 네거티브 입력단자에 연결되며, 상기 복수의 제어신호에 응답하여 상기 기본 적분 모드 및 상기 잔여 적분 모드를 수행하는 전하 모드 DAC부;

상기 리셋 신호에 응답하여 상기 차동-차동 증폭기의 포지티브 입력단자와 네거티브 입력단자를 동시에 바이어스 전압으로 스위칭하는 제5 스위치; 및

상기 리셋 신호와 두 페이지 논 오버랩 신호인 역 리셋 신호에 응답하여 상기 전류신호, 상기 피드백부의 일 단자 및 상기 전하 모드 DAC의 일 단자를 상기 차동-차동 증폭기의 네거티브 입력단자로 스위칭하는 제6 스위치를 포함하는 광 디지털 변환기.

청구항 2

제1항에서,

외부에서 인가되는 빛에 대응하여 상기 전류신호를 생성하는 광검출부를

더 포함하는 광 디지털 변환기.

청구항 3

제1항에서, 상기 차동-차동 증폭기는,

상기 전류신호 및 상기 바이어스 전압을 수신하는 제1 트랜스 컨덕턴스 증폭기;

상기 적분전압을 출력하는 제2 트랜스 컨덕턴스 증폭기;

제3 트랜스 컨덕턴스 증폭기;

일 단자가 접지 전압에 연결되고 다른 일 단자가 상기 제3 트랜스 컨덕턴스 증폭기의 네거티브 입력단자에 연결된 오프셋 저장용 커패시터;

상기 적분전압을 상기 제3 트랜스 컨덕턴스 증폭기의 네거티브 입력단자로 스위칭하는 제7 스위치; 및

상기 제1 트랜스 컨덕턴스 증폭기의 출력 및 상기 제3 트랜스 컨덕턴스 증폭기의 출력을 합하여 상기 제2 트랜스 컨덕턴스 증폭기로 전송하는 덧셈기를

포함하는 광 디지털 변환기.

청구항 4

제3항에서, 상기 피드백부는,

상기 리셋 신호에 응답하여 상기 차동-차동 증폭기의 출력단자와 네거티브 입력단자를 스위칭하는 제8 스위치;

상기 차동-차동 증폭기의 출력단자와 네거티브 입력단자 사이에 설치된 기본 적분용 피드백 커패시터;

상기 차동-차동 증폭기의 출력단자와 네거티브 입력단자 사이에 설치된 서로 직렬로 연결된 제9스위치 및 잔여 적분용 피드백 커패시터; 및

일 단자가 상기 잔여 적분용 커패시터 및 상기 제9스위치의 공통 단자를 상기 바이어스 전압으로 스위칭하는 제 10 스위치를 포함하며,

상기 제9스위치는 상기 잔여적분 제어신호에 응답하여 동작하고 상기 제10스위치는 상기 잔여적분 제어신호와 투 페이스 논 오버랩 신호인 역 잔여적분 제어신호에 응답하여 동작하는 광 디지털 변환기.

청구항 5

제3항에서, 상기 전하 제어 DAC부는,

상기 기본 적분 모드에서 상기 제1 펄스 신호를 생성하는 제1 전하 모드 DAC; 및

상기 잔여 적분 모드에서 상기 제2 펄스 신호를 생성하는 제2 전하 모드 DAC를 포함하는 광 디지털 변환기.

청구항 6

제5항에서, 상기 제1 전하 모드 DAC는,

기본 적분용 입력 커패시터;

상기 복수의 제어신호 중 제1 제어신호에 응답하여 전하량을 결정하는데 사용되는 전하량 결정 전압을 상기 기본 적분용 입력 커패시터의 일 단자로 스위칭하는 제11 스위치;

상기 제1 제어신호에 응답하여 상기 기본 적분용 입력 커패시터의 다른 일 단자를 상기 차동-차동 증폭기의 네 거티브 입력단자로 스위칭하는 제12 스위치;

상기 복수의 제어신호 중 제2 제어신호에 응답하여 상기 제11 스위치와 상기 기본 적분용 입력 커패시터의 공통 단자를 상기 바이어스 전압으로 스위칭하는 제13 스위치; 및

상기 제2 제어신호에 응답하여 상기 제12 스위치와 상기 기본 적분용 입력 커패시터의 공통단자를 상기 바이어 스 전압으로 스위칭하는 제14 스위치를 포함하는 광 디지털 변환기.

청구항 7

제5항에서, 상기 제2 전하 모드 DAC는

잔여 적분용 입력 커패시터;

상기 복수의 제어신호 중 제3 제어신호에 응답하여 상기 바이어스 전압을 상기 잔여 적분용 입력 커패시터의 일 단자로 스위칭하는 제15 스위치;

상기 제3 제어신호에 응답하여 상기 잔여 적분용 입력 커패시터의 다른 일 단자를 상기 차동-차동 증폭기의 네 거티브 입력단자로 스위칭하는 제16 스위치;

상기 복수의 제어신호 중 제4 제어신호에 응답하여 상기 제15 스위치 및 상기 잔여 적분용 입력 커패시터의 공 통단자를 전하량을 결정하는데 사용되는 전하량 결정 전압으로 스위칭하는 제17 스위치; 및

상기 제4 제어신호에 응답하여 상기 제16 스위치와 상기 잔여 적분용 입력 커패시터의 공통단자를 상기 바이어 스 전압으로 스위칭하는 제18 스위치를

포함하는 광 디지털 변환기.

청구항 8

제1항에서, 상기 비교회로는,

상기 비교제어신호 및 상기 오프셋제어신호에 응답하여 입력되는 상기 적분전압을 상기 비교전압과 비교한 비교 결과전압을 생성하는 비교부;

상기 오프셋제어신호에 응답하여 상기 비교결과전압을 버퍼링하는 버퍼부; 및

상기 버퍼의 출력에 대응하는 디지털 신호를 생성하고 저장하는 래치회로를 포함하는

포함하는 광 디지털 변환기.

청구항 9

제8항에서, 상기 비교부는,

비교기;

상기 비교제어신호에 응답하여 상기 적분전압을 상기 비교기의 포지티브 입력단자로 스위칭하는 제19 스위치;

상기 오프셋제어신호에 응답하여 상기 비교전압을 상기 비교기의 포지티브 입력단자로 스위칭하는 제20 스위치;

상기 오프셋제어신호에 응답하여 상기 비교전압을 상기 비교기의 네거티브 입력단자로 스위칭하는 제21 스위치;

상기 비교제어신호에 응답하여 상기 비교전압을 상기 비교기의 네거티브 입력단자로 스위칭하는 제22 스위치;

일 단자가 상기 비교기의 제1 출력단자에 연결되는 제1 오프셋 저장용 커패시터; 및

일 단자가 상기 비교기의 제2 출력단자에 연결되는 고, 제2 오프셋 저장용 커패시터를

포함하는 광 디지털 변환기.

청구항 10

제9항에서, 상기 버퍼부는,

포지티브 입력단자가 상기 제1 오프셋 저장용 커패시터의 다른 일 단자와 연결되고, 네거티브 입력단자가 상기 제2 오프셋 저장용 커패시터의 다른 일 단자와 연결되는 증폭기;

상기 오프셋제어신호에 응답하여 상기 증폭기의 포지티브 입력단자와 네거티브 출력단자를 스위칭하는 제23 스위치; 및

상기 오프셋제어신호에 응답하여 상기 증폭기의 네거티브 입력단자와 포지티브 출력단자를 스위칭하는 제24 스위치를

포함하는 광 디지털 변환기.

발명의 설명

기술 분야

[0001] 본 발명은 광 디지털 변환기에 관한 것으로, 특히, 광 디지털 변환기를 구성하는 적분기 및 비교기의 오프셋을 제거하고 넓은 범위의 이득조절이 가능하며, 광 전류의 기본 적분 모드에서 델타-시그마 동작을 통한 1차 변환 및 잔여 적분 모드에서 2차 변환을 각각 수행하여 얻은 신호를 처리함으로써 고해상도의 디지털 출력신호를 확보할 수 있는 광 디지털 변환기에 대한 것이다.

배경 기술

[0002] 광센서는 조도센서, RGB 센서, 깜박임 센서(Flicker 센서) 등과 같이 광을 측정하는 기능을 수행한다. 일반적으로 광센서는 입사하는 광에 대응하여 포토다이오드(Photo Diode)에서 발생하는 전류를 디지털 신호로 변환한다.

[0003] 도 1은 미국 공개특허 US 2021/0091783A1에 포함된 회로를 나타낸다.

[0004] 도 1을 참조하면, 미국 공개특허 US 2021/0091783A1(2021년 3월 25일)인 "Method to operate an optical sensor arrangement with improved conversion accuracy and optical sensor arrangement"는 포토다이오드 전

류를 증폭기(2) 및 피드백 커패시터(C_{INTH})를 포함하는 적분기로 적분하고, 비교기(3)는 적분기 출력 전압(V_{iout})을 기준 전압(V_{comp})과 비교한 출력 신호를 DAC로 피드백하는 구조를 제안하였다. 이때 적분기의 오프셋은 수동으로 조절되며, 비교기의 오프셋은 커패시터(C_{CMP})에 저장하는 방식으로 비교기의 오프셋을 자동으로 제거하는 오토 제로(auto zero) 방식을 사용한다.

발명의 내용

해결하려는 과제

[0005] 본 발명이 해결하고자 하는 기술적 과제는, 광 디지털 변환기를 구성하는 적분기 및 비교기의 오프셋을 제거하고 넓은 범위의 이득조절이 가능하며, 광 전류의 기본 적분 모드에서 델타-시그마 동작을 통한 1차 변환 및 잔여 적분 모드에서 2차 변환을 각각 수행하여 얻은 신호를 처리함으로써 고해상도의 디지털 출력신호를 확보할 수 있는 광 디지털 변환기를 제안하는 것에 있다.

[0006] 본 발명에서 이루고자 하는 기술적 과제들은 이상에서 언급한 기술적 과제들로 제한되지 않으며, 언급하지 않은 또 다른 기술적 과제들은 아래의 기재로부터 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에게 명확하게 이해될 수 있을 것이다.

과제의 해결 수단

[0007] 상기 기술적 과제를 달성하기 위한 본 발명에 따른 광 디지털 변환기는 적분기, 비교회로, 출력부 및 클록 생성부를 포함한다. 상기 적분기는 복수의 제어신호, 리셋신호 및 잔여적분 제어신호에 응답하여 외부에서 입력되는 전류신호 및 바이어스 전압에 대하여 기본 적분 모드에서 제1 펄스 신호를 생성하고 잔여 적분 모드에서 제2 펄스 신호를 생성하고, 상기 제1 펄스 신호 및 상기 제2 펄스 신호를 이용하여 적분전압을 생성한다. 상기 비교회로는 비교제어신호 및 오프셋제어신호에 응답하여 상기 적분전압을 미리 설정한 비교전압과 비교하여 비트 스트림 신호를 생성한다. 상기 출력부는 상기 비트 스트림 신호를 처리하여 디지털 출력신호를 생성한다. 상기 클록 생성부는 상기 비트 스트림 신호를 이용하여 상기 복수의 제어신호, 상기 비교제어신호 및 상기 오프셋제어신호를 생성한다. 상기 적분기는, 상기 전류신호 및 상기 바이어스 전압을 수신하는 오프셋 자동 제거 기능을 수행하는 차동-차동 증폭기, 상기 차동-차동 증폭기의 네거티브 입력단자와 출력단자 사이에 설치되어 상기 잔여적분 제어신호에 응답하여 상기 기본 적분 모드 및 상기 잔여 적분 모드를 수행하는 피드백부, 상기 차동-차동 증폭기의 네거티브 입력단자에 연결되며, 상기 복수의 제어신호에 응답하여 상기 기본 적분 모드 및 상기 잔여 적분 모드를 수행하는 전하 모드 DAC부, 상기 리셋 신호에 응답하여 상기 차동-차동 증폭기의 포지티브 입력단자와 네거티브 입력단자를 동시에 바이어스 전압으로 스위칭하는 제5 스위치 및 상기 리셋 신호와 투 페이지 논 오버랩 신호인 역 리셋 신호에 응답하여 상기 전류신호, 상기 피드백부의 일 단자 및 상기 전하 모드 DAC의 일 단자를 상기 차동-차동 증폭기의 네거티브 입력단자로 스위칭하는 제6 스위치를 포함한다.

[0008] 본 발명에서 이루고자 하는 기술적 과제들은 이상에서 언급한 기술적 과제들로 제한되지 않으며, 언급하지 않은 또 다른 기술적 과제들은 아래의 기재로부터 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 명확하게 이해될 수 있을 것이다.

발명의 효과

[0009] 본 발명에 따른 광 디지털 변환기는, 광 디지털 변환기를 구성하는 적분기 및 비교기의 오프셋을 제거함으로써 정확한 출력신호를 확보할 수 있으며 신호의 처리 과정에서 넓은 범위의 이득조절이 가능하며, 기본 적분 모드 및 잔여 적분 모드에서 각각 얻은 신호를 처리함으로써 고해상도의 디지털 출력신호를 확보할 수 있는 장점이 있다.

[0010] 본 발명에서 얻을 수 있는 효과는 이상에서 언급한 효과들로 제한되지 않으며, 언급하지 않은 또 다른 효과들은 아래의 기재로부터 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 명확하게 이해될 수 있을 것이다.

도면의 간단한 설명

[0011] 도 1은 미국 공개특허 US 2021/0091783A1에 포함된 회로를 나타낸다.

도 2는 본 발명에 따른 광 디지털 변환기의 블록 다이어그램이다.

도 3은 광 검출부의 구체적인 일 실시 예이다.

도 4는 적분기의 일 실시 예이다.

도 5는 차동-차동 증폭기의 일 실시 예이다.

도 6은 적분기에 사용되는 신호도 이다.

도 7은 비교기의 실시 예이다.

도 8은 출력부의 일 실시 예이다.

발명을 실시하기 위한 구체적인 내용

- [0012] 본 발명과 본 발명의 동작상의 이점 및 본 발명의 실시에 의하여 달성되는 목적을 충분히 이해하기 위해서는 본 발명의 예시적인 실시 예를 설명하는 첨부 도면 및 첨부 도면에 기재된 내용을 참조하여야만 한다.
- [0013] 이하 첨부한 도면을 참조하여 본 발명의 바람직한 실시 예를 설명함으로써, 본 발명을 상세히 설명한다. 각 도면에 제시된 동일한 참조부호는 동일한 부재를 나타낸다.
- [0014] 도 2는 본 발명에 따른 광 디지털 변환기의 블록 다이어그램이다.
- [0015] 도 2를 참조하면, 본 발명에 따른 광 디지털 변환기(200)는, 광 검출부(210), 광 검출부(210)에서 전달되는 전류 신호(PD_{OUT})를 적분하여 적분전압(V_{INT})을 생성하는 적분기(220), 적분전압(V_{INT})을 미리 설정한 비교전압(V_{CM})과 비교하여 아날로그 신호를 디지털 신호로 변환한 비트 스트림 신호(BS)를 생성하는 비교회로(230), 비트 스트림 신호(BS)를 신호처리하여 디지털 출력 신호(D_{OUT})를 생성하는 출력부(240) 및 광 디지털 변환기(200)에 사용되는 복수의 신호($p1 \sim p4$ & pa , pz)를 생성하는 클록 생성부(250)를 포함한다.
- [0016] 도 3은 광 검출부의 구체적인 일 실시 예이다.
- [0017] 도 3을 참조하면, 광 검출부(210)는 양(positive)의 단자 각각이 접지 전압(GND)에 연결된 복수의 포토다이오드($PD1$ & $PD2$), 외부에서 인가되는 바이어스 전압(V_{BLO})을 해당 포토다이오드($PD1$ & $PD2$)의 음(negative)의 단자로 스위칭하는 복수의 스위치($SW1$ & $SW3$) 및 해당 포토다이오드의 음의 단자를 적분기(220)로 스위칭하는 복수의 스위치($SW2$ & $SW4$)를 포함한다.
- [0018] 예를 들면, 제1 포토다이오드($PD1$)의 양의 단자는 접지 전압(GND)에 연결되어 있고, 제1 스위치($SW1$)는 제2 포토다이오드 제어신호(PD_ENB_1)에 응답하여 바이어스 전압(V_{BLO})을 제1 포토다이오드($PD1$)의 음의 단자로 스위칭하고, 제2 스위치($SW2$)는 제1 포토다이오드 제어신호(PD_EN_1)에 응답하여 제1 포토다이오드($PD1$)의 음의 단자를 적분기(220)로 스위칭한다.
- [0019] 복수의 스위치 각각은 논 오버랩 투 페이즈(non overlap two phase) 포토다이오드 제어신호($PD_EN_1 \sim PD_EN_x$ & $PD_ENB_1 \sim PD_ENB_x$)에 응답하여 동작함으로써, 외부에서 인가되는 바이어스 전압(V_{BLO})으로 해당 포토다이오드를 초기화하거나, 바이어스 전압(V_{BLO})으로 초기화된 후 외부에서 인가되는 빛에 대응하여 변동하는 포토다이오드의 전류(PD_{OUT})를 적분기(220)에 전달한다.
- [0020] 논 오버랩 투 페이즈 포토다이오드 제어신호는 제1 포토다이오드 제어신호($PD_EN_1 \sim PD_EN_x$) 및 제1 포토다이오드 제어신호($PD_EN_1 \sim PD_EN_x$)와 위상이 반대되는 제2 포토다이오드 제어신호($PD_ENB_1 \sim PD_ENB_x$)를 의미한다.
- [0021] 제1 포토다이오드 제어신호(PD_EN_1)와 제2 포토다이오드 제어신호(PD_ENB_1)가 논 오버랩 투 페이즈 신호라는 의미는, 2개의 제어신호(PD_EN_1 & PD_ENB_1)의 전압 준위가 논리 하이 상태일 때 해당 스위치를 턴 온 시킨다고 가정할 때, 2개의 제어신호(PD_EN_1 & PD_ENB_1)의 논리 하이 상태가 서로 중복되지 않는다는 것을 의미한다. 즉, 제1 포토다이오드($PD1$)의 음의 단자에 바이어스 전압(V_{BLO})이 스위칭 되고 있는 동안에는 제1 포토다이오드($PD1$)의 음의 단자의 전류가 적분기(220)로 스위칭 되지 않게 되고, 반대로 제1 포토다이오드($PD1$)의 음의 단자의 전류가 적분기(220)로 스위칭 되고 있는 동안에는 제1 포토다이오드($PD1$)의 음의 단자에는 바이어스 전압(V_{BLO})이 스위칭 되지 않는다는 것을 의미한다.
- [0022] 이하의 설명에 기재되는 논 오버랩 투 페이즈 신호는 별도의 설명 없이 위에 설명한 논 오버랩 투 페이즈 신호

를 그대로 적용할 것이다.

[0023] 도 4는 적분기의 일 실시 예이다.

[0024] 도 4를 참조하면, 적분기(220)는 차동-차동 증폭기(221), 피드백부(226) 및 전하 모드 DAC(227)를 포함한다. 또한, 리셋 신호(RST)에 응답하여 차동-차동 증폭기(221)의 포지티브 입력단자(+)와 네거티브 입력단자(-)를 동시에 바이어스 전압(V_{BLO})으로 스위칭하는 제5 스위치(SW5) 및 역 리셋 신호(RSTB)에 응답하여 공통으로 연결된 광 검출부(210)의 출력단자(PD_{OUT}), 피드백부(226)의 일 단자 및 전하 모드 DAC(227)의 일 단자를 차동-차동 증폭기(221)의 네거티브 입력단자(-)로 스위칭하는 제6 스위치(SW6)를 더 포함한다.

[0025] 여기서 광 검출부(210)의 출력신호(PD_{OUT})와 출력단자(PD_{OUT})는 설명의 편의를 위해 동일한 부재 번호(PD_{OUT})를 사용하여왔다. 또한, 리셋 신호(RST) 및 역 리셋 신호(RSTB)는 두 페이지 논 오버랩 신호이다.

[0026] 도 5는 차동-차동 증폭기의 일 실시 예이다.

[0027] 도 5를 참조하면, 차동-차동 증폭기(221)는 제1 트랜스 컨덕턴스 증폭기(222), 제2 트랜스 컨덕턴스 증폭기(223), 제3 트랜스 컨덕턴스 증폭기(224), 일 단자가 접지 전압(GND)에 연결되고 다른 일 단자가 제3 트랜스 컨덕턴스 증폭기(224)의 네거티브 입력단자(-)에 연결된 오프셋 저장용 커패시터(C_{OFF}), 차동-차동 증폭기(221)의 출력인 적분신호(V_{INT})를 제3 트랜스 컨덕턴스 증폭기(224)의 네거티브 입력단자(-)로 스위칭하는 제7 스위치(SW7) 및 제1 트랜스 컨덕턴스 증폭기(222)의 출력(V_{O1}) 및 제3 트랜스 컨덕턴스 증폭기(224)의 출력(V_{O3})을 합하여 제2 트랜스 컨덕턴스 증폭기(223)로 전송하는 덧셈기(225)를 포함한다.

[0028] 제3 트랜스 컨덕턴스 증폭기(222)의 포지티브 입력단자(+)는 공통 모드 바이어스 전압인 비교전압(V_{CM})과 연결된다. 공통 모드 바이어스 전압(V_{CM})은, 예를 들면, 차동-차동 증폭기(221)의 동작 전압(VDD)의 1/2의 전압준위를 가지도록 할 수 있다.

[0029] 제1 트랜스 컨덕턴스 증폭기(222)의 입력 오프셋을 V_{OS1} , 제3 트랜스 컨덕턴스 증폭기(224)의 입력 오프셋을 V_{OS2} 라고 가정한다. 따라서, 도 5에는 도시되어 있지만, 회로의 연결관계를 설명할 때에는 이를 포함시키지 않았다.

[0030] 도 5를 참조하면, 리셋 신호(RST)가 활성화될 때 제1 트랜스 컨덕턴스 증폭기(222)의 2개의 입력단자에는 바이어스 전압(V_{BLO})이 공통으로 인가되므로(common mode), 차동-차동 증폭기(221)의 입력 오프셋은 오프셋 저장용 커패시터(C_{OFF})에 저장된다. 이어 역 리셋 신호(RSTB)가 활성화되면 차동-차동 증폭기(221)는 적분동작을 수행하는 구성요소의 하나로 동작하게 되며, 이때 덧셈기(225)에서 적분 과정을 수행하는 제1 트랜스 컨덕턴스 증폭기(222)의 출력 전압(V_{O1})에서 오프셋 저장용 커패시터(C_{OFF})에 저장된 오프셋(V_{OS2})이 상쇄되게 됨으로써, 차동-차동 증폭기(221)는 오프셋 전압이 없는 이상적인 증폭기로 동작하게 된다.

[0031] 제1 트랜스 컨덕턴스 증폭기(222)의 네거티브 입력단자(-)에 인가되는 전압을 V_i 라고 가정할 때, 역 리셋 신호(RSTB)가 활성화될 때 적분기(220)로부터 출력되는 적분전압(V_{INT})은 수학식 1과 같이 표현할 수 있다.

수학식 1

$$V_{INT} = gm_1 gm_3 (V_{BLO} - V_i) - Vos_1 \frac{gm_1 gm_3}{1 + gm_1 gm_3} + (V_{CM} - Vos_2) \frac{gm_2 gm_3}{1 + gm_2 gm_3}$$

[0033] 수학식 1에서 gm 은 각 트랜스 컨덕턴스 증폭기의 트랜스 컨덕턴스이며, 2번째 및 3번째 항은 오프셋을 포함하고 있다.

[0034] 여기서 $\frac{gm_1 gm_3}{1 + gm_1 gm_3} \approx 1$ 이라고 가정하면, 차동-차동 증폭기(221)의 입력 오프셋은 수학식 2와 같이 표시할 수 있다.

수학식 2

$$\frac{V_{os1}}{gm2gm3} - \frac{V_{os2}}{gm1gm3}$$

[0035]

[0036] 특히, $gm2gm3 \gg 1$ 및 $gm1gm3 \gg 1$ 라고 가정하면, V_{os1} 및 V_{os2} 로 인한 입력 증가 오프셋은 대부분 제거될 수 있다.

[0037] 역 리셋 신호(RSTB)가 활성화될 때, 차동-차동 증폭기(221)는 포토다이오드에서 발생한 광전류(PD_{OUT})를 적분하는데 사용된다.

[0038] 설명의 편의를 위해, 제6 스위치(SW6)가 단락(turn on 또는 short)되었다고 가정한다. 따라서, 피드백부(226)의 일 단자 및 전하 모드 DAC(227)의 일 단자는 차동-차동 증폭기(221)의 네거티브 입력단자(-)에 연결된 상태가 된다.

[0039] 다시 도 4를 참조하면, 피드백부(226)는 리셋 신호(RST)에 응답하여 차동-차동 증폭기(221)의 출력단자(V_{INT})와 네거티브 입력단자(-)를 스위칭하는 제8 스위치(SW8), 차동-차동 증폭기(221)의 출력단자(V_{INT})와 네거티브 입력단자(-) 사이에 설치된 기본 적분용 피드백 커패시터(C_{INT}), 차동-차동 증폭기(221)의 출력단자(V_{INT})와 네거티브 입력단자(-) 사이에 설치된 서로 직렬로 연결된 제9스위치(SW9) 및 잔여 적분용 피드백 커패시터($C_{residue}$)를 포함하고, 일 단자가 잔여 적분용 커패시터($C_{residue}$) 및 제9스위치(SW9)의 공통 단자와 바이어스 전압(V_{BLO})을 스위칭하는 제10 스위치(SW10)를 포함한다.

[0040] 여기서, 제9스위치(SW9)는 잔여적분 제어신호(RESIDUE_EN)에 응답하여 동작하고 제10스위치(SW10)는 역 잔여적분 제어신호(RESIDUE_ENB)에 응답하여 동작한다. 여기서 잔여적분 제어신호(RESIDUE_EN) 및 역 잔여적분 제어신호(RESIDUE_ENB)는 두 페이지 논 오버랩 신호이다.

[0041] 전하 모드 DAC(227)는 제1 전하 모드 DAC(228) 및 제2 전하 모드 DAC(229)를 포함한다.

[0042] 제1 전하 모드 DAC(228)는 기본 적분용 입력 커패시터(C_s), 제1 제어신호(p1)에 응답하여 전하량을 결정하는데 사용되는 전하량 결정 전압(V_{HI})을 기본 적분용 입력 커패시터(C_s)의 일 단자로 스위칭하는 제11 스위치(SW11), 제1 제어신호(p1)에 응답하여 기본 적분용 입력 커패시터(C_s)의 다른 일 단자를 차동-차동 증폭기(221)의 네거티브 입력단자(-)로 스위칭하는 제12 스위치(SW12), 제2 제어신호(p2)에 응답하여 제11 스위치(SW11)와 기본 적분용 입력 커패시터(C_s)의 공통단자를 바이어스 전압(V_{BLO})으로 스위칭하는 제13 스위치(SW13) 및 제2 제어신호(p2)에 응답하여 제12 스위치(SW12)와 기본 적분용 입력 커패시터(C_s)의 공통단자를 바이어스 전압(V_{BLO})으로 스위칭하는 제14 스위치(SW14)를 포함한다.

[0043] 제2 전하 모드 DAC(229)는 잔여 적분용 입력 커패시터(C_{SR}), 제3 제어신호(p3)에 응답하여 바이어스 전압(V_{BLO})을 잔여 적분용 입력 커패시터(C_{SR})의 일 단자로 스위칭하는 제15 스위치(SW15), 제3 제어신호(p3)에 응답하여 잔여 적분용 입력 커패시터(C_{SR})의 다른 일 단자를 차동-차동 증폭기(221)의 네거티브 입력단자(-)로 스위칭하는 제16 스위치(SW16), 제4 제어신호(p4)에 응답하여 제15 스위치(SW15)와 잔여 적분용 입력 커패시터(C_{SR})의 공통단자를 전하량 결정 전압(V_{HI})으로 스위칭하는 제17 스위치(SW17) 및 제4 제어신호(p4)에 응답하여 제16 스위치(SW16)와 잔여 적분용 입력 커패시터(C_{SR})의 공통단자를 바이어스 전압(V_{BLO})으로 스위칭하는 제18 스위치(SW18)를 포함한다.

[0044] 도 6은 적분기에 사용되는 신호도이다.

[0045] 도 6을 참조하면, 적분기(220)로부터 출력되는 적분 전압(V_{INT})은 제1 및 제2 제어신호(p1 & p2)에 응답하여 변환된 N (N 은 자연수) 개의 제1 적분 펄스를 생성하고, 제3 및 제4 제어신호(p3 & p4)에 응답하여 제1 적분 펄스의 마지막 잔존하는 영역을 세분한 N_{RES} (N_{RES} 는 자연수) 개의 제2 적분 펄스를 포함한다는 것을 알 수 있다. 제1

적분 펄스 및 제2 적분 펄스는 펄스의 형태가 아니고 톱니 파의 형태를 가지지만, 설명의 편의를 위해 펄스라고 가정하고 설명한다.

[0046] 제1 적분 펄스는 역 잔여적분 제어신호(RESIDUE_EN)에 의해 잔여 적분용 피드백 커패시터($C_{residue}$)가 적분기(221)의 네거티브 입력단자(-)와 출력단자(V_{INT}) 사이를 피드백하지 않는 상태에서 생성된다.

[0047] 도 6을 참조하면, 제1 및 제2 제어신호(p1 & p2)와 제3 및 제4 제어신호(p3 & p4)는 각각 두 페이즈 논 오버랩 신호이며, 제3 및 제4 제어신호(p3 & p4)의 주기는 제1 및 제2 제어신호(p1 & p2)의 주기의 정수배가 되는 것이 바람직하다.

[0048] 적분전압(V_{INT})을 구성하는 제1 적분 펄스는 전하량 결정전압(V_{HI})과 아래의 수학적 식 3에 표시하는 V_{down} 전압 사이의 값을 가진다는 것을 알 수 있다.

수학적 식 3

$$V_{down} = \frac{C_s}{C_{int}}(V_{HI} - V_{BLO})$$

[0050] 적분전압(V_{INT})이 비교전압(V_{CM}) 이상으로 증가할 때에는 제1 제어신호(p1)가 로우(low) 상태에서 하이(high) 상태로 변화하여 적분전압(V_{INT})을 V_{down} 만큼 강하시킨다.

[0051] 이후, 전류신호(PD_{out})로 인하여 적분전압(V_{INT})이 V_{down} 으로부터 상승하게 되고, 적분전압(V_{INT})의 전압 준위가 비교전압(V_{CM})에 도달하면 다시 적분전압(V_{INT})은 V_{down} 만큼 떨어지는 과정을 반복한다.

[0052] 시간 T 동안 p1이 스위칭 되는 횟수 N은 수학적 식 4와 같이 표시할 수 있다.

수학적 식 4

$$N = \frac{i_{PD}T}{C_s(V_{HI} - V_{BLO})}$$

[0054] 여기서 i_{PD} 는 광 검출부(210)의 출력단자(PD_{OUT})에서 적분기(220)로 전송하는 전류를 의미한다.

[0055] T 시간 이후 나머지 잔여 신호(residue)에 대한 변환 동작은 잔여적분 제어신호(RESIDUE_EN)가 활성화되어 잔여 적분용 피드백 커패시터($C_{residue}$)가 적분기(220)를 구성하는 차동-차동 증폭기(221)의 네거티브 입력단자(-)와 출력단자(V_{INT}) 사이를 피드백한 상태에서 진행된다. 또한, 2차 펄스 신호는 제1 및 제2 제어신호(p1 & p2)는 불활성 상태에서 생성되므로, 이때 제1 전하 모드 DAC(228)는 2차 펄스 신호의 생성에 영향을 주지 않는다.

[0056] 활성화된 제3 및 제4 제어신호(p3 & p4)에 응답하여 적분전압(V_{INT})의 전압준위가 비교전압(V_{CM})의 전압준위에 도달할 때까지의 제3 제어신호(p3)의 개수(N_{res})를 이용하여 2차 펄스 신호를 획득한다.

[0057] 상기의 내용을 요약하면, 적분기(220)는 광 검출부(210)로부터 수신한 전류를 적분한 적분전압(V_{INT})을 생성하며, 특히 기본 적분 동작을 수행하는 때에는 제1 전하 모드 DAC(228)를 적용하여 N(N은 자연수) 개의 제1 펄스 신호를 생성하도록 하고, 기본 적분 동작이 완료된 후 제2 전하 모드 DAC(229)를 적용하여 제1 펄스 신호의 마지막 잔존하는 시간 구간을 세분한 N_{RES} (N_{RES} 는 자연수) 개의 제2 펄스 신호를 생성하고, 제1 펄스 신호와 제2 펄스 신호를 디지털 출력신호(D_{OUT})에 모두 반영함으로써, 오버 샘플링 비율이 낮고 변환 시간을 단축하면서도 정확한 변환을 수행할 수 있도록 한다.

[0058] 비교기(230) 및 출력부(240)는 적분전압(V_{INT})에 포함된 N 및 N_{RES} 를 이용하여 최종 출력신호(D_{OUT})를 생성한다.

- [0059] 도 7은 비교기의 실시 예이다.
- [0060] 도 7을 참조하면, 비교회로(230)는 비교부(231), 버퍼부(236) 및 래치회로(238)를 포함한다.
- [0061] 비교회로(230)는 적어도 하나의 비교부(232, 234) 및 해당 비교부의 2개의 출력단자와 결합하는 2개의 오프셋 저장용 커패시터(C_{os_H} & C_{os_L})를 포함하며, 각 비교부는 하나의 비교기(233, 235)를 포함한다. 비교회로의 이득(Gain) 및 오프셋의 크기에 따라 비교부 및 오프셋 저장용 커패시터의 단(Stage) 수를 결정하면 된다.
- [0062] 비교회로(230)는 한편으로는 입력되는 적분전압(V_{INT})과 비교전압(V_{CM})을 비교한 비교결과전압을 생성하여 버퍼(236)에 전달하고, 다른 한편으로는 내부의 오프셋을 증폭하여 오프셋 저장용 커패시터(C_{os_H} & C_{os_L})에 저장하여 이어지는 버퍼(236)에 전달한다.
- [0063] 제1 비교부(232)는 제1 비교기(233) 및 4개의 스위치(SW19~SW22)를 포함한다.
- [0064] 제19 스위치(SW19)는 비교제어신호(pa)에 응답하여 적분기(220)로부터 출력되는 적분전압(V_{INT})을 제1 비교기(233)의 포지티브 입력단자(+)로 스위칭한다. 제20 스위치(SW20)는 오프셋제어신호(pz)에 응답하여 비교전압(V_{CM})을 제1 비교기(233)의 포지티브 입력단자(+)로 스위칭한다. 제21 스위치(SW21)는 오프셋제어신호(pz)에 응답하여 비교전압(V_{CM})을 제1 비교기(233)의 네거티브 입력단자(-)로 스위칭한다. 제22 스위치(SW22)는 비교제어신호(pa)에 응답하여 비교전압(V_{CM})을 제1 비교기(233)의 네거티브 입력단자(-)로 스위칭한다.
- [0065] 제1 오프셋 저장용 커패시터(C_{os_H})는 일 단자가 제1 비교기(233)의 제1 출력단자에 연결되고, 제2 오프셋 저장용 커패시터(C_{os_L})는 제1 비교기(233)의 제2 출력단자에 연결된다.
- [0066] 비교회로(230)가 하나의 비교부 만을 포함하고 있을 때, 제1 오프셋 저장용 커패시터(C_{os_H}) 및 제2 오프셋 저장용 커패시터(C_{os_L})의 다른 일 단자는 후술하는 버퍼(236)의 2개의 입력단자와 각각 연결된다.
- [0067] 비교회로(230)가 복수의 비교부를 포함하고 있다면, 일 단이 임의의 비교부의 출력과 연결된 제1 오프셋 저장용 커패시터(C_{os_H}) 및 제2 오프셋 저장용 커패시터(C_{os_L})의 다른 일 단자는 이어지는 비교부의 2개의 스위치의 일 단자에 각각 연결될 것이다.
- [0068] 버퍼부(236)는 증폭기(237) 및 2개의 스위치(SW23 & SW24)를 포함한다.
- [0069] 제23 스위치(SW23)는 오프셋제어신호(pz)에 응답하여 증폭기(237)의 포지티브 입력단자(+)와 네거티브 출력단자(-) 사이를 스위칭한다. 제24 스위치(SW24)는 오프셋제어신호(pz)에 응답하여 증폭기(237)의 네거티브 입력단자(-)와 포지티브 출력단자(+) 사이를 스위칭한다.
- [0070] 래치회로(238)는 비교회로(230)로부터 출력되는 전압준위를 클럭 신호(CLK)에 따라 2진 논리값(H, L) 중 하나로 결정한 비트 스트림 신호(BS)를 생성한다.
- [0071] 여기서, 비교제어신호(pa)는 제2 제어신호(p2)를 일정시간 지연시킨 신호와 동일하고, 오프셋제어신호(pz)는 제1 제어신호(p1)를 일정시간 지연시킨 신호와 동일하다. 여기서 일정시간은 시스템의 동작 주파수에 따라 변하게 되겠지만, 일반적으로 수 나노 세컨드(nano-seconds) 정도가 바람직하다.
- [0072] 도 8은 출력부의 일 실시 예이다.
- [0073] 도 8을 참조하면, 출력부(240)는 클럭 신호(CLK)에 응답하여 래치회로(237)에서 출력하는 비트 스트림 신호(BS)를 처리하여 디지털 출력신호(D_{OUT})를 생성하며, 이를 위해 데시메이션 필터(241) 및 디지털 백 엔드 블록(242)을 포함한다.
- [0074] 데시메이션 필터(241) 및 디지털 백 엔드 블록(242)의 구성 및 기능은 이 분야의 통상의 기술자라면 누구든지 이해할 수 있고 다양한 방식으로 구현할 수 있기 때문에 여기서는 자세하게 설명하지 않는다.
- [0075] 본 발명에 따른 광 디지털 변환기(200)는, 예를 들면, 최대 16 클럭(CLK)까지 제3 제어신호(p3)의 스위칭을 수행하였고, 잔여 적분용 피드백 커패시터($C_{residue}$)의 용량이 기본 적분용 피드백 커패시터(C_{INT})의 용량에 비해 15배가 되며, 기본 적분용 입력 커패시터(C_S) 및 잔여 적분용 입력 커패시터(C_{SR})의 용량이 동일하다고 가정할 때,

디지털 출력신호(D_{OUT})는 수학식 5와 같이 표시할 수 있다.

수학식 5

$$D_{OUT} = 16 \times N + N_{res}$$

클록 생성부(250)는 비교기(230)로부터 출력되는 비트 스트림 신호(BS)를 이용하여 제1 제어신호 ~ 제4 제어신호(p1~p4), 비교제어신호(pa) 및 오프셋제어신호(pz)를 생성한다.

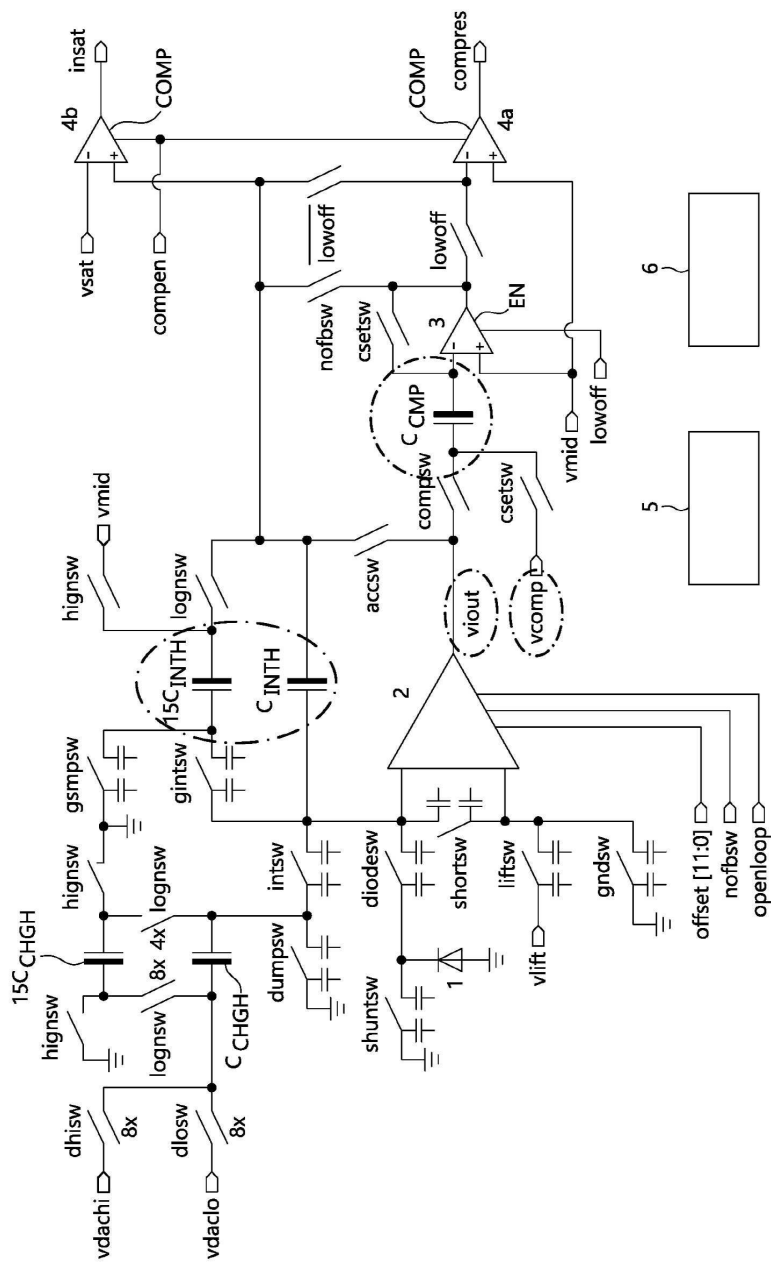
이상에서는 본 발명에 대한 기술사상을 첨부 도면과 함께 서술하였지만 이는 본 발명의 바람직한 실시 예를 예시적으로 설명한 것이지 본 발명을 한정하는 것은 아니다. 또한, 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 기술자라면 누구나 본 발명의 기술적 사상의 범주를 이탈하지 않는 범위 내에서 다양한 변형 및 모방 가능함은 명백한 사실이다.

부호의 설명

- 210: 광 검출부
- 220: 적분기
- 221: 차동-차동 증폭기 222: 피드백부
- 223: 전하 모드 DAC
- 230: 비교회로
- 231: 비교부 232: 버퍼
- 233: 래치회로
- 240: 출력부
- 250: 클록 생성부

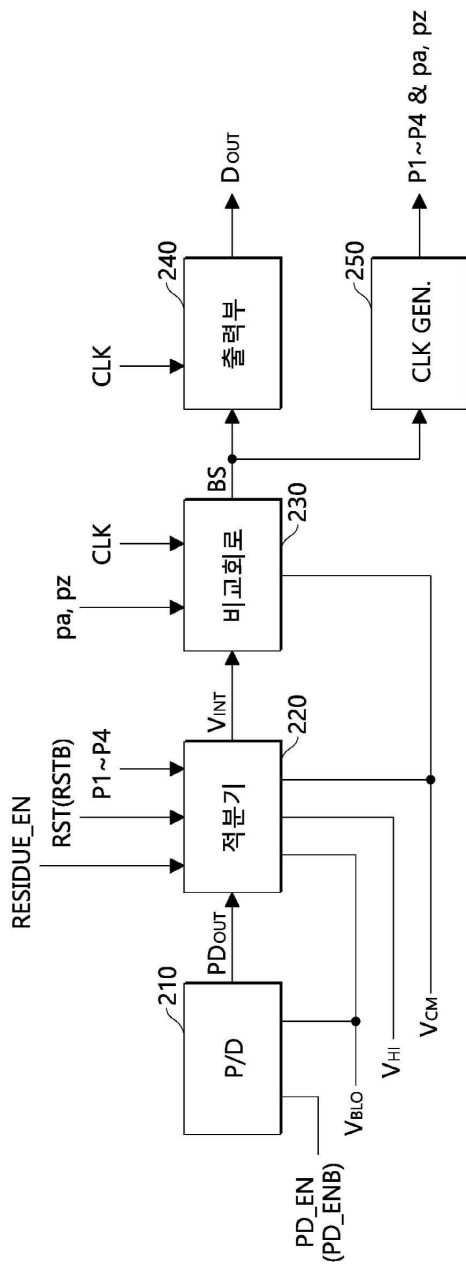
도면

도면1

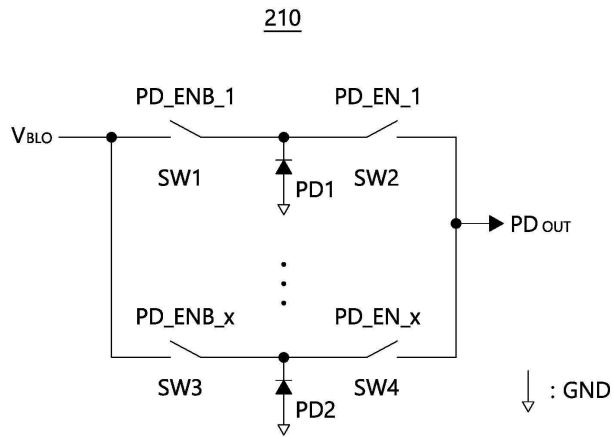


도면2

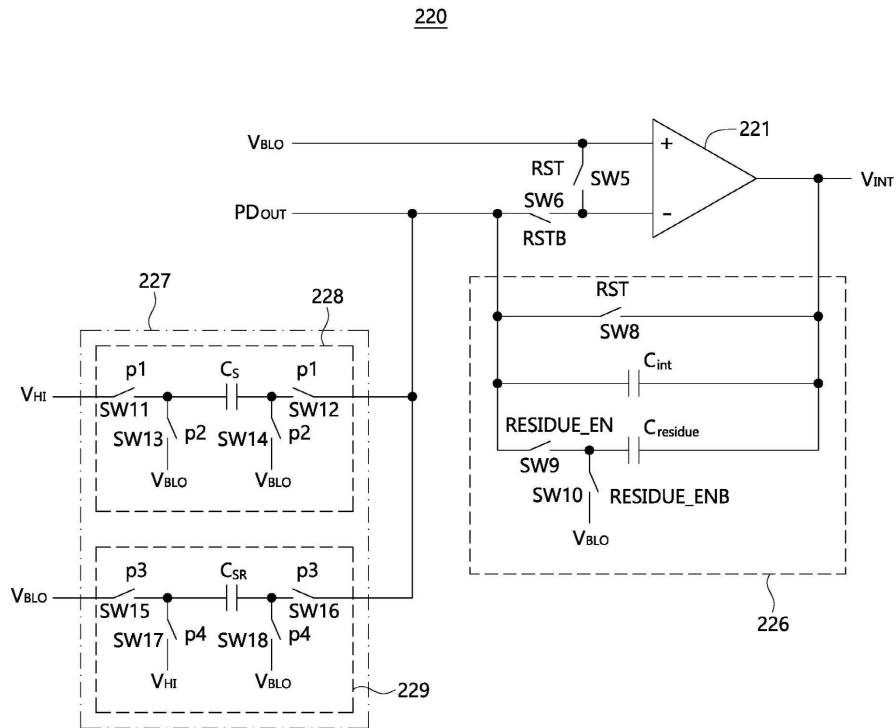
200



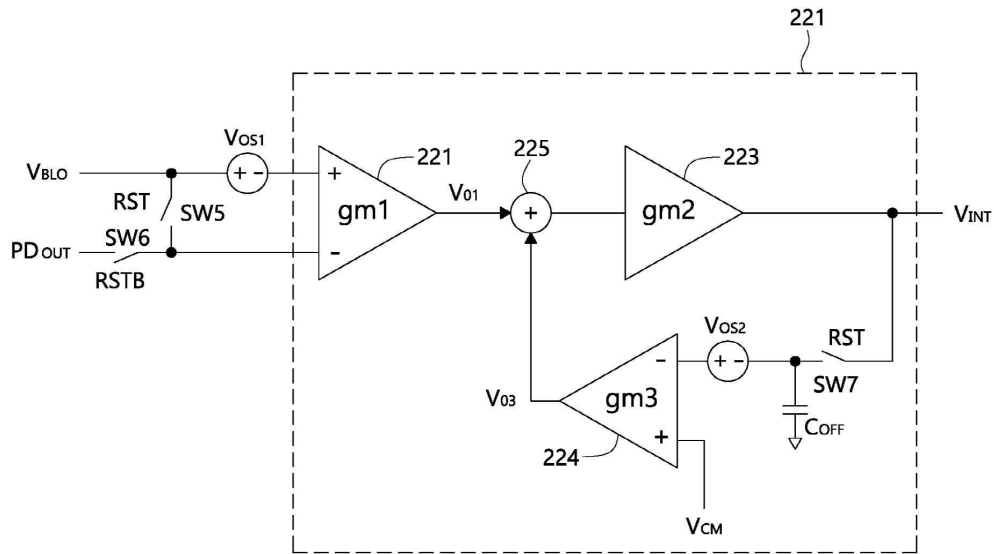
도면3



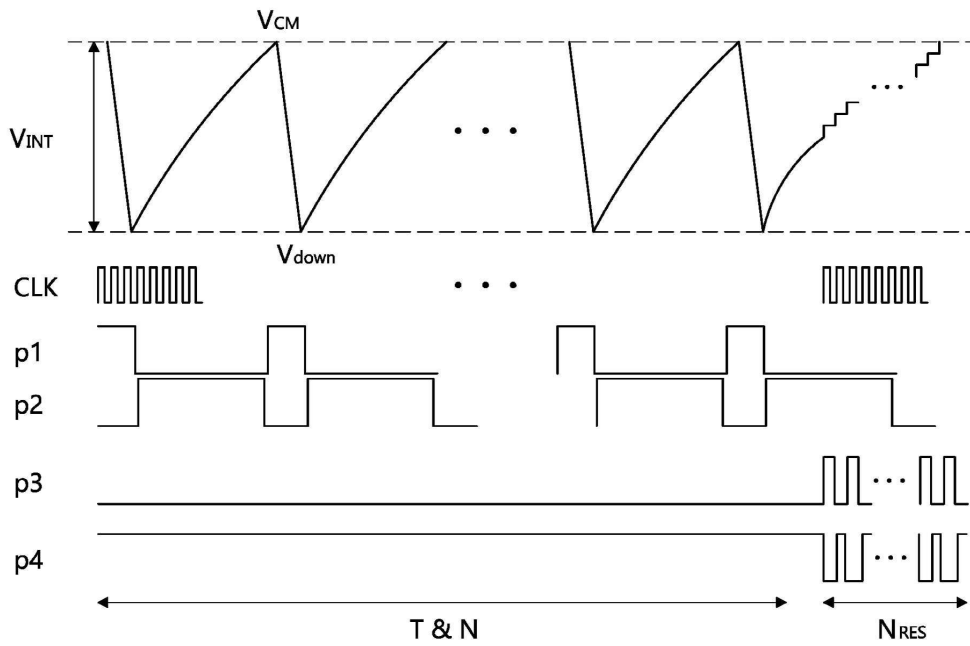
도면4



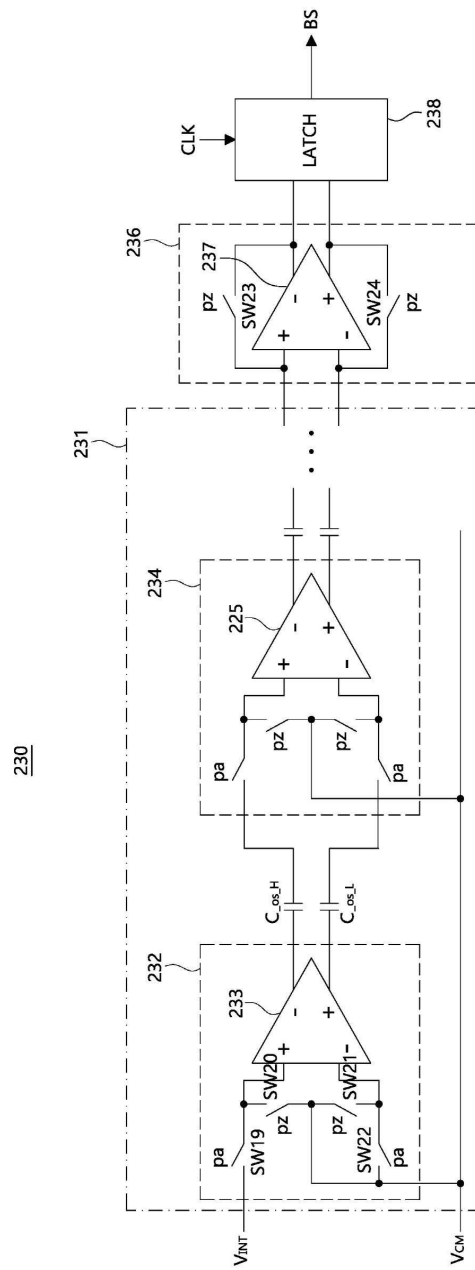
도면5



도면6



도면7



도면8

