

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2023 年 2 月 16 日 (16.02.2023)



(10) 国际公布号
WO 2023/015649 A1

(51) 国际专利分类号:
G06F 30/20 (2020.01)

(21) 国际申请号: PCT/CN2021/117235

(22) 国际申请日: 2021 年 9 月 8 日 (08.09.2021)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:
202110907897.6 2021 年 8 月 9 日 (09.08.2021) CN

(71) 申请人: 长鑫存储技术有限公司 (CHANGXIN MEMORY TECHNOLOGIES, INC.) [CN/CN]; 中国安徽省合肥市经济技术开发区空港工业园兴业大道 388 号, Anhui 230000 (CN)。

(72) 发明人: 尤劭 (YOU, Shao); 中国安徽省合肥市经济技术开发区空港工业园兴业大道 388 号, Anhui 230000 (CN)。

(74) 代理人: 北京中政联科专利代理事务所 (普通合伙) (BEIJING LINKAW PATENT ATTORNEY LAW FIRM); 中国北京市昌平区北清路 TBD 云集中心 2 号楼 B 座 502, Beijing 102209 (CN)。

(81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, IT, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,

(54) Title: POST-SIMULATION METHOD AND APPARATUS FOR INTEGRATED CIRCUIT

(54) 发明名称: 集成电路的后仿真方法和装置

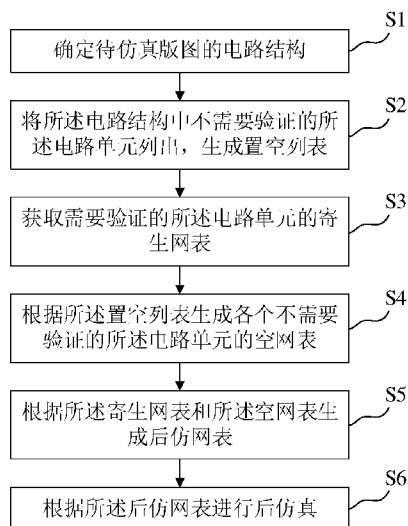


图 1

- S1 Determine a circuit structure of a layout to be simulated
S2 List circuit units that do not need to be verified in the circuit structure, so as to generate a null list
S3 Acquire a parasitic netlist of circuit units that need to be verified
S4 According to the null list, generate an empty netlist of the circuit units that do not need to be verified
S5 Generate a post-simulation netlist according to the parasitic netlist and the empty netlist
S6 Perform post-simulation according to the post-simulation netlist

(57) Abstract: Disclosed in the present application are a post-simulation method and apparatus for an integrated circuit. The method comprises: determining a circuit structure of a layout to be simulated, wherein the circuit structure comprises at least one circuit unit; listing circuit units that do not need to be verified in the circuit structure, so as to generate a null list; acquiring a parasitic netlist of circuit units that need to be verified; according to the null list, generating an empty netlist of the circuit units that do not need to be verified; generating a post-simulation netlist according to the parasitic netlist and the empty netlist; and performing post-simulation according to the post-simulation netlist. In the solution of the present application, certain circuit units that do not need to be verified in a parasitic netlist can be filtered out, and the parasitic netlist of the circuit units that do not need to be verified is replaced with an

ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US,
UZ, VC, VN, WS, ZA, ZM, ZW。

- (84) 指定国(除另有指明, 要求每一种可提供的地区
保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ,
NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM,
AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG,
CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU,
IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT,
RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI,
CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

— 包括国际检索报告(条约第21条(3))。

empty netlist; and a post-simulation netlist includes only a parasitic netlist of circuit units that need to be verified, such that the number of parasitic parameters can be significantly reduced, thereby shortening the time required for post-simulation of a circuit.

(57) 摘要: 本申请公开了一种集成电路的后仿真方法和装置; 所述方法包括: 确定待仿真版图的电路结构; 所述电路结构中包括至少一个电路单元; 将所述电路结构中不需要验证的所述电路单元列出, 生成置空列表; 获取需要验证的所述电路单元的寄生网表; 根据所述置空列表生成各个不需要验证的所述电路单元的空网表; 根据所述寄生网表和所述空网表生成后仿网表; 根据所述后仿网表进行后仿真。本申请的方案能够将寄生网表中某些不需要验证的电路单元过滤掉, 将这些不需要验证的电路单元的寄生网表用空网表替代; 后仿网表中仅包含需要验证的电路单元的寄生网表, 这样就能够大大减少寄生参数的数量, 从而缩短电路后仿真所需要的时间。

集成电路的后仿真方法和装置

交叉引用

- 5 本申请基于申请号为 202110907897.6、申请日为 2021 年 8 月 9 日的中国专利申请提出，并要求该中国专利申请的优先权，该中国专利申请的全部内容在此引入本申请作为参考。

技术领域

- 10 本申请涉及半导体技术领域，尤其涉及一种集成电路的后仿真方法和装置。

背景技术

- 仿真可以分为前仿真和后仿真，在一个完整的电路设计中应该
15 包括这两个过程。

前仿真是功能仿真，目标是分析电路的逻辑关系的正确性，可以根据需要观察电路输入输出端口和电路内部任一信号和寄存器的波形。前仿真是比较理想的仿真，并不包含任何物理信息（如寄生效应、互连延迟等），仿真速度快。

- 20 后仿真是将寄生参数、互连延迟反标到所提取的电路网表中进行仿真，对电路进行分析，确保电路符合设计要求。后仿真所使用的方法与前仿真并没有什么不同，只是加入寄生参数以及互连延

迟。后仿真的速度相对于前仿真慢得多。

相关技术中，随着集成电路规模的不断增大，芯片上晶体管的数量不断增加，这导致寄生电阻和电容的数目急剧膨胀，电路后仿真所需要的时间随之增加，电路验证时间越来越长，一定程度上

5 影响了芯片的设计周期和产品交付时间。

发明内容

本申请的目的是，解决大规模集成电路由于寄生参数的数量过于庞大而造成的后仿真时间过长的问题。

10 为了解决上述问题，本申请的第一方面，提供一种集成电路的后仿真方法，包括：

确定待仿真版图的电路结构；所述电路结构中包括至少一个电路单元；

15 将所述电路结构中不需要验证的所述电路单元列出，生成置空列表；

获取需要验证的所述电路单元的寄生网表；

根据所述置空列表生成各个不需要验证的所述电路单元的空网表；

根据所述寄生网表和所述空网表生成后仿网表；

20 根据所述后仿网表进行后仿真。

根据本申请的第二方面，提供一种集成电路的后仿真装置，包括：

确定模块，用于确定待仿真版图的电路结构；所述电路结构中包

括至少一个电路单元；

列表模块，用于将所述电路结构中不需要验证的所述电路单元列出，生成置空列表；

获取模块，用于获取需要验证的所述电路单元的寄生网表；

- 5 第一生成模块，用于根据所述置空列表生成各个不需要验证的所述电路单元的空网表；

第二生成模块，用于根据所述寄生网表和所述空网表生成后仿网表；

仿真模块，用于根据所述后仿网表进行后仿真。

- 10 根据本申请的第三方面，提供一种电子设备，包括：

存储器，用于存储计算机程序；

处理器，用于执行所述存储器中的计算机程序，以实现如上任意一种实施例所述方法的操作步骤。

- 15 根据本申请的第四方面，提供一种计算机可读存储介质，其上存储有计算机程序，所述计算机程序被处理器执行时实现如上任意一种实施例所述方法的操作步骤。

应当理解的是，以上的一般描述和后文的细节描述仅是示例性和解释性的，并不能限制本申请。

20 附图说明

图 1 是本申请实施例中提供的一种集成电路的后仿真方法的流程示意图。

图 2 是传统的后仿真网表结构示意图。

图 3 是本申请实施例中提供的一种“挖空”后的网表结构示意图。

图 4 是本申请实施例中提供的一种“挖空法”实施流程图。

图 5 是本申请实施例中提供的一种集成电路的后仿真装置的程序模块示意图。

图 6 是本申请实施例中提供的一种电子设备的硬件结构示意图。

具体实施方式

下面结合附图对本申请提供的集成电路的后仿真方法和装置的具体实施方式做详细说明。

为使本申请的目的、技术方案和优点更加清楚明白，以下结合具体实施例，并参照附图，对本申请进一步详细说明。但是应该理解，这些描述只是示例性的，而并非要限制本申请的范围。此外，在以下说明中，省略了对公知结构和技术的描述，以避免不必要地混淆本申请的概念。

为进一步详述本申请的技术方案，首先具体解释目前的传统后仿真技术存在的两个问题：

一方面，Top 层电路规模庞大，寄生参数多，然而实际上很多场景下一些子电路单元是不需要验证的，通常情况下又无法跳过这些单元，用户不得不对所有电路单元进行仿真，导致后仿真时间长；

另一方面，后仿真验证的前提是版图设计完成，能正常提取版图寄生参数。很多时候，子模块的版图设计大部分完成，但 Top 层版图设计短时间内无法 ready，导致后仿真迟迟不能进行。

本申请提出了一种新型的加速后仿真的方法，通过将 Top 层寄生网表中某些不需要验证的单元模块过滤掉（简称为“挖空法”），从而减少寄生参数的数目，缩短电路后仿真的时间。本申请的方案通过解决以上技术问题，可以大大提高集成电路仿真的速度和验证效率。

5 图 1 是根据一示例性实施例示出的一种集成电路的后仿真方法的流程图。该方法可以包括以下步骤：

步骤 S1：确定待仿真版图的电路结构；所述电路结构中包括至少一个电路单元；

10 步骤 S2：将所述电路结构中不需要验证的所述电路单元列出，生成置空列表；

步骤 S3：获取需要验证的所述电路单元的寄生网表；

步骤 S4：根据所述置空列表生成各个不需要验证的所述电路单元的空网表；

步骤 S5：根据所述寄生网表和所述空网表生成后仿网表；

15 步骤 S6：根据所述后仿网表进行后仿真。

本申请的方案能够将寄生网表中某些不需要验证的电路单元过滤掉，将这些不需要验证的电路单元的寄生网表用空网表替代；后仿网表中仅包含需要验证的电路单元的寄生网表，这样就能够大大减少寄生参数的数量，从而缩短电路后仿真所需要的时间。

20 应当理解的是，虽然图 1 的流程图中的各个步骤按照箭头的指示依次显示，但是这些步骤并不是必然按照箭头指示的顺序依次执行。除非本文中有明确的说明，这些步骤的执行并没有严格的顺序限制，

这些步骤可以以其它的顺序执行。而且，图 1 中的至少一部分步骤可以包括多个子步骤或者多个阶段，这些子步骤或者阶段并不必然是在同一时刻执行完成，而是可以在不同的时刻执行，这些子步骤或者阶段的执行顺序也不必然是依次进行，而是可以与其它步骤或者其它步骤的子步骤或者阶段的至少一部分轮流或者交替地执行。

下面结合具体的应用场景，对本申请的方案进行拓展说明。

如图 2 和图 3 所示，本申请的一些实施例采用“挖空法”加速后仿真。从图中可以看出，Cell（电路单元） D2 和 G 从 Top 寄生网表中被挖空；抽取 A 的寄生参数时，D2/G 被 skip 掉；需要将 D2/G 的电路网表定义为空。

图中，A 为 Top Cell，B/C/D/E/F/G 均为 Unit Cell，D1/D2 均为 Cell D 的子 Cell。需要说明的是，寄生网表实际上被扁平化，无层次结构，图中的单元层次仅仅为了描述其逻辑结构。

一些实施例中，所述获取需要验证的所述电路单元的寄生网表的步骤包括：

获取所述待仿真版图的寄生网表，在获取过程中根据所述置空列表跳过不需要验证的电路单元。

一些实施例中，所述获取待仿真版图的寄生网表的步骤包括：

导出所述电路结构的 cd1 网表；

根据所述待仿真版图导出 gds 文件；

抽取所述待仿真版图的寄生参数，在抽取过程中根据所述置空列表跳过不需要验证的电路单元；

根据所述置空列表、所述 cd1 网表、所述 gds 文件和所述寄生参数获得所述待仿真版图的寄生网表。

一些实施例中，所述获得所述待仿真版图的寄生网表的步骤包括：

5 将所述置空列表、所述 cd1 网表和所述 gds 文件输入到 EDA 自动化工具中，以使 EDA 自动化工具输出所述寄生网表。

一些实施例中，所有不需要验证的所述电路单元在所述空网表中的定义为空单元。

一些实施例中，所述根据寄生网表和所述空网表生成后仿网表的步骤包括：

10 将获取的寄生网表和生成的空网表包含到后仿网表中。

如图 4 所示，本申请实施例的“挖空法”的具体实施流程为：

1、导出 Top 层电路 cd1 网表 (A.cd1)。

2、导出 Top 层版图 gds 文件 (A.gds)。

3、列出所有需要 skip 的 cell (skip.list)。

15 4、抽取 Top 层版图寄生参数并在抽取寄生参数时 skip 上一步所列出的 cell list。

在步骤 4 中，将前三个步骤获得的 A.cd1、A.gds 和 skip.list 三个文件输入到 EDA 自动化工具中，以使其输出 A.spf 文件；需要说明的是，此处 A.spf 文件为挖空后的寄生网表，即不包含 skip.list

20 文件所列出的电路单元 (D2、G) 的寄生参数。作为对比说明，假设将 A.cd1 和 A.gds 文件输入 EDA 工具，则输出完整的 A.spf 文件，其中包含所有电路单元的寄生参数。

5、将所有 skip 电路单元 (D2、G) 定义为空。

6、将 Top 层电路寄生网表 (挖空后的 A.spf) 和各个 skip cell 的空网表 (D2.sp 和 G.sp) 包含到仿真网表中。

7、进行仿真。

5 本申请的“挖空法”能够将 Top 层寄生网表中某些不需要验证的电路单元过滤掉,从而减少寄生参数的数目,缩短电路后仿真的时间。本申请的方案通过以上技术方案,可以大大提高集成电路仿真的速度和验证效率。本申请的方案通过减少顶层寄生网表的单元数量来减小寄生参数的规模,从而缩短后仿真时间。此发明主要应用于大规模集
10 成电路后仿真,芯片设计或验证者均可通过此方法加速后仿真。

图 5 是根据一示例性实施例示出的一种集成电路的后仿真装置的电路框图。该装置包括:

确定模块,用于确定待仿真版图的电路结构;所述电路结构中包括至少一个电路单元;

15 列表模块,用于将所述电路结构中不需要验证的所述电路单元列出,生成置空列表;

获取模块,用于获取需要验证的所述电路单元的寄生网表;

第一生成模块,用于根据所述置空列表生成各个不需要验证的所述电路单元的空网表;

20 第二生成模块,用于根据所述寄生网表和所述空网表生成后仿网表;

仿真模块,用于根据所述后仿网表进行后仿真。

一些实施例中，所述获取模块在获取需要验证的所述电路单元的寄生网表时，具体用于：

获取所述待仿真版图的寄生网表，在获取过程中根据所述置空列表跳过不需要验证的电路单元。

- 5 一些实施例中，所述获取模块在获取待仿真版图的寄生网表时，具体用于：

导出所述电路结构的 cd1 网表；

根据所述待仿真版图导出 gds 文件；

- 抽取所述待仿真版图的寄生参数，在抽取过程中根据所述置空列表
10 表跳过不需要验证的电路单元；

根据所述置空列表、所述 cd1 网表、所述 gds 文件和所述寄生参数获得所述待仿真版图的寄生网表。

一些实施例中，所述获取模块在获得所述待仿真版图的寄生网表时，具体用于：

- 15 将所述置空列表、所述 cd1 网表和所述 gds 文件输入到 EDA 自动化工具中，以使 EDA 自动化工具输出所述寄生网表。

一些实施例中，所述第一生成模块在生成空网表时，具体用于：
将所有不需要验证的所述电路单元在所述空网表中定义为空单元。

- 20 一些实施例中，所述第二生成模块在生成后仿网表时，具体用于：
将获取的寄生网表和生成的空网表包含到后仿网表中。

关于上述实施例中的装置，其中各个模块执行操作的具体步骤已

经在有关该方法的实施例中进行了详细描述，此处不再详细阐述说明。

上述集成电路的后仿真装置中的各个模块可全部或部分通过软件、硬件及其组合来实现。上述各模块可以硬件形式内嵌于或独立于计算机设备中的处理器中，也可以以软件形式存储于计算机设备中的存储器中，以便于处理器调用执行以上各个模块对应的操作。

为了更好的理解本申请实施例，参照图 6，为本申请实施例提供一种电子设备的硬件结构示意图。如图 6 所示，本实施例的电子设备包括存储器，用于存储计算机程序；

处理器，用于执行所述存储器中的计算机程序，以实现上述实施例中描述的集成电路后仿真方法中的各个步骤，具体可以参见前述方法实施例中的相关描述，本实施例不再赘述。

可选地，存储器既可以是独立的，也可以跟处理器集成在一起。当存储器独立设置时，该设备还包括总线，用于连接所述存储器和处理器。

基于上述实施例中所描述的内容，本申请实施例中还提供了一种计算机可读存储介质，该计算机可读存储介质中存储有计算机执行指令，当处理器执行所述计算机执行指令时，以实现如上述实施例中描述的集成电路后仿真方法中的各个步骤，具体可以参见前述方法实施例中的相关描述，本实施例不再赘述。

可以理解的是，上述各实施例中相同或相似部分可以相互参考，在一些实施例中未详细说明的内容可以参见其他实施例中相同或相似的内容。

流程图中或在此以其他方式描述的任何过程或方法描述可以被理解为，表示包括一个或更多个用于实现特定逻辑功能或过程的步骤的可执行指令的代码的模块、片段或部分，并且本申请的优选实施方式的范围包括另外的实现，其中可以不按所示出或讨论的顺序，包括
5 根据所涉及的功能按基本同时的方式或按相反的顺序，来执行功能，这应被本申请的实施例所属技术领域的技术人员所理解。

应当理解，本申请的各部分可以用硬件、软件、固件或它们的组合来实现。在上述实施方式中，多个步骤或方法可以用存储在存储器中且由合适的指令执行系统执行的软件或固件来实现。例如，如果用
10 硬件来实现，和在另一实施方式中一样，可用本领域公知的下列技术中的任一项或他们的组合来实现：具有用于对数据信号实现逻辑功能的逻辑门电路的离散逻辑电路，具有合适的组合逻辑门电路的专用集成电路，可编程门阵列（PGA），现场可编程门阵列（FPGA）等。

本技术领域的普通技术人员可以理解实现上述实施例方法携带
15 的全部或部分步骤是可以通程序来指令相关的硬件完成，所述的程序可以存储于一种计算机可读存储介质中，该程序在执行时，包括方法实施例的步骤之一或其组合。

此外，在本申请各个实施例中的各功能单元可以集成在一个处理模块中，也可以是各个单元单独物理存在，也可以两个或两个以上单元集成在一个模块中。上述集成的模块既可以采用硬件的形式实现，
20 也可以采用软件功能模块的形式实现。所述集成的模块如果以软件功能模块的形式实现并作为独立的产品销售或使用时，也可以存储在一

个计算机可读取存储介质中。

上述提到的存储介质可以是只读存储器，磁盘或光盘等。

在本说明书的描述中，参考术语“一个实施例”、“一些实施例”、“示例”、“具体示例”、或“一些示例”等的描述意指结合该实施例
5 或示例描述的具体特征、结构、材料或者特点包含于本申请的至少一个实施例或示例中。在本说明书中，对上述术语的示意性表述不一定指的是相同的实施例或示例。而且，描述的具体特征、结构、材料或者特点可以在任何的一个或多个实施例或示例中以合适的方式结合。

应当理解的是，本申请的上述具体实施方式仅仅用于示例性说明
10 或解释本申请的原理，而不构成对本申请的限制。因此，在不偏离本申请的精神和范围的情况下所做的任何修改、等同替换、改进等，均应包含在本申请的保护范围之内。此外，本申请所附权利要求旨在涵盖落入所附权利要求范围和边界、或者这种范围和边界的等同形式内的全部变化和修改例。

权 利 要 求

1、一种集成电路的后仿真方法，其中，包括：

确定待仿真版图的电路结构；所述电路结构中包括至少一个电路单元；

5 将所述电路结构中不需要验证的所述电路单元列出，生成置空列表；

获取需要验证的所述电路单元的寄生网表；

根据所述置空列表生成各个不需要验证的所述电路单元的空网表；

10 根据所述寄生网表和所述空网表生成后仿网表；

根据所述后仿网表进行后仿真。

2、根据权利要求 1 所述的方法，其中，所述获取需要验证的所述电路单元的寄生网表的步骤包括：

15 获取所述待仿真版图的寄生网表，在获取过程中根据所述置空列表跳过不需要验证的电路单元。

3、根据权利要求 2 所述的方法，其中，所述获取待仿真版图的寄生网表的步骤包括：

导出所述电路结构的 cd1 网表；

根据所述待仿真版图导出 gds 文件；

20 抽取所述待仿真版图的寄生参数，在抽取过程中根据所述置空列表跳过不需要验证的电路单元；

根据所述置空列表、所述 cd1 网表、所述 gds 文件和所述寄生参数获得所述待仿真版图的寄生网表。

25 4、根据权利要求 3 所述的方法，其中，所述获得所述待仿真版图的寄生网表的步骤包括：

将所述置空列表、所述 cd1 网表和所述 gds 文件输入到 EDA 自动化工具中，以使 EDA 自动化工具输出所述寄生网表。

5、根据权利要求 1-4 任一项所述的方法，其中，所有不需要验证的所述电路单元在所述空网表中的定义为空单元。

6、根据权利要求 5 所述的方法，其中，所述根据寄生网表和所述空网表生成后仿网表的步骤包括：

将获取的寄生网表和生成的空网表包含到后仿网表中。

7、一种集成电路的后仿真装置，其中，包括：

5 确定模块，用于确定待仿真版图的电路结构；所述电路结构中包括至少一个电路单元；

列表模块，用于将所述电路结构中不需要验证的所述电路单元列出，生成置空列表；

获取模块，用于获取需要验证的所述电路单元的寄生网表；

10 第一生成模块，用于根据所述置空列表生成各个不需要验证的所述电路单元的空网表；

第二生成模块，用于根据所述寄生网表和所述空网表生成后仿网表；

仿真模块，用于根据所述后仿网表进行后仿真。

15 8、根据权利要求 7 所述的装置，其中，所述获取模块在获取需要验证的所述电路单元的寄生网表时，具体用于：

获取所述待仿真版图的寄生网表，在获取过程中根据所述置空列表跳过不需要验证的电路单元。

20 9、根据权利要求 8 所述的装置，其中，所述获取模块在获取待仿真版图的寄生网表时，具体用于：

导出所述电路结构的 cd1 网表；

根据所述待仿真版图导出 gds 文件；

抽取所述待仿真版图的寄生参数，在抽取过程中根据所述置空列表跳过不需要验证的电路单元；

25 根据所述置空列表、所述 cd1 网表、所述 gds 文件和所述寄生参数获得所述待仿真版图的寄生网表。

10、根据权利要求 9 所述的装置，其中，所述获取模块在获得所述待仿真版图的寄生网表时，具体用于：

30 将所述置空列表、所述 cd1 网表和所述 gds 文件输入到 EDA 自动化工具中，以使 EDA 自动化工具输出所述寄生网表。

11、根据权利要求 7-10 任一项所述的装置，其中，所述第一生成模块在生成空网表时，具体用于：

将所有不需要验证的所述电路单元在所述空网表中定义为空单元。

5 12、根据权利要求 11 所述的装置，其中，所述第二生成模块在生成后仿网表时，具体用于：

将获取的寄生网表和生成的空网表包含到后仿网表中。

13、一种电子设备，其中，包括：

存储器，用于存储计算机程序；

10 处理器，用于执行所述存储器中的计算机程序，以实现权利要求 1 至 6 中任一项所述方法的操作步骤。

14、一种计算机可读存储介质，其上存储有计算机程序，其中，所述计算机程序被处理器执行时实现权利要求 1 至 6 中任一项所述方法的操作步骤。

15

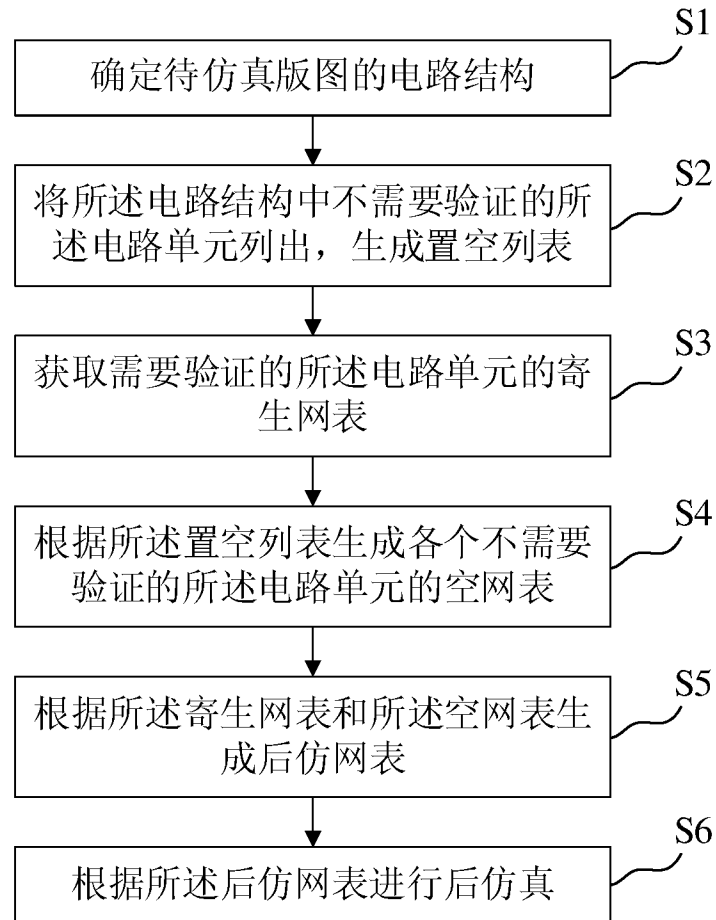


图 1

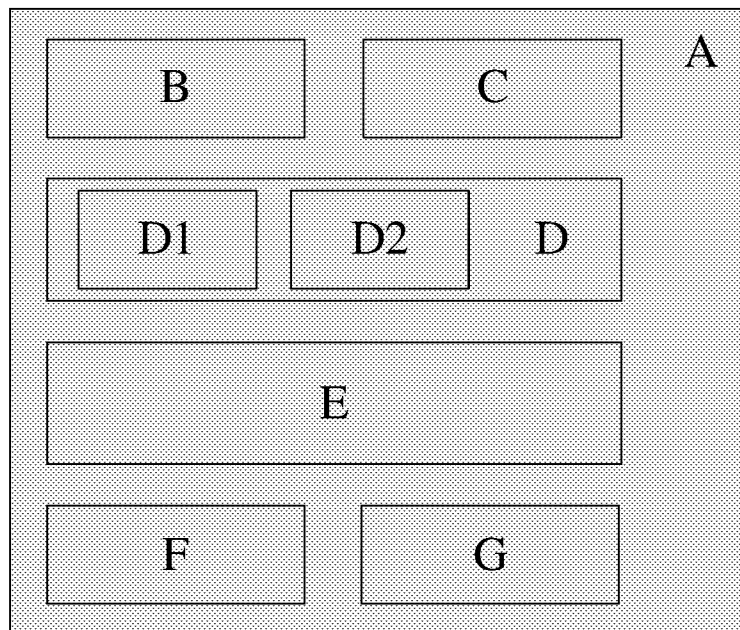


图 2

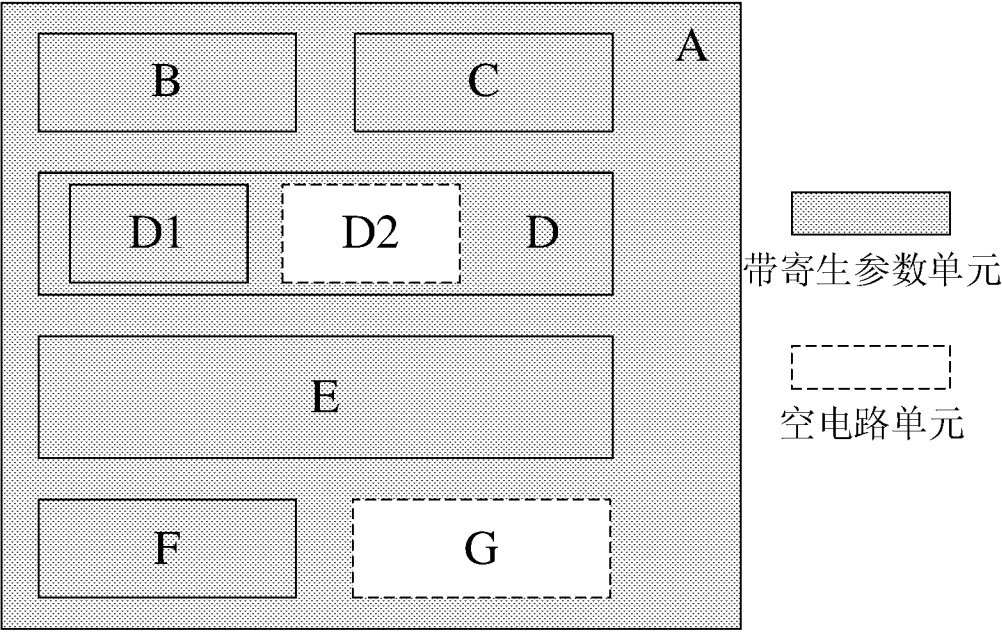


图 3

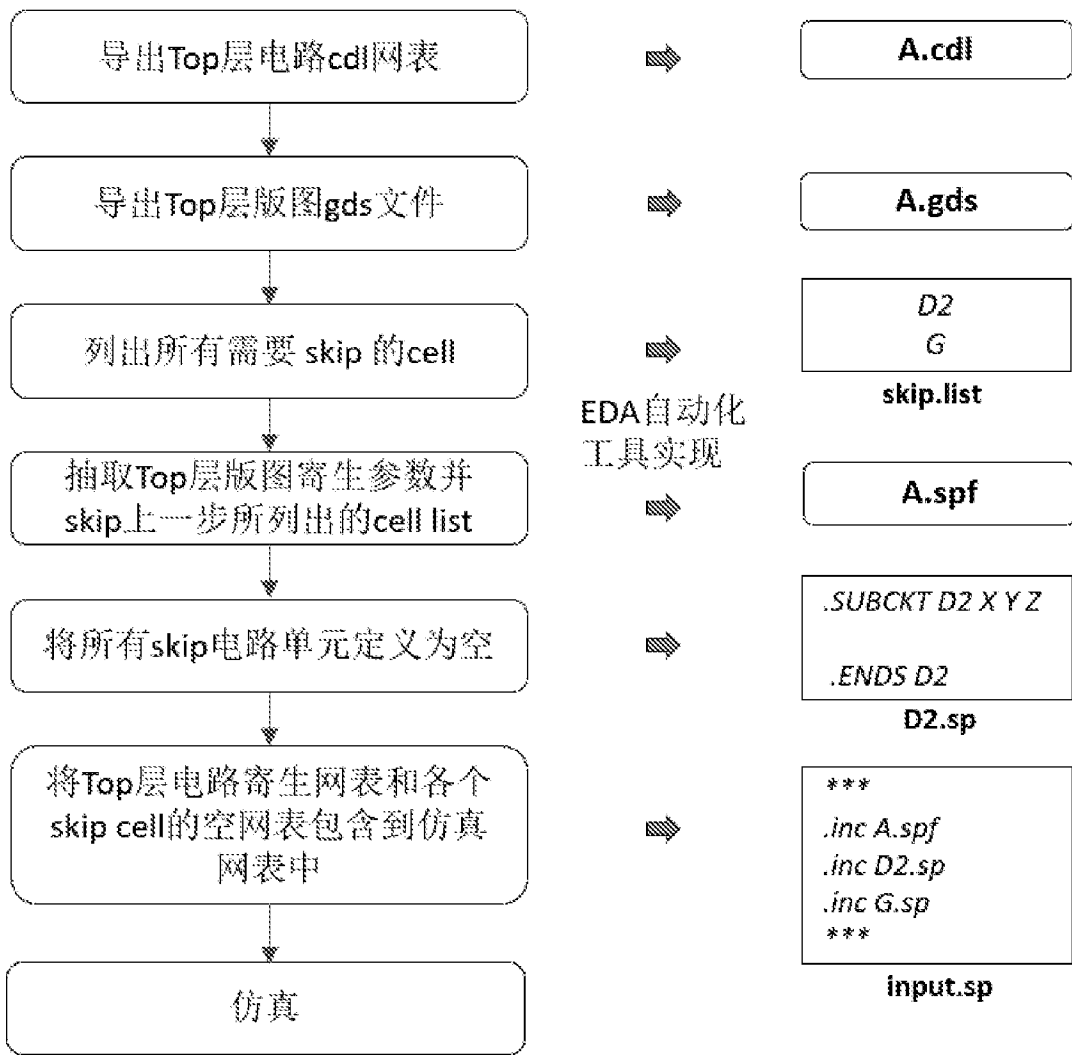


图 4

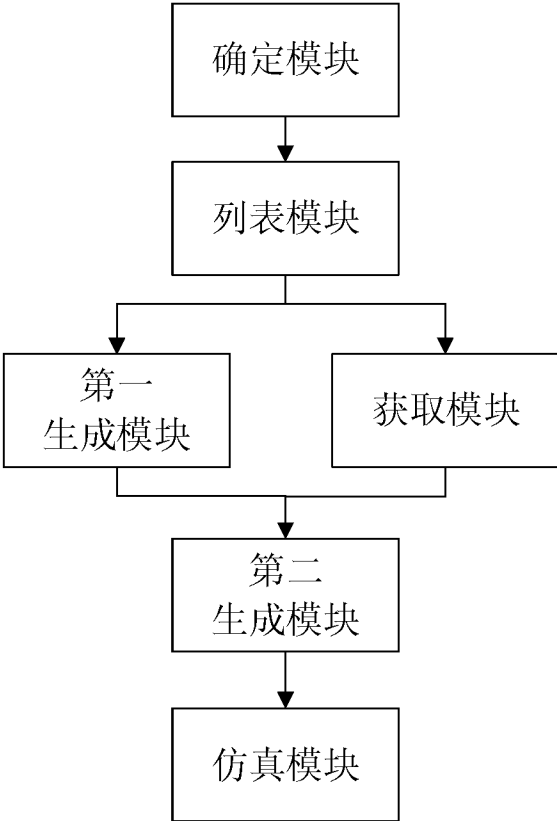


图 5

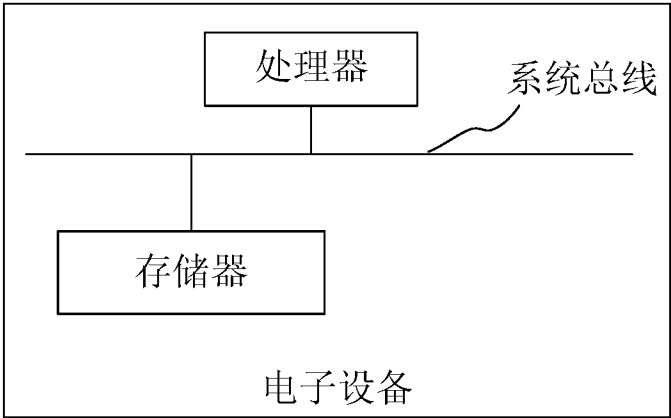


图 6

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2021/117235

A. CLASSIFICATION OF SUBJECT MATTER

G06F 30/20(2020.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G06F

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNABS; CNTXT; CNKI; VEN; USTXT; WOTXT; EPTXT; IEEE; 百度, BAIDU: 长鑫存储技术有限公司, 集成电路, 后仿真, 版图, 单元, 模块, 验证, 过滤, 排除, 删除, 跳过, 挖空, 寄生网表, 空网表, integrated circuit, IC, post simulation, layout, unit, module, verification, filtering, exclusion, deletion, skipping, hollowing out, parasitic netlist, empty netlist

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	CN 106802967 A (EMPYREAN SOFTWARE, INC.) 06 June 2017 (2017-06-06) description, paragraphs [0002]-[0007], and figures 1-8	1-14
A	CN 103995943 A (SHANGHAI HUALI MICROELECTRONICS CORP.) 20 August 2014 (2014-08-20) entire document	1-14
A	CN 112765916 A (SHANGHAI HUAHONG GRACE SEMICONDUCTOR MANUFACTURING CORP.) 07 May 2021 (2021-05-07) entire document	1-14
A	US 2011197170 A1 (SYNOPSYS INC.) 11 August 2011 (2011-08-11) entire document	1-14
A	JP 2010245382 A (ELPIDA MEMORY INC.) 28 October 2010 (2010-10-28) entire document	1-14



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance
 “E” earlier application or patent but published on or after the international filing date
 “L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
 “O” document referring to an oral disclosure, use, exhibition or other means
 “P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
 “X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
 “Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
 “&” document member of the same patent family

Date of the actual completion of the international search

16 March 2022

Date of mailing of the international search report

30 March 2022

Name and mailing address of the ISA/CN

China National Intellectual Property Administration (ISA/
CN)
No. 6, Xitucheng Road, Jimenqiao, Haidian District, Beijing
100088, China

Facsimile No. (86-10)62019451

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2021/117235

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
CN	106802967	A	06 June 2017	None			
CN	103995943	A	20 August 2014	None			
CN	112765916	A	07 May 2021	None			
US	2011197170	A1	11 August 2011	US	8407646	B2	26 March 2013
				US	2013318489	A1	28 November 2013
				US	8806406	B2	12 August 2014
JP	2010245382	A	28 October 2010	None			

国际检索报告

国际申请号

PCT/CN2021/117235

A. 主题的分类 G06F 30/20 (2020.01) i 按照国际专利分类 (IPC) 或者同时按照国家分类和 IPC 两种分类																				
B. 检索领域 检索的最低限度文献 (标明分类系统和分类号) G06F 包含在检索领域中的除最低限度文献以外的检索文献 在国际检索时查阅的电子数据库 (数据库的名称, 和使用的检索词 (如使用)) CNABS; CNTXT; CNKI; VEN; USTXT; WOTXT; EPTXT; IEEE; 百度: 长鑫存储技术有限公司, 集成电路, 后仿真, 版图, 单元, 模块, 验证, 过滤, 排除, 删除, 跳过, 挖空, 寄生网表, 空网表, integrated circuit, IC, post simulation, layout, unit, module, verification, filtering, exclusion, deletion, skipping, hollowing out, parasitic netlist, empty netlist																				
C. 相关文件 <table border="1"> <thead> <tr> <th>类 型*</th> <th>引用文件, 必要时, 指明相关段落</th> <th>相关的权利要求</th> </tr> </thead> <tbody> <tr> <td>A</td> <td>CN 106802967 A (北京华大九天软件有限公司) 2017年6月6日 (2017 - 06 - 06) 说明书第[0002]-[0007]段, 附图1-8</td> <td>1-14</td> </tr> <tr> <td>A</td> <td>CN 103995943 A (上海华力微电子有限公司) 2014年8月20日 (2014 - 08 - 20) 全文</td> <td>1-14</td> </tr> <tr> <td>A</td> <td>CN 112765916 A (上海华虹宏力半导体制造有限公司) 2021年5月7日 (2021 - 05 - 07) 全文</td> <td>1-14</td> </tr> <tr> <td>A</td> <td>US 2011197170 A1 (SYNOPSYS INC) 2011年8月11日 (2011 - 08 - 11) 全文</td> <td>1-14</td> </tr> <tr> <td>A</td> <td>JP 2010245382 A (ELPIDA MEMORY INC) 2010年10月28日 (2010 - 10 - 28) 全文</td> <td>1-14</td> </tr> </tbody> </table>			类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求	A	CN 106802967 A (北京华大九天软件有限公司) 2017年6月6日 (2017 - 06 - 06) 说明书第[0002]-[0007]段, 附图1-8	1-14	A	CN 103995943 A (上海华力微电子有限公司) 2014年8月20日 (2014 - 08 - 20) 全文	1-14	A	CN 112765916 A (上海华虹宏力半导体制造有限公司) 2021年5月7日 (2021 - 05 - 07) 全文	1-14	A	US 2011197170 A1 (SYNOPSYS INC) 2011年8月11日 (2011 - 08 - 11) 全文	1-14	A	JP 2010245382 A (ELPIDA MEMORY INC) 2010年10月28日 (2010 - 10 - 28) 全文	1-14
类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求																		
A	CN 106802967 A (北京华大九天软件有限公司) 2017年6月6日 (2017 - 06 - 06) 说明书第[0002]-[0007]段, 附图1-8	1-14																		
A	CN 103995943 A (上海华力微电子有限公司) 2014年8月20日 (2014 - 08 - 20) 全文	1-14																		
A	CN 112765916 A (上海华虹宏力半导体制造有限公司) 2021年5月7日 (2021 - 05 - 07) 全文	1-14																		
A	US 2011197170 A1 (SYNOPSYS INC) 2011年8月11日 (2011 - 08 - 11) 全文	1-14																		
A	JP 2010245382 A (ELPIDA MEMORY INC) 2010年10月28日 (2010 - 10 - 28) 全文	1-14																		
☐ 其余文件在C栏的续页中列出。 ☒ 见同族专利附件。																				
<table border="0"> <tr> <td> * 引用文件的具体类型: “A” 认为不特别相关的表示了现有技术一般状态的文件 “E” 在国际申请日的当天或之后公布的在先申请或专利 “L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 (如具体说明的) “O” 涉及口头公开、使用、展览或其他方式公开的文件 “P” 公布日先于国际申请日但迟于所要求的优先权日的文件 </td> <td> “T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件 “X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性 “Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性 “&” 同族专利的文件 </td> </tr> </table>			* 引用文件的具体类型: “A” 认为不特别相关的表示了现有技术一般状态的文件 “E” 在国际申请日的当天或之后公布的在先申请或专利 “L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 (如具体说明的) “O” 涉及口头公开、使用、展览或其他方式公开的文件 “P” 公布日先于国际申请日但迟于所要求的优先权日的文件	“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件 “X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性 “Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性 “&” 同族专利的文件																
* 引用文件的具体类型: “A” 认为不特别相关的表示了现有技术一般状态的文件 “E” 在国际申请日的当天或之后公布的在先申请或专利 “L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 (如具体说明的) “O” 涉及口头公开、使用、展览或其他方式公开的文件 “P” 公布日先于国际申请日但迟于所要求的优先权日的文件	“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件 “X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性 “Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性 “&” 同族专利的文件																			
国际检索实际完成的日期 2022年3月16日		国际检索报告邮寄日期 2022年3月30日																		
ISA/CN的名称和邮寄地址 中国国家知识产权局 (ISA/CN) 中国北京市海淀区蓟门桥西土城路6号 100088 传真号 (86-10)62019451		授权官员 赵玉航 电话号码 (86-512) 88995879																		

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2021/117235

检索报告引用的专利文件			公布日 (年/月/日)	同族专利	公布日 (年/月/日)
CN	106802967	A	2017年6月6日	无	
CN	103995943	A	2014年8月20日	无	
CN	112765916	A	2021年5月7日	无	
US	2011197170	A1	2011年8月11日	US 8407646 B2	2013年3月26日
				US 2013318489 A1	2013年11月28日
				US 8806406 B2	2014年8月12日
JP	2010245382	A	2010年10月28日	无	