

公 告 本

申請日期	87.4.30
案 號	87106712
類 別	G102F 1/133

A4
C4

439001

(以上各欄由本局填註)

發 明 專 利 說 明 書

一、發明 名稱	中 文	製造微電子裝置之微影曝光方法及利用該方法之液晶顯示器製造方法
	英 文	"EXPOSING METHODS IN PHOTOLITHOGRAPHY USED FOR MANUFACTURING MICROELECTRONIC DEVICES AND A MANUFACTURING METHOD OF A LIQUID CRYSTAL DISPLAY USING THE SAME"
二、發明 創作人	姓 名	金 東 奎
	國 籍	韓國
	住、居所	大韓民國京畿道水原市八達區仁溪洞鮮京 APT.302-801
三、申請人	姓 名 (名稱)	韓商三星電子股份有限公司
	國 籍	韓國
	住、居所 (事務所)	大韓民國京畿道水原市八達區梅灘洞416番地
	代 表 人 姓 名	尹 鍾 龍

經濟部中央標準局員工消費合作社印製

裝 訂 線

439001

(由本局填寫)

承辦人代碼：
大類：
IPC分類：

A6
B6

本案已向：

國(地區) 申請專利, 申請日期: 案號: , 有 無主張優先權
 韓國 1998年1月30日 97-66461 有 無主張優先權

有關微生物已寄存於: , 寄存日期: , 寄存號碼:

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

經濟部中央標準局員工消費合作社印製

五、發明說明(1)

發明背景

(a) 發明範疇

本發明有關一種用以製造微電子裝置之微影曝光法，及使用該方法製造液晶顯示裝置之方法。

(b) 相關技藝描述

諸如液晶顯示裝置之微電子裝置及半導體裝置之圖型通常係使用微影法形成。於微影法中，有兩種將掩模影像投影於塗覆在裝置表面上之光阻以形成圖型之技術。其一係該裝置之整體表面上僅進行一個曝光步驟，另一種係於該裝置之表面上進行至少兩個曝光步驟。後一種稱為步進重複技術之技術係將該裝置之表面分成數個曝光區，而影像僅投影於一個曝光區，並於該表面上步進重複地進行。

雖然步進重複技術相對於前一種技術產生精確圖型，但曝光區間可能產生對正不當。該對正不當可能起因於曝光裝置之精確度限制，可能造成圖型移位、旋轉及扭曲，而造成諸如線路中斷及曝光區間之電性質差異之缺陷。

例如，液晶顯示裝置曝光區中之數據線與像元電極間及閘極與汲極間之儲存電容及寄生電容可能相異，而可能造成反衝電壓差異。

參照圖1，詳細描述反衝電壓與液晶顯示裝置之電容間之關係。

圖1係為液晶顯示裝置之像元之等線路圖。傳送掃描信號之閘極線GL及傳送影像信號之數據線DL彼此交叉。切換元件諸如薄膜電晶體(TFT)之閘極G係連接於閘極線GL，源

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明(2)

極S係連接於數據線DL。TFT之汲極D係連接於液晶電容器 C_{LC} 及儲存電容器 C_{ST} 。當TFT藉由施加於閘極G之掃描信號之閘極連通電壓而連通時，來自數據線DL之影像信號隨之以電壓之形式施加於液晶電容器 C_{LC} 及儲存電容器 C_{ST} 。當TFT藉由掃描信號之閘極斷開電壓而斷開時，施加於液晶電容器 C_{LC} 及儲存電容器 C_{ST} 之電壓可保持其值。然而，介於閘極G及汲極D之間之寄生電容器 C_{GD} 使跨經液晶電容器 C_{LC} 之電壓降低。該電壓降稱為反衝電壓 ΔV 而由下式表示。

$$\Delta V = \frac{C_{gd}}{C_{lc} + C_{st} + C_{gd}} \times \Delta V_g,$$

其中 C_{lc} 係為液晶電容器 C_{LC} 之電容， C_{st} 係為儲存電容器 C_{ST} 之儲存電容， C_{gd} 係為介於閘極G與汲極D間之寄生電容器，而 ΔV_g 係為閘極連通電壓與閘極斷開電壓間之電壓差。

曝光區之間之反衝電壓差異可能造成亮度差，使用者可於曝光區邊界輕易偵測。

美國專利第5,026,143號揭示一種具有線路之裝置，其線路寬度愈接近相鄰兩曝光區之邊界即愈寬。雖然此種技術可減少介於曝光區間之線路斷裂之情況，但仍無法解決諸如反衝電壓之電性質差異之問題。

發明簡述

因此本發明之目的係降低微電子裝置之曝光區邊界附近的電性質差異。

本發明另一個目的係降低微電子裝置之曝光區邊界附近

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明(3)

的亮度差異。

本發明之此等及其他目的可藉著於兩相鄰曝光區間提供邊界區而達成。該邊界區具有第一個及第二個邊界部分，其於第一個曝光區及第二個曝光區個別曝光時曝光，而第一個及第二個邊界部分之間之邊緣的形狀不為直線。該非線性之邊緣可防止使用者輕易地發現曝光區之間之電性質差異。例如，使用者不會輕易發現液晶顯示裝置中曝光區間之亮度差。

尤其，根據本發明，藉著將基板分成第一區及第二區和介於該第一區及第二區之間之邊界區，而使塗覆於基板表面上之光阻經由掩模曝光，其中該邊界區具有第一個及第二個邊界部分。該光阻位於第一區及第一個邊界部分上之第一個部分，及該光阻位於第二區及第二個邊界區之第二個部分依序經由掩模曝光。根據本發明，界於該光阻之第一個部分及第二個部分之間之邊界的形狀並非直線。而該第二個邊界部分相對於第一個邊界部分之面積係愈接近該第二區面積愈大。

該曝光方法可應用於液晶顯示裝置。

根據本發明製造具有多個像元之液晶顯示裝置，其係於基板形成閘極圖型，包括多條閘極線及與彼連接之閘極陣列。於該閘極上形成通道陣列層，並與閘極隔離。於該通導層上形成源極及汲極之陣列。於上層形成像元電極陣列，而個別連接於汲極。根據本發明，使用前述曝光方法形成閘極圖型、源極及汲極陣列、通道層陣列及像元電極陣

五、發明說明(4)

列中之至少一個。意即，藉著塗覆光阻，將該光阻分成第一個及第二個區域及界於該第一個及第二個區域之間之邊界區，而製造至少一個閘極圖型及陣列。具有第一個部分及第二個部分、及第一區及第一個部分及第二區及第二個部分依序經由掩模曝光。該第二個部分之面積愈接近第二區愈大。

可於基板上形成多個儲存電極。該儲存電極與像元電極重疊，而與該像元電極隔離。

該邊界區可包括多個等面積之副區。該副區可排列成具有多行及多列之矩陣形狀，該第一個及第二個部分包括該副區。該第二個部分於矩陣行中之副區數目愈接近第二個區愈大。

一個副區可對應於一個像元。每個像元皆包括一個像元電極及具有個別之閘極、通道層、源極及汲極之薄膜電晶體。

附圖簡述

圖1係為液晶顯示裝置之像元之等線路圖。

圖2顯示本發明微電子裝置所用之基板。

圖3係為沿圖2之III-III'線所得之剖面圖。

圖4係為圖2所示之兩個已曝光之相鄰區域之放大圖。

圖5係為圖4所示之邊界區之實例的放大圖。

圖6係為圖4所示之邊界區之另一個實例之放大圖。

圖7A至7C係為以位置之函數表示邊界區之第一個及第二個部分及第一區及第二區之面積之圖。

五、發明說明(5)

圖 8A 至 8C 係為以位置之函數表示圖 7A 至 7C 所示之液晶顯示裝置之亮度之圖。

圖 9 係為本發明具體實例之液晶顯示裝置之配置圖。

圖 10 係為沿圖 9 之 X-X' 線所得之剖面圖。

圖 11A 至 11D 係為圖 9 及 10 之液晶顯示裝置於中間製造步驟期間之剖面圖。

圖 12 係為本發明另一個具體實例之液晶顯示裝置之配置圖。

元件符號之簡單說明

- 10 基板
- 11, 12, 13, 14 曝光區
- 15 金屬層
- 20 閘極線
- 30 閘極絕緣層
- 40 通道層
- 50 摻雜之非晶性矽層
- 60 數據線
- 70 鈍化層
- 71 接觸孔
- 80 像元電極
- 90 儲存電極
- 100 基板
- 110, 120 主要照射區
- 130 邊界區域

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (5a)

- 131 邊界
210 閘極
510, 520 歐姆接觸層
610 源極
620 汲極

較佳具體實例描述

以下將參照附圖更詳細地描述本發明，其中出示本發明較佳具體實例。然而，本發明可於許多不同形式下具體化，而不應受限於本文所描述之具體實例；此等具體實例係用以充分描述本發明，使熟習此技藝者充分明瞭本發明之範圍。圖中，誇大該料層及區域厚度以清楚圖示。相同編號意指相同之元件配置。已知當諸如料層、區域、或基板之元件係位於另一元件"上層"時，其可直接位於另一元件上層或可存有中間層元件。相對地，當一元件係"直接位於"另一元件"上層"時，則無中間層元件。

圖2顯示本發明之一具體實例之基板或微電子裝置，而圖3係為沿圖2之III-III'線所得之剖面圖。

如圖2及3所示，基板10分成四個想像區域，第一個至第四個曝光區域。若為液晶顯示裝置，則基板10可由透明絕緣材料諸如玻璃或石英製造。然而，當係為半導體裝置時，基板10可為半導體基板。該基板10上可具有線路圖型、

五、發明說明(6)

電極或絕緣膜，而可分為任意數量之想像區域。如圖3所示，金屬層、半導體或絕緣膜係沉積於基板10表面，使用光阻PR塗覆該料層15。該光阻位於第一個至第四個曝光區11-14上之部分依序經由掩模(未示)曝光。

圖4係為圖2所示之兩個相鄰區域11及12之放大圖。

如圖4所示，各區域11或12各具有主要照射區110或120，而兩相鄰區域11及12於接近其邊界處具有邊界區130。因此，該邊界區130係位於第一個及第二個曝光區11及12之主要照射區110或120之間。該邊界區130具有於圖4中以白色部分表示之第一個部分及以黑色部分表示之第二個部分，該第一個部分及第二個部分之邊界並非直線，而為鋸齒狀。

首先，第一區11之主要照射區110及邊界區130之第一個部分先經由掩模曝光。之後，第二區12之主要照射區120及邊界區130之第二個部分先經由掩模曝光。

該第一個及第二個部分具有任意形狀。例如，如圖5及6所示，邊界區分成數個等面積之副區。該副區係排列成矩陣形狀，可具有諸如矩型或正方形之形狀。圖5及圖6顯示排列成 10×11 矩陣之矩型。該矩陣有九行為邊界區域，而矩陣最左一行及最右一行個別係為第一區及第二區之主要照射區之部分。

如圖5所示，第一個部分係為一組白色矩型，而第二個部分係為邊界區中之一組灰色矩型部分。邊界區130與第一區11之主要照射區110相鄰之第一行1具有九個白色矩型及一個灰色矩型，相對地，邊界區130與第一區12之主要照

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明(7)

射區 120 相鄰之最後一行 9 具有一個白色矩型及九個灰色矩型。愈接近第二區 12 之主要照射區 120 之白色矩型數目愈少，而灰色矩型數目增加。期望具有相同顏色之矩型彼此隔離，而不同顏色之矩型彼此相鄰而彼此混合，因為若為液晶顯示裝置，若非如此情況，則螢幕之邊界區具有光點。

如圖 6 所示，邊界區域 130 中之各個矩型分成白色部分及灰色部分，而每一行中每一行中之白色部分及灰色部分之比例相同。第一個部分係為該矩型之一組白色部分，而第二個部分係為該矩型之一組灰色部分。愈接近第二區 12 之主要照射區 120，行中矩型之白色部分之面積愈小，而灰色部分之面積愈大。

若為包括多個像元之液晶顯示裝置，各個副區可為一像元之一部分、一像元或多個像元。然而，該副區以一像元為佳，因為該反衝電壓係藉由像元單元所產生。

此外，當邊界區域 130 之寬度大而副區尺寸小時，無法輕易偵測兩曝光區之亮度差。然而，其可由液晶顯示裝置之要求決定。

圖 7A 至 7C 係以位置之函數顯示邊界區域之第一個部分及第二個部分之面積的圖。該第一個部分及第一個曝光區之主要照射區之面積係由圖中之白色部分表示，而該第二個部分及第二個曝光區之主要照射區之面積係由圖中之黑色部分表示。

圖 7A 顯示無邊界區域之情況。該第一區及第二區 11 及 12 之主要照射區 110 及 120 等於該第一區及第二區 11 及 12，而介

五、發明說明(8)

於該第一區及第二區11及12之間之邊界131係以縱線表示。

圖7B顯示該邊界區域130具有一或多行，而行中第一個部分之副區之數目或總面積等於該第二個部分之副區之情況。若該邊界區域130僅具有一行，則介於該第一個及第二個部分之間之邊界係為矩型波型。

圖7C顯示該邊界區域130具有多行，而行中第二個部分之副區之數目或總面積愈接近該第二區愈大，而前一個部分變小之情況。

圖8A至8C個別以位置之函數顯示圖7A至7C所示之液晶顯示裝置之亮度。此等圖中，該第一區及該邊界區域之第一個部分之主要照射部分之亮度較該第二區及該邊界區域之第二個部分之主要照射部分高。

如圖8A所示，圖7A所示之液晶顯示裝置之亮度於第一區及第二區11及12之邊界附近突然改變，而圖7B所示之液晶顯示裝置之亮度於邊界區域130處步進式地降低，如圖8B所示。相反地，圖7C所示之液晶顯示裝置之亮度如圖8C所示般地逐漸降低，使用者因而無法輕易分辨該亮度差。

該方法可應用於薄膜電晶體液晶顯示裝置。

圖9係為本發明具體實例之液晶顯示裝置之配置圖，而圖10係為沿圖9之X-X'線所得之剖面圖。

如圖9及10所示，於透明絕緣基板100上形成多條用以傳遞掃描信號而相間隔之閘極線10及20。閘極線10及20之部分210係充作薄膜電晶體之閘極，其係電聯於該閘極線10及20。該閘極線10及20及閘極210覆以閘極絕緣層30。於該閘

五、發明說明(9)

極絕緣層30上形成多條相間隔之數據線60、及薄膜電晶體之通道層40陣列。該通道層40係相對於該閘極絕緣層30而與該閘極210位於相反位置，而與閘極210隔離。該通道層40係由諸如非晶矽之半導體製造。已知圖9中之數據線雖然縱向延伸，而該閘極線橫向延伸，但亦可為其他排列。

繼續描述圖9及10，於該通道層40上形成具有兩個部分510及520之薄膜電晶體之電阻接觸層，其係由降低半導體與金屬間之接觸電阻之材料所製造，諸如經摻雜之非晶矽層。該兩部分510及520係對應於該閘極210而彼此相對。於電阻接觸層之各個部分510及520上形成薄膜電晶體之源極及汲極610及620。該源極610係連接於數據線以傳遞影像信號。

再參照圖9及10，於上層形成由諸如氮化矽之材料所製造之鈍化層70，其具有曝露該汲極620之接觸孔71。於該鈍化層70上形成由透明接觸性材料諸如氧化銦錫(ITO)所製造之像元電極80。該像元電極80經由接觸孔71連接於汲極620，而與該閘極線10重疊。

現在參照圖11A至11D詳細描述液晶顯示裝置之製造方法。

如圖11A所示，於基板100上沉積諸如鋁之金屬層，而於該金屬層上塗覆光阻PR1。該光阻PR1使用具有閘極圖型之掩模曝光。此時，該光阻PR1係使用前述曝光技術曝光。將該光阻PR1顯影，金屬層形成圖型，以形成多條相間隔之閘極線20及閘極210陣列。

如圖11B所示，移除光阻PR1，而依序沉積氮化矽層30、

五、發明說明(10)

非晶性矽層40及經摻雜之非晶性矽層50。該經摻雜之非晶性矽層50及非晶性矽層40隨後使用微影法形成圖型以形成有源圖型。可使用前述曝光方法。

如圖11C所示，沉積諸如鉻之金屬層並塗覆光阻PR2，使用前述技術曝光並顯影。該金屬層使用該光阻PR2充作蝕刻掩模而進行蝕刻，以形成數據線60、源極及汲極610及620。該經摻雜之非晶性矽層50隨後使用該數據線60、源極及汲極610及620進行蝕刻，以形成電阻接觸層510及520。

如圖11D所示，於其上層形成由氮化矽或有機絕緣材料所製造之鈍化層70，而於該鈍化層70中形成接觸孔620。

最後，如圖9及10所示，沉積諸如ITO之透明導電層，使用前述曝光方法形成圖型以形成像元電極。

圖12係為顯示液晶顯示裝置之另一個具體實例之配置圖。

圖2所示之液晶顯示裝置具有類似結構，而由與製造圖9及10所示之液晶顯示裝置相同之方法相同之方法製造，除儲存電極90外。該儲存電極90係位於基板100上，而覆以閘極絕緣層30，與像元電極80重疊而形成儲存電容器。該儲存電極90係與閘極線同時地形成，與閘極線10隔離而與閘極線平行。

如前文所述，液晶顯示裝置之亮度受到反衝電壓影響，其係依介於閘極210與汲極620間之寄生電容A及介於閘極線10與像元電極80之間之儲存電容B而定。該亮度亦與介於數據線60與像元電極80間之寄生電容C有關。當該曝光區之間之此等電容相異時，區間之反衝電壓相異，而該反

五、發明說明 (11)

衝電壓差可能於曝光區之間產生亮度差。

然而，使用本發明之曝光方法，使用者無法輕易發現該亮度差。

本發明料層之曝光區及邊界區可相同或相異。

本發明曝光方法可應用於其他使用步進重複曝光技術之範圍，諸如半導體裝置。

於附圖及說明書中，揭示了典型之本發明較佳具體實例，雖然採用特定辭句，但其僅具通用及描述功能而非本發明之目的，本發明之範圍係設定於以下申請專利範圍。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

四、中文發明摘要(發明之名稱：製造微電子裝置之微影曝光方法及利用該方法之液晶顯示器製造方法)

一種供微電子裝置使用之基板，其係區分為至少兩個區域及夾置於其間之邊界。該邊界區包括第一個部分及第二個部分。該邊界區具有等面積之副區，該副區係排列成矩陣形狀，而形成第一個部分及第二個部分。於該基板上塗覆光阻。該光阻位於第一區及第一個部分上之部分經由供微影曝光法使用之掩模以曝光，而該光阻位於第二區及第二個部分之其他部分隨而經由該掩模曝光。該第一個部分之副區之行向面積愈接近第一區愈大，而第二個者則愈小。

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

英文發明摘要(發明之名稱：“EXPOSING METHODS IN PHOTOLITHOGRAPHY USED FOR MANUFACTURING MICROELECTRONIC DEVICES AND A MANUFACTURING METHOD OF A LIQUID CRYSTAL DISPLAY USING THE SAME”)

A substrate for a microelectronic device is divided into at least two regions and a boundary region therebetween. The boundary region includes a first portion and a second portion. The boundary region may have sub-regions having equal area, and the sub-regions are arranged in a matrix shape to form the first portion and the second portion. A photoresist is coated on the substrate. Portions of the photoresist on the first region and the first portion is exposed to light through a mask for photolithography, and other portions of the photoresist on the second region and the second portion is then exposed to light through the mask. The area of the sub-regions of the first portion in a column becomes larger as goes to the first region, while that of the second portion becomes smaller.

訂

線

六、申請專利範圍

1. 一種使用掩模使塗覆於基板表面之光阻曝光之方法，其包括以下步驟：

將基板分成第一區及第二區和介於該第一區及第二區之間之邊界區，其中該邊界區具有第一個及第二個邊界部分；

使該光阻位於第一區及第一個邊界部分上之第一個部分經由掩模曝光；及

該光阻位於第二區及第二個邊界區之第二個部分經由掩模曝光，

其中該第二個邊界區之至少一部份被該第一個邊界區所包圍，且該第一個邊界區之至少一部份被該第二個邊界區所包圍。

2. 根據申請專利範圍第1項之方法，其中該基板可應用於液晶顯示裝置。
3. 一種製造具有多個像元之液晶顯示裝置之方法，其包括以下步驟：

於基板形成閘極圖型，包括多條閘極線及與彼連接之閘極陣列；

於該閘極上形成通道陣列層，並與閘極隔離；

於該通導層上形成源極及汲極之陣列；及

形成像元電極陣列，而個別連接於汲極，

其中至少一個步驟包括以下次步驟：

塗覆光阻，將該光阻分成第一個及第二個區域及界於該第一個及第二個區域之間之邊界區，該邊界區域

(請先閱讀背面之注意事項再填寫本頁)

表

訂

六、申請專利範圍

具有第一個部分及第二個部分，

該第一區及第一個部分經由掩模曝光，且

該第二區及第二個部分經由掩模曝光，

其中該第二個邊界區之至少一部份被該第一個邊界區所包圍，且該第一個邊界區之至少一部份被該第二個邊界區所包圍。

4. 根據申請專利範圍第3項之方法，其另外包括於基板上形成多個儲存電極，其與像元電極重疊，而與該像元電極隔離。
5. 根據申請專利範圍第3項之方法，其中該邊界區可包括多個等面積之副區，該副區可排列成具有多行及多列之矩陣形狀，該第一個及第二個部分包括該副區。
6. 根據申請專利範圍第5項之方法，其中該第二個部分於矩陣行中之副區數目愈接近第二個區愈大。
7. 根據申請專利範圍第6項之方法，其中各個像元包括一個像元電極及具有各自之閘極、通道層、源極及汲極之薄膜電晶體，該副區係對應於一像元。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

公告本

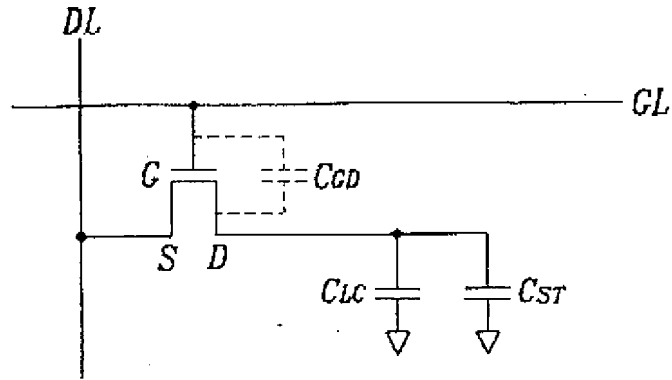


圖 1

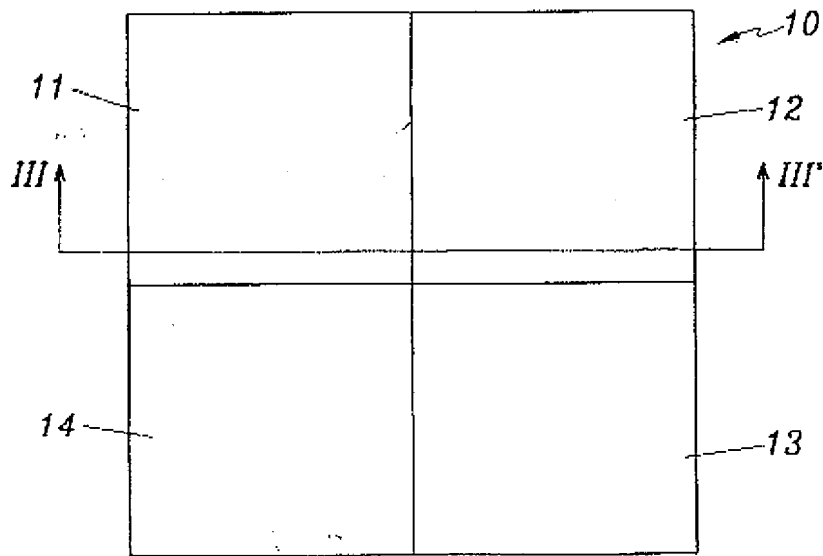


圖 2

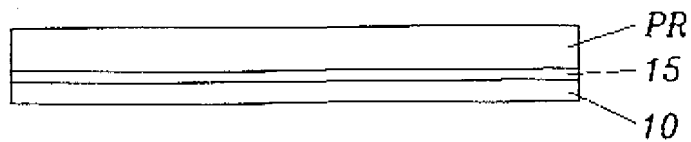


圖 3

439001

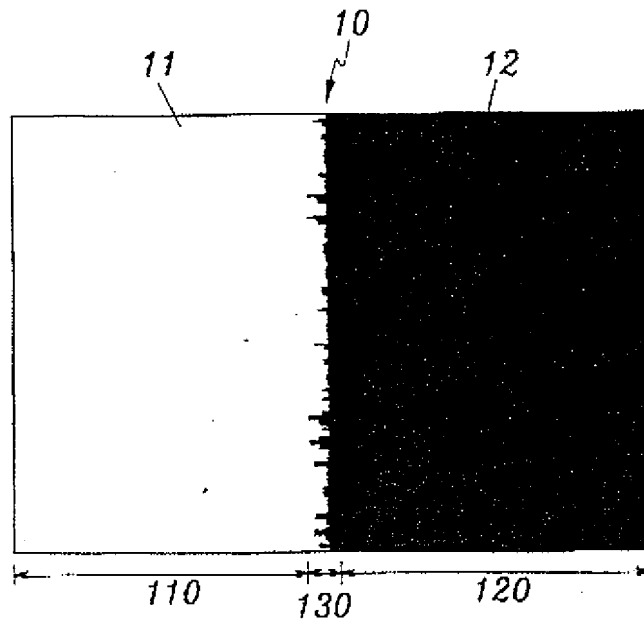


圖 4

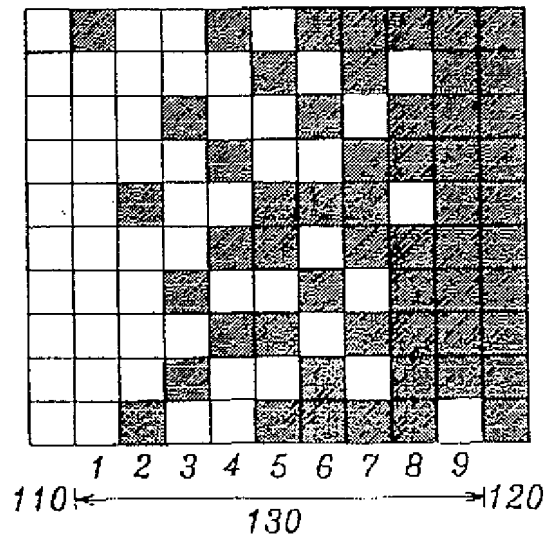


圖 5

439001

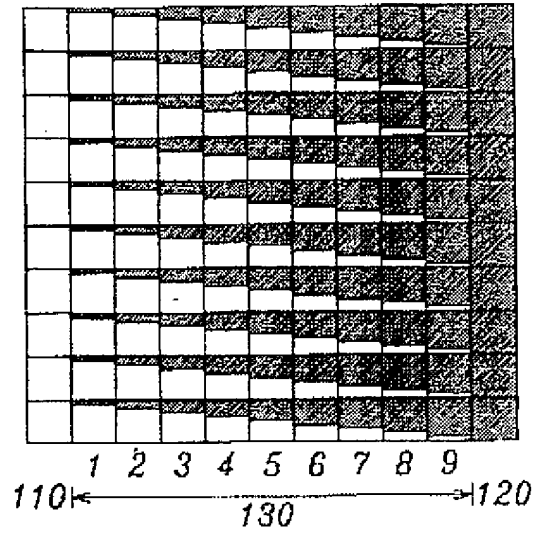


圖 6

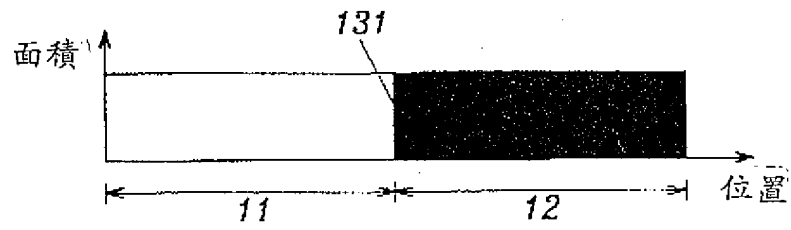


圖 7A

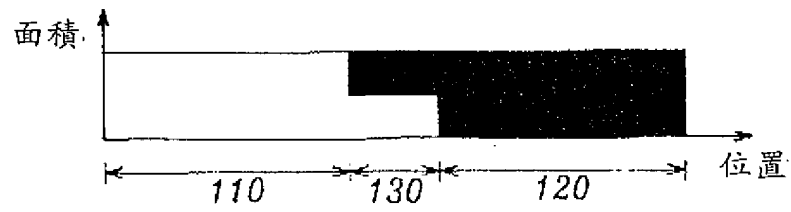


圖 7B

439001

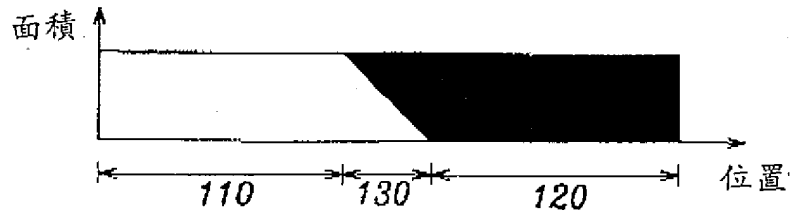


圖 7C

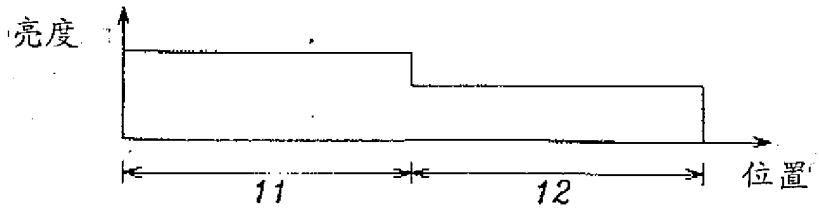


圖 8A

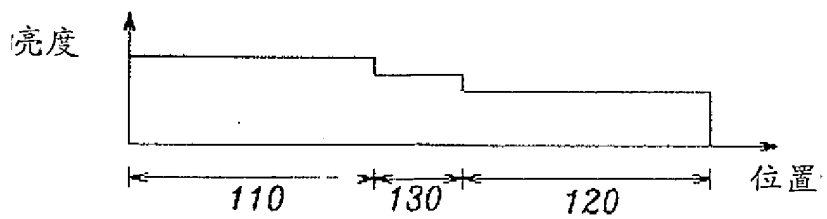


圖 8B

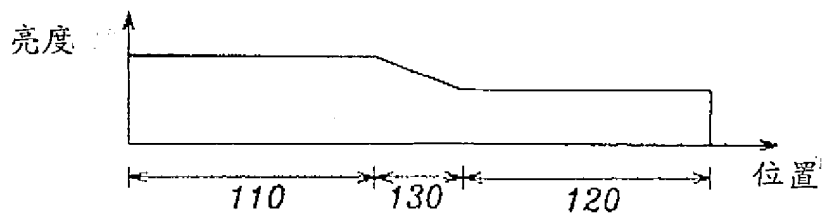


圖 8C

439001

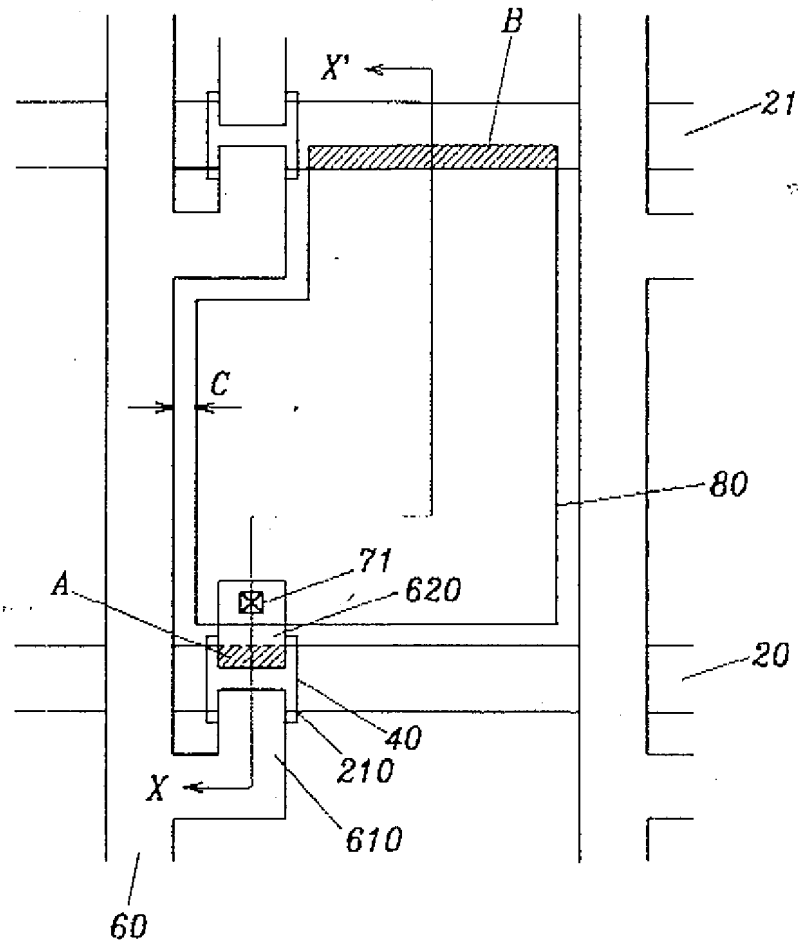


圖 9

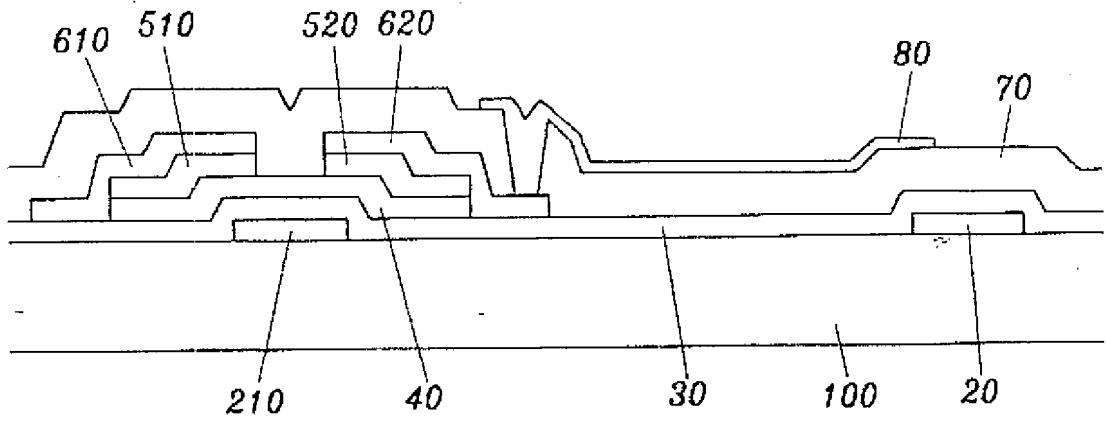


圖 10

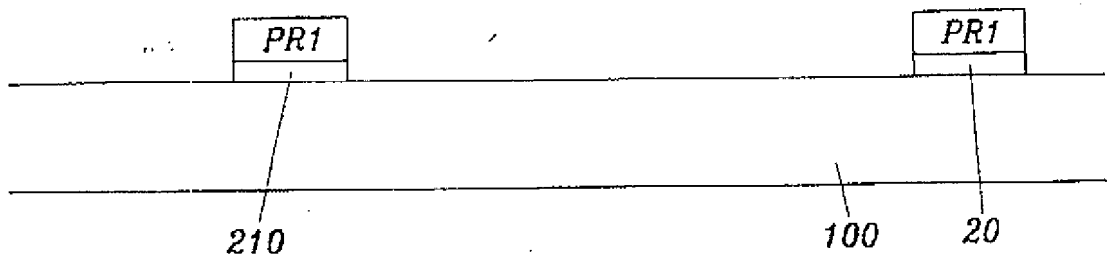


圖 11A

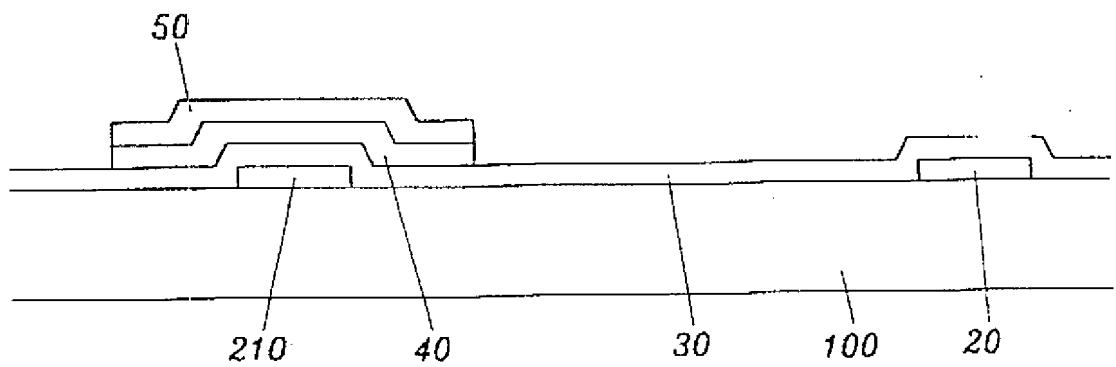


圖 11B

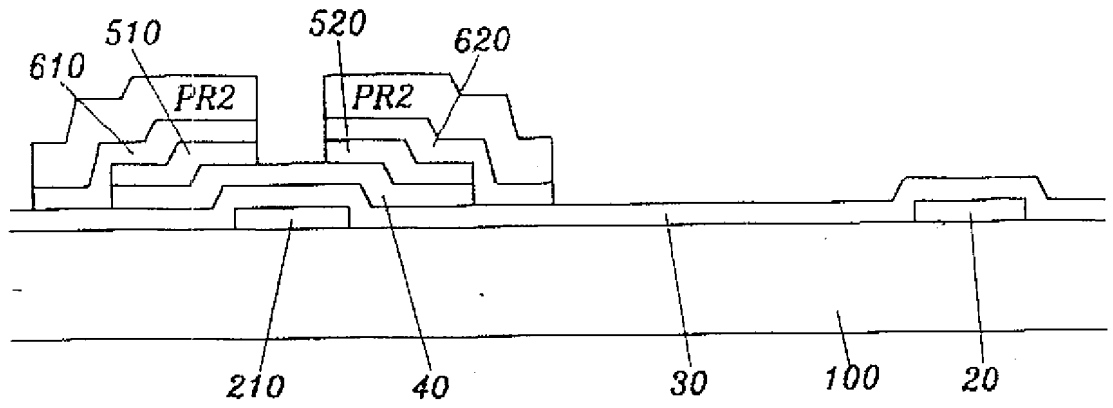


圖 11C

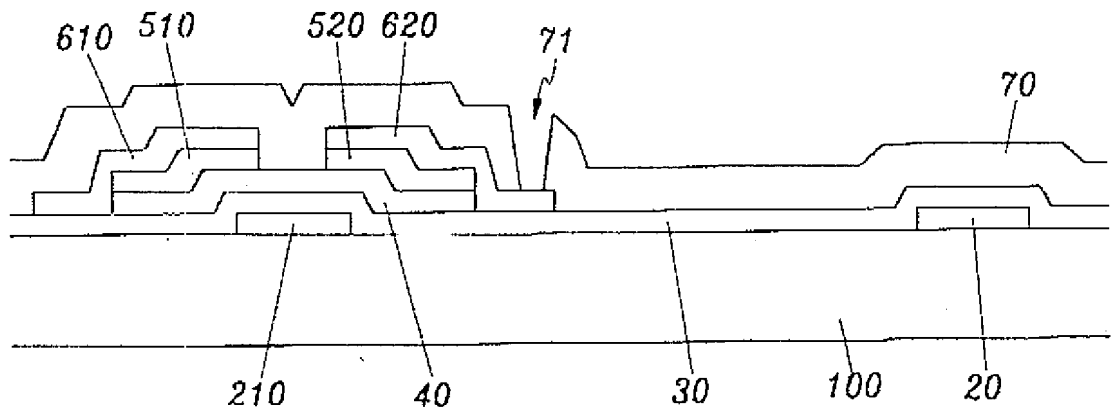


圖 11D

439001

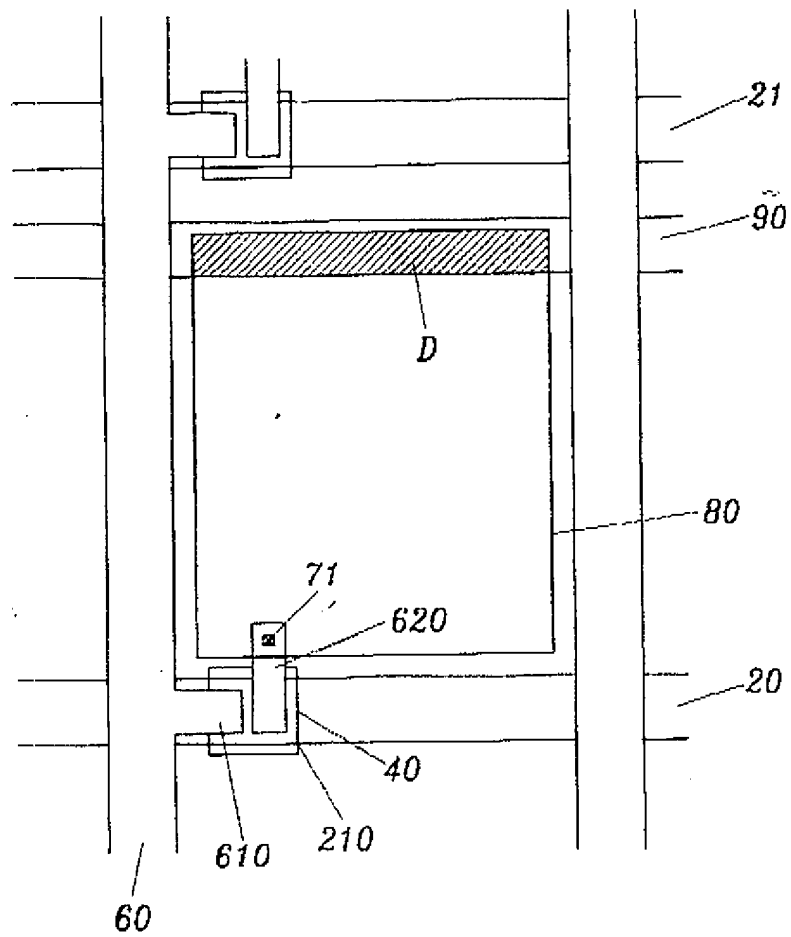


圖 12

五、發明說明(5)

圖 8A 至 8C 係為以位置之函數表示圖 7A 至 7C 所示之液晶顯示裝置之亮度之圖。

圖 9 係為本發明具體實例之液晶顯示裝置之配置圖。

圖 10 係為沿圖 9 之 X-X' 線所得之剖面圖。

圖 11A 至 11D 係為圖 9 及 10 之液晶顯示裝置於中間製造步驟期間之剖面圖。

圖 12 係為本發明另一個具體實例之液晶顯示裝置之配置圖。

元件符號之簡單說明

- | | |
|----------------|----------|
| 10 | 基板 |
| 11, 12, 13, 14 | 曝光區 |
| 15 | 金屬層 |
| 20 | 閘極線 |
| 30 | 閘極絕緣層 |
| 40 | 通道層 |
| 50 | 摻雜之非晶性矽層 |
| 60 | 數據線 |
| 70 | 鈍化層 |
| 71 | 接觸孔 |
| 80 | 像元電極 |
| 90 | 儲存電極 |
| 100 | 基板 |
| 110, 120 | 主要照射區 |
| 130 | 邊界區域 |

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (5a)

- 131 邊界
210 閘極
510, 520 歐姆接觸層
610 源極
620 汲極

較佳具體實例描述

以下將參照附圖更詳細地描述本發明，其中出示本發明較佳具體實例。然而，本發明可於許多不同形式下具體化，而不應受限於本文所描述之具體實例；此等具體實例係用以充分描述本發明，使熟習此技藝者充分明瞭本發明之範圍。圖中，誇大該料層及區域厚度以清楚圖示。相同編號意指相同之元件配置。已知當諸如料層、區域、或基板之元件係位於另一元件"上層"時，其可直接位於另一元件上層或可存有中間層元件。相對地，當一元件係"直接位於"另一元件"上層"時，則無中間層元件。

圖2顯示本發明之一具體實例之基板或微電子裝置，而圖3係為沿圖2之III-III'線所得之剖面圖。

如圖2及3所示，基板10分成四個想像區域，第一個至第四個曝光區域。若為液晶顯示裝置，則基板10可由透明絕緣材料諸如玻璃或石英製造。然而，當係為半導體裝置時，基板10可為半導體基板。該基板10上可具有線路圖型、

六、申請專利範圍

1. 一種使用掩模使塗覆於基板表面之光阻曝光之方法，其包括以下步驟：

將基板分成第一區及第二區和介於該第一區及第二區之間之邊界區，其中該邊界區具有第一個及第二個邊界部分；

使該光阻位於第一區及第一個邊界部分上之第一個部分經由掩模曝光；及

該光阻位於第二區及第二個邊界區之第二個部分經由掩模曝光，

其中該第二個邊界區之至少一部份被該第一個邊界區所包圍，且該第一個邊界區之至少一部份被該第二個邊界區所包圍。

2. 根據申請專利範圍第1項之方法，其中該基板可應用於液晶顯示裝置。
3. 一種製造具有多個像元之液晶顯示裝置之方法，其包括以下步驟；

於基板形成閘極圖型，包括多條閘極線及與彼連接之閘極陣列；

於該閘極上形成通道陣列層，並與閘極隔離；

於該通導層上形成源極及汲極之陣列；及

形成像元電極陣列，而個別連接於汲極，

其中至少一個步驟包括以下次步驟：

塗覆光阻，將該光阻分成第一個及第二個區域及界於該第一個及第二個區域之間之邊界區，該邊界區域

(請先閱讀背面之注意事項再填寫本頁)

表

訂