



(19) 대한민국특허청(KR)

(12) 등록특허공보(B1)

(45) 공고일자 2015년01월14일

(11) 등록번호 10-1482824

(24) 등록일자 2015년01월08일

(51) 국제특허분류(Int. Cl.)

H03M 13/03 (2006.01)

(21) 출원번호 10-2012-0116522

(22) 출원일자 2012년10월19일

심사청구일자 2014년06월20일

(65) 공개번호 10-2014-0001069

(43) 공개일자 2014년01월06일

(30) 우선권주장

13/533,207 2012년06월26일 미국(US)

(56) 선행기술조사문현

US20110167227 A1

US20110231731 A1

KR1020000067966 A

KR101152482 B1

전체 청구항 수 : 총 24 항

(73) 특허권자

엘에스아이 코포레이션

미국 캘리포니아주 95131, 새너제이, 라이더 파크 드라이브 1320

(72) 발명자

한 양

미국 캘리포니아주 94087 서니베일 파트리지 코트 1583

양 샤오후아

미국 캘리포니아주 95129 산 호세 엘카 애비뉴 1477

(뒷면에 계속)

(74) 대리인

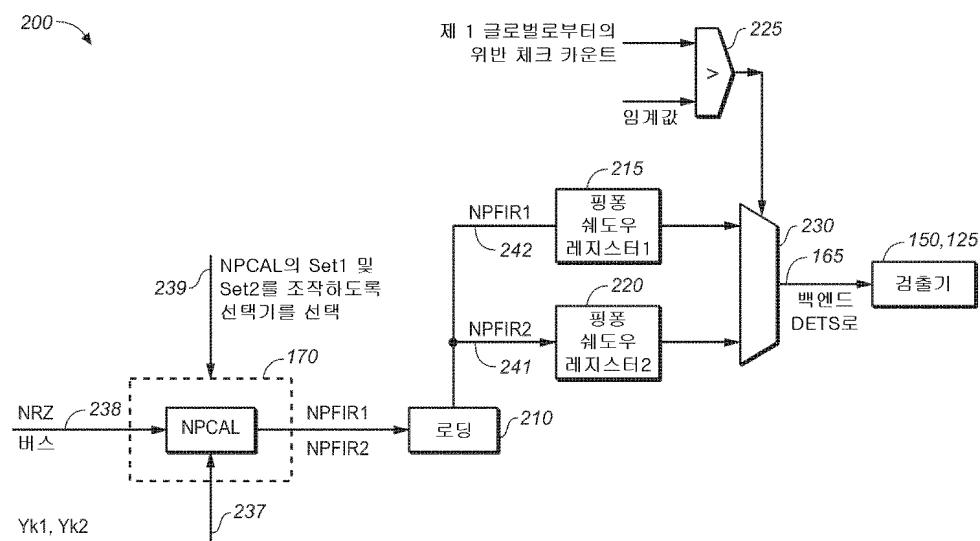
제일특허법인

심사관 : 권성락

(54) 발명의 명칭 트래핑 설정을 차단하기 위한 장치 및 방법

(57) 요약

이에 정정 데이터 처리 장치는 제 1 데이터 세트에 기초하여 제 1 필터 계수 세트를 교정하며 제 2 데이터 세트에 기초하여 제 2 필터 계수 세트를 교정하도록 동작가능한 잡음 예측 교정 회로를 포함하고, 제 1 필터 계수 세트를 수신하도록 동작가능한 제 1 잡음 예측 검출기를 포함한다. 장치는 제 1 잡음 예측 검출기로 제 1 글로벌 반복을 수행하며 위반 체크 카운트값을 결정하도록 동작가능한 디코더와, 위반 체크 카운트값이 미리 결정된 값보다 작으면 제 2 필터 계수 세트를 수신하거나 위반 체크 카운트값이 미리 결정된 값보다 크면 제 1 필터 계수 세트를 수신하도록 동작가능한 제 2 잡음 예측 검출기를 더 포함한다.

대 표 도

(72) 발명자

장 판

미국 캘리포니아주 95035 밀피타스 아파트먼트 210
사우스 파크 빅토리아 드라이브 567

리 종왕

미국 캘리포니아주 94568 더블린 발렌타노 드라이
브 2486

특허청구의 범위

청구항 1

제 1 데이터 세트에 기초하여 제 1 필터 계수 세트를 교정하며 제 2 데이터 세트에 기초하여 제 2 필터 계수 세트를 교정하도록 구성된 잡음 예측 교정 회로와,

상기 제 1 필터 계수 세트를 수신하도록 구성된 제 1 잡음 예측 검출기와,

상기 제 1 잡음 예측 검출기로 제 1 글로벌 반복을 수행하며 위반 체크 카운트값을 결정하도록 구성된 디코더와,

상기 위반 체크 카운트값이 미리 결정된 값보다 작으면 상기 제 2 필터 계수 세트를 수신하거나 상기 위반 체크 카운트값이 상기 미리 결정된 값보다 크면 상기 제 1 필터 계수 세트를 수신하도록 구성된 제 2 잡음 예측 검출기를 포함하는

에러 정정 데이터 처리 장치.

청구항 2

제 1 항에 있어서,

상기 디코더 및 상기 제 2 잡음 예측 검출기는 상기 제 2 필터 계수 세트에 기초하여 제 2 글로벌 반복 및 상기 제 1 글로벌 반복을 수행하도록 구성된

에러 정정 데이터 처리 장치.

청구항 3

제 1 항에 있어서,

상기 제 2 잡음 예측 검출기는, 상기 위반 체크 카운트값이 상기 미리 결정된 값보다 작으면, 상기 제 2 잡음 예측 검출기와 상기 디코더 사이에서 상기 제 2 글로벌 반복 및 상기 제 1 글로벌 반복의 검출 동안, 상기 제 2 필터 계수 세트에 의해 수정되는

에러 정정 데이터 처리 장치.

청구항 4

제 1 항에 있어서,

상기 제 1 필터 계수 세트를 저장하도록 구성된 제 1 버퍼와,

상기 제 2 필터 계수 세트를 저장하도록 구성된 제 2 버퍼와,

상기 제 2 잡음 예측 검출기로의 상기 제 1 필터 계수 세트 또는 상기 제 2 필터 계수 세트의 로딩을 스위칭하도록 구성된 멀티플렉서를 더 포함하는

에러 정정 데이터 처리 장치.

청구항 5

제 4 항에 있어서,

상기 위반 체크 카운트값 및 상기 미리 결정된 값에 기초하여 상기 제 1 필터 계수 세트 또는 상기 제 2 필터

계수 세트 중 어느 하나의 로딩을 스위칭하도록 상기 멀티플렉서를 트리거하도록 구성된 비교기를 더 포함하는
에러 정정 데이터 처리 장치.

청구항 6

제 1 항에 있어서,

상기 제 1 잡음 예측 검출기 및 상기 제 2 잡음 예측 검출기로 필터 계수를 로딩하도록 구성된 로딩 회로를 더
포함하는

에러 정정 데이터 처리 장치.

청구항 7

제 1 항에 있어서,

상기 제 1 잡음 예측 검출기 및 상기 제 2 잡음 예측 검출기는 SOVA 검출기(soft output Viterbi algorithm
detector)를 각각 포함하거나, MAP(maximum a posteriori) 알고리즘 검출기를 각각 포함하는

에러 정정 데이터 처리 장치.

청구항 8

제 1 항에 있어서,

상기 디코더는 LDPC(Low Density Parity Check) 알고리즘을 포함하는

에러 정정 데이터 처리 장치.

청구항 9

제 1 항에 있어서,

상기 잡음 예측 교정 회로는 상기 제 1 필터 계수 세트 및 상기 제 2 필터 계수 세트를 교정하도록 LMS(Least
Mean Squares) 알고리즘을 적용하는

에러 정정 데이터 처리 장치.

청구항 10

제 1 항에 있어서,

상기 위반 체크 카운트값은 트래핑 세트를 나타내는

에러 정정 데이터 처리 장치.

청구항 11

제 1 항에 있어서,

상기 미리 결정된 값은 에러 이벤트의 타입을 나타내는

에러 정정 데이터 처리 장치.

청구항 12

제 1 항에 있어서,

상기 데이터 처리 장치의 적어도 일부는 적어도 하나의 접속 회로에서 제조되는
에러 정정 데이터 처리 장치.

청구항 13

데이터 처리 시스템에서 에러 정정을 개선하는 방법으로서,

제 1 데이터 세트에 기초하여 제 1 필터 계수 세트를 교정하며 제 2 데이터 세트에 기초하여 제 2 필터 계수 세트를 교정하는 단계와,

제 1 잡음 예측 검출기에 의해 상기 제 1 필터 계수 세트를 수신하는 단계와,

상기 제 1 잡음 예측 검출기 및 디코더로 제 1 글로벌 반복을 수행하며 위반 체크 카운트값을 결정하는 단계와,

제 2 잡음 예측 검출기에 의해, 상기 위반 체크 카운트값이 미리 정해진 값보다 작으면 제 2 필터 계수 세트를 수신하거나, 상기 위반 체크 카운트값이 상기 미리 정해진 값보다 크면 상기 제 1 필터 계수 세트를 수신하는 단계를 포함하는

방법.

청구항 14

제 13 항에 있어서,

상기 디코더와 상기 제 2 잡음 예측 검출기 사이에서 상기 제 2 필터 계수 세트에 기초하여 제 2 글로벌 반복 및 상기 제 1 글로벌 반복을 수행하는 단계를 더 포함하는

방법.

청구항 15

제 13 항에 있어서,

상기 위반 체크 카운트값이 상기 미리 정해진 값보다 작으면, 상기 제 2 잡음 예측 검출기와 상기 디코더 사이에서 상기 제 2 글로벌 반복 및 상기 제 1 글로벌 반복의 검출 동안, 상기 제 2 필터 계수 세트로 상기 제 2 잡음 예측 검출기를 수정하는 단계를 더 포함하는

방법.

청구항 16

제 13 항에 있어서,

제 1 버퍼에 상기 제 1 필터 계수 세트를 저장하는 단계와,

제 2 버퍼에 상기 제 2 필터 계수 세트를 저장하는 단계와,

상기 제 2 잡음 예측 검출기로 상기 제 1 필터 계수 세트 또는 제 2 필터 계수 세트의 로딩을 스위칭하는 단계를 더 포함하는

방법.

청구항 17

제 16 항에 있어서,

상기 위반 체크 카운트값 및 상기 미리 정의된 값의 함수로서 상기 제 1 필터 계수 세트와 상기 제 2 필터 계수 세트 중 하나를 로딩하는 단계를 더 포함하는

방법.

청구항 18

제 13 항에 있어서,

상기 제 1 잡음 예측 검출기 및 상기 제 2 잡음 예측 검출기 둘 다에 의해 SOVA(soft output Viterbi algorithm detector)를 적용하거나 MAP(maximum a posteriori) 알고리즘을 적용하는 단계를 더 포함하는

방법.

청구항 19

제 13 항에 있어서,

상기 디코더에 의해 LDPC(Low Density Parity Check)를 적용하는 단계를 더 포함하는

방법.

청구항 20

제 13 항에 있어서,

상기 교정하는 단계는 LMS(Least Mean Squares) 알고리즘을 적용하는 단계를 더 포함하는

방법.

청구항 21

제 13 항에 있어서,

상기 위반 체크 카운트값은 트래핑 세트를 나타내는

방법.

청구항 22

제 13 항에 있어서,

상기 미리 정해진 값은 여러 이벤트의 타입을 나타내는

방법.

청구항 23

제 1 잡음 예측 검출기 및 제 2 잡음 예측 검출기를 포함하는 데이터 처리 시스템으로서,

메모리와,

상기 메모리와 결합되는 적어도 하나의 프로세서를 포함하되,

상기 적어도 하나의 프로세서는,

적어도 제 1 데이터 세트 및 제 2 데이터 세트를 획득하고,

상기 제 1 데이터 세트에 기초하여 제 1 필터 계수 세트를 교정하며 상기 제 2 데이터 세트에 기초하여 제 2 필터 계수 세트를 교정하고,

상기 제 1 잡음 예측 검출기에 의해 상기 제 1 필터 계수 세트를 수신하고,

상기 제 1 잡음 예측 검출기 및 디코더로 제 1 글로벌 반복을 수행하며 위반 체크 카운트값을 결정하고,

상기 제 2 잡음 예측 검출기에 의해, 상기 위반 체크 카운트값이 미리 정해진 값보다 작으면 상기 제 2 필터 계수 세트를 수신하거나, 상기 위반 체크 카운트값이 상기 정해진 값보다 크면 상기 제 1 필터 계수 세트를 수신하도록 동작가능한

데이터 처리 시스템.

청구항 24

비일시적 컴퓨터 판독가능 저장 매체로서,

실행될 때 제 13 항에 따른 방법의 단계를 구현하는 실행가능 프로그램 명령어를 비일시적 방식으로 저장하는 비일시적 컴퓨터 판독가능 저장 매체.

명세서

배경기술

[0001] 저장 시스템, 휴대 전화 시스템, 및 무선 송신 시스템을 포함하는 다양한 데이터 전송 시스템이 개발되어 왔다. 시스템 각각에서, 데이터는 어떤 매체를 통해 송신기로부터 수신기로 전송된다. 예를 들어, 저장 시스템에 있어서, 데이터는 송신기로부터(예를 들어, 기록 기능을 통하여) 저장 매체로, 그리고 저장 매체로부터 수신기로(예를 들어, 판독 기능을 통하여) 전송된다. 임의의 데이터 전송의 유효성은 다양한 요인에 의해 야기되는 손실에 의해 영향을 받는다. 일부 경우에서, 인코딩/디코딩 처리는 데이터 에러를 검출하며 그러한 에러를 정정하도록 시스템의 능력을 증대시키는데 이용된다.

[0002] 예러 감지 및 정정 응용에 있어서, 코드워드(예를 들어, 에러 정정 인코딩된 데이터)를 복구하려고 할 때, 에러 정정을 이용하는 디코더는 디코더가 코드워드를 적절히 디코딩하는 것을 방해하는 하나 이상의 트래핑 설정에 직면할 수 있다. 에러 정정을 개선하기 위해, 디코더와 검출기 사이의 터보 반복은 예를 들어 (i) 트래핑 설정을 차단하며 및/또는 (ii) 에러 정정 디코더가 트래핑 설정에 집중되는 것을 방지하기 위해 상이한 기술을 이용할 수 있다.

발명의 내용

과제의 해결 수단

[0003] 본 발명의 일 실시예에 따르면, 데이터 처리 시스템에서 에러 정정을 개선하는 방법은 제 1 데이터 세트에 기초하여 제 1 필터 계수 세트를 교정하며 제 2 데이터 세트에 기초하여 제 2 필터 계수 세트를 교정하는 단계와, 제 1 잡음 예측 검출기에 의해 제 1 필터 계수 세트를 수신하는 단계와, 제 1 잡음 예측 검출기 및 디코더로 제 1 글로벌 반복으로 수행하며 위반 체크 카운트값을 결정하는 단계와, 제 2 잡음 예측 검출기에 의해 위반 체크 카운트값이 미리 정해진 값보다 작으면 제 2 필터 계수 세트 또는 위반 체크 카운트값이 미리 정해진 값보다 크면 제 1 필터 계수 세트를 수신하는 단계를 포함한다. 또한, 다른 설명된 실시예는 에러 정정 데이터 처리 장치 및 데이터 처리 시스템을 포함한다.

[0004] 본 발명의 실시예는 첨부 도면과 함께 판독될 수 있는 이하의 상세한 설명으로부터 명백해질 것이다.

도면의 간단한 설명

[0005] 동일한 참조 숫자(이용될 때)가 수개의 도면에 걸쳐 대응하는 요소를 나타내는 이하의 도면은 단지 예로서 그리고 제한없이 제공된다.

도 1은 본 발명의 하나 이상의 실시예에 있어서 유용한 예시적 통신 장치를 예시하는 기능 블록도이다.

도 2는 본 발명의 실시예에 따른 NPCAL(noise predictive calibration) 및 NPFIR(noise predictive filter)로딩 아키텍처의 예시적 구성요소를 도시한다.

도 3은 본 발명의 실시예에 따라 이용되는 NPCAL 아키텍처의 예시적 구성요소를 도시한다.

도 4는 트래핑 설정에 실패하는 이전 시스템에 적용된 예시적 데이터 섹터(좌측 열), 및 집중하는 본 발명에 따른 장치에 적용된 동일한 데이터 섹터(우측 열)의 집중 동작을 나타내는 예시적 데이터의 표이다.

도 5는 본 발명의 실시예에 따른 도 2에 도시된 아키텍처에 따라 예시적 방법의 적어도 일부를 도시하는 흐름도이다.

도 6은 본 발명의 실시예에 따른 방법을 수행하도록 된 예시적 전자 시스템의 적어도 일부를 도시하는 블록도이다.

도면에서의 요소는 단순화 및 명확화를 위해 예시되는 것이 이해되어야 한다. 상업적으로 실행 가능한 실시예에 유용하거나 필요할 수 있는 공통이지만 잘 이해된 요소는 예시된 실시예의 덜 방해된 시야를 가능하게 하도록 도시되지 않을 수 있다.

발명을 실시하기 위한 구체적인 내용

[0006] 본 발명의 원리는 판독 채널 통신 장치에 이용되도록 된 NPCAL(noise predictive calibration) 및 NPFIR(noise predictive filter)로딩 기술의 예시적인 실시예들의 문맥으로 여기에 설명될 것이다. 그러나, 본 발명은 여기에 예시적으로 도시되거나 설명되는 특정 장치 및 방법에 제한되지 않는 것이 이해되어야 한다.

[0007] 본 발명의 예시적인 실시예는 LDPC(Low Density Parity Check) 및 MAP(maximum a posteriori) 기술을 참조하여 여기에 설명될지라도, 본 발명은 이 특정 기술에 있어서의 이용에 제한되지 않는 것이 이해되어야 한다. 더욱이, 다수 수정은 본 발명의 범위 내에 있는 도시된 실시예에 대해 이루어질 수 있는 것이 여기에서의 교시를 받은 당업자들에게 명백해질 것이다. 즉, 여기에 설명되는 특정 실시예에 대한 어떤 제한도 의도되지 않거나 추론되지 않아야 한다.

[0008] 예비 문제로서, 발명을 명확하게 하며 설명하기 위해, 이하의 표는 용어가 여기에 이용된 바와 같이, 어떤 두문자어 및 그 대응하는 정의의 개요를 제공한다:

두문자	설명
NPCAL	잡음 예측 교정
NPFIR	잡음 예측 유한 임펄스 응답
LDPC	저밀도 패리티 체크
MAP	최대 사후분포
HDD	하드 디스크 드라이브
SNR	신호 대 잡음비
FIR	유한 임펄스 응답
SOVA	소프트 출력 비터비 알고리즘
LMS	최소 제곱 평균
DFIR	디지털 유한 임펄스 응답
ADC	아날로그 디지털 변환
NRZ	비제로 복귀
ROM	비휘발성 메모리
RAM	랜덤 액세스 메모리
DSP	디지털 신호 프로세서
CPU	중앙 처리 유닛

두문자 정의 표

[0009]

[0010]

도 1은 본 발명의 기술이 이용될 수 있는 HDD(hard disk drive)와 같은 저장 장치에 대한 통신 장치(100)이다. 시스템(100)의 LDPC 인코더(110)에 제공되는 원래 정보 데이터로 칭해지는 한 세트의 비트를 생성하는 데이터 소스(105)이다. HDD의 실시예에 있어서, 데이터 세트는 HDD의 저장 매체로부터의 셕터일 수 있다. 그 네임에 제안됨에 따라, LDPC 인코더(110)는 원래 정보 데이터를 코드워드로 인코딩하도록 LDPC 에러 인코딩 정정 기술을 이용하는 에러 정정 인코더이다. 반복 에러 정정 코드(LDPC 코드)는 소정 SNR(signal to noise ratio)에 대한 낮은 비트 에러율을 달성하도록 이용된다. 이 기술은 비신뢰 또는 잡음 통신 채널을 통해 데이터 전송에서의 에러를 제어하도록 이용된다. 다른 적절한 인코딩 기술이 본 발명의 다른 실시예에 이용될 수 있는 것이 실현되어야 한다. 코드워드는 불연속적인 방식으로 배치되는 인터리버(II)(115)에 제공되고 채널(120)에 제공된다. 코드워드를 인터리빙하는 하나의 이익은 예를 들어 HDD 플레이터에 저장된 후에 코드워드를 복구할 시에 버스트 에러가 갖는 영향을 감소시키는 것이다. 채널(120)은 예를 들어 저장 매체 또는 통신 매체일 수 있다.

[0011]

판독 경로에서, 아날로그 데이터는 채널(120)에서 매체로부터 검색되며, 여기서 증폭, 아날로그 디지털 변환, FIR(finite impulse response) 필터링, 등화, 및 매체로부터 데이터를 검색하는데 적절한 다른 처리 기술과 같은 처리는 데이터 상에 수행된다. 검출기(125)는 채널(120)로부터 코드워드를 수신한다. 판독 경로 내의 검출기는 SOVA(soft output Viterbi algorithm) 검출기 또는 MAP 알고리즘 검출기와 같은 당업계에 알려진 다른 타입의 채널 검출기일 수 있다. 여기에 제공된 명세서에 기초하여, 당업자는 본 발명의 다른 실시예에 따라 이용될 수 있는 다양한 채널 검출기를 인식할 것이다. 본 발명의 이 실시예에 있어서, 검출기(125) 및 검출기(150)는 당업계에 잘 알려진 MAP 검출 기술을 구현하는 잡음 예측 채널 검출기이다. 본 발명의 이 실시예에 있어서, 검출기(125) 및 검출기(150)는 브랜치 매트릭 계산을 위한 NP 필터링을 포함한다. NPCAL 회로(170)는 데이터가 에러 신호(즉, 원하는 신호와 실제 신호 사이의 차이)의 최소 제곱 평균을 생성하는 것과 관련된 것을 판독됨에 따라 필터 계수를 발견함으로써 원하는 필터를 미리하는데 이용되는 적응 필터인 LMS(least mean square) 알고리즘을 포함한다. NPCAL 회로(170)는 신호 경로(165)를 통해 검출기(125 및 150)로 필터 계수를 로딩하기 위한 NPFIR 필터 로딩 회로(180)에 연결된다. 채널(120)로부터 출력을 취하면, NPCAL 회로(170)는 데이터가 검출기(125 및 150)에서 잡음 예측 필터에 대해 판독됨에 따라 필터 계수를 획득하도록 데이터를 교정하거나 조작한다. 즉, 그것은 검출기(125 및 150)에서 잡음의 개선된 필터링을 위해 계수를 자기 조정 및 연속적으로 개선하도록 적응 처리한다. 검출기(125)로부터의 출력은 코드워드의 비트가 기록 경로에서 인터리빙되고, 나중의 디코딩을 위해 원래의 순서로 다시 재배치될 필요가 있기 때문에 디인터리버(II⁻¹)(130)를 이용하여 비인터리빙된다. 디인터리버(II⁻¹)(130)는 LDPC 디코더(135)에 비인터리빙된 코드워드를 제공한다.

[0012]

LDPC 디코더(135)는 디코딩된 데이터가 출력(160)을 통해 경판정으로서 제공되거나 인터리버(II)(140)에 제공되는 데이터 디코딩 처리를 수행한다. 일반적으로, LDPC 디코더(135)에 의해 적용된 데이터 디코딩 처리가 집중되는 경우에, 변환 결과는 출력(160)에서 경판정으로서 제공되고 처리는 그 특정 데이터 세트에 대해 완료된다. LDPC 디코더(135)는 (i) LDPC 디코더(135)가 제로 신드롬을 갖는 집중된 코드워드에 도달하며, 즉 위반된 체크의 수가 제로일 때, 또는 (ii) 정확히 디코딩된 코그워드에 도달하지 않고 LDPC 디코더(135)가 최대 허용가능

수의 국부 반복을 수행하며, 즉 LDPC 디코더(135)가 실패했을 때 종료된다. 디코더(135)가 종료될 때, 출력(160)에서 경판정으로서 디코딩된 코드워드를 출력한다. 다른 적절한 디코딩 기술은 본 발명의 다른 실시예에 이용될 수 있는 것이 주목되어야 한다.

[0013] 대안으로, 미리 결정된 수의 글로벌 반복 후에, LDPC 디코더(135)는 유효 코드워드 상에 집중되지 않으면, 이 때 (i) 만족되지 않은 체크 노드 값이 결정되며 (ii) 만족되지 않은 체크 노드 값은 특정 임계값(예를 들어, 20)과 비교된다. 실험적으로 결정될 수 있는 특정 임계값은 디코더(135)가 (i) 트래핑 설정 상에 집중되거나 (ii) 트래핑 설정 상에서 집중에 대응하지 않는 통신 채널에서 에러를 경험했는지를 예측하는데 이용될 수 있다. 만족되지 않은 체크 노드 값이 특정 임계값 이상이면, 이 때 디코더(135)는 통신 채널에서 에러를 경험할 것이다. 그러한 에러는 예를 들어 HDD 플래터 상의 결함 또는 통신 채널에서의 과도한 잡음에서 기인할 수 있다. 그러한 에러가 발생할 때, 데이터의 재판독과 같은 추가 옵션은 정확한 코드워드를 복구하는데 필요할 수 있다. 일부 경우에, 디코더(135)는 정확한 코드워드를 복구할 수 없다. 만족되지 않은 체크 노드의 값이 특정 임계값보다 작으면, 이 때 디코더(135)는 트래핑 설정 실패 또는 에러에 집중될 것이다. 트래핑 설정이 발생할 때, 본 발명에 따라 여기에 개시된 것과 같은 어떤 기술은 트랩을 차단하는데 이용될 수 있어 디코더로 하여금 집중되게 한다.

[0014] 검출기(125)와 디코더(135) 사이의 제 1 글로벌 반복 및 데이터 디코딩 처리가 집중되지 않은 후에, 비집중 데이터 세트는 인터리빙을 위해 인터리버(II)(140)에 제공되며 LDPC 디코더(135)에 의해 생성된 출력 데이터에 의해 원조되는 후속 데이터 감지를 실행하는 검출기(150)에 제공된다. 검출기(150)가 감지 처리를 시작하기 전에, NPCAL 회로(170)에 의해 처리된 필터 계수는 NPFIR 필터 로딩 회로(180)로부터 신호 경로(165)를 통해 검출기(150)에서 로딩된다. 이것은 가장 최근 계산된 필터 계수가 검출기(150)에 이용되는 것을 보장한다. 이미 생성된 데이터를 이용함으로써, 검출기(150)는 일반적으로 고조된 정확성으로 후속 검출을 수행한다. 이 후속 채널 검출의 출력은 데이터가 이미 인터리빙되기 때문에 디인터리버(II⁻¹)(145)로 통과된다. 인터리빙된 데이터는 정확히 디코딩된 코드워드를 생성하려고 할 때 하나 이상의 디코딩 반복("국부 반복")을 수행함으로써 데이터에 다른 디코딩 패스를 제공하는 LDPC 디코더(135)에 제공된다. 제 1 반복과 마찬가지로, 데이터가 집중되었는지에 관한 결정이 이루어진다. 데이터가 집중되는 경우에, LDPC 디코더(135)는 경판정으로서 그 출력을 출력(160)에 기록하며 처리는 그 특정 데이터 세트에 대해 완료된다. 대안으로, 데이터가 집중되지 않는 경우에, LDPC 디코더(135)는 그러한 것이 필요하고 가능한 다른 글로벌 반복을 위해 검출기(150)에 다시 통과되는 인터리버(II)(140)에 그 출력을 제공한다. 간단한 아키텍처는 다수 발신점 및 입/출력 배치뿐만 아니라 상이한 토플로지도 갖는 비교가능 아키텍처가 이용될 수 있는 것이 인식될지라도, 예시적 간결함을 위해 도 1에 도시된다.

[0015] 일반적으로, 신뢰 전파 디코더(예를 들어, LDPC 디코더(135))는 국부 동작 방법에서 체크 노드(예를 들어, 패리티 체크 노드)와 변수 노드(예를 들어, 비트 노드) 사이에서 신뢰성 정보를 반복적으로 통과시키는 준최적 디코더이다. 체크 노드 및 다양한 노드는 단지 그 인접 노드(접속된 노드)로부터 정보를 단지 구별할 수 있다.

[0016] LDPC 코드에서의 사이클의 존재로 인해, 그러한 디코더는 상술한 트래핑 설정 에러와 같은 작은 에러의 영향을 받는다. 본 발명의 실시예에 따르면, 트래핑 설정 에러 복구는 잡음 예측 검출기가 예를 들어 검출기(125) 및 검출기(150)가 이용되는 판독 채널 시스템에서 NPCAL 및 NPFIR 필터 로딩을 통해 달성된다.

[0017] 메시지 패싱 디코딩의 초기 단계에서, 특정 저획률 잡음 샘플의 존재로 인해, 하나의 특정 트래핑 설정(초기 트래핑 설정이라 칭해지는) 내부의 변수 노드는 부정확한 비트값에 대한 신뢰도 추정에서 큰 증가를 경험한다. 이 정보는 트래핑 설정에서 다른 다양한 노드로 전파되며, 그 일부는 신뢰할 수 없는 비트 추정을 그 자체에 이미 갖는다. 이 초기 바이어싱 후에, 외부 변수는 통상 그 초기에 부정확한 추정을 정정하기 시작한다. 그러나, 그 때까지, 트래핑 설정에서의 가변 노드는 틀린 값에 대해 그 결정을 이미 충분하게 바이어싱한다. 트래핑 설정 내의 에러를 검출할 수 있는 매우 소수의 체크 노드가 있으므로, 이 에러 정보는 디코딩 처리의 종료까지 그래프에서 잔존한다. 본 발명의 실시예에 따르면, 트래핑 설정 실패를 방지하는 효과적인 방법은 디코더가 트래핑 설정을 초래하는 그 포화된 단계에 도달하기 전에 채널을 교란하는 것이다.

[0018] 본 발명의 실시예에 따르면, 디코더와 검출기, 예를 들어 도 1에 도시된 LDPC 디코더(135)와 검출기(150) 사이의 터보 반복은 다음 수행을 개선하는데 이용된다. 터보 반복은 LDPC 디코더에 어떤 레벨의 교란을 본래 도입하여, 일시적인 트래핑 설정 실패(글로벌 반복으로부터 글로벌 반복으로의 에러 패턴 변경)를 야기시킨다. 일부 경우에, 검출기로부터의 중단은 트래핑 설정을 초래하는 강한 잡음을 차단하는데 여전히 매우 제한되므로, 강한 교란이 필요하다. 본 발명의 일 실시예에서, 제 2 검출기는 트래핑 설정을 차단하도록 제 2 및 상기 글로벌 반복들에서 검출 수정된다; 예를 들어, 제 2 및 상기 글로벌 반복에서 검출기(150)의 검출을 수정한다. 제 1 검출

기와 디코더 사이의 제 1 글로벌 반복이 종료된(즉, 검출기 및 제 1 디코더 실행이 종료된) 후에, 에러 이벤트가 트래핑 설정 에러일 것 같으면(즉, 만족되지 않은 체크의 수가 미리 정해진(예를 들어, 프로그래밍된) 임계값보다 작으면), 상이한 잡음 예측 필터 계수는 본 발명의 실시예에 따라 나머지 글로벌 반복을 위해 제 2 검출기로 로딩된다. 이것은 잡음 패턴을 효과적으로 차단하여, 디코더의 집중을 초래한다.

[0019] 본 발명의 실시예는 코드워드를 디코딩할 때 발생하는 트래핑 설정 에러와 같은 작은 에러를 정정하기 위한 대안 구현을 제공하는 장치 및 기술에 관한 것이다. 특히, 도 2는 본 발명의 실시예에 따른 NPCAL 및 NPFIR 필터로딩 아키텍처(200)의 예시적 구성요소를 도시한다. 도 2는 도 1에 도시된 잡음 예측 검출기를 갖는 예시적 통신 장치(100)의 문맥에서 논의되지만, 이 배치에 제한되지 않는다.

[0020] NPCAL 및 NPFIR 필터로딩 아키텍처(200)에 있어서, 예를 들어 검출기(125 및 150)가 도 1에 배치된 바와 같이, 채널 뒤의 판독 경로 내의 제 1 검출기 및 백엔드에서의 제 2 검출기가 있다. 도 1 및 도 2를 참조하면, NPCAL 회로(170)는 검출기에 의한 이용을 위해 필터 계수를 교정 또는 조작하기 위해 동작한다. 이 실시예에 있어서, NPCAL 회로(170)는 당업계에 알려진 바와 같이, NPFIR 응답 필터와 같은 잡음 예측 필터를 포함한다. 코드워드가 판독됨에 따라, NPCAL 회로(170)는 원하는 신호와 실제 신호 사이의 차이에 관련된 2개의 필터 계수 세트를 계산하기 위한 LMS 알고리즘을 적용한다. 상이한 양의 2개의 섹터 세트(예를 들어, set1 = 1000 섹터 및 set2 = 500 섹터)는 NPCAL 회로(170)에 의해 샘플링되며 검출기(125 및 150)의 잡음 예측 필터에 대한 필터 계수를 획득하도록 교정된다. NPCAL 회로(170)는 필터 계수 세트 둘 다를 결정하도록 병렬로 2개의 섹터 세트를 적응적으로 교정한다. 계수는 검출기의 잡음 예측 필터에 대한 필터 계수 세트 둘 다를 연속적으로 결정 및 갱신하도록 이전 계수값 및 새롭게 샘플링된 섹터 세트를 이용하여 적응적으로 갱신된다.

[0021] 본 발명의 실시예에 따르면, NPCAL 회로(170)는 제 1 필터 계수 세트(도 2에서 NPFIR1로 표시되는)를 교정 또는 조작하도록 섹터를 샘플링하며, 제 2 필터 계수 세트(도 2에서 NPFIR2로 표시되는)를 교정 또는 조작하도록 제 2 섹터를 샘플링하여, 감지에 이용되는 2개의 필터 계수 세트(NPFIR 후보)를 발생시킨다. 본 발명의 실시예에 따르면, 제 1 및 제 2 설정 계수 세트는 검출기(125)(진행 적응 처리, 감지, 및 필터링을 위한)로 로딩되며, 제 1 또는 제 2 계수 세트는 검출기(150)로 로딩된다. 예를 들어, 트래핑 설정 에러가 발생한 것으로 발견되면, 제 2 계수 세트는 트래핑 설정을 차단하려고 할 시에 검출기(150)로 로딩된다. 특히, 트래핑 설정 에러가 제 1 글로벌 반복 검출기(125)와 디코더(135) 사이의 제 1 글로벌 반복 다음에 발생하는 것으로 발견되면, 제 2 계수 세트는 트래핑 설정을 차단하려고 할 시에 검출기(150) 및 디코더(135) 사이에서 제 2 및 상기 글로벌 반복을 위한 검출기(150)로 로딩된다. 필터 계수는 검출기에 의해 처리되는 각 데이터 세트의 끝에서 로딩되며 검출기에 의해 수신되는 후속 데이터 세트의 감지를 실행할 시에 이용된다.

[0022] 입력 제어 신호(239)에 의해, NPCAL 회로(170)는 채널(120)로부터 진행 데이터 스트림의 2개의 섹터 세트를 샘플링하도록 동작한다. 섹터를 샘플링하는 신호는 매체 상에서 마그네틱 방위를 감지하고 리드백 신호를 생성하는 판독 헤드로부터 공급된다. 이 때, 리드백 신호는 각각 당업계에 잘 알려진 증폭, ADC(analog-to-digital-conversion), D(digital finite impulse response) 필터링, 등화, 및 매체로부터 데이터를 검색하는데 적절한 다른 처리 기술과 같지만 제한되지 않는 복수의 처리 기술 중 하나 이상에 의해 처리된다. 섹터를 선택하기 위한 섹터의 양 및 방법은 당업계에 잘 알려진 기술을 이용하여 본 발명의 실시예에 따라 실험적으로 기초한다. 샘플링된 섹터(Yk1 및 Yk2로 표시되는)는 코드워드 및 잡음을 포함한다. 양 샘플링된 섹터(Yk1, Yk2) 세트는 입력(237)을 통해 NPCAL 회로(170)로 제공되며 제 1 필터 계수 세트(NPFIR1) 및 제 2 필터 계수 세트(NPFIR2)를 교정하는데 이용된다.

[0023] NPCAL 회로(170)에 대한 입력(238)은 처리를 위해 NPCAL 회로에 NRZ 데이터의 바이폴러 시퀀스를 제공하도록 NRZ(non-return-to-zero) 버스와의 연결을 위해 적응된다. NRZ 버스는 예를 들어 호스트 컴퓨터와 같은 통신 장치(100)에 연결된 대형 시스템의 일부이며, 채널 회로조직을 판독 및 기록하도록 NRZ 포맷으로 인코딩된 데이터를 전달한다. 당업자에 의해 알려진 바와 같이, NRZ 포맷은 하이(1)로부터 로우(0)로, 또는 역으로 연속적 비트의 변화가 있을 때 2진 숫자를 나타내는 신호가 포지티브와 제로(또는 네거티브) 전압 사이에서 교대하는 코딩 데이터의 방법이다.

[0024] 도 3은 샘플 데이터(Yk1, Yk2) 및 NRZ 데이터에 대한 입력(237) 및 입력(238)의 추가적인 상세한 설명을 각각 도시한다. 교정 처리의 일부로서, Yk1 및 Yk2 샘플 데이터 및 NRZ 데이터는 당업계에 잘 알려진 방법으로 계수(315)를 조정하는데 이용되는 에러 또는 잡음 값을 설정하도록 처리된다. 이 예에 있어서, 4개의 계수(탭으로서 표시되는)(310, 312, 314 및 316)가 있다. 도 2를 다시 참조하면, 본 발명의 예시적 실시예에 있어서, 교정 처리의 일부로서 NPCAL 회로(170)는 잡음을 최소화하는 방법으로서 계수를 적응 또는 조정할 시의 이용을 위해 잡

음 또는 에러를 계산하도록 2개의 샘플 섹터(Yk1 및 Yk2) 및 NRZ 데이터에 LMS 알고리즘을 적용한다. 처리는 NPCAL 회로(170)가 2개의 계수 세트, 즉 NPFIR1 및 NPFIR2를 교정하고 있기 때문에 병렬로 실행된다. NPCAL 회로(170)가 실시예에 있어서 복사되지만, 예시적인 및 설명적인 명확성을 위해 단일 회로로서 도시되는 것이 주목되어야 한다. 대안으로, 본 발명의 다른 실시예에 따르면, 제 1 및 제 2 계수 세트는 제 1 및 제 2 샘플링된 섹터 세트 사이를 스위칭함으로써 단일 NPCAL 회로(170)를 이용하여 순차적으로 계산될 수 있다. 이 시나리오에서, 멀티플렉서 또는 대안 스위칭 회로(상세하게 도시되지 않은)는 제 1 및 제 2 샘플링된 섹터 세트 사이의 스위칭을 위해 포함될 수 있다. 검출기는 데이터를 필터링하도록 검출 처리의 일부로서 계수를 이용하므로 예상된 데이터에 가깝고 디코딩을 위해 더 좋게 준비됨으로써 성능을 향상시킬 수 있다.

[0025] 도 5는 도 2에 도시된 아키텍처에 따른 예시적 방법의 적어도 일부를 도시하는 흐름도(500)이다. 블록 510에서, NPCAL 회로(170)는 예를 들어 제 1 필터 계수 세트(NPFIR1)를 교정하기 위한 데이터의 1000 섹터를 샘플링하며, 예를 들어 블록(515)에서 제 2 필터 계수 세트(NPFIR2)를 교정하기 위한 데이터의 500 섹터를 샘플링한다. 블록 520 및 525에서, NPCAL 회로(170)는 검출기(125 및 150)에 의한 이용을 위해 2개의 다른 계수 세트(후보: NPFIR1 및 NPFIR2)를 생성하는 2개의 교정 처리를 병렬로 수행한다.

[0026] NPCAL 회로(170)가 제 1 및 제 2 계수(NPFIR1 및 NPFIR2) 세트를 결정한 후에, 제 1 계수 세트(NPFIR1)는 계수를 갱신 및 개선하는 적응 조작 또는 교정 처리의 일부로서 검출기(125)로 로딩된다. 본 발명의 이 실시예에 있어서, 블록 530에서, 로딩 모듈(210)(도 2에서)은 도 2에서 NPFIR1 또는 NPFIR2로 검출기(150)를 로딩하기 전에 적응 교정 처리의 일부로서 블록 540에서 멀티플렉서(230)를 통해 검출기(125)에 통과되는 평퐁 쉐도어 레지스터(215)로서 도시된 제 1 평퐁 버퍼로 NPFIR1을 로딩한다. 실시예에 있어서, 도 1에 도시된 NPFIR 필터 로딩 회로(180)는 로딩 회로(210), 제 1 평퐁 버퍼(215), 제 2 평퐁 버퍼(220), 비교기(225) 및 멀티플렉서(230)를 포함한다. 또한, 필터 계수 세트로 검출기(150)가 갱신된다.

[0027] 본 발명의 실시예에 따르면, 검출기(150)는 2개의 다른 계수 세트, NPFIR1 또는 NPFIR2에 액세스하고, 그 중 하나는 검출기(150)로 로딩될 것이다. 앞서 나타낸 바와 같이, 계수 세트는 상이한 섹터 샘플 및 상이한 섹터 샘플 사이즈에 기초하기 때문에 적어도 일부에서 다르다. 그러나, 본 발명의 실시예는 어떤 특정 섹터 샘플 및/또는 샘플 사이즈에 제한되지 않는다. 평퐁 버퍼(215, 220)는 검출기(125)가 신규 계수를 갱신 및 로딩하는 동안 검출기(150)가 현재 이용가능한 계수에 액세스하므로 로딩 처리의 부분으로서 이용된다.

[0028] 도 2 및 도 5를 계속 참조하면, 블록 530에서, 로딩 회로(210)는 입력(242)을 통해 제 1 평퐁 버퍼(215)로 제 1 계수 세트(NPFIR1)를 로딩하고, 입력(241)을 통해 제 2 평퐁 버퍼(220)로 제 2 계수 세트(NPFIR2)를 로딩한다. 블록 540에서, 평퐁 버퍼(215)에서의 버퍼는 NPCAL 회로(170)로부터 이전 계수 세트(예를 들어, 검출기(150)에 현재 이용가능한 계수(NPFIR1))의 결과를 유지하는 한편, 평퐁 버퍼(215)에서의 다른 버퍼는 현재 결정되는 NPCAL 회로(170)로부터 새로운 계수 세트(New NPFIR1)를 유지한다. 마찬가지로, 블록 545에서, 평퐁 버퍼(220)에서의 버퍼는 NPCAL 회로(170)로부터 이전 계수 세트(예를 들어, 검출기(150)에 현재 이용가능한 계수(NPFIR2))의 결과를 유지하는 한편, 평퐁 버퍼(220)에서의 다른 버퍼는 현재 결정되는 NPCAL 회로(170)로부터 새로운 계수 세트(New NPFIR2)를 유지한다. 비교기(225)로부터의 출력 신호는 평퐁 버퍼(215 및 220)의 출력 사이를 스위칭하도록 멀티플렉서(230)를 트리거링하여, 단지 하나의 계수 세트(예를 들어, NPFIR1 또는 NPFIR2)가 검출기(150)로 로딩되게 한다.

[0029] 비교기(225)는 다수의 만족되지 않은 체크 노드, 예를 들어 트래핑 설정 에러를 나타내는 미리 결정된 값 또는 카운트를 나타내는 미리 정해진 임계값을 수신한다. 미리 결정된 값은 비교기(225)에 의해 위반 체크 카운트값과 비교된 다음에, 비교 결과를 나타내는 출력 신호는 필터 계수를 수신하도록 평퐁 버퍼(215 또는 220)의 어느 쪽으로부터 결정하기 위해 멀티플렉서(230)를 제어하는데 이용된다. 본 발명의 이 실시예에 있어서, 위반 체크 카운트값은 처음으로 디코더가 호출된 디코더(125)의 만족되지 않은 체크 노드의 수이다. 예를 들어, 위반 체크 카운트값은 도 1에 도시된 검출기(125), 인터리버(II)(140) 및 디코더(135) 사이의 제 1 글로벌 반복 후에 샘플링된다.

[0030] 실시예에 있어서, 판단 블록 560에서, 위반 체크 카운트값이 임계값 이상이면, 비교기(225)는 블록 565에서 제 1 평퐁 버퍼(215)로부터 검출기(150)로 계수 세트(예를 들어, NPFIR1)를 로딩하도록 멀티플렉서(230)를 트리거링한다. 대안으로, 판단 블록 560에서, 위반 체크 카운트값이 임계값(예를 들어, 트래핑 설정)보다 작으면, 비교기(225)는 블록 565에서 제 2 평퐁 버퍼(220)로부터 검출기(150)로 계수 세트(예를 들어, NPFIR2)를 로딩하도록 멀티플렉서(230)를 트리거링한다. 제 1 글로벌 반복(검출기(125) 및 제 1 디코더 실행이 종료되는) 후에, 여러 이벤트가 트래핑 설정 에러(만족되지 않은 체크 노드/위반 체크 카운트값의 수가 임계값보다 작은)가 가능하

면, 상이한 잡음 예측 필터 계수는 디코더(135)와 검출기(150) 사이의 나머지 글로벌 반복을 위한 검출기(150)로 로딩되며; 예를 들어, 제 2 및 상기 글로벌 반복에서 검출기(150)의 감지를 수정하는 것이 실현되어야 한다. 이것은 트래핑 설정 에러와 같은 잡음 패턴을 효과적으로 차단하여, 디코더의 집중을 초래할 수 있다.

[0031] 도 4는 본 발명의 실시예에 따라 검출기/디코더 출력과 기록된 실제 데이터를 비교하는 예시적인 터보 반복 데이터의 표(400)이다. 데이터는 트래핑 설정(좌측 열 405)에 실패한 이전 에러 정정 시스템에 적용된 섹터, 및 집중하는 본 발명(우측 열 410)에 따른 시스템에 적용된 동일한 섹터의 집중 동작(예를 들어, 비트 에러의 수)을 나타낸다. 표 400을 보면, 열(405)은 예를 들어 도 1에 도시된 검출기(125)와 LDPC 디코더(135) 사이의 및 검출기(150)와 LDPC 디코더(135) 사이의 반복으로부터 이전 결과를 나타낸다. 열(405 및 410)에서의 데이터는 동일 4k 비트 섹터에 기초한 예시적 데이터 세트를 나타내는 것이 주목되어야 한다. 열(405 및 410)에서의 각 행은 검출기(125)(map1로 표시되는), 검출기(150)(map2로 표시되는), LDPC 디코더(135)(dec1로 표시되며: 검출기(125)와 LDPC 디코더(135) 사이의 제 1 글로벌 반복을 나타내는), 및 LDPC 디코더(135)(dec2로 표시되며: 글로벌 반복 검출기(150)와 LDPC 디코더(135) 사이의 글로벌 반복을 나타내는)에 관련된 비트 에러의 수를 포함한다. 표로부터 분명한 바와 같이, 다수의 map2-dec2 데이터 세트에 의해 지시된 바와 같이, 검출기(150)와 LDPC 디코더(135) 사이에 다수의 글로벌 반복이 있다.

[0032] map1-dec1과 관련된 열(405)에서의 데이터는 디코더가 채널로부터 섹터(코드워드)를 처리하도록 처음으로 호출되는 검출기(125)와 LDPC 디코더(135) 사이의 글로벌 반복을 나타낸다. 도 1을 참조하면, 예를 들어 이것은 통상 검출기(125), 인터리버(Π^{-1})(130), 및 디코더(135) 사이의 통신 경로에 의해 표현된다. map2-dec2와 관련된 열(405)에서의 데이터는 예를 들어 검출기(150)와 LDPC 디코더(135) 사이의 글로벌 반복을 나타낸다. 도 1에서, 예를 들어 이 경로는 통상 LDPC 디코더(135), 인터리버(Π)(140), 디인터리버(Π^{-1})(145), 및 검출기(150) 사이의 경로에 의해 표현된다.

[0033] 열(410)에서의 데이터는 예를 들어 도 1에 도시되며 도 2에서 설명된 아키텍처를 이용하는 검출기(125)와 LDPC 디코더(135) 사이의 및 검출기(150)와 LDPC 디코더(135) 사이의 반복들로부터 본 발명에 따른 비트 에러 결과들을 도시한다. map1-dec1과 관련된 열(410)에서의 데이터는 디코더가 채널로부터 섹터(코드워드)를 처리하도록 처음으로 호출되는 검출기(125)와 LDPC 디코더(135) 사이의 글로벌 반복을 나타낸다. 도 1을 참조하면, 예를 들어 이것은 통상 도 2에서 설명된 아키텍처를 이용하는 검출기(125), 인터리버(Π^{-1})(130), 및 디코더(135) 사이의 통신 경로에 의해 표현된다. map2-dec2와 관련된 열(410)에서의 데이터는 예를 들어 도 2에서 설명된 아키텍처를 이용하는 검출기(150)와 LDPC 디코더(135) 사이의 글로벌 반복을 나타낸다. 도 1에서의 이 경로는 예를 들어 통상 LDPC 디코더(135), 인터리버(Π)(140), 디인터리버(Π^{-1})(145), 및 검출기(150) 사이의 경로에 의해 표현된다. 표 400에 도시된 바와 같이, map2-dec2 비트 에러의 다수 실시예들에 의해 지시되는 바와 같은 검출기(150)와 디코더(135) 사이의 다수의 글로벌 반복이 있다. 열(405)에서의 데이터는 집중에 실패하고 트래핑 설정 에러를 입력하는 종래의 배치에 의해 처리되는(예를 들어, 1개의 계수 세트 또는 1개의 후보를 처리하는) 한편, 열(410)에서의 데이터는 본 발명에 따른 배치에 처리되는(예를 들어, 2개의 필터 계수 세트 또는 2개의 후보를 처리하는) 결과로서 집중하는 것이 실현될 수 있다.

[0034] 글로벌 반복 1(415)에서 단일 계수 세트(당업계에 알려진 바와 같이)로 처리하는 열(405)을 참조하면, 검출기(125)(map1)에 의해 검출된 후에 섹터는 65 비트 에러를 가지며, 디코더(135)(dec1)에 의해 디코딩된 후에 섹터는 7 비트 에러를 갖는다. 검출기(125)와 LDPC 디코더(135) 사이의 제 1 글로벌 반복 후, 섹터는 map2-dec2에 의해 표시되는 검출기(150)와 디코더(135) 사이의 다수의 글로벌 반복들을 통해 처리된다.

[0035] 단일 계수 세트를 이용하는 글로벌 반복 2(420)에서, 검출기(150)(map2)에 의해 검출된 후에 섹터는 4 비트 에러를 가지며, 디코더(135)(dec2)에 의해 디코딩된 후에 섹터는 6 비트 에러를 갖는다. 디코더(135)가 집중된 열(405)(430)의 바닥을 참조하면, LDPC 디코딩은 성공적으로 간주되었으며, 검출기(125)는 디코딩하기 위해 다음 섹터를 수락하였다. 그러나, 디코더(135)는 집중되지 않으므로 실패된다. 비즈 에러의 사이즈는 훨씬 큰 4k 비트 섹터와 비교하여 작을지라도 미리 결정된 수의 반복(n) 내의 열(405)에서 제로로 집중되거나 정정되지 않는 것이 실현되어야 한다. 이 동작은 종래의 시스템 중에서 문제인 트래핑 설정의 지시이다.

[0036] 본 발명의 실시예에 따르면, 열(405)에 도시된 예시적 데이터 세트의 트래핑 설정을 차단하는 하나의 방법은 검출기(125)와 디코더(135) 사이의 제 1 글로벌 반복 후에 검출기(150)로 제 2 계수 세트를 로딩하는 것이다. 열(410)로 돌아오면, 열(410)에서의 데이터는 열(405)에서 데이터 세트를 생성하는데 이용되는 동일한 4k 비트 섹터에 기초하여 예시적 데이터 세트를 나타내지만, 열(410)에서의 데이터 세트는 본 발명의 실시예에 따라 처리

되며 어떤 에러도 지시하지 않는 제로로 집중되는 것이 인식되어야 한다.

[0037] 열(410)을 보면, 글로벌 반복 1(435)은 디코더가 채널로부터 섹터(코드워드)를 처리하도록 처음으로 호출되는 검출기(125)(map1)와 디코더(135)(dec1) 사이의 제 1 글로벌 반복을 나타낸다. 검출기(125)(map1)에 의해 검출된 후에 섹터는 65 비트 에러를 가지며, 디코더(135)(dec1)에 의해 디코딩된 후에 섹터는 7 비트 에러를 갖는다. 검출기(125)(map1) 및 디코더(135)(dec1) 사이의 제 1 글로벌 반복 후에, 비트 에러의 수는 동일한 섹터가 동일한 방법으로 처리되기 때문에 열(405)에서 종래의 예시적 데이터 세트와 같이 동일하다. 그러나, 본 발명의 실시예에 따르면, 이 제 1 글로벌 반복 후에, 상이한 잡음 예측 필터 계수는 트래핑 설정을 차단하려고 할 시에 검출기(150)(map2)와 디코더(135)(dec2) 사이의 글로벌 반복을 위한 검출기(150)로 로딩된다.

[0038] 제 2 계수 세트를 이용하는 글로벌 반복 2(440)에서, 검출기(150)(map2)에 의해 검출된 후에 섹터는 4 비트 에러를 갖고, 디코더(135)(dec2)에 의해 디코딩된 후에 섹터는 4 비트 에러를 갖는다. 도 2 및 도 4를 참조하면, 글로벌 반복 2(440)에 대해서는, 로딩 회로(210)는 계수를 연속적으로 생성하도록 처리의 일부로서 검출기(125)에서 제 1 계수 세트를 로딩하며, 각각 평평 버퍼(215 및 220)에서 2개의 계수 세트를 로딩한다. 제 1 글로벌 반복으로부터의 위반 체크 카운트값은 비교기(225)에 의해 예를 들어 20으로 설정된 임계값과 비교된다. 위반 체크 카운트값(즉, 만족되지 않은 체크 노드)이 임계값보다 작으면, 이 때 비교기(225)는 평평 버퍼(220)로부터 검출기(150)로 제 2 계수 세트(예를 들어, NPFIR2)를 로딩하도록 멀티플렉서(230)를 트리거링한다. 이 특정 예에서, 위반 체크 카운트값은 트래핑 설정을 나타내는 7(435)이므로, 검출기(150)로 제 2 계수 세트(예를 들어, NPFIR2)를 로딩하도록 멀티플렉서(230)를 시그널링하기 위해 비교기(225)를 트리거링한다. 위반 체크 카운트값이 임계값 이상이면, 이 때 멀티플렉서(230)는 평평 버퍼(215)로부터 검출기(150)(현재 데이터 세트의 경우가 아닌)로 제 1 계수 세트(예를 들어, NPFIR1)를 로딩한다. 제 2 계수 세트가 검출기(150)로 로딩되면, 검출기(150)는 디코더 집중 또는 타임 아웃될 때까지 검출기(125)로부터 생성된 계수(예를 들어, NPFIR2)를 수신하는 동안 디코더 사이의 글로벌 반복을 계속한다. 이 예에 있어서, 디코더는 어떤 비트 에러(450)도 지시하지 않는 제로로 집중한다.

[0039] 본 발명의 실시예는 하드웨어, 소프트웨어, 또는 하드웨어 및 소프트웨어 양태를 이용할 수 있다. 소프트웨어는 펌웨어, 상주 소프트웨어, 마이크로코드 등을 포함하지만 제한되지 않는다. 본 발명의 하나 이상의 실시예 또는 그 부분은 실행될 때 본 발명의 실시예의 적어도 일부를 수행하는데 이용되는 방법 단계(들)을 구현하는 하나 이상의 프로그램을 포함하는 기계 판독가능 매체를 포함하는 제조 아티클의 형태로; 즉, 저장된 컴퓨터 이용가능 프로그램 코드가 지시된 방법 단계의 하나 이상을 수행하기 위한 비일시적인 방법으로 저장된 상태에서 실감형 컴퓨터 판독가능 기록가능 저장 매체(또는 그러한 다수의 매체)를 포함하는 컴퓨터 프로그램 제품으로 구현될 수 있다. 또한, 본 발명의 하나 이상의 실시예 또는 그 요소는 메모리 및 메모리에 결합되며, 예시적 방법 단계의 수행을 수행하거나 요이하게 하도록 적어도 하나의 프로세서(예를 들어, DSP)를 포함하는 장치의 형태로 구현될 수 있다.

[0040] 여기에 이용된 바와 같이, 액션을 "용이하게 하는"은 액션을 수행하거나, 액션을 용이하게 하거나, 액션을 수행하는 것을 돋거나, 액션으로 하여금 수행되게 하는 것을 포함한다. 따라서, 단지 예에 의한 것이며 제한이 아닌 것으로, 하나의 프로세서 상에서 실행하는 명령어는 액션으로 하여금 수행되게 하거나 액션이 수행되게 원조하도록 적절한 데이터 또는 명령을 송신함으로써 원격 프로세서 상에서 실행하는 명령어에 의해 수행되는 액션을 용이하게 할 수 있다. 액터가 액션을 수행하는 것 이외에 의해 액션을 용이하게 하는 의심을 회피하기 위해, 액션은 또한 일부 엔터티 또는 엔터티의 조합에 의해 수행된다.

[0041] 또한, 다른 양태에서, 본 발명의 하나 이상의 실시예 또는 그 요소는 여기에 설명된 하나 이상의 방법 단계를 수행하기 위한 수단의 형태에서 구현될 수 있다; 수단은 (i) 하드웨어 모듈(들), (ii) 하나 이상의 하드웨어 프로세서 상에서 실행되는 소프트웨어 모듈(들), 또는 (iii) 하드웨어 및 소프트웨어 모듈의 조합을 포함할 수 있다; (i)-(iii) 중 어느 하느는 여기에 설명된 특정 기술을 구현하며, 소프트웨어 모듈은 실감형 컴퓨터 판독가능 기록가능 저장 매체(또는 그러한 다수의 매체)에 저장된다. 버스, 네트워크 등을 통해 적절한 상호연결이 포함될 수도 있다.

[0042] 본 발명의 실시예는 전자 장치 또는 대안 시스템(예를 들어, 데이터 처리 시스템, 메모리 저장 시스템, 휴대 전화 시스템, 무선 송신 시스템, 네트워크 시스템 등)에서의 이용에 특히 적절할 수 있다. 예를 들어, 도 6은 본 발명의 실시예에 따른 예시적 처리 시스템(600)의 적어도 일부를 도시하는 블록도이다. 예를 들어 DSP 또는 그 부분을 나타낼 수 있는 시스템(600)은 프로세서(610)(예를 들어, 도 2에 도시된 NPCAL 회로(170)), 프로세서와 (예를 들어, 버스(650) 또는 대안의 접속 수단을 통해) 결합되거나 프로세서에 내장된 메모리(620)뿐만 아니라,

프로세서와 인터페이싱하도록 동작가능한 I/O(입력/출력) 회로조직(630)을 포함한다. 프로세서(610)는 본 발명의 실시예에 따른 기능의 적어도 일부를(예를 들어, 메모리(620)에 저장되며 프로세서(610)로 로딩될 수 있는 하나 이상의 프로세스(640)를 통해) 수행하도록 구성될 수 있으며, 그 예시적 실시예는 이전 도면에 도시되고 여기에 상술되어 있다.

[0043] 여기에 이용된 바와 같이 "프로세서"하는 용어는 예를 들어 CPU(central processing unit) 및/또는 다른 처리 회로조직(예를 들어, 네트워크 프로세서, 마이크로프로세서, DSP 등)과 같은 임의의 처리 장치를 포함하도록 의도되는 것이 인식되어야 한다. 추가적으로, 프로세서는 하나 이상의 처리 장치를 지할 수 있으며, 처리 장치와 관련된 다양한 요소는 다른 처리 장치에 의해 공유될 수 있는 것이 이해되어야 한다. 여기에 이용되는 바와 같이 "메모리"라는 용어는 메모리 및 프로세서 또는 CPU와 관련된 다른 컴퓨터 판독가능 매체, 예를 들어 RAM, ROM(read only memory), 고정 저장 매체(예를 들어, 하드 드라이브), 제거가능 저장 매체(예를 들어, 디스크), 플래시 메모리 등을 포함하도록 의도된다. 또한, 여기에 이용된 바와 같이 "I/O 회로조직"이라는 용어는, 예를 들어 프로세서에 데이터를 입력하기 위한 하나 이상의 입력 장치(예를 들어, 키보드, 마우스 등), 및/또는 프로세서와 관련된 결과를 나타내기 위한 하나 이상의 출력 장치(예를 들어, 디스플레이 등)를 포함하도록 의도된다.

[0044] 따라서, 여기에 설명된 바와 같이, 본 발명의 실시예에 따른 방법을 수행하기 위한 명령어 또는 코드를 포함하는 응용 프로그램 또는 그 소프트웨어 구성요소는 관련된 저장 매체(예를 들어, ROM, 고정 또는 제거가능 스토리지) 중 하나 이상의 비일시적인 방법으로, 그리고 전체 또는 부분으로(예를 들어, RAM으로) 이용되고, 로딩되며 프로세서에 의해 실행될 준비가 되었을 때 저장될 수 있다. 임의의 경우에, 이전 도면에 도시된 구성요소의 적어도 일부는 하드웨어, 소프트웨어, 또는 그 조합(예를 들어, 메모리와 관련된 하나 이상의 마이크로프로세서, ASIC(application-specific integrated circuit), 기능 회로조직, 관련 메모리를 갖는 하나 이상의 동작가능하게 프로그래밍된 범용 디지털 컴퓨터 등)의 다양한 형태로 구현될 수 있는 것으로 인식되어야 한다. 여기에 제공된 본 발명의 실시예의 교시를 고려하면, 당업자는 본 발명의 실시예의 다른 구현을 생각할 수 있을 것이다.

[0045] 본 발명의 실시예의 적어도 일부는 집적 회로에서 구현될 수 있다. 집적 회로를 형성할 시에, 이상적 다이는 통상 반도체 웨이퍼의 표면 상에 반복된 패턴으로 제작된다. 각 다이는 여기에 기재된 장치를 포함하며, 다른 구조 및/또는 회로를 포함할 수 있다. 개별 다이는 웨이퍼로부터 커팅되거나 다이싱된 다음에, 집적 회로로서 패키징된다. 당업자는 집적 회로를 제조하도록 웨이퍼 및 팩키지 다이를 다이싱하는 방법을 알 것이다. 그렇게 제조된 집적 회로는 본 발명의 부분으로서 고려된다.

[0046] 본 발명의 실시예에 따른 집적 회로는 다수의 프로세서 또는 버스 상호연결이 이용될 수 있는 임의의 애플리케이션 및/또는 전자 시스템에 필수적으로 이용될 수 있다. 본 발명의 실시예의 기술을 구현하는 적절한 시스템은 서버, 개인용 컴퓨터, 데이터 저장 네트워크 등을 포함하지만 제한되지 않을 것이다. 그러한 집적 회로를 통합하는 시스템은 본 발명의 실시예의 부분으로서 고려된다. 여기에 제공된 본 발명의 실시예의 교시를 고려하면, 당업자는 본 발명의 실시예의 기술의 다른 구현 및 응용을 생각할 수 있을 것이다.

[0047] 여기에 기재된 본 발명의 실시예의 예시는 다양한 실시예의 구조의 일반적인 이해를 제공하도록 의도되고, 여기에 기재된 구조를 이용하는 장치 및 시스템의 모든 요소 및 특징의 완전한 설명으로서 서브하도록 의도되지 않는다. 다수의 다른 실시예는 여기의 교시를 고려한 당업자에게 명백해질 것이다; 다른 실시예는 구조적 및 논리적 대체 및 변경들이 본 명세서의 범위로부터 벗어나지 않고 이루어질 수 있도록 이용되고 도출된다. 또한, 도면은 단지 표현적이고 축척으로 도시되지 않는다. 따라서, 명세서 및 도면은 제한적 의미라기 보다는 예시적 의미로 간주되어야 한다.

[0048] 본 발명 대상의 실시예는 단지 편의를 위해 그리고 하나 이상이 실제로 도시되면 임의의 단일 실시예 또는 본 발명 개념에 본 출원의 범위를 제한하도록 의도하지 않고, "실시예"라는 용어에 의해 개별적으로 및/또는 집합적으로 여기에 지칭된다. 따라서, 특정 실시예가 여기에 예시되며 기재되었지만, 동일한 목적을 달성하는 배치는 도시된 특정 실시예(들)에 대해 대체될 수 있으며; 즉, 본 명세서는 다양한 실시예의 임의의 및 모든 적응 또는 변화를 커버하도록 의도되는 것이 이해되어야 한다. 상기 실시예, 및 여기에 특별히 설명되지 않은 다른 실시예의 조합은 여기서 교시를 고려하면 당업자에게 명백해질 것이다.

[0049] 개요는 독자가 기술 명세서의 본질을 신속히 확인하게 하는 개요를 필요로 하는 37 C.F.R. § 1.72(b)에 따르도록 제공된다. 그것이 청구항의 범위 또는 의미를 해석 또는 제한하는데 이용되지 않는다는 조건으로 제출된다. 또한, 이전 상세한 설명에서, 다양한 특징은 명세서의 간소화를 위해 단일 실시예에서 함께 그룹화된 것을 알

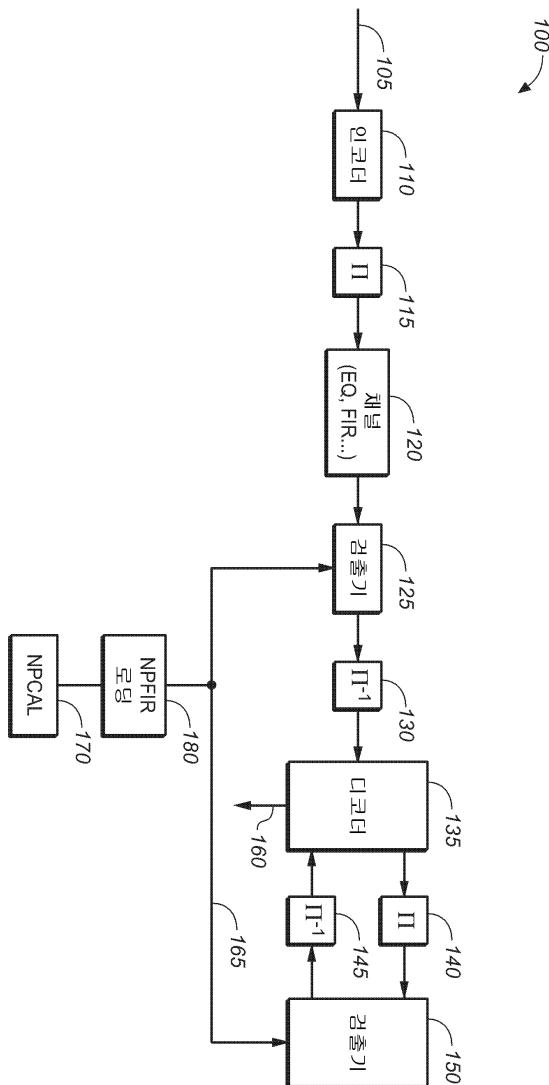
수 있다. 명세서의 이 방법은 청구된 실시예가 각 청구항에 명백히 인용되기 보다는 더 많은 특징을 필요로 하는 의도를 반영하는 것으로서 해석되지 않아야 한다. 오히려, 첨부된 청구항이 반영됨에 따라, 본 발명 대상은 단일 실시예의 모든 특징들보다 적게 있다. 따라서, 이하의 청구항은 각 청구항이 개별적으로 청구된 발명 대상으로서 그 자체에 근거한 상태에서, 이로써 상세한 설명으로 포함된다.

[0050]

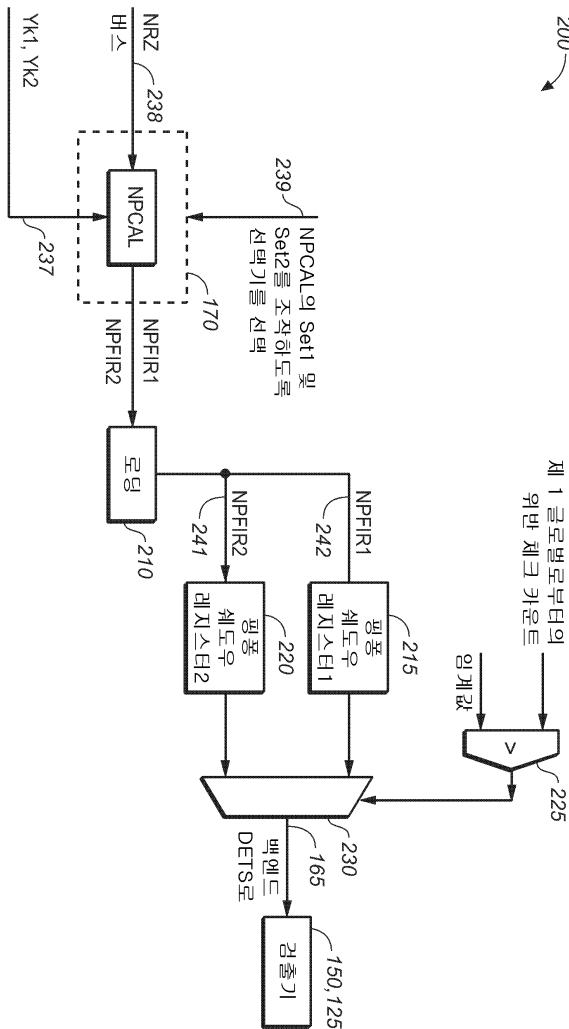
여기서 제공된 본 발명의 실시예의 교시를 고려하면, 당업자는 본 발명의 실시예의 기술의 다른 구현 및 응용을 생각할 수 있을 것이다. 본 발명의 예시적인 실시예가 첨부 도면을 참조하여 여기에 설명되었지만, 본 발명의 실시예는 그 정확한 실시예에 제한되지 않으며, 각종 다른 변경 및 수정은 동봉된 청구항의 범위를 벗어나지 않고 당업자에 의해 이루어지지는 것이 이해되어야 한다.

도면

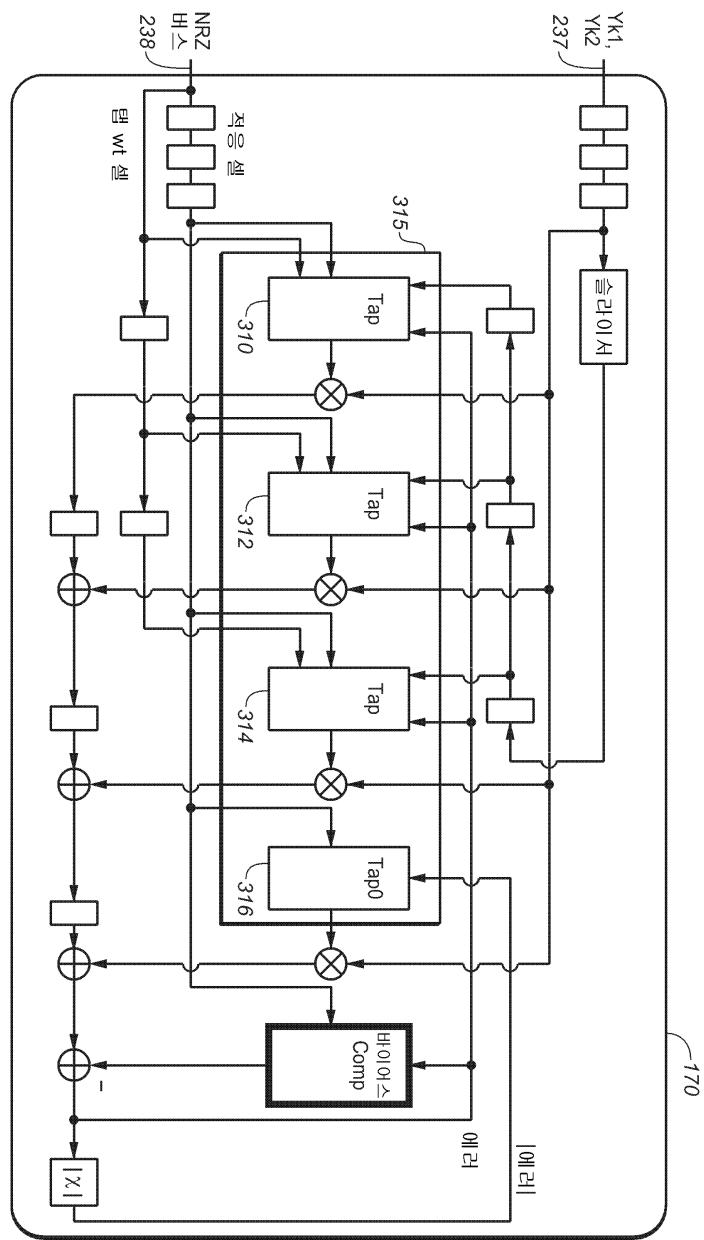
도면1



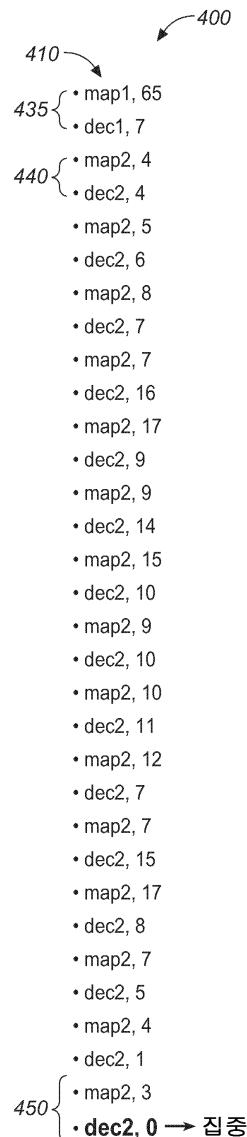
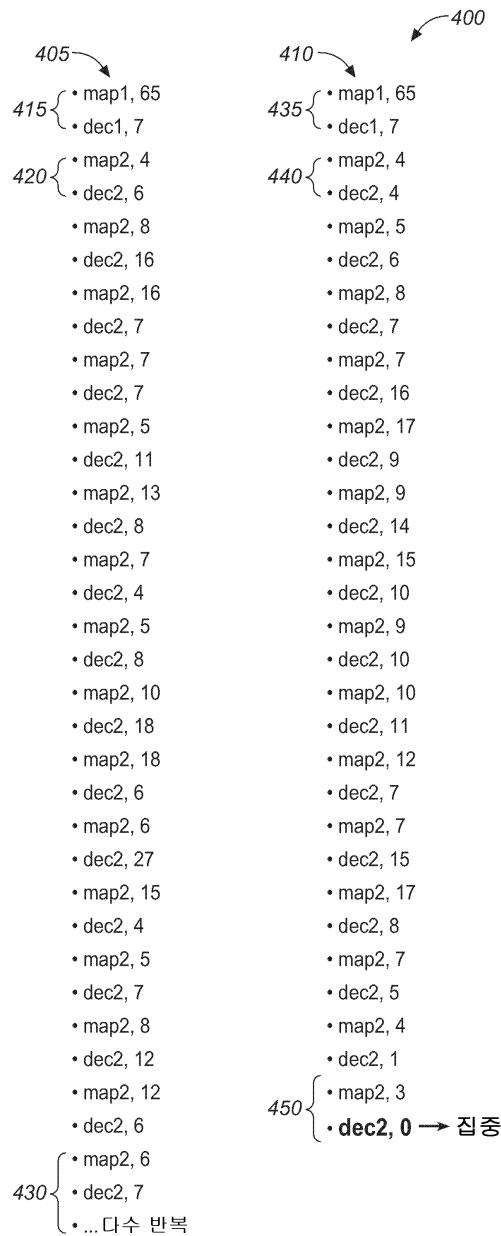
도면2



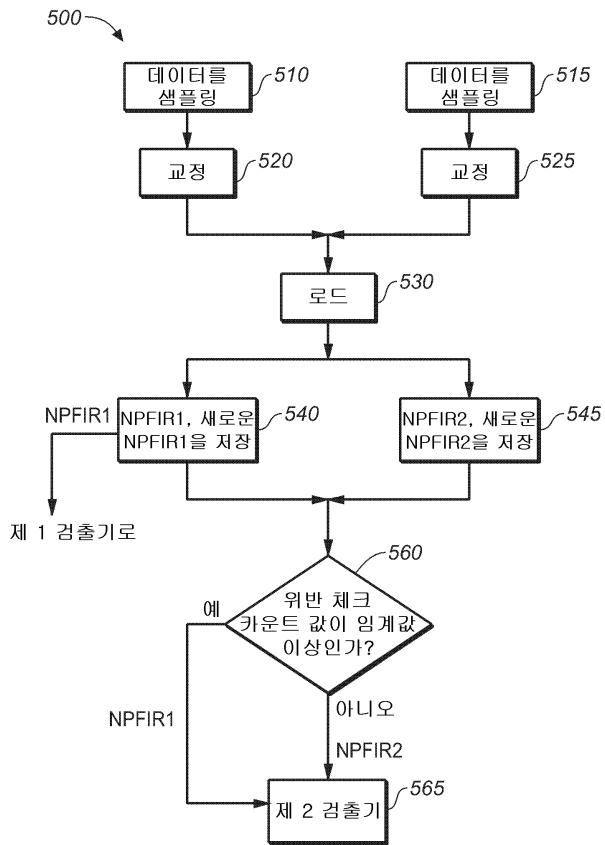
도면3



도면4



도면5



도면6

