

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4181847号
(P4181847)

(45) 発行日 平成20年11月19日(2008.11.19)

(24) 登録日 平成20年9月5日(2008.9.5)

| | | | | | |
|----------------|----------------|------------------|----------------|-------|---------|
| (51) Int.Cl. | | F I | | | |
| G 1 1 C | 11/4076 | (2006.01) | G 1 1 C | 11/34 | 3 5 4 C |
| G 1 1 C | 11/407 | (2006.01) | G 1 1 C | 11/34 | 3 6 2 S |
| G 0 6 F | 1/10 | (2006.01) | G 0 6 F | 1/04 | 3 3 0 A |
| H 0 3 K | 5/135 | (2006.01) | H 0 3 K | 5/135 | |

請求項の数 9 (全 12 頁)

| | | | |
|-----------|-------------------------------|-----------|---|
| (21) 出願番号 | 特願2002-311231 (P2002-311231) | (73) 特許権者 | 500174247 エルピーダメモリ株式会社 東京都中央区八重洲2-2-1 |
| (22) 出願日 | 平成14年10月25日(2002.10.25) | (74) 代理人 | 100077838 弁理士 池田 憲保 |
| (65) 公開番号 | 特開2004-145999 (P2004-145999A) | (74) 代理人 | 100082924 弁理士 福田 修一 |
| (43) 公開日 | 平成16年5月20日(2004.5.20) | (74) 代理人 | 100129023 弁理士 佐々木 敬 |
| 審査請求日 | 平成16年4月19日(2004.4.19) | (72) 発明者 | 石川 透 東京都中央区八重洲二丁目2番1号 エル ピーダメモリ株式会社内 |
| | | 審査官 | 堀田 和義 |

最終頁に続く

(54) 【発明の名称】 タイミング調整回路、半導体装置及びタイミング調整方法

(57) 【特許請求の範囲】

【請求項1】

外部クロック信号が入力され内部クロック信号を生成する内部クロック信号生成回路と

、
入力された第1の信号を処理し出力するに当たって前記内部クロック信号に基づいて駆動される被駆動回路と、

入力された前記内部クロック信号に付加する遅延量が調整可能な構成とされた、前記被駆動回路のレプリカ回路と、

前記外部クロック信号及び前記被駆動回路の出力信号が入力され、いずれか一方を選択するセレクタ回路と、

前記セレクタ回路によって選択された前記外部クロック信号又は前記被駆動回路の出力信号と前記レプリカ回路の出力信号との位相を比較し、該位相の比較結果を示す位相進み遅れ信号を生成する位相比較回路と、

前記位相進み遅れ信号を出力する出力端子と、
を備えることを特徴とするタイミング調整回路。

【請求項2】

前記内部クロック生成回路が、前記外部クロック信号と前記内部クロック信号との間に介挿された遅延調整回路を備え、前記遅延調整回路における前記外部クロック信号と前記内部クロック信号との間の遅延量は、前記外部クロック信号と前記レプリカ回路の出力信号との位相の比較結果を示す位相進み遅れ信号に基づいて制御されることを特徴とする請

求項 1 に記載のタイミング調整回路。

【請求項 3】

前記内部クロック生成回路が、
外部クロック信号が入力され入力クロック信号を出力するクロック入力回路と、
前記入力クロック信号が入力され、前記入力クロック信号の遅延量を制御して遅延入力クロック信号を出力する遅延調整回路と、
前記遅延入力クロック信号が入力され前記内部クロック信号を出力するクロックドライバと、
を備え、

前記遅延調整回路における前記入力クロック信号と前記遅延入力クロック信号との間の遅延量は、前記外部クロック信号と前記レプリカ回路の出力信号との位相の比較結果を示す前記位相進み遅れ信号に基づいて制御されることを特徴とする請求項 1 に記載のタイミング調整回路。

10

【請求項 4】

前記セクタ回路が前記被駆動回路の出力信号を選択したとき、前記位相比較回路により前記被駆動回路の出力信号と前記レプリカ回路の出力信号との第 1 の位相の比較を行って第 1 の位相進み遅れ信号を生成して前記出力端子に出力すると共に、前記レプリカ回路の前記遅延量調整を行って前記第 1 の位相を一致させ、

前記セクタ回路が前記外部クロック信号を選択したとき、前記位相比較回路により外部クロック信号と前記レプリカ回路の出力信号との第 2 の位相の比較を行って第 2 の位相進み遅れ信号を生成し、該第 2 の位相進み遅れ信号に基づいて前記遅延調整回路における前記遅延量を制御して前記第 2 の位相を一致させることを特徴とする請求項 2 又は 3 に記載のタイミング調整回路。

20

【請求項 5】

前記被駆動回路が、
入力された前記第 1 の信号を前記内部クロック信号に同期させてラッチし出力するラッチ回路を備えることを特徴とする請求項 1 乃至 4 のいずれか 1 項に記載のタイミング調整回路。

【請求項 6】

前記位相進み遅れ信号が、前記比較される 2 信号のうち、いずれの信号の位相が進んでいるかを示す 2 値信号であることを特徴とする請求項 1 乃至 5 のいずれか 1 項に記載のタイミング調整回路。

30

【請求項 7】

前記レプリカ回路が、レジスタの保持内容の変更により、又は、ヒューズの切断により、前記遅延量を調整できる構成とされていることを特徴とする請求項 1 乃至 4 のいずれか 1 項に記載のタイミング調整回路。

【請求項 8】

請求項 1 乃至 7 のいずれか 1 項に記載のタイミング調整回路を備えたことを特徴とする半導体装置。

【請求項 9】

セクタ回路が被駆動回路の出力信号側を選択するステップと、
入力された外部クロック信号を遅延調整回路を介して出力することにより内部クロック信号を生成し、前記被駆動回路が入力信号を処理し出力するに当たって該内部クロック信号に基づいて駆動されると共に、入力された前記内部クロック信号の遅延量を調整可能な、前記被駆動回路のレプリカ回路に前記内部クロック信号を入力するステップと、

位相比較回路により、前記セクタ回路が選択した前記被駆動回路の出力信号と前記レプリカ回路の出力信号との第 1 の位相比較を行って、該第 1 の位相比較の結果を示す第 1 の位相進み遅れ信号を生成して出力端子に出力するステップと、

前記出力端子に接続されたテスト装置が、前記第 1 の位相進み遅れ信号に基づいて前記被駆動回路の出力信号と前記レプリカ回路の出力信号との位相関係を判定し、該判定の結

40

50

果に従って前記レプリカ回路の遅延量を調整して、前記被駆動回路の出力信号と前記レプリカ回路の出力信号との位相を一致させるステップと、

前記セクタ回路が前記外部クロック信号側を選択し、前記位相比較回路により、前記外部クロック信号と前記レプリカ回路の出力信号との第2の位相比較を行って、該第2の位相比較の結果を示す第2の位相進み遅れ信号を生成し、該第2の位相進み遅れ信号に基づいて前記遅延調整回路における前記遅延量を制御して前記第2の位相を一致させるステップと、

を含むことを特徴とするタイミング調整方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、入力された外部クロック信号に対して所定の位相関係を有する内部クロック信号を生成するタイミング調整回路及びそれを備えた半導体装置に関する。

【0002】

【従来の技術】

外部クロック信号に同期して動作するシンクロナスメモリ（クロック同期型半導体メモリ、例えばSDRAM）やそのコントローラ（システムLSIやマイクロプロセッサ）などの半導体装置では、その動作の高速化に伴い、装置内部でのクロック信号の伝播遅延が問題となってきた。そこで、従来の半導体装置では、そのインターフェース（又は入出力装置）に、外部クロック信号を受け、その外部クロック信号と同一の位相又は所定の位相差を有する内部クロックを生成するタイミング調整回路が設けられている。

【0003】

ところが、近年の半導体装置の更なる高速化（外部クロックの高周波数化）によって、外部クロック信号と内部クロック信号の位相差について、その所定値からのずれ（タイミングずれ）が問題となりつつある。つまり、半導体装置の動作速度の向上にともない、タイミングずれに対する許容範囲が狭まり、タイミングずれの原因である製造ばらつきが問題となってきている。

【0004】

このような問題を解決するために、外部クロック信号の位相と、内部クロック信号に同期させて出力回路から出力させたデータ信号の位相とを比較し、その比較結果に基づいて、タイミング調整回路に含まれるレプリカ回路（又はダミーロード）の遅延時間を調整することが提案されている（例えば、特許文献1参照。）。

【0005】

この提案に係るタイミング調整回路は、概略、図5に示すようなものである。図5のタイミング調整回路50は、外部クロック入力端子51に供給された外部クロック信号CLKを受けて入力クロック信号を出力するクロック入力回路52と、クロック入力回路52からの入力クロック信号を遅延させるためのDLL（Delay Locked Loop）又はPLL（Phase Locked Loop）からなる位相/遅延調整回路53と、位相/遅延調整回路53からの遅延入力クロック信号を受けて内部クロック信号を出力するクロックドライバ54と、クロックドライバ54によって駆動されるデータ出力回路55（又はデータストロープ出力回路56）に対応する遅延を生じさせるレプリカ回路57と、レプリカ回路57の出力信号（フィードバック信号）の位相と外部クロック信号の位相とを比較し、比較結果を位相/遅延調整回路53へ出力する位相比較回路58とを有している。なお、レプリカ回路57は、その遅延を調整できるように構成されている。

【0006】

このタイミング調整回路50は、データ出力回路55からデータを出力させるタイミングを規定する内部クロック信号を生成するためのものであって、レプリカ回路57からのフィードバック信号の位相が外部クロック信号の位相に一致するように位相/遅延調整回路53の遅延をフィードバック制御する。このとき、データ出力回路55の出力信号Doutの位相とフィードバック信号の位相とが一致しているならば、位相/遅延調整回路53を

10

20

30

40

50

フィードバック制御することにより、データ出力回路 5 5 の出力信号の位相は外部クロック信号の位相に一致する。

【 0 0 0 7 】

ところが、製造ばらつきによって、タイミング調整回路 5 0 にタイミングずれが存在する場合には、上記のように位相 / 遅延調整回路 5 3 をフィードバック制御しても、データ出力回路 5 5 の出力信号の位相は外部クロック信号 C L K の位相に一致しない。このような場合には、以下のようにして、製造ばらつきによるタイミングずれの除去が行われる。

【 0 0 0 8 】

まず、内部クロック信号に同期して、データ出力回路 5 5 から “ 0 ” と “ 1 ” とが交互に繰り返し出力されるようにしておく。データストロープ回路 5 6 を利用する場合は、データストロープ信号をそのまま利用する。

10

【 0 0 0 9 】

次に、図示しないテスト装置を用いて外部クロック入力端子 5 1 に供給される外部クロック信号 C L K の位相（立ち上がりエッジ）と、データ出力端子 5 9 に出力されるデータ出力回路 5 5（又はデータストロープ出力回路 5 6）の出力信号の位相（変化点）とを検出する。そして、これらの位相を比較して、位相差に基づいて、レプリカ回路 5 7 の遅延を調整する。

【 0 0 1 0 】

それから、再びテスト装置を用いて、データ出力回路 5 5 の出力信号の位相が外部クロック信号の位相に一致したかどうかを調べるため、これらの信号の位相を比較する。

20

【 0 0 1 1 】

以降、データ出力回路 5 5 の出力信号の位相が外部クロック信号 C L K の位相に一致するまで、上記動作を繰り返す。

【 0 0 1 2 】

ここで、レプリカ回路 5 7 について説明する。レプリカ回路 5 7 は、例えば、レジスタに格納された値に応じてその遅延を変更できるように構成され、また、ヒューズ（ヒューズ群中の 1 又は複数のヒューズ）を切断することによりその遅延を変更できるように構成されている。レプリカ回路 5 7 は、さらに、レジスタ及びヒューズ（群）の一方を選択するスイッチを有している。上記のように 2 つの信号の位相を比較しながらレプリカ回路 5 7 の遅延調整を行う際には、レジスタを選択し、そこに格納される値を変更して、その遅延を調整する。そして、データ出力回路 5 5 の出力信号の位相が外部クロック信号の位相に一致したなら、その遅延を実現するべくヒューズを切断する。それから、スイッチをレジスタ側からヒューズ側に切り換えて、レプリカ回路 5 7 の遅延を固定する。

30

【 0 0 1 3 】

以上のようにして、図 5 のタイミング調整回路 5 0 では、製造ばらつきによるタイミングずれの問題を解消することができる。

【 0 0 1 4 】

上述した図 5 のタイミング調整回路 5 0 は、データ出力回路 5 5 からのデータの出力タイミングを調整するためのものであるが、データ入力回路の入力タイミングを調整するタイミング調整回路も存在する。そのようなタイミング調整回路の一例を図 6 に示す。

40

【 0 0 1 5 】

図 6 のタイミング調整回路 6 0 は、外部クロック入力端子 6 1 に供給される外部クロック信号 C L K を受けて入力クロック信号として出力するクロック入力回路 6 2 と、入力クロック信号を遅延させる遅延調整回路 6 3 と、遅延入力クロック信号を受けて内部クロック信号を出力するクロックドライバ 6 4 とを有している。

【 0 0 1 6 】

このタイミング調整回路 6 0 は、データ入力端子 6 5 に与えられた入力データをラッチするデータ入力回路 6 6 の動作タイミングを規定する内部クロック信号を生成するためのものである。データ入力回路 6 6 から出力されるデータ信号の位相は、外部クロック信号 C L K の位相と所定の関係にあればよく、必ずしも一致している必要はないので、このタイ

50

ミング調整回路60では、図5のタイミング調整回路50のようにフィードバック制御は行われていない。

【0017】

このタイミング調整回路60では、遅延調整回路63の遅延を調整することによりそのタイミングずれを除去することができる。つまり、データ入力回路61から出力されるデータ信号の位相と外部クロック信号CLKの位相とを比較し、その位相差が所定の値となるように遅延調整回路63の遅延を調整することにより、そのタイミングずれが除去される。遅延調整回路63は、例えば、図5のレプリカ回路57と同様、レジスタ、ヒューズ及びスイッチで構成される。

【0018】

【特許文献1】

特開2000-163999号公報(第4-5頁、図2、5及び7)

【0019】

【発明が解決しようとする課題】

従来のタイミング調整回路では、製造ばらつきによるタイミングずれを除去するために、外部クロック信号とデータ出力回路又はデータ入力回路の出力信号との2つの信号を検出し、その位相を比較しなければならない。つまり、2つの信号を検出するために2つのピン(入力端子)を備えたテスト装置が必要である。

【0020】

ところが、ウエハーテストなどに使用される低精度テスト装置は、そのピン間スキューが1ns以上あり、例えば500MHzの外部クロックで動作するデバイスで許容されるタイミングずれ(500ps程度)よりも大きい。従って、従来のタイミング調整回路は、低精度のテスト装置を用いてそのタイミングずれを検出し、除去することができない。つまり、従来のタイミング調整回路では、そのタイミングずれの除去を行う際に、それに用いるテスト装置のピン間スキューによる制限を受けるという問題点がある。

【0021】

そこで、本発明は、テスト装置のピン間スキューによる制限を受けなく、高い精度でタイミングずれを解消することができるタイミング調整回路を提供することを目的とする。

【0022】

【課題を解決するための手段】

本発明によれば、外部クロック信号が入力され内部クロック信号を生成する内部クロック信号生成回路と、入力された第1の信号を処理し出力するに当たって前記内部クロック信号に基づいて駆動される被駆動回路と、入力された前記内部クロック信号に付加する遅延量が調整可能な構成とされた、前記被駆動回路のレプリカ回路と、前記外部クロック信号及び前記被駆動回路の出力信号が入力され、いずれか一方を選択するセクタ回路と、前記セクタ回路によって選択された前記外部クロック信号又は前記被駆動回路の出力信号と前記レプリカ回路の出力信号との位相を比較し、該位相の比較結果を示す位相進み遅れ信号を生成する位相比較回路と、前記位相進み遅れ信号を出力する出力端子と、を備えることを特徴とするタイミング調整回路が得られる。

【0023】

また、本発明によれば、上述したタイミング調整回路を備える半導体装置が得られる。

【0024】

さらに、本発明によれば、セクタ回路が被駆動回路の出力信号側を選択するステップと、入力された外部クロック信号を遅延調整回路を介して出力することにより内部クロック信号を生成し、前記被駆動回路が入力信号を処理し出力するに当たって該内部クロック信号に基づいて駆動されると共に、入力された前記内部クロック信号の遅延量を調整可能な、前記被駆動回路のレプリカ回路に前記内部クロック信号を入力するステップと、位相比較回路により、前記セクタ回路が選択した前記被駆動回路の出力信号と前記レプリカ回路の出力信号との第1の位相比較を行って、該第1の位相比較の結果を示す第1の位相

10

20

30

40

50

進み遅れ信号を生成して出力端子に出力するステップと、前記出力端子に接続されたテスト装置が、前記第 1 の位相進み遅れ信号に基づいて前記被駆動回路の出力信号と前記レプリカ回路の出力信号との位相関係を判定し、該判定の結果に従って前記レプリカ回路の遅延量を調整して、前記被駆動回路の出力信号と前記レプリカ回路の出力信号との位相を一致させるステップと、前記セクタ回路が前記外部クロック信号側を選択し、前記位相比較回路により、前記外部クロック信号と前記レプリカ回路の出力信号との第 2 の位相比較を行って、該第 2 の位相比較の結果を示す第 2 の位相進み遅れ信号を生成し、該第 2 の位相進み遅れ信号に基づいて前記遅延調整回路における前記遅延量を制御して前記第 2 の位相を一致させるステップと、を含むことを特徴とするタイミング調整方法が得られる。

【 0 0 2 5 】

10

【発明の実施の形態】

以下、図面を参照して本発明の実施の形態について詳細に説明する。

【 0 0 2 6 】

図 1 に、本発明の一実施の形態に係るタイミング調整回路のブロック図を示す。このタイミング調整回路 1 0 は、図 5 のタイミング調整回路 5 0 の構成に加えて、セクタ 1 1 が設けられ、また、位相比較回路 5 8 の出力を外部に取り出すための外部出力端子 1 2 が設けられている。

【 0 0 2 7 】

セクタ 1 1 は、2 つの入力端子を有しており、その一方は外部クロック入力端子 5 1 に、他方はデータストローブ信号出力回路 5 6 の出力端子 5 9 に接続されている。また、セクタ 1 1 の出力端子は、位相比較回路 5 8 の一方の入力端子に接続されている。セクタ 1 1 は、入力される外部クロック信号 C L K 及びデータストローブ信号 D Q S のいずれか一方を選択的に位相比較回路 5 8 へ出力する。

20

【 0 0 2 8 】

次に、図 1 のタイミング調整回路のタイミングずれの除去（縮小）方法について説明する。タイミングずれを除去する場合、セクタ 1 1 は、データストローブ信号を選択的に位相比較回路 5 8 へ出力するように設定される。

【 0 0 2 9 】

外部クロック入力端子 5 1 に外部クロック信号 C L K が与えられると、その外部クロック信号 C L K は、クロック入力回路 5 2 及びセクタ 1 1 に供給される。セクタ 1 1 は、上述のようにデータストローブ信号 D Q S を選択するよう設定されているので、外部クロック信号 C L K は位相比較回路 5 8 へは供給されない。

30

【 0 0 3 0 】

クロック入力回路 5 2 は、例えば入力バッファであって、外部クロック信号 C L K が入力されると、それを入力クロック信号として位相 / 遅延調整回路 5 3 へ出力する。

【 0 0 3 1 】

位相 / 遅延調整回路 5 3 は、入力クロック信号 C L K を遅延させ、遅延入力クロック信号としてクロックドライバ 5 4 へ出力する。なお、位相 / 遅延調整回路 5 3 は、後述する理由によりロックしている必要はない。

【 0 0 3 2 】

40

クロックドライバ 5 4 は、位相 / 遅延調整回路 5 3 からの遅延入力クロック信号を受けて内部クロック信号をデータストローブ出力回路 5 6 及びレプリカ回路 5 7 へ出力する。なお、内部クロック信号は、データ出力回路 5 5 へ出力されるので、内部出力クロックとも呼ばれる。

【 0 0 3 3 】

データストローブ出力回路 5 6 は、その出力が “ 0 ” レベルと “ 1 ” レベルの繰り返し（即ち、データストローブ信号）となるよう、内部クロック信号に同期して “ 0 ” レベル又は “ 1 ” レベルを出力する。

【 0 0 3 4 】

一方、レプリカ回路 5 7 は、内部クロック信号を遅延させ、フィードバッククロック信号

50

として出力する。

【 0 0 3 5 】

データストロープ回路 5 6 から出力されたデータストロープ信号 D Q S は、セクタ 1 1 を介して位相比較回路 5 8 の一方の入力に供給され、レプリカ回路 5 7 から出力されたフィードバッククロック信号は、位相比較回路 5 8 の他方の入力に供給される。位相比較回路 5 8 は、これら 2 つの信号の位相を比較し、その比較結果を出力する。ここで、位相比較回路 5 8 に入力されるデータストロープ信号 D Q S とフィードバッククロック信号とは、共に内部クロック信号に基づいて生成されている。したがって、位相 / 遅延調整回路 5 3 がロックしていない状態であっても、その位相を比較すれば、このタイミング調整回路 1 0 のタイミングずれを検出することができる。

10

【 0 0 3 6 】

タイミング調整回路 1 0 における、外部クロック信号 C L K の入力タイミングと、内部クロック信号 (内部出力クロック)、フィードバッククロック信号及びデータストロープ信号の各々の出力タイミングとの関係は、図 2 (a) 又は図 2 (b) のようになる。

【 0 0 3 7 】

図 2 (a) に示すように、フィードバッククロック信号がデータストロープ信号よりも進んでいる場合には、位相比較回路 5 8 は、比較結果として “ L ” レベルを出力する。また、図 2 (b) に示すように、フィードバッククロック信号がデータストロープ信号よりも遅れている場合には、位相比較回路 5 8 は、比較結果として “ H ” レベルを出力する。位相比較回路 5 8 からの出力は、位相 / 遅延調整回路 5 3 へ出力されるとともに、フィードバッククロック信号の位相の進み / 遅れを示す位相進み遅れ信号として外部出力端子 1 2 へも出力される。

20

【 0 0 3 8 】

外部出力端子 1 2 にテスト装置を接続し、位相進み遅れ信号を検出してそのレベルを確認すれば、データストロープ信号に対するフィードバック信号の進み / 遅れを確認することができる。この場合、検出すべき信号が 1 つなので、テスト装置のピン間スキューは、検出結果に何の影響も与えない。

【 0 0 3 9 】

テスト装置で確認した位相進み遅れ信号が “ L ” レベルであれば、レプリカ回路 5 7 の遅延を増やしてフィードバッククロック信号をさらに遅らせる。また、位相進み遅れ信号が “ H ” レベルであれば、レプリカ回路 5 7 の遅延を減らして、フィードバッククロック信号を早める。こうして、レプリカ回路 5 7 の遅延を調整し、位相進み遅れ信号のレベルが “ L ” と “ H ” との間で不安定に変動する状態を実現する。この状態で、フィードバッククロック信号の位相がデータストロープ信号の位相に一致したとみなすことができる。

30

【 0 0 4 0 】

この後、セクタ 1 1 を外部クロック信号 C L K 側に切り替えれば、データ出力回路 5 5 の出力の位相が、外部クロック信号の位相に一致するように、位相 / 遅延調整回路の遅延がフィードバック制御される。

【 0 0 4 1 】

以上のように、本実施の形態に係るタイミング調整回路では、レプリカ回路 5 7、位相比較回路 5 8 及びセクタ 1 1 の組み合わせを、位相進み遅れ信号生成回路として動作させることにより、テスト装置の精度に無関係にタイミングずれを検出することが出来る。つまり、このタイミング調整回路では、テスト装置のピン間スキューの影響を受けることなくタイミングずれを検出することができ、5 0 0 p s 以下のタイミングずれを除去する (減少させる) ことができる。そして、これによって、5 0 0 M H z 以上のクロックで動作する半導体装置を実現することができる。

40

【 0 0 4 2 】

なお、上記実施の形態では、データストロープ出力回路 5 6 から出力されるデータストロープ信号を用いる場合について説明したが、データストロープ出力回路 5 6 が存在しない場合には、データ出力回路 5 5 から “ 0 ” 及び “ 1 ” を交互に繰り返し出力させるように

50

して、それを利用するようにすればよい。

【 0 0 4 3 】

次に、図 3 を参照して、参考例について説明する。

【 0 0 4 4 】

図 3 のタイミング調整回路 3 0 は、図 6 の構成に加えて、データ入力回路 6 6 と同一構成のレプリカ回路 3 1 を有している。

【 0 0 4 5 】

レプリカ回路 3 1 は、初段回路 3 2 及びラッチ回路 3 3 を含み、外部クロック信号入力端子 6 1 と外部出力端子 3 4 との間に接続されている。また、ラッチ回路 3 3 は、クロックドライバ 6 4 に接続されている。

【 0 0 4 6 】

図 3 のタイミング調整回路 3 0 の外部クロック入力端子 6 1 に外部クロック信号 C L K が入力されると、その外部クロック信号 C L K は、クロック入力回路 6 2 及びレプリカ回路 3 1 に供給される。

【 0 0 4 7 】

クロック入力回路 6 2 は、外部クロック信号 C L K を受けると、それを入力クロック信号として遅延調整回路 6 3 へ出力する。遅延調整回路 6 3 は、入力クロック信号 C L K を遅延させ、遅延入力クロック信号としてクロックドライバ 6 4 へ出力する。クロックドライバ 6 4 は、遅延入力クロック信号を受けて内部クロック信号を生成する。なお、内部クロック信号は、データ入力回路 6 6 へ出力されるので、内部入力クロックとも呼ばれる。

【 0 0 4 8 】

レプリカ回路 3 1 では、外部クロック信号 C L K を受けた初段回路が、それを参照クロック信号としてラッチ回路 3 3 へ出力する。ラッチ回路 3 3 は、クロックドライバ 6 4 からの内部クロック信号に同期して、初段回路 3 2 からの参照クロック信号をラッチし、外部出力端子 3 4 へ位相進み遅れ信号として出力する。

【 0 0 4 9 】

図 4 (a) 及び (b) に、タイミング調整回路 3 0 における、外部クロック信号の入力タイミングと、内部クロック信号 (内部入力クロック) 及び参照クロック信号の各々の出力タイミングとの関係を示す。

【 0 0 5 0 】

図 4 (a) に示すように、内部クロック信号が参照クロック信号よりも進んでいる場合には、ラッチ回路 3 3 からの出力、即ち位相進み遅れ信号、は “ L ” レベルとなる。一方、内部クロック信号が参照クロック信号よりも遅れている場合には、ラッチ回路 3 3 からの出力、即ち位相進み遅れ信号、は “ H ” レベルとなる。これにより、外部出力端子 3 4 にテスト装置を接続して位相進み遅れ信号を検出し、そのレベルを確認すれば、内部クロック信号が参照クロック信号に対して進んでいるのか遅れているのかを検出することができる。

【 0 0 5 1 】

本発明の一実施の形態と同様、位相進み遅れ信号のレベルを見ながら、遅延調整回路 6 3 の遅延を調整し、位相進み遅れ信号が不安定に “ H ” レベルと “ L ” レベルとの間で変化する状態とすれば、内部クロック信号の位相が参照クロック信号の位相に一致したとみなせる。その結果、データ入力回路 6 6 からのデータ信号と、外部クロック信号との位相差を所定の値とすることができる。

【 0 0 5 2 】

以上のように、参考例に係るタイミング調整回路では、レプリカ回路 3 1 を位相進み遅れ信号生成回路として動作させるようにしたことで、テスト装置の精度によらず、タイミングずれを除去することができる。つまり、このタイミング調整回路では、テスト装置のピン間スキューの影響を受けることなく、タイミングずれを検出することができるので、5 0 0 p s 以下のタイミングずれを除去することが可能となる。そして、これにより、5 0 0 M H z 以上のクロックで動作する半導体装置を実現できる。

【 0 0 5 3 】

なお、上記実施の形態では、外部クロック信号の立ち上がりエッジを利用して内部クロックを生成する場合について説明したが、外部クロック信号の立ち下がりエッジを利用して内部クロックを生成する場合にも、本発明のタイミング調整回路を用いることができる。もちろん、DDRと呼ばれるSDRAMのように、外部クロック信号の立ち上がりエッジ及び立ち下がりエッジの両方を利用する半導体装置のインターフェースについても、それぞれのエッジに対応させて本発明のタイミング調整回路を用いることが可能である。

【 0 0 5 4 】

【発明の効果】

本発明によれば、タイミング調整回路内に位相進み遅れ信号生成回路を設けたことで、テスト装置のピン間スキューの影響を受けることなく高精度にタイミングずれを除去することができ、より高速動作が可能な半導体装置を提供することができる。

10

【図面の簡単な説明】

【図1】本発明の第1の実施の形態に係るタイミング調整回路を備えた半導体装置のブロック図である。

【図2】図1のタイミング調整回路における各信号のタイミングチャートである。

【図3】本発明の第2の実施の形態に係るタイミング調整回路を備えた半導体装置のブロック図である。

【図4】図2のタイミング調整回路における各信号のタイミングチャートである。

【図5】従来のタイミング調整回路を備えた半導体装置のブロック図である。

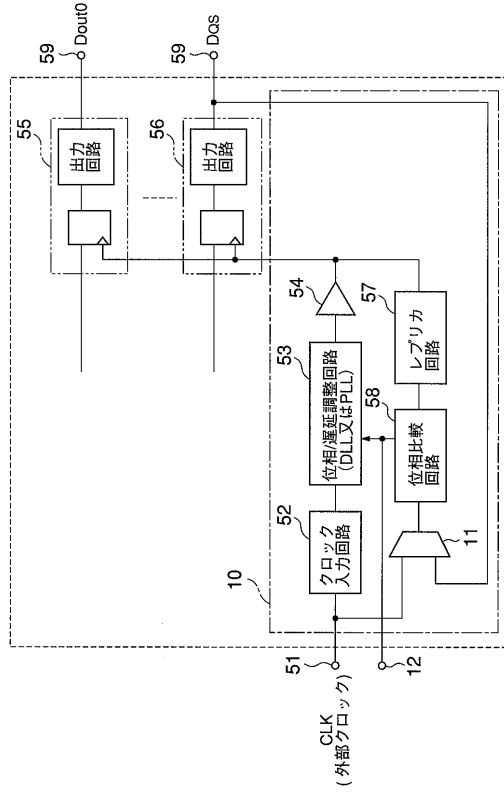
20

【図6】従来の他のタイミング調整回路を備えた半導体装置のブロック図である。

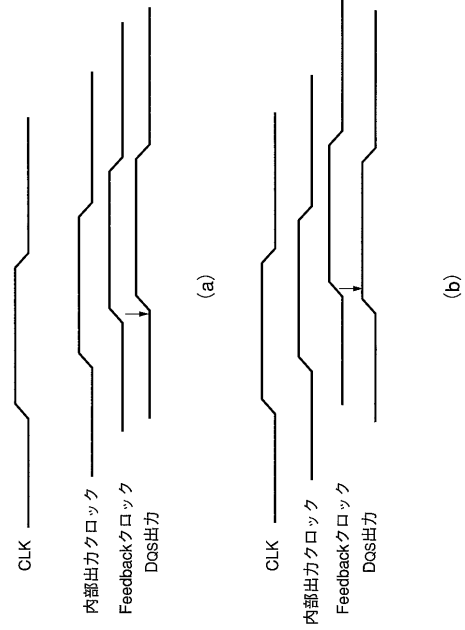
【符号の説明】

| | | |
|-----|--------------|----|
| 1 0 | タイミング調整回路 | |
| 1 1 | セレクタ | |
| 1 2 | 外部出力端子 | |
| 3 0 | タイミング調整回路 | |
| 3 1 | レプリカ回路 | |
| 3 2 | 初段回路 | |
| 3 3 | ラッチ回路 | |
| 3 4 | 外部出力端子 | 30 |
| 5 0 | タイミング調整回路 | |
| 5 1 | 外部クロック入力端子 | |
| 5 2 | クロック入力回路 | |
| 5 3 | 位相/遅延調整回路 | |
| 5 4 | クロックドライバ | |
| 5 5 | データ出力回路 | |
| 5 6 | データストローブ出力回路 | |
| 5 7 | レプリカ回路 | |
| 5 8 | 位相比較回路 | |
| 5 9 | データ出力端子 | 40 |
| 6 0 | タイミング調整回路 | |
| 6 1 | 外部クロック入力端子 | |
| 6 2 | クロック入力回路 | |
| 6 3 | 遅延調整回路 | |
| 6 4 | クロックドライバ | |
| 6 5 | データ入力端子 | |
| 6 6 | データ入力回路 | |

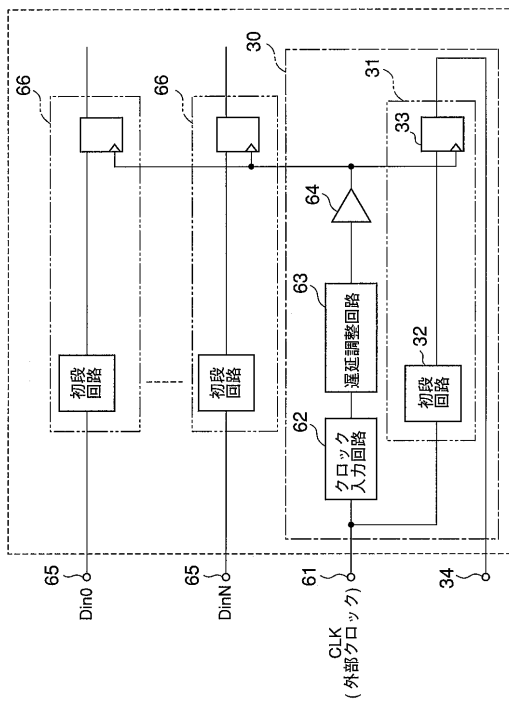
【図1】



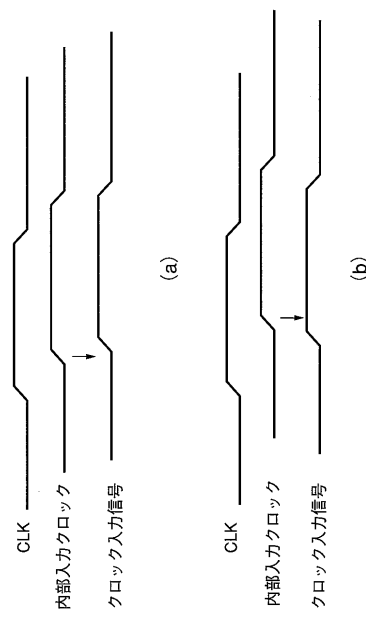
【図2】



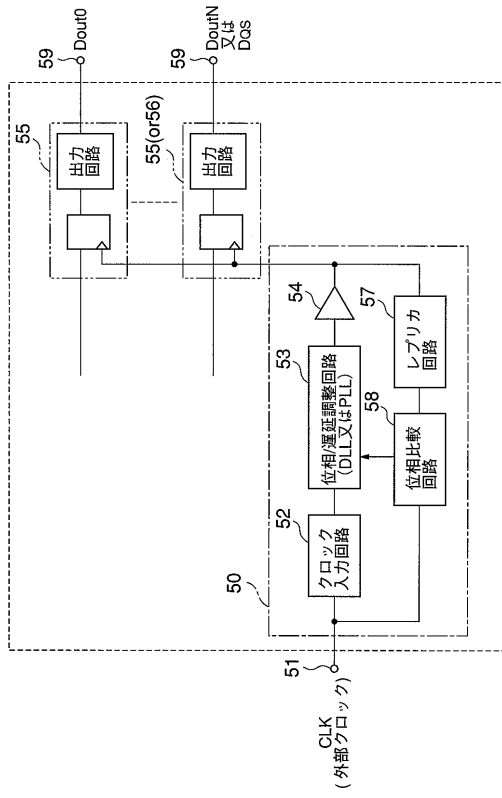
【図3】



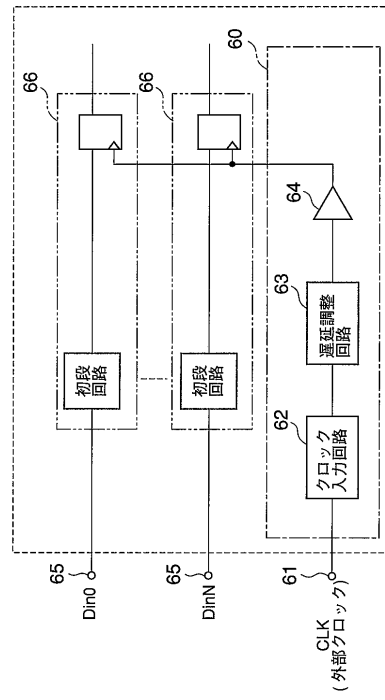
【図4】



【図5】



【図6】



フロントページの続き

(56)参考文献 米国特許出願公開第2002/0097074 (US, A1)

特開2002-314407 (JP, A)

特開2002-237200 (JP, A)

(58)調査した分野(Int.Cl., DB名)

G11C 11/4076