

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2005-196636

(P2005-196636A)

(43) 公開日 平成17年7月21日(2005.7.21)

(51) Int. Cl.⁷

G05F 1/56

F I

G05F 1/56 310T

G05F 1/56 320H

テーマコード(参考)

5H430

審査請求 未請求 請求項の数 2 O L (全 7 頁)

(21) 出願番号 特願2004-4108 (P2004-4108)

(22) 出願日 平成16年1月9日(2004.1.9)

(71) 出願人 000004260

株式会社デンソー

愛知県刈谷市昭和町1丁目1番地

(74) 代理人 100071135

弁理士 佐藤 強

(74) 代理人 100119769

弁理士 小川 清

(72) 発明者 後藤 邦彦

愛知県刈谷市昭和町1丁目1番地 株式会

社デンソー内

Fターム(参考) 5H430 BB01 BB09 BB12 EE06 EE09

FF08 FF13 GG11 HH02 LA07

LA10 LB02

(54) 【発明の名称】 半導体回路装置

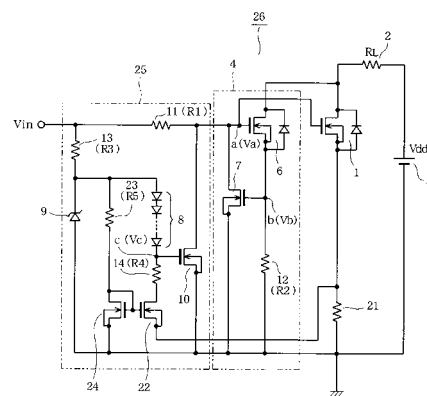
(57) 【要約】

【課題】 電流制御用半導体素子に過電流が流れた場合により迅速に温度保護用半導体素子を導通させることが可能となる半導体回路装置を提供する。

【解決手段】 半導体回路装置26の温度保護部25を、FET1に流れる電流を電流検出用抵抗21により検出し、その電流検出用抵抗21を含む電流経路内に、FET22及び24で構成されるカレントミラー回路の片側に組み込まれる直列ダイオード回路8を配置することで構成し、直列ダイオード回路8に対する通電電流量の変化に応じた端子電圧の変化により温度保護用FET10のゲート電位を上昇させて、FET10を導通させる。

。

【選択図】 図1



- 1: 電流制御用半導体素子
- 2: 第2半導体素子
- 8: 直列ダイオード回路、温度検出素子
- 23: 第1抵抗素子
- 10: 温度保護用半導体素子
- 24: 第1半導体素子
- 14: 第2抵抗素子
- 25: 温度保護回路
- 21: 電流検出用抵抗素子
- 26: 半導体回路装置

【特許請求の範囲】

【請求項 1】

負荷に供給される電流を入力電圧に応じて制御する電流制御用半導体素子と、
この電流制御用半導体素子の温度変化を検出し、前記温度が過剰に上昇した場合は前記入力電圧を低下させ、前記電流制御用半導体素子を介して流れる電流量を低下させるように動作する温度保護回路とを備え、

前記温度保護回路は、

前記電流制御用半導体素子のグランド側端子と回路グランドとの間に接続される電流検出用抵抗素子と、

前記入力電圧を与える電圧源と前記電流検出用抵抗素子とを含む電流経路内に配置され、検出される温度及び通電電流量に応じて端子電圧が変化する特性を備える温度検出素子と、

10

この温度検出素子における端子電圧の変化を受けて、前記電流制御用半導体素子に与えられる入力電圧を変化させるように動作する温度保護用半導体素子とで構成されていることを特徴とする半導体回路装置。

【請求項 2】

前記温度保護回路は、

グランド側端子が前記電流制御用半導体素子のグランド側端子に接続される第 1 半導体素子と、

前記温度検出素子を構成する複数個の直列ダイオード回路と、

20

前記電圧源と前記第 1 半導体素子の電源側端子との間に接続される、前記直列ダイオード回路及び第 1 抵抗素子よりなる直列回路と、

前記直列ダイオード回路のアノード側と回路グランドとの間に接続される、第 2 抵抗素子及び第 2 半導体素子よりなる直列回路とを備え、

前記第 1 半導体素子と前記第 2 半導体素子とは、カレントミラー対を構成するように接続されており、

前記温度保護用半導体素子は、前記電流制御用半導体素子の導通制御端子とグランドとの間に接続され、自身の導通制御端子が前記直列ダイオード回路のカソード側に接続されていることを特徴とする請求項 1 記載の半導体回路装置。

30

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、負荷に供給される電流を入力電圧に応じて制御する電流制御用半導体素子について温度保護を行なう機能を備えてなる半導体回路装置に関する。

【背景技術】

【0002】

図 3 は、特許文献 1 に開示されている半導体装置の構成を示すものである。Nチャネルパワー MOS によって構成される FET 1 は、負荷 2 に供給される電源 3 からの電力を制御する。そして、この FET 1 を保護するため、同一の半導体基板に、過電流保護部 4 並びに温度保護部 5 が形成されている。尚、以下の FET は全て Nチャネルである。

40

過電流保護部 4 は、パワー MOS FET 6 を備えている。即ち、半導体装置の入力端子に入力される電圧 V_{in} が、抵抗 11 (R_1) を介して定まる a 点の電位で、FET 1 及び FET 6 を構成するパワー MOS のゲートに共通に供給される。FET 6 のドレインは共通に負荷 2 に接続されており、ソースは抵抗 12 (R_2) を介して接地されている。また、FET 6 のゲートである a 点には FET 7 のドレインが接続されており、FET 7 は抵抗 R_2 の端子電圧となる点 b の電位で制御される。

【0003】

温度保護部 5 は、入力電圧 V_{in} が抵抗 13 (R_3) を介して複数のポリシリコンダイオードの直列回路 8 に印加されるように構成されている。直列ダイオード回路 8 は温度検出

50

素子を構成するもので、そのカソード側は抵抗14 (R4) を介して回路グランドに接続されている。そして、直列ダイオード回路8と抵抗14との直列回路にはツェナーダイオード9が並列に接続されており、上記直列回路には定電圧が印加される。また、温度保護部5にはFET10が設けられている。FET10は上記a点と回路グランドとの間に接続され、そのゲートは上記直列ダイオード回路8と抵抗14との接続点cに接続されている。

【0004】

上記のように構成される半導体装置において、FET1に大きな電流が流れる状態になると同時にFET6にも大きな電流が流れ、抵抗12に過大な電流が流れる。従って、点bの電位Vbが上昇してFET7の閾値電位に達するとFET7にも電流が流れ、上記点aの電位Vaが低下する。電位Vaが低下するとFET6のゲート電圧が低下するので、FET6の電流能力も低下する。従って、負荷2が短絡されたような場合でも、FET1に流れる電流は制限され、FET1や配線系は過大電流による損傷から保護されるようになっている。

10

【0005】

また、FET1が発熱して半導体基板の温度が上昇すると、この温度上昇を直列ダイオード回路8が検出し、基板の温度が特定される温度以上に上昇すると点cの電位Vcが上昇する。電位VcがFET10の閾値電圧以上になるとFET10が導通するようになり、点aの電位Vaが低下する。従って、FET1の動作は遮断され、FET1は熱破壊から保護されるようになっている。

20

【特許文献1】特公平8-34222号公報

【発明の開示】

【発明が解決しようとする課題】

【0006】

即ち、特許文献1に開示されている技術は、直列ダイオード回路8を構成するダイオードが備えている順方向電圧VFの温度特性を利用しており、大電流が流れてFET1が異常発熱すると、ダイオードの順方向電圧VFが低下することで電位Vcを上昇させ、FET10をオンさせている。

しかしながら、FET1と直列ダイオード回路8との配置間距離が長くなると、直列ダイオード回路8側の温度が直ぐには上昇せず、FET10がオンするまでに時間を要してしまう。即ち、回路装置が様々な機能を実現するために複雑に構成されるようになると、両者の配置を最短にすることが困難な状態になる。

30

【0007】

本発明は上記事情に鑑みてなされたものであり、その目的は、電流制御用半導体素子に過電流が流れた場合により迅速に温度保護用半導体素子を導通させることが可能となる半導体回路装置を提供することにある。

【課題を解決するための手段】

【0008】

請求項1記載の半導体回路装置によれば、電流制御用半導体素子の温度が過剰に上昇した場合に温度保護動作を行なう温度保護回路は、以下のように動作する。電流制御用半導体素子を介して流れる電流量が増加すると、そのグランド側端子に接続されている電流検出用抵抗素子に流れる電流量も増加する。すると、その電流検出用抵抗素子を含む電流経路内に配置されている温度検出素子の端子電圧が変化して、温度保護用半導体素子が、電流制御用半導体素子に与えられる入力電圧を変化させる。

40

【0009】

即ち、電流検出用抵抗素子は電流制御用半導体素子を介して流れる電流を直接検出し、その電流変化が温度検出素子の端子電圧を変化させた結果、温度保護用半導体素子が動作する。従って、温度検出素子が、電流制御用半導体素子に流れる電流が増加した結果として当該素子の温度が上昇した状態を検出する場合よりも、温度保護用半導体素子を迅速に動作させることができるので、電流制御用半導体素子をより確実に保護することが可能と

50

なる。

【0010】

請求項2記載の半導体回路装置によれば、電流制御用半導体素子を介して流れる電流が増加すると電流検出用抵抗素子の端子電圧が上昇し、第1半導体素子とカレントミラー対を構成する第2半導体素子のグランド側電位が上昇する。すると、第2半導体素子の導通制御端子の電位とグランド側電位との電位差が減少するので、第2半導体素子を介して流れる電流量が低下して、温度検出素子を構成する複数個の直列ダイオード回路に流れる電流量も低下する。

【0011】

ダイオードの順方向電圧VFは、通電電流量が低下した場合には低下する傾向を示すので、直列ダイオード回路の端子電圧は減少する。その結果、温度保護用半導体素子の導通制御端子の電位が上昇して、温度保護用半導体素子が導通するようになる。即ち、温度保護用半導体素子の導通しきい値電位が見かけ上低下するような現象を示す。

この場合、カレントミラー回路の特性として、第2半導体素子のグランド側電位が上昇した場合、直列ダイオード回路における通電電流量は指数関数的(exponential)に比較的急激に減少するが、ダイオードの順方向電圧VFの低下は、通電電流量の減少に伴い対数関数的に比較的緩やかに減少する。従って、それらの特性の組み合わせにより、電流制御用半導体素子を介して流れる電流の増加に応じた直列ダイオード回路の端子電圧の低下は略線形となるので、温度保護用半導体素子を導通させる温度保護動作の調整を容易に行なうことが可能となる。

【発明を実施するための最良の形態】

【0012】

(第1実施例)

以下、本発明の第1実施例について図1を参照して説明する。尚、図3と同一部分には同一符号を付して説明を省略し、以下異なる部分についてのみ説明する。本実施例では、NチャネルMOSFETであるFET(電流制御用半導体素子)1のソースと回路グランドとの間に、例えばアルミニウム配線によって構成される電流検出用抵抗(電流検出用抵抗素子)21が挿入されている。そして、抵抗(第2抵抗素子)14のグランド側には、NチャネルFET(第2半導体素子)22のドレインが接続されており、FET22のソースは、FET1のソースに接続されている。尚、電流検出用抵抗21の抵抗値は、例えば数10m程度が適当であり、斯様な低抵抗値の素子を形成するには、アルミニウム配線のような金属配線が適している。

【0013】

また、ツェナーダイオード9に対して並列に、抵抗(第1抵抗素子)23とFET(第1半導体素子)24との直列回路が接続されている。そして、FET22及び24のゲートはFET24のドレインに共通に接続されており、これらはカレントミラー対を構成している。

以上において、直列ダイオード回路(温度検出素子)8、FET(温度保護用半導体素子)10、抵抗11,13,14,23、電流検出用抵抗21、FET22及び24は、温度保護部(温度保護回路)25を構成している。そして、FET1、過電流保護部4、温度保護部25が、半導体回路装置26を構成している。その他の構成については図3と同様である。尚、直列ダイオード回路8の直列素子数は、入力電流Vinの電位と、FET1のゲートしきい値電圧に応じて適当な数となるように設定する。

【0014】

次に、本実施例の作用について説明する。FET1を介して流れる電流が増加すると電流検出用抵抗21の端子電圧が上昇し、FET24とカレントミラー対を構成するFET22のグランド側電位が上昇する。すると、FET22のゲート-ソース間電位差が減少するのでFET24を介して流れる電流量が低下し、直列ダイオード回路8に流れる電流量も低下する。

【0015】

10

20

30

40

50

ダイオードの順方向電圧 V_F は、通電電流量が低下した場合には低下する傾向を示すため、直列ダイオード回路8の端子電圧は減少する。その結果、温度保護用FET10のゲート（導通制御端子）電位が上昇して、FET10が導通するようになる。即ち、FET10の導通しきい値電位が見かけ上低下するような現象を示す。

この場合、FET22及び24で構成されるカレントミラー回路の特性として、FET22のソース電位が上昇すると、直列ダイオード回路8における通電電流量は指数関数的(exponential)に比較的急激に減少する。例えば、FET22のゲート-ソース間電位を V_T 、絶対温度を T 、 q は電子の電荷、 k はボルツマン定数、 I_0 は $T=0$ における電流値とすると、FET22を介して流れる電流 I は、

$$I = I_0 (\exp (q \cdot V_T / (k \cdot T)) - 1) \quad \dots (1)$$

10

として表される。

【0016】

一方、ダイオードの順方向電圧 V_F の低下は通電電流量の減少に伴い対数関数的に比較的緩やかに減少する。例えば、

$$V_F = k \cdot T / q \cdot \ln (I / I_0 - 1) \quad \dots (2)$$

として表される。従って、それらの特性の組み合わせにより、FET1を介して流れる電流の増加に応じた直列ダイオード回路8の端子電圧の低下は略線形となる。

【0017】

尚、以上のような動作でFET10を導通させるケースは、FET1を流れる電流量が急激に上昇する所謂デッドショートに伴う温度上昇に対応して、FET10を直ちに導通させる必要がある場合に有効である。一方、例えば、負荷の状態が変化することでFET1に対する印加電圧は上昇するが、通電電流量は急激に上昇しないような状態が長く維持されると、FET1の温度は比較的緩慢に上昇する。斯様なケース（所謂レアショート）では、直列ダイオード回路8による直接的な温度検出によってFET10を導通させることが有効となる。

20

【0018】

以上のように本実施例によれば、半導体回路装置26の温度保護部25を、FET1に流れる電流を電流検出用抵抗21により検出して、その電流検出用抵抗21を含む電流経路内に、FET22及び24で構成されるカレントミラー回路の片側に組み込まれる直列ダイオード回路8を配置することで構成した。そして、直列ダイオード回路8に対する通電電流量の変化に応じた端子電圧の変化により温度保護用FET10のゲート電位を上昇させて、FET10を導通させるようにした。

30

【0019】

即ち、電流検出用抵抗21が電流制御用FET1を介して流れる電流を直接検出し、その電流変化が直列ダイオード回路8の端子電圧を変化させることで温度保護用FET10が動作する。従って、従来構成とは異なり、FET1に流れる電流が増加し、その電流増加に応じてFET1の温度が上昇した状態を直列ダイオード回路8が検出する場合よりも、FET10を迅速にオンさせることができるので、FET1をより確実に保護することが可能となる。

そして、直列ダイオード回路8をFET22及び24で構成されるカレントミラー回路の片側に組み込んだことで、FET1を介して流れる電流の増加に応じた直列ダイオード回路8の端子電圧の低下特性が略線形となり、FET10を導通させる温度保護動作の調整を容易に行なうことが可能となる。

40

【0020】

（第2実施例）

図2は、本発明の第2実施例を示すものであり、第1実施例と同一部分には同一符号を付して説明を省略し、以下異なる部分についてのみ説明する。第2実施例は、第1実施例における直列ダイオード回路8を、ダイオード接続したトランジスタ27によって直列ダイオード回路（温度検出素子）28を構成し、FET22及び24に代えて、トランジスタ27と同一特性のトランジスタ29（第1半導体素子）及び30（第2半導体素子）に

50

置き換えて半導体回路装置 31 を構成したものである。基本的な動作は第 1 実施例と全く同様であるが、第 2 実施例の構成において電圧設定を具体的に考察してみる。

【0021】

温度保護用の FET 10 がオンする条件は、

$$V_T(10) < (V_Z - n \cdot V_2) + I_d \cdot R_d \quad \dots (3)$$

但し、 $V_T(10)$ は FET 10 のゲートしきい値電圧、 V_Z はツェナーダイオード 9 のツェナー電圧、 V_2 はトランジスタ 29 の V_{BE} 、 I_d は FET 1 を介して電流検出用抵抗 21 に流れる電流、 R_d は電流検出用抵抗 21 の抵抗値である。

【0022】

ここで、トランジスタ 28 の $V_{BE} = V_1$ として、

$$V_1 = V_2 + I_d \cdot R_d \quad \dots (4)$$

を (3) 式に代入すると、

$$V_T(10) < V_Z - n \cdot V_1 + (n - 1) I_d \cdot R_d \quad \dots (5)$$

(5) 式の右辺第 3 項は、電流 I_d に比例する項である。従って、電流検出用抵抗 21 の抵抗値 R_d の値が異なる場合でも、 n の値を調整することで (即ち、予めトランジスタ 27 を余分に構成しておき必要に応じて直列接続する) 電圧の設定が容易である。

【0023】

ここで、一例として、温度が 150 度に上昇した場合を想定する。この時の $V_T(10)$ は 1.3 V に定まる。また、 $V_Z = 5$ V、 $V_1 = 0.5$ V、 $I_d = 10$ A、 $R_d = 0.01$ m とし、 $n = 9$ とすると、(5) 式の右辺は

$$5 - 9 \times 0.5 + 8 \times 10 \times 0.01 = 1.3 \text{ (V)} \quad \dots (6)$$

となって $V_T(10) = 1.3$ V に等しくなる。従って、これらが FET 10 をオンさせるための臨界条件となる。そして、 $I_d = 0$ A の場合、(5) 式の右辺は 0.5 V となるので、FET 10 はオフを維持する。

【0024】

本発明は上記し且つ図面に記載した実施例にのみ限定されるものではなく、次のような変形または拡張が可能である。

半導体素子は、MOSFET に限ることなく、パワートランジスタや IGBT などを用いても良い。

電流検出用抵抗素子は、アルミニウム配線に限ることなく、銅配線などの金属配線を用いても良い。

【0025】

また、ボンディングワイヤを電流検出用抵抗素子に利用しても良い。

過電流保護部 4 は、必要に応じて設ければ良い。

必ずしも抵抗 13 及びツェナーダイオード 9 を用いて、定電圧源を構成する必要はない。

【図面の簡単な説明】

【0026】

【図 1】本発明の第 1 実施例であり、半導体回路装置の電氣的構成を示す図

【図 2】本発明の第 2 実施例を示す図 1 相当図

【図 3】従来技術を示す図 1 相当図

【符号の説明】

【0027】

図面中、1 は FET (電流制御用半導体素子)、8 は直列ダイオード回路 (温度検出素子)、10 は FET (温度保護用半導体素子)、14 は抵抗 (第 2 抵抗素子)、21 は (電流検出用抵抗素子)、22 は FET (第 2 半導体素子)、23 は抵抗 (第 1 抵抗素子)、24 は FET (第 1 半導体素子)、25 は温度保護部 (温度保護回路)、26 は半導体回路装置、28 は直列ダイオード回路 (温度検出素子)、29 はトランジスタ (第 1 半導体素子)、30 はトランジスタ (第 2 半導体素子)、31 は半導体回路装置を示す。

10

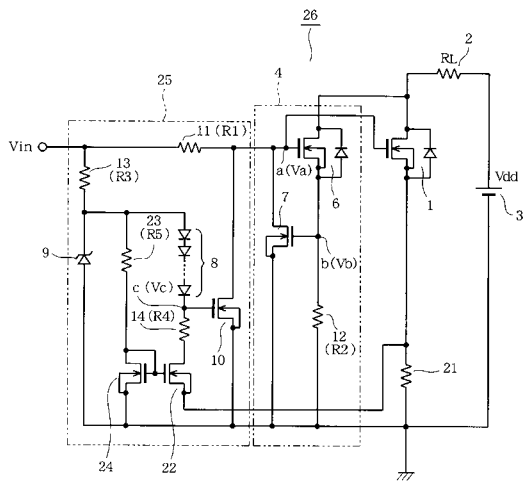
20

30

40

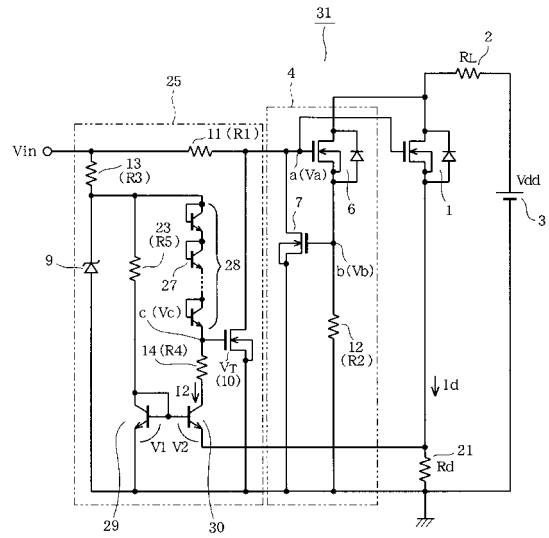
50

【 図 1 】



- 1 : 電流制御用半導体素子
- 8 : 直列ダイオード回路、温度検出素子
- 10 : 温度保護用半導体素子
- 14 : 第2抵抗素子
- 21 : 電流検出用抵抗素子
- 22 : 第2半導体素子
- 23 : 第1抵抗素子
- 24 : 第1半導体素子
- 25 : 温度保護回路
- 26 : 半導体回路装置

【 図 2 】



- 28 : 直列ダイオード回路、温度検出素子
- 29 : 第1半導体素子
- 30 : 第2半導体素子
- 31 : 半導体回路装置

【 図 3 】

