

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2016-58731  
(P2016-58731A)

(43) 公開日 平成28年4月21日(2016.4.21)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 21/8234 (2006.01)	HO 1 L 27/08 1 O 2 C	5 F 0 4 8
HO 1 L 27/088 (2006.01)	HO 1 L 27/08 1 O 2 E	5 F 1 1 0
HO 1 L 29/786 (2006.01)	HO 1 L 29/78 6 1 8 B	
	HO 1 L 29/78 6 1 3 Z	
	HO 1 L 29/78 6 1 7 U	

審査請求 未請求 請求項の数 20 O L (全 52 頁) 最終頁に続く

(21) 出願番号 特願2015-174553 (P2015-174553)  
 (22) 出願日 平成27年9月4日 (2015.9.4)  
 (31) 優先権主張番号 特願2014-179836 (P2014-179836)  
 (32) 優先日 平成26年9月4日 (2014.9.4)  
 (33) 優先権主張国 日本国 (JP)

(71) 出願人 000153878  
 株式会社半導体エネルギー研究所  
 神奈川県厚木市長谷398番地  
 (72) 発明者 山元 良高  
 神奈川県厚木市長谷398番地 株式会社  
 半導体エネルギー研究所内  
 (72) 発明者 坂倉 真之  
 神奈川県厚木市長谷398番地 株式会社  
 半導体エネルギー研究所内  
 (72) 発明者 田中 哲弘  
 神奈川県厚木市長谷398番地 株式会社  
 半導体エネルギー研究所内  
 (72) 発明者 松林 大介  
 神奈川県厚木市長谷398番地 株式会社  
 半導体エネルギー研究所内  
 最終頁に続く

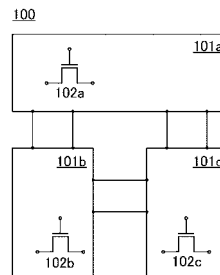
(54) 【発明の名称】 半導体装置

(57) 【要約】

【課題】しきい値電圧の異なるトランジスタを有する半導体装置を提供する。または、複数種の回路を有し、回路ごとに電気特性の異なるトランジスタを有する半導体装置を提供する。

【解決手段】第1のトランジスタと、第2のトランジスタと、を有し、第1のトランジスタは、酸化物半導体と、導電体と、第1の絶縁体と、第2の絶縁体と、第3の絶縁体と、を有し、導電体は、導電体と酸化物半導体と、が互いに重なる領域を有し、第1の絶縁体は、導電体と、酸化物半導体と、の間に配置され、第2の絶縁体は、導電体と、第1の絶縁体と、の間に配置され、第3の絶縁体は、導電体と、第2の絶縁体と、の間に配置され、第2の絶縁体は、負に荷電した領域を有する半導体装置である。

【選択図】 図1



## 【特許請求の範囲】

## 【請求項 1】

第 1 の回路と、第 2 の回路と、第 3 の回路と、を有する半導体装置であって、  
前記第 1 の回路は、第 1 のトランジスタと、第 1 の容量素子と、第 1 の配線と、を有し

、  
前記第 1 のトランジスタは、第 1 の導電体と、第 1 の酸化物半導体と、を有し、

前記第 1 の導電体は、前記第 1 の酸化物半導体と接する領域を有し、

前記第 1 の容量素子の一方の端子は、前記第 1 の導電体と電氣的に接続され、

前記第 1 の容量素子の他方の端子は、前記第 1 の配線と電氣的に接続され、

前記第 2 の回路は、第 2 のトランジスタと、第 2 の容量素子と、第 2 の配線と、を有し

10

、  
前記第 2 のトランジスタは、第 2 の導電体と、第 2 の酸化物半導体と、を有し、

前記第 2 の導電体は、前記第 2 の酸化物半導体と接する領域を有し、

前記第 2 の容量素子の一方の端子は、前記第 2 の導電体と電氣的に接続され、

前記第 2 の容量素子の他方の端子は、前記第 2 の配線と電氣的に接続され、

前記第 3 の回路は、第 3 のトランジスタを有し、

前記第 3 のトランジスタは、第 3 の導電体と、第 3 の酸化物半導体と、第 1 の絶縁体と

、第 2 の絶縁体と、第 3 の絶縁体と、を有し、

前記第 3 の導電体は、前記第 3 の導電体と、前記第 3 の酸化物半導体と、が互いに重なる領域を有し、

20

前記第 1 の絶縁体は、前記第 3 の導電体と、前記第 3 の酸化物半導体と、の間に配置され、

前記第 2 の絶縁体は、前記第 3 の導電体と、前記第 1 の絶縁体と、の間に配置され、

前記第 3 の絶縁体は、前記第 3 の導電体と、前記第 2 の絶縁体と、の間に配置され、

前記第 2 の絶縁体は、電子捕獲領域を有し、

前記第 1 のトランジスタは、サブスレッショルド領域におけるドレイン電流が  $1 \times 10^{-12}$  A となるゲート電圧が 0.8 V 以上 1.5 V 以下であり、

前記第 2 のトランジスタは、サブスレッショルド領域におけるドレイン電流が  $1 \times 10^{-12}$  A となるゲート電圧が 0 V 以上 0.7 V 以下であることを特徴とする半導体装置。

## 【請求項 2】

30

請求項 1 において、

前記第 2 の絶縁体がホウ素、アルミニウム、シリコン、スカンジウム、チタン、ガリウム、イットリウム、ジルコニウム、インジウム、ランタン、セリウム、ネオジウム、ハフニウムまたはタリウムを有する酸化物または窒化物であることを特徴とする半導体装置。

## 【請求項 3】

請求項 1 または請求項 2 において、

前記第 1 のトランジスタは、さらに第 4 の導電体と、第 4 の絶縁体と、第 5 の絶縁体と、第 6 の絶縁体と、を有し、

前記第 4 の導電体は、前記第 4 の導電体と、前記第 1 の酸化物半導体と、が互いに重なる領域を有し、

40

前記第 4 の絶縁体は、前記第 4 の導電体と、前記第 1 の酸化物半導体と、の間に配置され、

前記第 5 の絶縁体は、前記第 4 の導電体と、前記第 4 の絶縁体と、の間に配置され、

前記第 6 の絶縁体は、前記第 4 の導電体と、前記第 5 の絶縁体と、の間に配置され、

前記第 5 の絶縁体は、負に荷電した領域を有することを特徴とする半導体装置。

## 【請求項 4】

請求項 3 において、

前記第 5 の絶縁体がホウ素、アルミニウム、シリコン、スカンジウム、チタン、ガリウム、イットリウム、ジルコニウム、インジウム、ランタン、セリウム、ネオジウム、ハフニウムまたはタリウムを有する酸化物または窒化物であることを特徴とする半導体装置。

50

## 【請求項 5】

請求項 1 乃至請求項 4 のいずれかーにおいて、

前記第 2 のトランジスタは、さらに第 5 の導電体と、第 7 の絶縁体と、第 8 の絶縁体と、第 9 の絶縁体と、を有し、

前記第 5 の導電体は、前記第 5 の導電体と、前記第 2 の酸化物半導体と、が互いに重なる領域を有し、

前記第 7 の絶縁体は、前記第 5 の導電体と、前記第 2 の酸化物半導体と、の間に配置され、

前記第 8 の絶縁体は、前記第 5 の導電体と、前記第 7 の絶縁体と、の間に配置され、

前記第 9 の絶縁体は、前記第 5 の導電体と、前記第 8 の絶縁体と、の間に配置され、

前記第 8 の絶縁体は、負に荷電した領域を有することを特徴とする半導体装置。

10

## 【請求項 6】

請求項 5 において、

前記第 8 の絶縁体がホウ素、アルミニウム、シリコン、スカンジウム、チタン、ガリウム、イットリウム、ジルコニウム、インジウム、ランタン、セリウム、ネオジム、ハフニウムまたはタリウムを有する酸化物または窒化物であることを特徴とする半導体装置。

## 【請求項 7】

請求項 1 乃至請求項 6 のいずれかーにおいて、

前記第 1 のトランジスタは、さらに第 6 の導電体と、第 9 の絶縁体と、を有し、

前記第 6 の導電体は、前記第 6 の導電体と、前記第 1 の酸化物半導体と、が互いに重なる領域を有し、

前記第 9 の絶縁体は、前記第 6 の導電体と、前記第 1 の酸化物半導体と、の間に配置されることを特徴とする半導体装置。

20

## 【請求項 8】

請求項 7 において、

前記第 1 のトランジスタは、さらに第 10 の絶縁体と、第 11 の絶縁体と、を有し、

前記第 10 の絶縁体は、前記第 6 の導電体と、前記第 9 の絶縁体と、の間に配置され、

前記第 11 の絶縁体は、前記第 6 の導電体と、前記第 10 の絶縁体と、の間に配置され、

前記第 10 の絶縁体は、負に荷電した領域を有することを特徴とする半導体装置。

30

## 【請求項 9】

請求項 8 において、

前記第 10 の絶縁体がホウ素、アルミニウム、シリコン、スカンジウム、チタン、ガリウム、イットリウム、ジルコニウム、インジウム、ランタン、セリウム、ネオジム、ハフニウムまたはタリウムを有する酸化物または窒化物であることを特徴とする半導体装置。

## 【請求項 10】

請求項 1 乃至請求項 9 のいずれかーにおいて、

前記第 2 のトランジスタは、さらに第 7 の導電体と、第 12 の絶縁体と、を有し、

前記第 7 の導電体は、前記第 7 の導電体と、前記第 2 の酸化物半導体と、が互いに重なる領域を有し、

前記第 12 の絶縁体は、前記第 7 の導電体と、前記第 2 の酸化物半導体と、の間に配置されることを特徴とする半導体装置。

40

## 【請求項 11】

請求項 10 において、

前記第 2 のトランジスタは、さらに第 13 の絶縁体と、第 14 の絶縁体と、を有し、

前記第 13 の絶縁体は、前記第 7 の導電体と、前記第 12 の絶縁体と、の間に配置され、

前記第 14 の絶縁体は、前記第 7 の導電体と、前記第 13 の絶縁体と、の間に配置され、

前記第 13 の絶縁体は、負に荷電した領域を有することを特徴とする半導体装置。

50

## 【請求項 1 2】

請求項 1 1 において、

前記第 1 3 の絶縁体がホウ素、アルミニウム、シリコン、スカンジウム、チタン、ガリウム、イットリウム、ジルコニウム、インジウム、ランタン、セリウム、ネオジム、ハフニウムまたはタリウムを有する酸化物または窒化物であることを特徴とする半導体装置。

## 【請求項 1 3】

請求項 1 乃至請求項 1 2 のいずれか一において、

前記第 3 のトランジスタは、さらに第 8 の導電体と、第 1 5 の絶縁体と、を有し、

前記第 8 の導電体は、前記第 8 の導電体と、前記第 3 の酸化物半導体と、が互いに重なる領域を有し、

前記第 1 5 の絶縁体は、前記第 8 の導電体と、前記第 3 の酸化物半導体と、の間に配置されることを特徴とする半導体装置。

## 【請求項 1 4】

請求項 1 3 において、

前記第 3 のトランジスタは、さらに第 1 6 の絶縁体と、第 1 7 の絶縁体と、を有し、

前記第 1 6 の絶縁体は、前記第 8 の導電体と、前記第 1 5 の絶縁体と、の間に配置され

、前記第 1 7 の絶縁体は、前記第 8 の導電体と、前記第 1 6 の絶縁体と、の間に配置され

、前記第 1 6 の絶縁体は、負に荷電した領域を有することを特徴とする半導体装置。

## 【請求項 1 5】

請求項 1 4 において、

前記第 1 6 の絶縁体がホウ素、アルミニウム、シリコン、スカンジウム、チタン、ガリウム、イットリウム、ジルコニウム、インジウム、ランタン、セリウム、ネオジム、ハフニウムまたはタリウムを有する酸化物または窒化物であることを特徴とする半導体装置。

## 【請求項 1 6】

請求項 1 乃至請求項 1 5 のいずれか一において、

前記第 1 の回路は、さらに第 4 のトランジスタを有し、

前記第 4 のトランジスタは、第 1 の半導体と、第 9 の導電体と、第 1 8 の絶縁体と、を有し、

前記第 9 の導電体は、前記第 9 の導電体と、前記第 1 の半導体と、が互いに重なる領域を有し、

前記第 1 8 の絶縁体は、前記第 9 の導電体と、前記第 1 の半導体と、の間に配置され、

前記第 9 の導電体は、前記第 1 の導電体と電気的に接続されることを特徴とする半導体装置。

## 【請求項 1 7】

請求項 1 6 において、

前記第 4 のトランジスタは、前記第 4 のトランジスタと、前記第 1 のトランジスタまたは前記第 1 の容量素子と、互いに重なる領域を有することを特徴とする半導体装置。

## 【請求項 1 8】

請求項 1 乃至請求項 1 7 のいずれか一において、

前記第 2 の回路は、さらに第 5 のトランジスタを有し、

前記第 5 のトランジスタは、第 2 の半導体と、第 1 0 の導電体と、第 1 9 の絶縁体と、を有し、

前記第 1 0 の導電体は、前記第 1 0 の導電体と、前記第 2 の半導体と、が互いに重なる領域を有し、

前記第 1 9 の絶縁体は、前記第 1 0 の導電体と、前記第 2 の半導体と、の間に配置され

、前記第 1 0 の導電体は、前記第 2 の導電体と電気的に接続されることを特徴とする半導体装置。

10

20

30

40

50

## 【請求項 19】

請求項 18 において、

前記第 5 のトランジスタは、前記第 5 のトランジスタと、前記第 2 のトランジスタまたは前記第 2 の容量素子と、互いに重なる領域を有することを特徴とする半導体装置。

## 【請求項 20】

請求項 1 乃至請求項 19 のいずれか一において、

前記第 1 の酸化物半導体、前記第 2 の酸化物半導体および前記第 3 の酸化物半導体が、同じ層に配置されることを特徴とする半導体装置。

## 【発明の詳細な説明】

## 【技術分野】

10

## 【0001】

本発明は、例えば、半導体、トランジスタおよび半導体装置に関する。または、本発明は、例えば、半導体、トランジスタおよび半導体装置の製造方法に関する。または、本発明は、例えば、半導体、表示装置、発光装置、照明装置、蓄電装置、記憶装置、プロセッサ、電子機器に関する。または、半導体、表示装置、液晶表示装置、発光装置、記憶装置、電子機器の製造方法に関する。または、半導体装置、表示装置、液晶表示装置、発光装置、記憶装置、電子機器の駆動方法に関する。

## 【0002】

なお、本発明の一態様は、上記の技術分野に限定されない。本明細書等で開示する発明の一態様の技術分野は、物、方法、または、製造方法に関するものである。または、本発明の一態様は、プロセス、マシン、マニュファクチャ、または、組成物（コンポジション・オブ・マター）に関するものである。

20

## 【0003】

なお、本明細書等において半導体装置とは、半導体特性を利用することで機能しうる装置全般を指す。表示装置、発光装置、照明装置、電気光学装置、半導体回路および電子機器は、半導体装置を有する場合がある。

## 【背景技術】

## 【0004】

トランジスタの半導体に用いられるシリコンは、用途によって非晶質シリコンと多結晶シリコンとが使い分けられている。例えば、大型の表示装置を構成するトランジスタには、大面積基板への成膜技術が確立されている非晶質シリコンを用いると好適である。一方、駆動回路と画素回路とを同一基板上に形成するような高機能の表示装置を構成するトランジスタには、高い電界効果移動度を有するトランジスタを作製可能な多結晶シリコンを用いると好適である。多結晶シリコンは、非晶質シリコンを、高温で熱処理、またはレーザー光処理を行うことで形成する方法が知られる。

30

## 【0005】

近年では、酸化物半導体（代表的には In - Ga - Zn 酸化物）を用いたトランジスタの開発が活発化している。酸化物半導体を用いたトランジスタは、非晶質シリコンを用いたトランジスタ、および多結晶シリコンを用いたトランジスタとは異なる特徴を有する。例えば、酸化物半導体を用いたトランジスタを適用した表示装置は、消費電力が低いことが知られている。

40

## 【0006】

また、酸化物半導体を用いたトランジスタは、非導通状態において極めてリーク電流が小さいことが知られている。例えば、酸化物半導体を用いたトランジスタのリーク電流が低いという特性を応用した低消費電力の CPU などが開示されている（特許文献 1 参照。）

。

## 【0007】

パワーゲーティングによる消費電力の低減を行うためには、酸化物半導体を用いたトランジスタがノーマリーオフの電気特性を有することが好ましい。酸化物半導体を用いたトランジスタのしきい値電圧を制御し、ノーマリーオフの電気特性とする方法の一つとして、

50

酸化物半導体と重なる領域にフローティングゲートを配置し、該フローティングゲートに負の固定電荷を注入する方法が開示されている（特許文献2参照。）。

【0008】

酸化物半導体は、スパッタリング法などを用いて成膜できるため、大型の表示装置を構成するトランジスタに用いることができる。また、酸化物半導体を用いたトランジスタは、高い電界効果移動度を有するため、駆動回路と画素回路とを同一基板上に形成するような高機能の表示装置を実現できる。また、非晶質シリコンを用いたトランジスタ、または多結晶シリコンを用いたトランジスタの生産設備の一部を改良して利用することが可能であるため、設備投資を抑えられるメリットもある。

【0009】

酸化物半導体の歴史は古く、1985年には、結晶In-Ga-Zn酸化物の合成が報告されている（非特許文献1参照。）。また、1995年には、In-Ga-Zn酸化物がホモロガス構造を取り、 $InGaO_3(ZnO)_m$ （mは自然数。）という組成式で記述されることが報告されている（非特許文献2参照。）。

【0010】

また、1995年には、酸化物半導体を用いたトランジスタが発明されており、その電気特性が開示されている（特許文献3参照。）。

【0011】

また、2014年には、結晶性酸化物半導体を用いたトランジスタについて報告されている（非特許文献3および非特許文献4参照。）。ここでは、量産化が可能であり、かつ優れた電気特性および信頼性を有するCAAC-OS（C-Axis Aligned Crystalline Oxide Semiconductor）を用いたトランジスタが報告されている。

【先行技術文献】

【特許文献】

【0012】

【特許文献1】特開2012-257187号公報

【特許文献2】特開2013-247143号公報

【特許文献3】特表平11-505377号公報

【非特許文献】

【0013】

【非特許文献1】N. Kimizuka, and T. Mohri: Journal of Solid State Chemistry, 1985, volume 60, p.382 - p.384

【非特許文献2】N. Kimizuka, M. Isobe, and M. Nakamura: Journal of Solid State Chemistry, 1995, volume 116, p.170 - p.178

【非特許文献3】S. Yamazaki, T. Hirohashi, M. Takahashi, S. Adachi, M. Tsubuku, J. Koezuka, K. Okazaki, Y. Kanzaki, H. Matsukizono, S. Kaneko, S. Mori, and T. Matsuo: Journal of the Society for Information Display, 2014, Volume 22, issue 1, p.55 - p.67

【非特許文献4】S. Yamazaki, T. Atsumi, K. Dairiki, K. Okazaki, and N. Kimizuka: ECS Journal of Solid State Science and Technology, 2014, volume 3, Issue 9, p.Q3012 - p.Q3022

【発明の概要】

10

20

30

40

50

## 【発明が解決しようとする課題】

## 【0014】

しきい値電圧の異なるトランジスタを有する半導体装置を提供することを課題の一とする。または、複数種の回路を有し、回路ごとに電気特性の異なるトランジスタを有する半導体装置を提供することを課題の一とする。または、記憶素子を有する半導体装置を提供することを課題の一とする。または、保持期間の長い記憶素子と、動作の速い記憶素子と、を有する半導体装置を提供することを課題の一とする。または、複数種の記憶素子を有し、記憶素子ごとに電気特性の異なるトランジスタを有する半導体装置を提供することを課題の一とする。または、集積度の高い半導体装置を提供することを課題の一とする。

## 【0015】

または、該半導体装置を有するモジュールを提供することを課題の一とする。または、該半導体装置、または該モジュールを有する電子機器を提供することを課題の一とする。または、新規な半導体装置を提供することを課題の一とする。または、新規なモジュールを提供することを課題の一とする。または、新規な電子機器を提供することを課題の一とする。

## 【0016】

または、ノーマリーオフの電気特性を有するトランジスタを提供することを課題の一とする。または、非導通時のリーク電流の小さいトランジスタを提供することを課題の一とする。または、サブスレッショルドスイング値の小さいトランジスタを提供することを課題の一とする。または、短チャネル効果の小さいトランジスタを提供することを課題の一とする。または、電気特性の優れたトランジスタを提供することを課題の一とする。または、信頼性の高いトランジスタを提供することを課題の一とする。または、高い周波数特性を有するトランジスタを提供することを課題の一とする。

## 【0017】

なお、これらの課題の記載は、他の課題の存在を妨げるものではない。なお、本発明の一態様は、これらの課題の全てを解決する必要はないものとする。なお、これら以外の課題は、明細書、図面、請求項などの記載から、自ずと明らかとなるものであり、明細書、図面、請求項などの記載から、これら以外の課題を抽出することが可能である。

## 【課題を解決するための手段】

## 【0018】

## (1)

本発明の一態様は、例えば、第1の回路と、第2の回路と、第3の回路と、を有する半導体装置であって、第1の回路は、第1のトランジスタと、第1の容量素子と、第1の配線と、を有し、第1のトランジスタは、第1の導電体と、第1の酸化物半導体と、を有し、第1の導電体は、第1の酸化物半導体と接する領域を有し、第1の容量素子の一方の端子は、第1の導電体と電気的に接続され、第1の容量素子の他方の端子は、第1の配線と電気的に接続され、第2の回路は、第2のトランジスタと、第2の容量素子と、第2の配線と、を有し、第2のトランジスタは、第2の導電体と、第2の酸化物半導体と、を有し、第2の導電体は、第2の酸化物半導体と接する領域を有し、第2の容量素子の一方の端子は、第2の導電体と電気的に接続され、第2の容量素子の他方の端子は、第2の配線と電気的に接続され、第3の回路は、第3のトランジスタを有し、第3のトランジスタは、第3の導電体と、第3の酸化物半導体と、第1の絶縁体と、第2の絶縁体と、第3の絶縁体と、を有し、第3の導電体は、第3の導電体と、第3の酸化物半導体と、が互いに重なる領域を有し、第1の絶縁体は、第3の導電体と、第3の酸化物半導体と、の間に配置され、第2の絶縁体は、第3の導電体と、第1の絶縁体と、の間に配置され、第3の絶縁体は、第3の導電体と、第2の絶縁体と、の間に配置され、第2の絶縁体は、電子捕獲領域を有し、第1のトランジスタは、サブスレッショルド領域におけるドレイン電流が  $1 \times 10^{-12}$  A となるゲート電圧が 0.8 V 以上 1.5 V 以下であり、第2のトランジスタは、サブスレッショルド領域におけるドレイン電流が  $1 \times 10^{-12}$  A となるゲート電圧が 0 V 以上 0.7 V 以下である半導体装置である。

10

20

30

40

50

## 【 0 0 1 9 】

( 2 )

または、本発明の一態様は、( 1 )において、第 2 の絶縁体がホウ素、アルミニウム、シリコン、スカンジウム、チタン、ガリウム、イットリウム、ジルコニウム、インジウム、ランタン、セリウム、ネオジム、ハフニウムまたはタリウムを有する酸化物または窒化物である半導体装置である。

## 【 0 0 2 0 】

( 3 )

または、本発明の一態様は、( 1 )または( 2 )において、第 1 のトランジスタは、さらに第 4 の導電体と、第 4 の絶縁体と、第 5 の絶縁体と、第 6 の絶縁体と、を有し、第 4 の導電体は、第 4 の導電体と、第 1 の酸化物半導体と、が互いに重なる領域を有し、第 4 の絶縁体は、第 4 の導電体と、第 1 の酸化物半導体と、の間に配置され、第 5 の絶縁体は、第 4 の導電体と、第 4 の絶縁体と、の間に配置され、第 6 の絶縁体は、第 4 の導電体と、第 5 の絶縁体と、の間に配置され、第 5 の絶縁体は、負に荷電した領域を有する半導体装置である。

10

## 【 0 0 2 1 】

( 4 )

または、本発明の一態様は、( 3 )において、第 5 の絶縁体がホウ素、アルミニウム、シリコン、スカンジウム、チタン、ガリウム、イットリウム、ジルコニウム、インジウム、ランタン、セリウム、ネオジム、ハフニウムまたはタリウムを有する酸化物または窒化物である半導体装置である。

20

## 【 0 0 2 2 】

( 5 )

または、本発明の一態様は、( 1 )乃至( 4 )のいずれか一において、第 2 のトランジスタは、さらに第 5 の導電体と、第 7 の絶縁体と、第 8 の絶縁体と、第 9 の絶縁体と、を有し、第 5 の導電体は、第 5 の導電体と、第 2 の酸化物半導体と、が互いに重なる領域を有し、第 7 の絶縁体は、第 5 の導電体と、第 2 の酸化物半導体と、の間に配置され、第 8 の絶縁体は、第 5 の導電体と、第 7 の絶縁体と、の間に配置され、第 9 の絶縁体は、第 5 の導電体と、第 8 の絶縁体と、の間に配置され、第 8 の絶縁体は、負に荷電した領域を有する半導体装置である。

30

## 【 0 0 2 3 】

( 6 )

または、本発明の一態様は、( 5 )において、第 8 の絶縁体がホウ素、アルミニウム、シリコン、スカンジウム、チタン、ガリウム、イットリウム、ジルコニウム、インジウム、ランタン、セリウム、ネオジム、ハフニウムまたはタリウムを有する酸化物または窒化物である半導体装置である。

## 【 0 0 2 4 】

( 7 )

または、本発明の一態様は、( 1 )乃至( 6 )のいずれか一において、第 1 のトランジスタは、さらに第 6 の導電体と、第 9 の絶縁体と、を有し、第 6 の導電体は、第 6 の導電体と、第 1 の酸化物半導体と、が互いに重なる領域を有し、第 9 の絶縁体は、第 6 の導電体と、第 1 の酸化物半導体と、の間に配置される半導体装置である。

40

## 【 0 0 2 5 】

( 8 )

または、本発明の一態様は、( 7 )において、第 1 のトランジスタは、さらに第 10 の絶縁体と、第 11 の絶縁体と、を有し、第 10 の絶縁体は、第 6 の導電体と、第 9 の絶縁体と、の間に配置され、第 11 の絶縁体は、第 6 の導電体と、第 10 の絶縁体と、の間に配置され、第 10 の絶縁体は、負に荷電した領域を有する半導体装置である。

## 【 0 0 2 6 】

( 9 )

50

または、本発明の一態様は、(8)において、第10の絶縁体がホウ素、アルミニウム、シリコン、スカンジウム、チタン、ガリウム、イットリウム、ジルコニウム、インジウム、ランタン、セリウム、ネオジム、ハフニウムまたはタリウムを有する酸化物または窒化物である半導体装置である。

【0027】

(10)

または、本発明の一態様は、(1)乃至(9)のいずれか一において、第2のトランジスタは、さらに第7の導電体と、第12の絶縁体と、を有し、第7の導電体は、第7の導電体と、第2の酸化物半導体と、が互いに重なる領域を有し、第12の絶縁体は、第7の導電体と、第2の酸化物半導体と、の間に配置される半導体装置である。

10

【0028】

(11)

または、本発明の一態様は、(10)において、第2のトランジスタは、さらに第13の絶縁体と、第14の絶縁体と、を有し、第13の絶縁体は、第7の導電体と、第12の絶縁体と、の間に配置され、第14の絶縁体は、第7の導電体と、第13の絶縁体と、の間に配置され、第13の絶縁体は、負に荷電した領域を有する半導体装置である。

【0029】

(12)

または、本発明の一態様は、(11)において、第13の絶縁体がホウ素、アルミニウム、シリコン、スカンジウム、チタン、ガリウム、イットリウム、ジルコニウム、インジウム、ランタン、セリウム、ネオジム、ハフニウムまたはタリウムを有する酸化物または窒化物である半導体装置である。

20

【0030】

(13)

または、本発明の一態様は、(1)乃至(12)のいずれか一において、第3のトランジスタは、さらに第8の導電体と、第15の絶縁体と、を有し、第8の導電体は、第8の導電体と、第3の酸化物半導体と、が互いに重なる領域を有し、第15の絶縁体は、第8の導電体と、第3の酸化物半導体と、の間に配置される半導体装置である。

【0031】

(14)

または、本発明の一態様は、(13)において、第3のトランジスタは、さらに第16の絶縁体と、第17の絶縁体と、を有し、第16の絶縁体は、第8の導電体と、第15の絶縁体と、の間に配置され、第17の絶縁体は、第8の導電体と、第16の絶縁体と、の間に配置され、第16の絶縁体は、負に荷電した領域を有する半導体装置である。

30

【0032】

(15)

または、本発明の一態様は、(14)において、第16の絶縁体がホウ素、アルミニウム、シリコン、スカンジウム、チタン、ガリウム、イットリウム、ジルコニウム、インジウム、ランタン、セリウム、ネオジム、ハフニウムまたはタリウムを有する酸化物または窒化物である半導体装置である。

40

【0033】

(16)

または、本発明の一態様は、(1)乃至(15)のいずれか一において、第1の回路は、さらに第4のトランジスタを有し、第4のトランジスタは、第1の半導体と、第9の導電体と、第18の絶縁体と、を有し、第9の導電体は、第9の導電体と、第1の半導体と、が互いに重なる領域を有し、第18の絶縁体は、第9の導電体と、第1の半導体と、の間に配置され、第9の導電体は、第1の導電体と電気的に接続される半導体装置である。

【0034】

(17)

または、本発明の一態様は、(16)において、第4のトランジスタは、第4のトランジ

50

スタと、第1のトランジスタまたは第1の容量素子と、互いに重なる領域を有する半導体装置である。

【0035】

(18)

または、本発明の一態様は、(1)乃至(17)のいずれか一において、第2の回路は、さらに第5のトランジスタを有し、第5のトランジスタは、第2の半導体と、第10の導電体と、第19の絶縁体と、を有し、第10の導電体は、第10の導電体と、第2の半導体と、が互いに重なる領域を有し、第19の絶縁体は、第10の導電体と、第2の半導体と、の間に配置され、第10の導電体は、第2の導電体と電気的に接続される半導体装置である。

10

【0036】

(19)

または、本発明の一態様は、(18)において、第5のトランジスタは、第5のトランジスタと、第2のトランジスタまたは第2の容量素子と、互いに重なる領域を有する半導体装置である。

【0037】

(20)

または、本発明の一態様は、(1)乃至(19)のいずれか一において、第1の酸化物半導体、第2の酸化物半導体および第3の酸化物半導体が、同じ層に配置される半導体装置である。

20

【発明の効果】

【0038】

しきい値電圧の異なるトランジスタを有する半導体装置を提供することができる。または、複数種の回路を有し、回路ごとに電気特性の異なるトランジスタを有する半導体装置を提供することができる。または、記憶素子を有する半導体装置を提供することができる。または、保持期間の長い記憶素子と、動作の速い記憶素子と、を有する半導体装置を提供することができる。または、複数種の記憶素子を有し、記憶素子ごとに電気特性の異なるトランジスタを有する半導体装置を提供することができる。または、集積度の高い半導体装置を提供することができる。

【0039】

または、該半導体装置を有するモジュールを提供することができる。または、該半導体装置、または該モジュールを有する電子機器を提供することができる。または、新規な半導体装置を提供することができる。または、新規なモジュールを提供することができる。または、新規な電子機器を提供することができる。

30

【0040】

または、ノーマリーオフの電気特性を有するトランジスタを提供することができる。または、非導通時のリーク電流の小さいトランジスタを提供することができる。または、サブスレッショルドスイング値の小さいトランジスタを提供することができる。または、短チャネル効果の小さいトランジスタを提供することができる。または、電気特性の優れたトランジスタを提供することができる。または、信頼性の高いトランジスタを提供することができる。または、高い周波数特性を有するトランジスタを提供することができる。

40

【0041】

なお、これらの効果の記載は、他の効果の存在を妨げるものではない。なお、本発明の一態様は、これらの効果の全てを有する必要はない。なお、これら以外の効果は、明細書、図面、請求項などの記載から、自ずと明らかとなるものであり、明細書、図面、請求項などの記載から、これら以外の効果を抽出することが可能である。

【図面の簡単な説明】

【0042】

【図1】本発明の一態様に係る半導体装置のブロック図。

【図2】本発明の一態様に係る半導体装置のブロック図。

50

- 【図3】本発明の一態様に係る半導体装置の回路図。
- 【図4】本発明の一態様に係る半導体装置の回路図。
- 【図5】本発明の一態様に係る半導体装置の回路図。
- 【図6】本発明の一態様に係る半導体装置の断面図。
- 【図7】本発明の一態様に係る半導体装置の断面図。
- 【図8】本発明の一態様に係る半導体装置の断面図。
- 【図9】本発明の一態様に係るトランジスタの上面図および断面図。
- 【図10】本発明の一態様に係るトランジスタの断面図およびバンド図。
- 【図11】本発明の一態様に係るトランジスタの断面図。
- 【図12】本発明の一態様に係るトランジスタの断面図。 10
- 【図13】本発明の一態様に係るトランジスタの上面図および断面図。
- 【図14】本発明の一態様に係るトランジスタの上面図および断面図。
- 【図15】本発明の一態様に係るトランジスタの上面図および断面図。
- 【図16】本発明の一態様に係るトランジスタの上面図および断面図。
- 【図17】本発明の一態様に係るトランジスタの断面図およびバンド図。
- 【図18】本発明の一態様に係る半導体装置のブロック図。
- 【図19】本発明の一態様に係る半導体装置の回路図。
- 【図20】本発明の一態様に係る電子機器の斜視図。
- 【図21】CAAC-OSの断面におけるCs補正高分解能TEM像、およびCAAC-OSの断面模式図。 20
- 【図22】CAAC-OSの平面におけるCs補正高分解能TEM像。
- 【図23】CAAC-OSおよび単結晶酸化物半導体のXRDによる構造解析を説明する図。
- 【図24】CAAC-OSの電子回折パターンを示す図。
- 【図25】In-Ga-Zn酸化物の電子照射による結晶部の変化を示す図。
- 【発明を実施するための形態】
- 【0043】  
本発明の実施の形態について、図面を用いて詳細に説明する。ただし、本発明は以下の説明に限定されず、その形態および詳細を様々に変更し得ることは、当業者であれば容易に理解される。また、本発明は以下に示す実施の形態の記載内容に限定して解釈されるものではない。なお、図面を用いて発明の構成を説明するにあたり、同じものを指す符号は異なる図面間でも共通して用いる。なお、同様のものを指す際にはハッチパターンを同じくし、特に符号を付さない場合がある。
- 【0044】  
なお、図において、大きさ、膜(層)の厚さ、または領域は、明瞭化のために誇張されている場合がある。
- 【0045】  
なお、本明細書において、「膜」という表記と、「層」という表記と、を互いに入れ替えることが可能である。
- 【0046】 40  
また、電圧は、ある電位と、基準の電位(例えば接地電位(GND)またはソース電位)との電位差のことを示す場合が多い。よって、電圧を電位と言い換えることが可能である。一般的に、電位(電圧)は、相対的なものであり、基準の電位からの相対的な大きさによって決定される。したがって、「接地電位」などと記載されている場合であっても、電位が0Vであるとは限らない。例えば、回路で最も低い電位が、「接地電位」となる場合もある。または、回路で中間くらいの電位が、「接地電位」となる場合もある。その場合には、その電位を基準として、正の電位と負の電位が規定される。
- 【0047】  
なお、第1、第2として付される序数詞は便宜的に用いるものであり、工程順または積層順を示すものではない。そのため、例えば、「第1の」を「第2の」または「第3の」な 50

どと適宜置き換えて説明することができる。また、本明細書などに記載されている序数詞と、本発明の一態様を特定するために用いられる序数詞は一致しない場合がある。

【0048】

なお、「半導体」と表記した場合でも、例えば、導電性が十分低い場合は「絶縁体」としての特性を有する場合がある。また、「半導体」と「絶縁体」は境界が曖昧であり、厳密に区別できない場合がある。したがって、本明細書に記載の「半導体」は、「絶縁体」と言い換えることができる場合がある。同様に、本明細書に記載の「絶縁体」は、「半導体」と言い換えることができる場合がある。

【0049】

また、「半導体」と表記した場合でも、例えば、導電性が十分高い場合は「導電体」としての特性を有する場合がある。また、「半導体」と「導電体」は境界が曖昧であり、厳密に区別できない場合がある。したがって、本明細書に記載の「半導体」は、「導電体」と言い換えることができる場合がある。同様に、本明細書に記載の「導電体」は、「半導体」と言い換えることができる場合がある。

10

【0050】

なお、半導体の不純物とは、例えば、半導体を構成する主成分以外をいう。例えば、濃度が0.1原子%未満の元素は不純物である。不純物が含まれることにより、例えば、半導体にDOS (Density of State) が形成されることや、キャリア移動度が低下することや、結晶性が低下することなどが起こる場合がある。半導体が酸化物半導体である場合、半導体の特性を変化させる不純物としては、例えば、第1族元素、第2族元素、第14族元素、第15族元素、主成分以外の遷移金属などがあり、特に、例えば、水素(水にも含まれる)、リチウム、ナトリウム、シリコン、ホウ素、リン、炭素、窒素などがある。酸化物半導体の場合、例えば水素などの不純物の混入によって酸素欠損を形成する場合がある。また、半導体がシリコンである場合、半導体の特性を変化させる不純物としては、例えば、酸素、水素を除く第1族元素、第2族元素、第13族元素、第15族元素などがある。

20

【0051】

なお、本明細書において、Aが濃度Bの領域を有する、と記載する場合、例えば、Aのある領域における深さ方向全体の濃度がBである場合、Aのある領域における深さ方向の濃度の平均値がBである場合、Aのある領域における深さ方向の濃度の中央値がBである場合、Aのある領域における深さ方向の濃度の最大値がBである場合、Aのある領域における深さ方向の濃度の最小値がBである場合、Aのある領域における深さ方向の濃度の収束値がBである場合、測定上Aそのものの確からしい値の得られる領域における濃度がBである場合などを含む。

30

【0052】

また、本明細書において、Aが大きさB、長さB、厚さB、幅Bまたは距離Bの領域を有する、と記載する場合、例えば、Aのある領域における全体の大きさ、長さ、厚さ、幅、または距離がBである場合、Aのある領域における大きさ、長さ、厚さ、幅、または距離の平均値がBである場合、Aのある領域における大きさ、長さ、厚さ、幅、または距離の中央値がBである場合、Aのある領域における大きさ、長さ、厚さ、幅、または距離の最大値がBである場合、Aのある領域における大きさ、長さ、厚さ、幅、または距離の最小値がBである場合、Aのある領域における大きさ、長さ、厚さ、幅、または距離の収束値がBである場合、測定上Aそのものの確からしい値の得られる領域での大きさ、長さ、厚さ、幅、または距離がBである場合などを含む。

40

【0053】

なお、チャンネル長とは、例えば、トランジスタの上面図において、半導体(またはトランジスタがオン状態のときに半導体の中で電流の流れる部分)とゲート電極とが互いに重なる領域、またはチャンネルが形成される領域における、ソース(ソース領域またはソース電極)とドレイン(ドレイン領域またはドレイン電極)との間の距離をいう。なお、一つのトランジスタにおいて、チャンネル長が全ての領域で同じ値をとるとは限らない。即ち、一

50

つのトランジスタのチャンネル長は、一つの値に定まらない場合がある。そのため、本明細書では、チャンネル長は、チャンネルの形成される領域における、いずれか一の値、最大値、最小値または平均値とする。

【0054】

チャンネル幅とは、例えば、半導体（またはトランジスタがオン状態のときに半導体の中で電流の流れる部分）とゲート電極とが互いに重なる領域、またはチャンネルが形成される領域における、ソースとドレインとが向かい合っている部分の長さをいう。なお、一つのトランジスタにおいて、チャンネル幅がすべての領域で同じ値をとるとは限らない。即ち、一つのトランジスタのチャンネル幅は、一つの値に定まらない場合がある。そのため、本明細書では、チャンネル幅は、チャンネルの形成される領域における、いずれか一の値、最大値、最小値または平均値とする。

10

【0055】

なお、トランジスタの構造によっては、実際にチャンネルの形成される領域におけるチャンネル幅（以下、実効的なチャンネル幅と呼ぶ。）と、トランジスタの上面図において示されるチャンネル幅（以下、見かけ上のチャンネル幅と呼ぶ。）と、が異なる場合がある。例えば、立体的な構造を有するトランジスタでは、実効的なチャンネル幅が、トランジスタの上面図において示される見かけ上のチャンネル幅よりも大きくなり、その影響が無視できなくなる場合がある。例えば、微細かつ立体的な構造を有するトランジスタでは、半導体の側面に形成されるチャンネル領域の割合が大きくなる場合がある。その場合は、上面図において示される見かけ上のチャンネル幅よりも、実際にチャンネルの形成される実効的なチャンネル幅の方が大きくなる。

20

【0056】

ところで、立体的な構造を有するトランジスタにおいては、実効的なチャンネル幅の、実測による見積もりが困難となる場合がある。例えば、設計値から実効的なチャンネル幅を見積もるためには、半導体の形状が既知という仮定が必要である。したがって、半導体の形状が正確にわからない場合には、実効的なチャンネル幅を正確に測定することは困難である。

【0057】

そこで、本明細書では、トランジスタの上面図において、半導体とゲート電極とが互いに重なる領域における、ソースとドレインとが向かい合っている部分の長さである見かけ上のチャンネル幅を、「囲い込みチャンネル幅（SCW: Surrounded Channel Width）」と呼ぶ場合がある。また、本明細書では、単にチャンネル幅と記載した場合には、囲い込みチャンネル幅または見かけ上のチャンネル幅を指す場合がある。または、本明細書では、単にチャンネル幅と記載した場合には、実効的なチャンネル幅を指す場合がある。なお、チャンネル長、チャンネル幅、実効的なチャンネル幅、見かけ上のチャンネル幅、囲い込みチャンネル幅などは、断面TEM像などを取得して、その画像を解析することなどによって、値を決定することができる。

30

【0058】

なお、トランジスタの電界効果移動度や、チャンネル幅当たりの電流値などを計算して求める場合、囲い込みチャンネル幅を用いて計算する場合がある。その場合には、実効的なチャンネル幅を用いて計算する場合とは異なる値をとる場合がある。

40

【0059】

なお、本明細書において、AがBより迫り出した形状を有すると記載する場合、上面図または断面図において、Aの少なくとも一端が、Bの少なくとも一端よりも外側にある形状を有することを示す場合がある。したがって、AがBより迫り出した形状を有すると記載されている場合、例えば上面図において、Aの一端が、Bの一端よりも外側にある形状を有すると読み替えることができる。

【0060】

本明細書において、「平行」とは、二つの直線が $-10^\circ$ 以上 $10^\circ$ 以下の角度で配置されている状態をいう。したがって、 $-5^\circ$ 以上 $5^\circ$ 以下の場合も含まれる。また、「略平行」とは、二つの直線が $-30^\circ$ 以上 $30^\circ$ 以下の角度で配置されている状態をいう。ま

50

た、「垂直」とは、二つの直線が $80^\circ$ 以上 $100^\circ$ 以下の角度で配置されている状態をいう。したがって、 $85^\circ$ 以上 $95^\circ$ 以下の場合も含まれる。また、「略垂直」とは、二つの直線が $60^\circ$ 以上 $120^\circ$ 以下の角度で配置されている状態をいう。

【0061】

また、本明細書において、結晶が三方晶または菱面体晶である場合、六方晶系として表す。

【0062】

<半導体装置>

以下では、本発明の一態様に係る半導体装置について説明する。

【0063】

なお、以下では、nチャネル型トランジスタを想定して説明する。ただし、pチャネル型トランジスタに適用するために、適宜用語または符号などを読み替えても構わない。

【0064】

図1は、回路101aと、回路101bと、回路101cと、を有する半導体装置100のブロック図である。回路101aと、回路101bと、回路101cと、はそれぞれ電氣的に接続されている。ただし、本発明の一態様に係る半導体装置は、これに限定されるものではない。例えば、半導体装置100は、回路101a、回路101bまたは回路101cのいずれかを有さなくても構わない場合がある。または、半導体装置100は、回路101aと回路101bとが電氣的に接続されていなくてもよい場合がある。または、回路101bと回路101cとが電氣的に接続されていなくてもよい場合がある。または、回路101cと回路101aとが電氣的に接続されていなくてもよい場合がある。

【0065】

回路101aはトランジスタ102aを有する。回路101bはトランジスタ102bを有する。回路101cはトランジスタ102cを有する。ここで、トランジスタ102aとトランジスタ102bとが、異なる電気特性を有する。例えば、サブスレッショルド領域におけるドレイン電流が $1 \times 10^{-12}$  Aとなるゲート電圧が、トランジスタ102aは0V以上0.7V以下であり、トランジスタ102bは0.8V以上1.5V以下であればよい。なお、トランジスタ102aとトランジスタ102bとの電気特性の異なる方法については後述する。なお、トランジスタ102bとトランジスタ102cとが、異なる電気特性を有してもよい。または、トランジスタ102cとトランジスタ102aとが、異なる電気特性を有してもよい。

【0066】

各トランジスタが異なる電気特性を有することで、各回路において要求されるトランジスタの電気特性を同時に満たすことが可能となる。したがって、動作速度を高めながら、消費電力の小さい半導体装置などを実現することができる。

【0067】

図2は、図1とは一部が異なる半導体装置100の例のブロック図である。回路101aが、トランジスタ102aと、トランジスタ103aと、容量素子104aと、を有し、回路101bが、トランジスタ102bと、トランジスタ103bと、容量素子104bと、を有し、回路101cが、トランジスタ102cを有する。

【0068】

図2に示す回路101aは、図1に示した回路101aと比べて、トランジスタ103aと、容量素子104aと、を有する点異なる。トランジスタ103aのゲート端子は、トランジスタ102aのソース端子またはドレイン端子の一方、および容量素子104aの一方の端子と、ノードAを介して電氣的に接続されている。ノードAの電位は、トランジスタ102aを介して変更することが可能である。また、ノードAの電位は、トランジスタ102aを非導通状態とすることにより保持される。トランジスタ103aのドレイン電流はノードAの電位によって変化するため、回路101aは、任意のデータを保持する機能を有する。即ち、回路101aを記憶装置とすることができる。ただし、回路101aは、記憶装置でなくても構わない。

10

20

30

40

50

## 【0069】

ここで、ノードAに保持されたデータは、トランジスタ102a、トランジスタ103aおよび容量素子104aを介して消失する場合がある。ただし、トランジスタ103aのゲート絶縁体のリーク電流、および容量素子104aの誘電体のリーク電流が十分小さい場合、トランジスタ102aのソース端子とドレイン端子との間を流れる電流がノードAに保持されたデータを消失させる主要因となる。したがって、トランジスタ102aにオフ電流の小さいトランジスタを用いることで、ノードAのデータを長期間に渡って保持することが可能となる。なお、オフ電流の小さいトランジスタの具体例については後述する。

## 【0070】

図2に示す回路101bは、図1に示した回路101bと比べて、トランジスタ103bと、容量素子104bと、を有する点が異なる。トランジスタ103bのゲート端子は、トランジスタ102bのソース端子またはドレイン端子の一方、および容量素子104bの一方の端子と、ノードBを介して電氣的に接続されている。即ち、回路101bは回路101aと同様の回路構成を有する。

10

## 【0071】

このとき、トランジスタ102aのしきい値電圧をトランジスタ102bのしきい値電圧よりも高くすることにより、回路101aと回路101bとの差別化を図ることができる。トランジスタ102aのしきい値電圧が高いことにより、回路101aは、ノードAのデータを長期間に渡って保持することが可能となる。一方、トランジスタ102bのしきい値電圧が低いことにより、回路101bは、ノードBへのデータの書き込み動作を速くすることができる。

20

## 【0072】

例えば、半導体装置100は、データの保持期間よりも書き込み動作の速さが重視される動作には回路101bを用い、書き込み動作の速さよりもデータの保持期間が重視される動作には回路101aを用いることで、動作速度を高く、消費電力を小さくすることができる。

## 【0073】

また、例えば、トランジスタ102aのサブスレッショルド領域におけるドレイン電流が $1 \times 10^{-12}$  Aとなるゲート電圧（以下、Shiftと表記する。）が0.8V以上1.5V以下である場合、トランジスタ102aにゲート電圧を印加しなくてもノードAのデータを長期間に渡って保持することが可能となる。したがって、回路101aは、データ保持のための電力供給が不要であり、半導体装置100の消費電力を小さくすることができる。また、半導体装置100への電力供給を止めた場合でも、回路101aには電力供給を止める直前までのデータが保持される。そのため、電力供給後、即時に半導体装置100を動作させることが可能となる。また、トランジスタ102bのShiftが0V以上0.7V以下である場合、ノードBへのデータ書き込みに要するトランジスタ102bのゲート電圧を低くすることができる。ゲート電圧を低くすることにより、ノードBへのデータの書き込み動作を速くすることができる。また、ノードBへのデータの書き込み動作に要する消費電力を小さくすることができる。

30

40

## 【0074】

図2に示す回路101cは、図1に示した回路101cと比べて、トランジスタ102cが第2のゲート端子（バックゲート端子ともいう。）を有する点が異なる。トランジスタ102cの第2のゲート端子側には、フローティングゲートC（図2には破線部で示す。）が配置されている。例えば、トランジスタ102cにドレイン電圧を印加しつつ、第2のゲート端子に電圧を印加することで、フローティングゲートCに電子を注入させることができる。フローティングゲートCに注入された電子は、固定電荷のように振舞う。そのため、トランジスタ102cのしきい値電圧は、フローティングゲートCへの電子の注入量に応じて変化する。トランジスタ102cのドレイン電流はフローティングゲートCの電位によって変化するため、回路101cは、任意のデータを保持する機能を有する。即

50

ち、回路101cを記憶装置とすることができる。ただし、回路101cは、記憶装置でなくても構わない。

【0075】

トランジスタ102cは、フローティングゲートCへの電子の注入によってデータを書き込む。したがって、回路101cは、回路101aおよび回路101bと比べて、データの書き込みに原理的に高い電圧を要する。即ち、書き込み動作が遅くなる場合や、書き込みに要する消費電力が大きくなる場合がある。一方、フローティングゲートCが十分に絶縁されている場合、データの消失が起こりにくく、データの保持期間を極めて長くすることができる。よって、回路101cは、書き換え頻度の低いデータの保持に適している。または、書き換え不可能な記憶装置（ライトワンスメモリ）としても構わない。書き換え不可能な記憶装置とすることにより、データの改変などによる問題が起こりにくくなるため、半導体装置100の信頼性を高めることができる。

10

【0076】

このように、長期データ保持に好適な回路と、動作速度の高い回路と、長期データ保持の信頼性の高い回路と、を有する半導体装置は、信頼性が高く、消費電力を小さくすることができる。

【0077】

上記回路構成は一例であり、回路101a、回路101bおよび回路101cの回路構成を適宜変更することができる。例えば、図3、図4および図5に、回路101aの図1および図2とは異なる構成例を示す。なお、図3、図4および図5には、回路101aを例示しているが、回路101bまたは回路101cに適用することもできる。

20

【0078】

図3(A)に示す回路101aは、トランジスタ102aが第2のゲート端子を有する点が図2に示した回路101aと異なる。例えば、第2のゲート端子に任意の電位を印加することで、トランジスタ102aのしきい値電圧などを変化させることができる。または、例えば、第2のゲート端子とゲート端子との間を電氣的に接続させることにより、トランジスタ102aのオン電流を大きくすることができる。また、パンチスルー現象によるリーク電流を小さくすることができるため、サブスレッショルドスイング値（S値ともいう。）を小さくすることができる。かつオフ電流を小さくすることができる。具体的には、S値を60mV/d e c以上150mV/d e c以下、60mV/d e c以上120mV/d e c以下、60mV/d e c以上100mV/d e c以下または60mV/d e c以上80mV/d e c以下とすることができる。または、例えば、第2のゲート端子とソース端子とを電氣的に接続させることにより、工程や基板内の場所によって生じるトランジスタ102aの電気特性のばらつきを低減することができる。

30

【0079】

図3(B)に示す回路101aは、トランジスタ102aがゲート端子側にフローティングゲートDを有する点が図2に示した回路101aと異なる。図2に示した回路101cのフローティングゲートCに電子を注入した方法と同様の方法などによって、フローティングゲートDに電子を注入することができる。フローティングゲートDに電子が注入されることで、トランジスタ102aのしきい値電圧などを変化させることができる。例えば、電子の注入量を調整することにより、トランジスタ102aのS h i f tを0.8V以上1.5V以下とすることができる。

40

【0080】

図3(C)に示す回路101aは、トランジスタ102aが第2のゲート端子を有し、かつ第2のゲート端子側にフローティングゲートEを有する点が図2に示した回路101aと異なる。図2に示した回路101cのフローティングゲートCに電子を注入した方法と同様の方法などによって、フローティングゲートEに電子を注入することができる。フローティングゲートEに電子が注入されることで、トランジスタ102aのしきい値電圧などを変化させることができる。例えば、電子の注入量を調整することにより、トランジスタ102aのS h i f tを0.8V以上1.5V以下とすることができる。

50

## 【0081】

図3(D)に示す回路101aは、トランジスタ102aがゲート端子側にフローティングゲートDを有し、かつ第2のゲート端子を有し、かつ第2のゲート端子側にフローティングゲートEを有する点が図2に示した回路101aと異なる。図2に示した回路101cのフローティングゲートCに電子を注入した方法と同様の方法などによって、フローティングゲートDまたは/およびフローティングゲートEに電子を注入することができる。フローティングゲートDまたは/およびフローティングゲートEに電子が注入されることで、トランジスタ102aのしきい値電圧などを変化させることができる。例えば、電子の注入量を調整することにより、トランジスタ102aのShiftを0.8V以上1.5V以下とすることができる。

10

## 【0082】

図4(A)に示す回路101aは、トランジスタ103aを有さない点が図3(A)に示した回路101aと異なる。トランジスタ103aを有さないため、トランジスタ102aを介してノードAに保持されたデータを読み出す。トランジスタ102aを導通させるため、ノードAに保持されたデータは、読み出しのたびに消失する。ただし、読み出しのたびにデータの書き込みを行うことで、データの消失を防ぐことができる。トランジスタ103aを有さないことにより、図3(A)に示した回路101aよりも半導体装置100に占める回路101aの面積を縮小することができる。なお、トランジスタ102aが第2のゲート端子を有する例を示しているが、これに限定されるものではない。トランジスタ102aが、第2のゲート端子を有さなくても構わない場合がある。

20

## 【0083】

図4(B)に示す回路101aは、トランジスタ103aを有さない点が図3(B)に示した回路101aと異なる。トランジスタ103aを有さないことにより、図3(B)に示した回路101aよりも半導体装置100に占める回路101aの面積を縮小することができる。

## 【0084】

図4(C)に示す回路101aは、トランジスタ103aを有さない点が図3(C)に示した回路101aと異なる。トランジスタ103aを有さないことにより、図3(C)に示した回路101aよりも半導体装置100に占める回路101aの面積を縮小することができる。

30

## 【0085】

図4(D)に示す回路101aは、トランジスタ103aを有さない点が図3(D)に示した回路101aと異なる。トランジスタ103aを有さないことにより、図3(D)に示した回路101aよりも半導体装置100に占める回路101aの面積を縮小することができる。

## 【0086】

図5(A)に示す回路101aは、容量素子104aを有さない点が図4(B)に示した回路101aと異なる。例えば、トランジスタ102aにドレイン電圧を印加しつつ、ゲート端子に電圧を印加することで、フローティングゲートDに電子を注入させることができる。フローティングゲートDに注入された電子は、固定電荷のように振舞う。そのため、トランジスタ102aのしきい値電圧は、フローティングゲートDへの電子の注入量に応じて変化する。トランジスタ102aのドレイン電流はフローティングゲートDの電位によって変化するため、回路101aは、任意のデータを保持する機能を有する。即ち、回路101aを記憶装置とすることができる。ただし、回路101aは、記憶装置でなくても構わない。回路101aが、容量素子104aを有さないことにより、図4(B)に示した回路101aよりも半導体装置100に占める回路101aの面積を縮小することができる。

40

## 【0087】

図5(B)に示す回路101aは容量素子104aを有さない点が図4(C)に示した回路101aと異なる。容量素子104aを有さないことにより、図4(C)に示した回路

50

101 aよりも半導体装置100に占める回路101 aの面積を縮小することができる。

【0088】

図5(C)に示す回路101 aは、容量素子104 aを有さない点が図4(D)に示した回路101 aと異なる。容量素子104 aを有さないことにより、図4(D)に示した回路101 aよりも半導体装置100に占める回路101 aの面積を縮小することができる。

【0089】

<半導体装置の構造>

以下では、本発明の一態様に係る半導体装置の構造を例示する。

【0090】

図6は、図2に示した回路101 aに対応する断面図である。ただし、回路101 bおよび回路101 cに適用しても構わない。

【0091】

図6に示す回路101 aは、トランジスタ103 aと、トランジスタ102 aと、容量素子104 aと、を有する。また、トランジスタ102 aおよび容量素子104 aは、トランジスタ103 aの上方に配置する。

【0092】

図6に示すトランジスタ103 aは、半導体基板450を用いたトランジスタである。トランジスタ103 aは、半導体基板450中の領域472 aと、半導体基板450中の領域472 bと、絶縁体462と、導電体454と、を有する。

【0093】

トランジスタ103 aにおいて、領域472 aおよび領域472 bは、ソース領域およびドレイン領域としての機能を有する。また、絶縁体462は、ゲート絶縁体としての機能を有する。また、導電体454は、ゲート電極としての機能を有する。したがって、導電体454に印加する電位によって、チャンネル形成領域の抵抗を制御することができる。即ち、導電体454に印加する電位によって、領域472 aと領域472 bとの間の導通・非導通を制御することができる。

【0094】

半導体基板450としては、例えば、シリコン、ゲルマニウムなどの単体半導体基板、または炭化シリコン、シリコンゲルマニウム、ヒ化ガリウム、リン化インジウム、酸化亜鉛、酸化ガリウムなどの化合物半導体基板などを用いればよい。好ましくは、半導体基板450として単結晶シリコン基板を用いる。

【0095】

半導体基板450は、n型の導電性を付与する不純物を有する半導体基板を用いる。ただし、半導体基板450として、p型の導電性を付与する不純物を有する半導体基板を用いても構わない。その場合、トランジスタ103 aとなる領域には、n型の導電性を付与する不純物を有するウェルを配置すればよい。または、半導体基板450がi型であっても構わない。

【0096】

半導体基板450の上面は、(110)面を有することが好ましい。こうすることで、トランジスタ103 aのオン特性を向上させることができる。

【0097】

領域472 aおよび領域472 bは、p型の導電性を付与する不純物を有する領域である。このようにして、トランジスタ103 aはpチャンネル型トランジスタを構成する。

【0098】

なお、トランジスタ103 aは、領域460などによって隣接するトランジスタと分離される。領域460は、絶縁性を有する領域である。

【0099】

図6に示すトランジスタ102 aは、絶縁体402と、絶縁体412と、絶縁体408と、半導体406と、導電体416 aと、導電体416 bと、導電体404と、を有する。

10

20

30

40

50

半導体 406 は、絶縁体 402 上に配置される。絶縁体 412 は、半導体 406 上に配置される。導電体 404 は、絶縁体 412 上に配置される。導電体 416 a および導電体 416 b は、半導体 406 と接して配置される。絶縁体 408 は、絶縁体 412 上、導電体 404 上、導電体 416 a 上および導電体 416 b 上に配置される。

【0100】

導電体 404 は、トランジスタ 102 a のゲート電極としての機能を有する。したがって、絶縁体 412 は、トランジスタ 102 a のゲート絶縁体としての機能を有する。導電体 416 a および導電体 416 b は、それぞれトランジスタ 102 a のソース電極またはドレイン電極としての機能を有する。また、絶縁体 408 は、バリア層としての機能を有する。絶縁体 408 は、例えば、酸素または / および水素をブロックする機能を有する。絶縁体 408 は、例えば、絶縁体 402 または絶縁体 412 よりも、酸素または / および水素をブロックする能力が高い。

10

【0101】

トランジスタ 102 a の詳細については後述する。

【0102】

図 6 に示す容量素子 104 a は、導電体 416 a と、導電体 414 と、絶縁体 411 と、を有する。絶縁体 411 は、導電体 416 a 上に配置される。導電体 414 は、絶縁体 411 上に配置される。

【0103】

導電体 416 a は、容量素子 104 a の一对の電極の一方としての機能を有する。導電体 414 は、容量素子 104 a の一对の電極の他方としての機能を有する。絶縁体 411 は、容量素子 104 a の誘電体としての機能を有する。

20

【0104】

容量素子 104 a は、トランジスタ 102 a の構成要素である導電体 416 a を用いることができる。また、絶縁体 411 を、トランジスタ 102 a の絶縁体 412 と同一工程を経て形成することができる。また、導電体 414 を、トランジスタ 102 a の導電体 404 と同一工程を経て形成することができる。容量素子 104 a は、トランジスタ 102 a と工程を共通化できるため、製造コストを増加させることがほとんどない。また、工程数を増加させないため、回路 101 a の歩留まりを高くすることができる。なお、導電体 416 a に替えて、別の導電体を容量素子の一对の電極の一方として用いても構わない。

30

【0105】

図 6 に示す回路 101 a は、絶縁体 464 と、絶縁体 466 と、絶縁体 468 と、導電体 480 a と、導電体 480 b と、導電体 480 c と、導電体 478 a と、導電体 478 b と、導電体 478 c と、導電体 476 a と、導電体 476 b と、導電体 474 a と、導電体 474 b と、導電体 496 a と、導電体 496 b と、導電体 496 c と、導電体 496 d と、導電体 498 a と、導電体 498 b と、導電体 498 c と、導電体 498 d と、絶縁体 490 と、絶縁体 492 と、絶縁体 494 と、を有する。

【0106】

絶縁体 464 は、トランジスタ 103 a 上に配置する。絶縁体 466 は、絶縁体 464 上に配置する。絶縁体 468 は、絶縁体 466 上に配置する。絶縁体 490 は、絶縁体 468 上に配置する。トランジスタ 102 a は、絶縁体 490 上に配置する。絶縁体 492 は、トランジスタ 102 a 上に配置する。絶縁体 494 は、絶縁体 492 上に配置する。

40

【0107】

絶縁体 464 は、領域 472 a に達する開口部と、領域 472 b に達する開口部と、導電体 454 に達する開口部と、を有する。開口部には、それぞれ導電体 480 a、導電体 480 b または導電体 480 c が埋め込まれている。

【0108】

絶縁体 466 は、導電体 480 a に達する開口部と、導電体 480 b に達する開口部と、導電体 480 c に達する開口部と、を有する。開口部には、それぞれ導電体 478 a、導電体 478 b または導電体 478 c が埋め込まれている。

50

## 【0109】

絶縁体468は、導電体478bに達する開口部と、導電体478cに達する開口部と、を有する。開口部には、それぞれ導電体476aまたは導電体476bが埋め込まれている。

## 【0110】

絶縁体490は、導電体476aに達する開口部と、導電体476bに達する開口部と、を有する。開口部には、それぞれ導電体474aまたは導電体474bが埋め込まれている。

## 【0111】

絶縁体492は、容量素子104aの一对の電極の他方である導電体414に達する開口部と、トランジスタ102aのゲート電極である導電体404に達する開口部と、トランジスタ102aのソース電極またはドレイン電極の一方である導電体416bを通して、導電体474aに達する開口部と、トランジスタ102aのソース電極またはドレイン電極の他方である導電体416aを通して、導電体474bに達する開口部と、を有する。開口部には、それぞれ導電体496a、導電体496b、導電体496cまたは導電体496dが埋め込まれている。ただし、それぞれの開口部は、さらにトランジスタ102aなどの構成要素のいずれかを介する場合がある。

10

## 【0112】

また、絶縁体494は、導電体496aに達する開口部と、導電体496bに達する開口部と、導電体496cに達する開口部と、導電体496dに達する開口部と、を有する。また、開口部には、それぞれ導電体498a、導電体498b、導電体498cまたは導電体498dが埋め込まれている。

20

## 【0113】

絶縁体464、絶縁体466、絶縁体468、絶縁体490、絶縁体492および絶縁体494としては、例えば、ホウ素、炭素、窒素、酸素、フッ素、マグネシウム、アルミニウム、シリコン、リン、塩素、アルゴン、ガリウム、ゲルマニウム、イットリウム、ジルコニウム、ランタン、ネオジウム、ハフニウムまたはタンタルを含む絶縁体を、単層で、または積層で用いればよい。例えば、絶縁体464、絶縁体466、絶縁体468、絶縁体490、絶縁体492および絶縁体494としては、酸化アルミニウム、酸化マグネシウム、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化ガリウム、酸化ゲルマニウム、酸化イットリウム、酸化ジルコニウム、酸化ランタン、酸化ネオジウム、酸化ハフニウムまたは酸化タンタルを用いればよい。

30

## 【0114】

絶縁体464、絶縁体466、絶縁体468、絶縁体490、絶縁体492または絶縁体494の一以上は、水素などの不純物および酸素をブロックする機能を有する絶縁体を有することが好ましい。トランジスタ102aの近傍に、水素などの不純物および酸素をブロックする機能を有する絶縁体を配置することによって、トランジスタ102aの電気特性を安定にすることができる。

## 【0115】

水素などの不純物および酸素をブロックする機能を有する絶縁体としては、例えば、ホウ素、炭素、窒素、酸素、フッ素、マグネシウム、アルミニウム、シリコン、リン、塩素、アルゴン、ガリウム、ゲルマニウム、イットリウム、ジルコニウム、ランタン、ネオジウム、ハフニウムまたはタンタルを含む絶縁体を、単層で、または積層で用いればよい。

40

## 【0116】

導電体480a、導電体480b、導電体480c、導電体478a、導電体478b、導電体478c、導電体476a、導電体476b、導電体474a、導電体474b、導電体496a、導電体496b、導電体496c、導電体496d、導電体498a、導電体498b、導電体498cおよび導電体498dとしては、例えば、ホウ素、窒素、酸素、フッ素、シリコン、リン、アルミニウム、チタン、クロム、マンガン、コバルト、ニッケル、銅、亜鉛、ガリウム、イットリウム、ジルコニウム、モリブデン、ルテニウ

50

ム、銀、インジウム、スズ、タンタルおよびタングステンを一種以上含む導電体を、単層で、または積層で用いればよい。例えば、合金や化合物であってもよく、アルミニウムを含む導電体、銅およびチタンを含む導電体、銅およびマンガンを含む導電体、インジウム、スズおよび酸素を含む導電体、チタンおよび窒素を含む導電体などを用いてもよい。

【0117】

トランジスタ103aのソースまたはドレインは、導電体480aと、導電体478aと、導電体476aと、導電体474aと、導電体496cと、を介してトランジスタ102aのソース電極またはドレイン電極の一方である導電体416bと電気的に接続する。また、トランジスタ103aのゲート電極である導電体454は、導電体480cと、導電体478cと、導電体476bと、導電体474bと、導電体496dと、を介してトランジスタ102aのソース電極またはドレイン電極の他方である導電体416aと電気的に接続する。

10

【0118】

なお、図7に示す回路101aは、図6に示した回路101aのトランジスタ103aの構造が異なるのみである。よって、図7に示す回路101aは、図6に示した回路101aの記載を参酌する。具体的には、図7に示す回路101aは、トランジスタ103aがFin型である場合を示している。トランジスタ103aをFin型とすることにより、実効上のチャンネル幅が増大し、トランジスタ103aのオン特性を向上させることができる。また、ゲート電極の電界の寄与を高くすることができるため、トランジスタ103aのオフ特性を向上させることができる。

20

【0119】

また、図8に示す回路101aは、図6に示した回路101aのトランジスタ103aの構造が異なるのみである。よって、図8に示す回路101aは、図6に示した回路101aの記載を参酌する。具体的には、図8に示す回路101aは、トランジスタ103aがSOI(Silicon On Insulator)基板である半導体基板450に設けられた場合を示している。図8には、絶縁体452によって領域456が半導体基板450と分離されている構造を示す。半導体基板450としてSOI基板を用いることによって、パンチスルー現象などを抑制することができるためトランジスタ103aのオフ特性を向上させることができる。なお、絶縁体452は、半導体基板450を絶縁体化させることによって形成することができる。例えば、絶縁体452としては、酸化シリコンを用いることができる。

30

【0120】

<トランジスタの構造>

図9(A)および図9(B)は、トランジスタ102aなどに適用可能なトランジスタの一例を示す上面図および断面図である。図9(A)は上面図であり、図9(B)は、図9(A)に示す一点鎖線A1-A2、および一点鎖線A3-A4に対応する断面図である。なお、図9(A)の上面図では、図の明瞭化のために一部の要素を省いて図示している。

【0121】

図9(A)および図9(B)に示すトランジスタは、基板400上の凸部を有する絶縁体402と、絶縁体402の凸部上の半導体406と、半導体406の上面および側面と接し、間隔を開けて配置された導電体416aおよび導電体416bと、半導体406上、導電体416a上および導電体416b上の絶縁体412と、絶縁体412上の導電体404と、導電体416a上、導電体416b上および導電体404上の絶縁体408と、を有する。なお、絶縁体408上には絶縁体418が配置されている。

40

【0122】

なお、導電体404は、A3-A4断面において、絶縁体412を介して半導体406の上面および側面と面する領域を有する。また、絶縁体402が凸部を有さなくても構わない。また、トランジスタは、絶縁体408を有さなくても構わない。

【0123】

図9(B)に示すように、半導体406の側面は、導電体416aおよび導電体416b

50

と接する。また、導電体404の電界によって、半導体406を電気的に取り囲むことができる(導電体から生じる電界によって、半導体を電気的に取り囲むトランジスタの構造を、surrounded channel (s-channel)構造とよぶ)。そのため、半導体406の全体(上面、下面および側面)にチャンネルが形成される。s-channel構造では、トランジスタのソース-ドレイン間に大電流を流すことができ、導通時の電流(オン電流)を高くすることができる。

#### 【0124】

なお、トランジスタがs-channel構造を有する場合、半導体406の側面にもチャンネルが形成される。したがって、半導体406が厚いほどチャンネル領域は大きくなる。即ち、半導体406が厚いほど、トランジスタのオン電流を高くすることができる。また、半導体406が厚いほど、キャリアの制御性の高い領域の割合が増えるため、サブスレッショルドスイング値を小さくすることができる。例えば、10nm以上、好ましくは20nm以上、さらに好ましくは40nm以上、より好ましくは60nm以上、より好ましくは100nm以上の厚さの領域を有する半導体406とすればよい。ただし、半導体装置の生産性が低下する場合があるため、例えば、300nm以下、好ましくは200nm以下、さらに好ましくは150nm以下の厚さの領域を有する半導体406とすればよい。

10

#### 【0125】

高いオン電流が得られるため、s-channel構造は、微細化されたトランジスタに適した構造といえる。トランジスタを微細化できるため、該トランジスタを有する半導体装置は、集積度の高い、高密度化された半導体装置とすることが可能となる。例えば、トランジスタは、チャンネル長が好ましくは40nm以下、さらに好ましくは30nm以下、より好ましくは20nm以下の領域を有し、かつ、トランジスタは、チャンネル幅が好ましくは40nm以下、さらに好ましくは30nm以下、より好ましくは20nm以下の領域を有する。

20

#### 【0126】

なお、絶縁体402は過剰酸素を含む絶縁体であると好ましい。

#### 【0127】

例えば、過剰酸素を含む絶縁体は、加熱処理によって酸素を放出する機能を有する絶縁体である。例えば、過剰酸素を含む酸化シリコン層は、加熱処理などによって酸素を放出することができる酸化シリコン層である。したがって、絶縁体402は膜中を酸素が移動可能な絶縁体である。即ち、絶縁体402は酸素透過性を有する絶縁体とすればよい。例えば、絶縁体402は、半導体406よりも酸素透過性の高い絶縁体とすればよい。

30

#### 【0128】

過剰酸素を含む絶縁体は、半導体406中の酸素欠損を低減させる機能を有する場合がある。半導体406中で酸素欠損は、正孔トラップなどとなる。また、酸素欠損のサイトに水素が入ることによって、キャリアである電子を生成することがある。したがって、半導体406中の酸素欠損を低減することで、トランジスタに安定した電気特性を付与することができる。

#### 【0129】

ここで、加熱処理によって酸素を放出する絶縁体は、TDS分析にて、 $100$  以上  $700$  以下または  $100$  以上  $500$  以下の表面温度の範囲で  $1 \times 10^{18}$  atoms/cm<sup>3</sup> 以上、 $1 \times 10^{19}$  atoms/cm<sup>3</sup> 以上または  $1 \times 10^{20}$  atoms/cm<sup>3</sup> 以上の酸素(酸素原子数換算)を放出することもある。

40

#### 【0130】

ここで、TDS分析を用いた酸素の放出量の測定方法について、以下に説明する。

#### 【0131】

測定試料をTDS分析したときの気体の全放出量は、放出ガスのイオン強度の積分値に比例する。そして標準試料との比較により、気体の全放出量を計算することができる。

#### 【0132】

50

例えば、標準試料である所定の密度の水素を含むシリコン基板のTDS分析結果、および測定試料のTDS分析結果から、測定試料の酸素分子の放出量( $N_{O_2}$ )は、下に示す式で求めることができる。ここで、TDS分析で得られる質量電荷比32で検出されるガスの全てが酸素分子由来と仮定する。 $CH_3OH$ の質量電荷比は32であるが、存在する可能性が低いものとしてここでは考慮しない。また、酸素原子の同位体である質量数17の酸素原子および質量数18の酸素原子を含む酸素分子についても、自然界における存在比率が極微量であるため考慮しない。

【0133】

$$N_{O_2} = N_{H_2} / S_{H_2} \times S_{O_2} \times$$

【0134】

$N_{H_2}$  は、標準試料から脱離した水素分子を密度で換算した値である。 $S_{H_2}$  は、標準試料をTDS分析したときのイオン強度の積分値である。ここで、標準試料の基準値を、 $N_{H_2} / S_{H_2}$  とする。 $S_{O_2}$  は、測定試料をTDS分析したときのイオン強度の積分値である。 $\alpha$  は、TDS分析におけるイオン強度に影響する係数である。上に示す式の詳細に関しては、特開平6-275697公報を参照する。なお、上記酸素の放出量は、電子科学株式会社製の昇温脱離分析装置EMD-WA1000S/Wを用い、標準試料として、例えば $1 \times 10^{16}$  atoms/cm<sup>2</sup>の水素原子を含むシリコン基板を用いて測定する。

10

【0135】

また、TDS分析において、酸素の一部は酸素原子として検出される。酸素分子と酸素原子の比率は、酸素分子のイオン化率から算出することができる。なお、上述の $\alpha$ は酸素分子のイオン化率を含むため、酸素分子の放出量を評価することで、酸素原子の放出量についても見積もることができる。

20

【0136】

なお、 $N_{O_2}$  は酸素分子の放出量である。酸素原子に換算したときの放出量は、酸素分子の放出量の2倍となる。

【0137】

または、加熱処理によって酸素を放出する絶縁体は、過酸化ラジカルを含むこともある。具体的には、過酸化ラジカルに起因するスピン密度が、 $5 \times 10^{17}$  spins/cm<sup>3</sup>以上であることをいう。なお、過酸化ラジカルを含む絶縁体は、ESRにて、g値が2.01近傍に非対称の信号を有することもある。

30

【0138】

または、過剰酸素を含む絶縁体は、酸素が過剰な酸化シリコン( $SiO_x$  ( $X > 2$ ))であってもよい。酸素が過剰な酸化シリコン( $SiO_x$  ( $X > 2$ ))は、シリコン原子数の2倍より多い酸素原子を単位体積当たりを含むものである。単位体積当たりのシリコン原子数および酸素原子数は、ラザフォード後方散乱法(RBS: Rutherford Backscattering Spectrometry)により測定した値である。

【0139】

半導体406の上下に半導体を配置することで、トランジスタの電気特性を向上させることができる場合がある。以下では、半導体406、およびその上下に配置する半導体について、図10を用いて詳細に説明する。

40

【0140】

図10(A)は、図9(B)に示したトランジスタの、チャンネル長方向における半導体406近傍を拡大した断面図である。また、図10(B)は、図9(B)に示したトランジスタの、チャンネル幅方向における半導体406近傍を拡大した断面図である。

【0141】

図10(A)および図10(B)に示すトランジスタの構造では、絶縁体402と半導体406との間に、半導体406aが配置される。また、導電体416a、導電体416bおよび絶縁体412と、半導体406と、の間に半導体406cが配置される。

【0142】

50

または、トランジスタが図10(C)および図10(D)に示す構造を有しても構わない。

【0143】

図10(C)は、図9(B)に示したトランジスタの、チャンネル長方向における半導体406近傍を拡大した断面図である。また、図10(D)は、図9(B)に示したトランジスタの、チャンネル幅方向における半導体406近傍を拡大した断面図である。

【0144】

図10(C)および図10(D)に示すトランジスタの構造では、絶縁体402と半導体406との間に、半導体406aが配置される。また、絶縁体402、導電体416a、導電体416b、半導体406aおよび半導体406と、絶縁体412と、の間に半導体406cが配置される。

10

【0145】

半導体406は、例えば、インジウムを含む酸化物半導体である。半導体406は、例えば、インジウムを含むと、キャリア移動度(電子移動度)が高くなる。また、半導体406は、元素Mを含むと好ましい。元素Mは、好ましくは、アルミニウム、ガリウム、イットリウムまたはスズなどとする。そのほかの元素Mに適用可能な元素としては、ホウ素、シリコン、チタン、鉄、ニッケル、ゲルマニウム、ジルコニウム、モリブデン、ランタン、セリウム、ネオジム、ハフニウム、タンタル、タングステンなどがある。ただし、元素Mとして、前述の元素を複数組み合わせても構わない場合がある。元素Mは、例えば、酸素との結合エネルギーが高い元素である。例えば、酸素との結合エネルギーがインジウムよりも高い元素である。または、元素Mは、例えば、酸化物半導体のエネルギーギャップを大きくする機能を有する元素である。また、半導体406は、亜鉛を含むと好ましい。酸化物半導体は、亜鉛を含むと結晶化しやすくなる場合がある。

20

【0146】

ただし、半導体406は、インジウムを含む酸化物半導体に限定されない。半導体406は、例えば、亜鉛スズ酸化物、ガリウムスズ酸化物などの、インジウムを含まず、亜鉛を含む酸化物半導体、ガリウムを含む酸化物半導体、スズを含む酸化物半導体などであっても構わない。

【0147】

半導体406は、例えば、エネルギーギャップが大きい酸化物を用いる。半導体406のエネルギーギャップは、例えば、2.5 eV以上4.2 eV以下、好ましくは2.8 eV以上3.8 eV以下、さらに好ましくは3 eV以上3.5 eV以下とする。

30

【0148】

例えば、半導体406aおよび半導体406cは、半導体406を構成する酸素以外の元素一種以上、または二種以上から構成される酸化物半導体である。半導体406を構成する酸素以外の元素一種以上、または二種以上から半導体406aおよび半導体406cが構成されるため、半導体406aと半導体406との界面、および半導体406と半導体406cとの界面において、欠陥準位が形成されにくい。

【0149】

半導体406a、半導体406および半導体406cは、少なくともインジウムを含むと好ましい。なお、半導体406aがIn-M-Zn酸化物のとき、InおよびMの和を100 atomic %としたとき、好ましくはInが50 atomic %未満、Mが50 atomic %より高く、さらに好ましくはInが25 atomic %未満、Mが75 atomic %より高いとする。また、半導体406がIn-M-Zn酸化物のとき、InおよびMの和を100 atomic %としたとき、好ましくはInが25 atomic %より高く、Mが75 atomic %未満、さらに好ましくはInが34 atomic %より高く、Mが66 atomic %未満とする。また、半導体406cがIn-M-Zn酸化物のとき、InおよびMの和を100 atomic %としたとき、好ましくはInが50 atomic %未満、Mが50 atomic %より高く、さらに好ましくはInが25 atomic %未満、Mが75 atomic %より高くする。なお、半導体406cは、半

40

50

導体406aと同種の酸化物を用いても構わない。ただし、半導体406aまたは/および半導体406cがインジウムを含まなくても構わない場合がある。例えば、半導体406aまたは/および半導体406cが酸化ガリウムであっても構わない。なお、半導体406a、半導体406および半導体406cに含まれる各元素の原子数が、簡単な整数比にならなくても構わない。

#### 【0150】

半導体406は、半導体406aおよび半導体406cよりも電子親和力の大きい酸化物を用いる。例えば、半導体406として、半導体406aおよび半導体406cよりも電子親和力の0.07eV以上1.3eV以下、好ましくは0.1eV以上0.7eV以下、さらに好ましくは0.15eV以上0.4eV以下大きい酸化物を用いる。なお、電子親和力は、真空準位と伝導帯下端のエネルギーとの差である。

10

#### 【0151】

なお、インジウムガリウム酸化物は、小さい電子親和力と、高い酸素ブロック性を有する。そのため、半導体406cがインジウムガリウム酸化物を含むと好ましい。ガリウム原子割合 $[Ga / (In + Ga)]$ は、例えば、70%以上、好ましくは80%以上、さらに好ましくは90%以上とする。

#### 【0152】

このとき、ゲート電圧を印加すると、半導体406a、半導体406、半導体406cのうち、電子親和力の大きい半導体406にチャネルが形成される。

20

#### 【0153】

ここで、半導体406aと半導体406との間には、半導体406aと半導体406との混合領域を有する場合がある。また、半導体406と半導体406cとの間には、半導体406と半導体406cとの混合領域を有する場合がある。混合領域は、欠陥準位密度が低くなる。そのため、半導体406a、半導体406および半導体406cの積層体は、それぞれの界面近傍において、エネルギーが連続的に変化する(連続接合ともいう。)バンド図となる(図10(E)参照。)。なお、半導体406a、半導体406および半導体406cは、それぞれの界面を明確に判別できない場合がある。

#### 【0154】

このとき、電子は、半導体406a中および半導体406c中ではなく、半導体406中を主として移動する。上述したように、半導体406aと半導体406との界面における欠陥準位密度、および半導体406と半導体406cとの界面における欠陥準位密度を低くすることによって、半導体406中で電子の移動が阻害されることが少なく、トランジスタのオン電流を高くすることができる。

30

#### 【0155】

トランジスタのオン電流は、電子の移動を阻害する要因を低減するほど、高くすることができる。例えば、電子の移動を阻害する要因のない場合、効率よく電子が移動すると推定される。電子の移動は、例えば、チャネル形成領域の物理的な凹凸が大きい場合にも阻害される。

#### 【0156】

トランジスタのオン電流を高くするためには、例えば、半導体406の上面または下面(被形成面、ここでは半導体406a)の、 $1\mu\text{m} \times 1\mu\text{m}$ の範囲における二乗平均平方根(RMS: Root Mean Square)粗さが1nm未満、好ましくは0.6nm未満、さらに好ましくは0.5nm未満、より好ましくは0.4nm未満とすればよい。また、 $1\mu\text{m} \times 1\mu\text{m}$ の範囲における平均面粗さ(Raともいう。)が1nm未満、好ましくは0.6nm未満、さらに好ましくは0.5nm未満、より好ましくは0.4nm未満とすればよい。また、 $1\mu\text{m} \times 1\mu\text{m}$ の範囲における最大高低差(P-Vともいう。)が10nm未満、好ましくは9nm未満、さらに好ましくは8nm未満、より好ましくは7nm未満とすればよい。RMS粗さ、RaおよびP-Vは、エスアイアイ・ナノテクノロジー株式会社製走査型プローブ顕微鏡システムSPA-500などを用いて測定することができる。

40

50

## 【0157】

または、例えば、チャンネルの形成される領域中の欠陥準位密度が高い場合にも、電子の移動は阻害される。

## 【0158】

例えば、半導体406が酸素欠損( $V_O$ とも表記。)を有する場合、酸素欠損のサイトに水素が入り込むことでドナー準位を形成することがある。以下では酸素欠損のサイトに水素が入り込んだ状態を $V_OH$ と表記する場合がある。 $V_OH$ は電子を散乱するため、トランジスタのオン電流を低下させる要因となる。なお、酸素欠損のサイトは、水素が入るよりも酸素が入る方が安定する。したがって、半導体406中の酸素欠損を低減することで、トランジスタのオン電流を高くすることができる場合がある。

10

## 【0159】

また、チャンネルの形成される領域中の欠陥準位密度が高いと、トランジスタの電気特性を変動させる場合がある。例えば、欠陥準位がキャリア発生源となる場合、トランジスタのしきい値電圧を変動させる場合がある。

## 【0160】

半導体406の酸素欠損を低減するために、例えば、絶縁体402に含まれる過剰酸素を、半導体406aを介して半導体406まで移動させる方法などがある。この場合、半導体406aは、酸素透過性を有する層(酸素を通過または透過させる層)であることが好ましい。

20

## 【0161】

また、トランジスタのオン電流を高くするためには、半導体406cの厚さは小さいほど好ましい。例えば、10nm未満、好ましくは5nm以下、さらに好ましくは3nm以下の領域を有する半導体406cとすればよい。一方、半導体406cは、チャンネルの形成される半導体406へ、隣接する絶縁体を構成する酸素以外の元素(水素、シリコンなど)が入り込まないようにブロックする機能を有する。そのため、半導体406cは、ある程度の厚さを有することが好ましい。例えば、0.3nm以上、好ましくは1nm以上、さらに好ましくは2nm以上の厚さの領域を有する半導体406cとすればよい。また、半導体406cは、絶縁体402などから放出される酸素の外方拡散を抑制するために、酸素をブロックする性質を有すると好ましい。

30

## 【0162】

また、信頼性を高くするためには、半導体406aは厚く、半導体406cは薄いことが好ましい。例えば、10nm以上、好ましくは20nm以上、さらに好ましくは40nm以上、より好ましくは60nm以上の厚さの領域を有する半導体406aとすればよい。半導体406aの厚さを、厚くすることで、隣接する絶縁体と半導体406aとの界面からチャンネルの形成される半導体406までの距離を離すことができる。ただし、半導体装置の生産性が低下する場合があるため、例えば、200nm以下、好ましくは120nm以下、さらに好ましくは80nm以下の厚さの領域を有する半導体406aとすればよい。

## 【0163】

例えば、半導体406と半導体406aとの間に、二次イオン質量分析法(SIMS: Secondary Ion Mass Spectrometry)において、 $1 \times 10^{16}$  atoms/cm<sup>3</sup>以上 $1 \times 10^{19}$  atoms/cm<sup>3</sup>以下、好ましくは $1 \times 10^{16}$  atoms/cm<sup>3</sup>以上 $5 \times 10^{18}$  atoms/cm<sup>3</sup>以下、さらに好ましくは $1 \times 10^{16}$  atoms/cm<sup>3</sup>以上 $2 \times 10^{18}$  atoms/cm<sup>3</sup>以下のシリコン濃度となる領域を有する。また、半導体406と半導体406cとの間に、SIMSにおいて、 $1 \times 10^{16}$  atoms/cm<sup>3</sup>以上 $1 \times 10^{19}$  atoms/cm<sup>3</sup>以下、好ましくは $1 \times 10^{16}$  atoms/cm<sup>3</sup>以上 $5 \times 10^{18}$  atoms/cm<sup>3</sup>以下、さらに好ましくは $1 \times 10^{16}$  atoms/cm<sup>3</sup>以上 $2 \times 10^{18}$  atoms/cm<sup>3</sup>以下のシリコン濃度となる領域を有する。

40

## 【0164】

50

また、半導体406は、SIMSにおいて、 $1 \times 10^{16}$  atoms/cm<sup>3</sup>以上 $2 \times 10^{20}$  atoms/cm<sup>3</sup>以下、好ましくは $1 \times 10^{16}$  atoms/cm<sup>3</sup>以上 $5 \times 10^{19}$  atoms/cm<sup>3</sup>以下、より好ましくは $1 \times 10^{16}$  atoms/cm<sup>3</sup>以上 $1 \times 10^{19}$  atoms/cm<sup>3</sup>以下、さらに好ましくは $1 \times 10^{16}$  atoms/cm<sup>3</sup>以上 $5 \times 10^{18}$  atoms/cm<sup>3</sup>以下の水素濃度となる領域を有する。また、半導体406の水素濃度を低減するために、半導体406aおよび半導体406cの水素濃度を低減すると好ましい。半導体406aおよび半導体406cは、SIMSにおいて、 $1 \times 10^{16}$  atoms/cm<sup>3</sup>以上 $2 \times 10^{20}$  atoms/cm<sup>3</sup>以下、好ましくは $1 \times 10^{16}$  atoms/cm<sup>3</sup>以上 $5 \times 10^{19}$  atoms/cm<sup>3</sup>以下、より好ましくは $1 \times 10^{16}$  atoms/cm<sup>3</sup>以上 $1 \times 10^{19}$  atoms/cm<sup>3</sup>以下、さらに好ましくは $1 \times 10^{16}$  atoms/cm<sup>3</sup>以上 $5 \times 10^{18}$  atoms/cm<sup>3</sup>以下の水素濃度となる領域を有する。また、半導体406は、SIMSにおいて、 $1 \times 10^{15}$  atoms/cm<sup>3</sup>以上 $5 \times 10^{19}$  atoms/cm<sup>3</sup>以下、好ましくは $1 \times 10^{15}$  atoms/cm<sup>3</sup>以上 $5 \times 10^{18}$  atoms/cm<sup>3</sup>以下、より好ましくは $1 \times 10^{15}$  atoms/cm<sup>3</sup>以上 $1 \times 10^{18}$  atoms/cm<sup>3</sup>以下、さらに好ましくは $1 \times 10^{15}$  atoms/cm<sup>3</sup>以上 $5 \times 10^{17}$  atoms/cm<sup>3</sup>以下の窒素濃度となる領域を有する。また、半導体406の窒素濃度を低減するために、半導体406aおよび半導体406cの窒素濃度を低減すると好ましい。半導体406aおよび半導体406cは、SIMSにおいて、 $1 \times 10^{15}$  atoms/cm<sup>3</sup>以上 $5 \times 10^{19}$  atoms/cm<sup>3</sup>以下、好ましくは $1 \times 10^{15}$  atoms/cm<sup>3</sup>以上 $5 \times 10^{18}$  atoms/cm<sup>3</sup>以下、より好ましくは $1 \times 10^{15}$  atoms/cm<sup>3</sup>以上 $1 \times 10^{18}$  atoms/cm<sup>3</sup>以下、さらに好ましくは $1 \times 10^{15}$  atoms/cm<sup>3</sup>以上 $5 \times 10^{17}$  atoms/cm<sup>3</sup>以下の窒素濃度となる領域を有する。

10

20

30

40

50

#### 【0165】

上述の3層構造は一例である。例えば、半導体406aまたは半導体406cのない2層構造としても構わない。または、半導体406aの上もしくは下、または半導体406cの上もしくは下に、半導体406a、半導体406および半導体406cとして例示した半導体のいずれか一を有する4層構造としても構わない。または、半導体406aの上、半導体406aの下、半導体406cの上、半導体406cの下のいずれか二箇所以上に、半導体406a、半導体406および半導体406cとして例示した半導体のいずれか一以上を有するn層構造（nは5以上の整数）としても構わない。

#### 【0166】

基板400としては、例えば、絶縁体基板、半導体基板または導電体基板を用いればよい。絶縁体基板としては、例えば、ガラス基板、石英基板、サファイア基板、安定化ジルコニア基板（イットリア安定化ジルコニア基板など）、樹脂基板などがある。また、半導体基板としては、例えば、シリコン、ゲルマニウムなどの単体半導体基板、または炭化シリコン、シリコンゲルマニウム、ヒ化ガリウム、リン化インジウム、酸化亜鉛、酸化ガリウムなどの化合物半導体基板などがある。さらには、前述の半導体基板内部に絶縁体領域を有する半導体基板、例えばSOI基板などがある。導電体基板としては、黒鉛基板、金属基板、合金基板、導電性樹脂基板などがある。または、金属の窒化物を有する基板、金属の酸化物を有する基板などがある。さらには、絶縁体基板に導電体または半導体が設けられた基板、半導体基板に導電体または絶縁体が設けられた基板、導電体基板に半導体または絶縁体が設けられた基板などがある。または、これらの基板に素子が設けられたものを用いてもよい。基板に設けられる素子としては、容量素子、抵抗素子、スイッチ素子、発光素子、記憶素子などがある。

#### 【0167】

また、基板400として、可とう性基板を用いてもよい。なお、可とう性基板上にトランジスタを設ける方法としては、非可とう性の基板上にトランジスタを作製した後、トランジスタを剥離し、可とう性基板である基板400に転置する方法もある。その場合には、非可とう性基板とトランジスタとの間に剥離層を設けるとよい。なお、基板400として

、繊維を編みこんだシート、フィルムまたは箔などを用いてもよい。また、基板400が伸縮性を有してもよい。また、基板400は、折り曲げや引っ張りをやめた際に、元の形状に戻る性質を有してもよい。または、元の形状に戻らない性質を有してもよい。基板400の厚さは、例えば、5 $\mu\text{m}$ 以上700 $\mu\text{m}$ 以下、好ましくは10 $\mu\text{m}$ 以上500 $\mu\text{m}$ 以下、さらに好ましくは15 $\mu\text{m}$ 以上300 $\mu\text{m}$ 以下とする。基板400を薄くすると、半導体装置を軽量化することができる。また、基板400を薄くすることで、ガラスなどを用いた場合にも伸縮性を有する場合や、折り曲げや引っ張りをやめた際に、元の形状に戻る性質を有する場合がある。そのため、落下などによって基板400上の半導体装置に加わる衝撃などを緩和することができる。即ち、丈夫な半導体装置を提供することができる。

10

## 【0168】

可とう性基板である基板400としては、例えば、金属、合金、樹脂もしくはガラス、またはそれらの繊維などを用いることができる。可とう性基板である基板400は、線膨張率が低いほど環境による変形が抑制されて好ましい。可とう性基板である基板400としては、例えば、線膨張率が $1 \times 10^{-3} / \text{K}$ 以下、 $5 \times 10^{-5} / \text{K}$ 以下、または $1 \times 10^{-5} / \text{K}$ 以下である材質を用いればよい。樹脂としては、例えば、ポリエステル、ポリオレフィン、ポリアミド(ナイロン、アラミドなど)、ポリイミド、ポリカーボネート、アクリルなどがある。特に、アラミドは、線膨張率が低いため、可とう性基板である基板400として好適である。

20

## 【0169】

絶縁体402としては、例えば、ホウ素、炭素、窒素、酸素、フッ素、マグネシウム、アルミニウム、シリコン、リン、塩素、アルゴン、ガリウム、ゲルマニウム、イットリウム、ジルコニウム、ランタン、ネオジウム、ハフニウムまたはタンタルを含む絶縁体を、単層で、または積層で用いればよい。例えば、絶縁体402としては、酸化アルミニウム、酸化マグネシウム、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化ガリウム、酸化ゲルマニウム、酸化イットリウム、酸化ジルコニウム、酸化ランタン、酸化ネオジウム、酸化ハフニウムまたは酸化タンタルを用いればよい。

## 【0170】

絶縁体402は、基板400からの不純物の拡散を防止する役割を有してもよい。また、半導体406が酸化物半導体である場合、絶縁体402は、半導体406に酸素を供給する役割を担うことができる。

30

## 【0171】

導電体416aおよび導電体416bとしては、例えば、ホウ素、窒素、酸素、フッ素、シリコン、リン、アルミニウム、チタン、クロム、マンガン、コバルト、ニッケル、銅、亜鉛、ガリウム、イットリウム、ジルコニウム、モリブデン、ルテニウム、銀、インジウム、スズ、タンタルおよびタングステンを一種以上含む導電体を、単層で、または積層で用いればよい。例えば、合金や化合物であってもよく、アルミニウムを含む導電体、銅およびチタンを含む導電体、銅およびマンガンを含む導電体、インジウム、スズおよび酸素を含む導電体、チタンおよび窒素を含む導電体などを用いてもよい。

## 【0172】

絶縁体412としては、例えば、ホウ素、炭素、窒素、酸素、フッ素、マグネシウム、アルミニウム、シリコン、リン、塩素、アルゴン、ガリウム、ゲルマニウム、イットリウム、ジルコニウム、ランタン、ネオジウム、ハフニウムまたはタンタルを含む絶縁体を、単層で、または積層で用いればよい。例えば、絶縁体412としては、酸化アルミニウム、酸化マグネシウム、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化ガリウム、酸化ゲルマニウム、酸化イットリウム、酸化ジルコニウム、酸化ランタン、酸化ネオジウム、酸化ハフニウムまたは酸化タンタルを用いればよい。

40

## 【0173】

導電体404としては、例えば、ホウ素、窒素、酸素、フッ素、シリコン、リン、アルミニウム、チタン、クロム、マンガン、コバルト、ニッケル、銅、亜鉛、ガリウム、イット

50

リウム、ジルコニウム、モリブデン、ルテニウム、銀、インジウム、スズ、タンタルおよびタングステンを一種以上含む導電体を、単層で、または積層で用いればよい。例えば、合金や化合物であってもよく、アルミニウムを含む導電体、銅およびチタンを含む導電体、銅およびマンガンを含む導電体、インジウム、スズおよび酸素を含む導電体、チタンおよび窒素を含む導電体などを用いてもよい。

【0174】

絶縁体408としては、例えば、ホウ素、炭素、窒素、酸素、フッ素、マグネシウム、アルミニウム、シリコン、リン、塩素、アルゴン、ガリウム、ゲルマニウム、イットリウム、ジルコニウム、ランタン、ネオジウム、ハフニウムまたはタンタルを含む絶縁体を、単層で、または積層で用いればよい。絶縁体408は、好ましくは酸化アルミニウム、窒化酸化シリコン、窒化シリコン、酸化ガリウム、酸化イットリウム、酸化ジルコニウム、酸化ランタン、酸化ネオジウム、酸化ハフニウムまたは酸化タンタルを含む絶縁体を、単層で、または積層で用いればよい。

10

【0175】

絶縁体418としては、例えば、ホウ素、炭素、窒素、酸素、フッ素、マグネシウム、アルミニウム、シリコン、リン、塩素、アルゴン、ガリウム、ゲルマニウム、イットリウム、ジルコニウム、ランタン、ネオジウム、ハフニウムまたはタンタルを含む絶縁体を、単層で、または積層で用いればよい。例えば、絶縁体418としては、酸化アルミニウム、酸化マグネシウム、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化ガリウム、酸化ゲルマニウム、酸化イットリウム、酸化ジルコニウム、酸化ランタン、酸化ネオジウム、酸化ハフニウムまたは酸化タンタルを用いればよい。

20

【0176】

ただし、本発明の一態様に係るトランジスタの構造はこれに限定されない。例えば、図11(A)に示すように、トランジスタがさらに導電体413を有してもよい。導電体413は、トランジスタの第2のゲート電極としての機能を有する。また、図11(B)に示すように、導電体404と導電体413とが電氣的に接続する構造であっても構わない。このような構成とすることで、導電体404と導電体413とに同じ電位が供給されるため、トランジスタのスイッチング特性を向上させることができる。図11(A)および図11(B)に示すトランジスタは、例えば、図2に示したトランジスタ102aに対応する。

30

【0177】

導電体413としては、例えば、ホウ素、窒素、酸素、フッ素、シリコン、リン、アルミニウム、チタン、クロム、マンガン、コバルト、ニッケル、銅、亜鉛、ガリウム、イットリウム、ジルコニウム、モリブデン、ルテニウム、銀、インジウム、スズ、タンタルおよびタングステンを一種以上含む導電体を、単層で、または積層で用いればよい。例えば、合金や化合物であってもよく、アルミニウムを含む導電体、銅およびチタンを含む導電体、銅およびマンガンを含む導電体、インジウム、スズおよび酸素を含む導電体、チタンおよび窒素を含む導電体などを用いてもよい。

【0178】

または、例えば、図12(A)に示すように、絶縁体412が、絶縁体412aと、絶縁体412bと、絶縁体412cと、を有してもよい。絶縁体412bが電子捕獲領域を有すると好ましい。電子捕獲領域は、電子を捕獲する機能を有する。絶縁体412aおよび絶縁体412cが電子の放出を抑制する機能を有するとき、絶縁体412bに捕獲された電子は、負の固定電荷のように振舞う。したがって、絶縁体412bはフローティングゲートとしての機能を有する。図12(A)に示すトランジスタは、例えば、図3(B)に示したトランジスタ102aに対応する。なお、絶縁体412bに替えて、導電体または半導体を用いてもよい場合がある。ただし、絶縁体412bが絶縁体であることにより、捕獲された電子の放出を抑制できる場合がある。

40

【0179】

絶縁体412aおよび絶縁体412cとしては、絶縁体412についての記載を参照する

50

。また、絶縁体 4 1 2 b としては、ホウ素、アルミニウム、シリコン、スカンジウム、チタン、ガリウム、イットリウム、ジルコニウム、インジウム、ランタン、セリウム、ネオジム、ハフニウムまたはタリウムを有する酸化物または窒化物を用いる。好ましくは、酸化ハフニウムを用いる。

【0180】

または、例えば、図 1 2 ( B ) に示すように、絶縁体 4 0 2 が、絶縁体 4 0 2 a と、絶縁体 4 0 2 b と、絶縁体 4 0 2 c と、を有してもよい。絶縁体 4 0 2 b が電子捕獲領域を有すると好ましい。絶縁体 4 0 2 a および絶縁体 4 0 2 c が電子の放出を抑制する機能を有するとき、絶縁体 4 0 2 b に捕獲された電子は、負の固定電荷のように振舞う。したがって、絶縁体 4 0 2 b はフローティングゲートとしての機能を有する。図 1 2 ( B ) に示すトランジスタは、例えば、図 3 ( C ) に示したトランジスタ 1 0 2 a に対応する。なお、絶縁体 4 0 2 b に替えて、導電体または半導体を用いてもよい場合がある。ただし、絶縁体 4 0 2 b が絶縁体であることにより、捕獲された電子の放出を抑制できる場合がある。

10

【0181】

絶縁体 4 0 2 a および絶縁体 4 0 2 c としては、絶縁体 4 0 2 についての記載を参照する。また、絶縁体 4 0 2 b としては、ホウ素、アルミニウム、シリコン、スカンジウム、チタン、ガリウム、イットリウム、ジルコニウム、インジウム、ランタン、セリウム、ネオジム、ハフニウムまたはタリウムを有する酸化物または窒化物を用いる。好ましくは、酸化ハフニウムを用いる。

【0182】

または、例えば、図 1 2 ( C ) に示すように、絶縁体 4 0 2 が、絶縁体 4 0 2 a と、絶縁体 4 0 2 b と、絶縁体 4 0 2 c と、を有し、絶縁体 4 1 2 が、絶縁体 4 1 2 a と、絶縁体 4 1 2 b と、絶縁体 4 1 2 c と、を有してもよい。図 1 2 ( C ) に示すトランジスタは、例えば、図 3 ( D ) に示したトランジスタ 1 0 2 a に対応する。

20

【0183】

また、図 1 3 ( A ) は、トランジスタの上面図の一例である。図 1 3 ( A ) の一点鎖線 F 1 - F 2 および一点鎖線 F 3 - F 4 に対応する断面図の一例を図 1 3 ( B ) に示す。なお、図 1 3 ( A ) では、理解を容易にするため、絶縁体などの一部を省略して示す。

【0184】

また、図 9 などではソース電極およびドレイン電極として機能する導電体 4 1 6 a および導電体 4 1 6 b が半導体 4 0 6 の上面および側面、絶縁体 4 0 2 の上面などと接する例を示したが、本発明の一態様に係るトランジスタの構造はこれに限定されない。例えば、図 1 3 に示すように、導電体 4 1 6 a および導電体 4 1 6 b が半導体 4 0 6 の上面のみと接する構造であっても構わない。

30

【0185】

また、図 1 3 ( B ) に示すように、絶縁体 4 1 8 上に絶縁体 4 2 8 を有してもよい。絶縁体 4 2 8 は、上面が平坦な絶縁体であると好ましい。なお、絶縁体 4 2 8 は、例えば、ホウ素、炭素、窒素、酸素、フッ素、マグネシウム、アルミニウム、シリコン、リン、塩素、アルゴン、ガリウム、ゲルマニウム、イットリウム、ジルコニウム、ランタン、ネオジム、ハフニウムまたはタンタルを含む絶縁体を、単層で、または積層で用いればよい。例えば、絶縁体 4 2 8 としては、酸化アルミニウム、酸化マグネシウム、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化ガリウム、酸化ゲルマニウム、酸化イットリウム、酸化ジルコニウム、酸化ランタン、酸化ネオジム、酸化ハフニウムまたは酸化タンタルを用いればよい。絶縁体 4 2 8 の上面を平坦化するために、化学機械研磨 (CMP: Chemical Mechanical Polishing) 法などによって平坦化処理を行ってもよい。

40

【0186】

または、絶縁体 4 2 8 は、樹脂を用いてもよい。例えば、ポリイミド、ポリアミド、アクリル、シリコーンなどを含む樹脂を用いればよい。樹脂を用いることで、絶縁体 4 2 8 の上面を平坦化処理しなくてもよい場合がある。また、樹脂は短い時間で厚い膜を成膜する

50

ことができるため、生産性を高めることができる。

【0187】

また、図13(A)および図13(B)に示すように、絶縁体428上に導電体424aおよび導電体424bを有してもよい。導電体424aおよび導電体424bは、例えば、配線としての機能を有する。また、絶縁体428が開口部を有し、該開口部を介して導電体416aと導電体424aとが電氣的に接続しても構わない。また、絶縁体428が別の開口部を有し、該開口部を介して導電体416bと導電体424bとが電氣的に接続しても構わない。このとき、それぞれの開口部内に導電体426a、導電体426bを有しても構わない。

【0188】

導電体424aおよび導電体424bとしては、例えば、ホウ素、窒素、酸素、フッ素、シリコン、リン、アルミニウム、チタン、クロム、マンガン、コバルト、ニッケル、銅、亜鉛、ガリウム、イットリウム、ジルコニウム、モリブデン、ルテニウム、銀、インジウム、スズ、タンタルおよびタンゲステンを一種以上含む導電体を、単層で、または積層で用いればよい。例えば、合金や化合物であってもよく、アルミニウムを含む導電体、銅およびチタンを含む導電体、銅およびマンガンを含む導電体、インジウム、スズおよび酸素を含む導電体、チタンおよび窒素を含む導電体などを用いてもよい。

【0189】

図13に示すトランジスタは、導電体416aおよび導電体416bは、半導体406の側面と接しない。したがって、ゲート電極として機能する導電体404から半導体406の側面に向けて印加される電界が、導電体416aおよび導電体416bなどによって遮蔽されにくい構造である。また、導電体416aおよび導電体416bは、絶縁体402の上面と接しない。そのため、絶縁体402から放出される過剰酸素(酸素)が導電体416aおよび導電体416bを酸化させるために消費されない。したがって、絶縁体402から放出される過剰酸素(酸素)を、半導体406の酸素欠損を低減するために効率的に利用することのできる構造である。即ち、図13に示す構造のトランジスタは、高いオン電流、高い電界効果移動度、低いサブスレッショルドスイング値、高い信頼性などを有する電気特性の優れたトランジスタである。

【0190】

また、図14(A)は、トランジスタの上面図の一例である。図14(A)の一点鎖線G1-G2および一点鎖線G3-G4に対応する断面図の一例を図14(B)に示す。なお、図14(A)では、理解を容易にするため、絶縁体などの一部を省略して示す。

【0191】

トランジスタは、図14に示すように、導電体416aおよび導電体416bを有さず、導電体426aおよび導電体426bと、半導体406と、が接する構造であっても構わない。この場合、半導体406の、少なくとも導電体426aおよび導電体426bと接する領域に低抵抗領域423a(低抵抗領域423b)を設けると好ましい。低抵抗領域423aおよび低抵抗領域423bは、例えば、導電体404などをマスクとし、半導体406に不純物を添加することで形成すればよい。なお、導電体426aおよび導電体426bが、半導体406の孔(貫通しているもの)または窪み(貫通していないもの)に設けられていても構わない。導電体426aおよび導電体426bが、半導体406の孔または窪みに設けられることで、導電体426aおよび導電体426bと、半導体406との接触面積が大きくなるため、接触抵抗の影響を小さくすることができる。即ち、トランジスタのオン電流を大きくすることができる。

【0192】

また、図15(A)は、トランジスタの上面図の一例である。図15(A)の一点鎖線J1-J2および一点鎖線J3-J4に対応する断面図の一例を図15(B)に示す。なお、図15(A)では、理解を容易にするため、絶縁体などの一部を省略して示す。

【0193】

図15(A)および図15(B)に示すトランジスタは、基板400上の導電体413と

10

20

30

40

50

、導電体 4 1 3 上の絶縁体 4 0 2 と、絶縁体 4 0 2 上の半導体 4 0 6 と、半導体 4 0 6 と接し、間隔を開けて配置された導電体 4 1 6 a および導電体 4 1 6 b と、半導体 4 0 6 上、導電体 4 1 6 a 上および導電体 4 1 6 b 上の絶縁体 4 1 2 と、を有する。なお、導電体 4 1 3 は、絶縁体 4 0 2 を介して半導体 4 0 6 の下面と面する。また、絶縁体 4 0 2 が凸部を有しても構わない。また、基板 4 0 0 と導電体 4 1 3 の間に絶縁体を有しても構わない。該絶縁体は、絶縁体 4 0 2 や絶縁体 4 0 8 についての記載を参照する。また、絶縁体 4 1 2 を有さなくても構わない。

【0194】

なお、絶縁体 4 1 2 は過剰酸素を含む絶縁体であると好ましい。

【0195】

なお、絶縁体 4 1 2 上には、表示素子が設けられていてもよい。例えば、画素電極、液晶層、共通電極、発光層、有機 EL 層、陽極、陰極などが設けられていてもよい。表示素子は、例えば、導電体 4 1 6 a などと接続されている。

【0196】

また、図 1 6 (A) は、トランジスタの上面図の一例である。図 1 6 (A) の一点鎖線 K 1 - K 2 および一点鎖線 K 3 - K 4 に対応する断面図の一例を図 1 6 (B) に示す。なお、図 1 6 (A) では、理解を容易にするため、絶縁体などの一部を省略して示す。

【0197】

なお、半導体の上に、チャネル保護膜として機能させることができる絶縁体を配置してもよい。例えば、図 1 6 に示すように、導電体 4 1 6 a および導電体 4 1 6 b と、半導体 4 0 6 との間に、絶縁体 4 2 0 を配置してもよい。その場合、導電体 4 1 6 a (導電体 4 1 6 b) と半導体 4 0 6 とは、絶縁体 4 2 0 中の開口部を介して接続される。絶縁体 4 2 0 は、絶縁体 4 1 8 についての記載を参照すればよい。

【0198】

< 電子の注入方法 >

以下では、絶縁体 4 1 2 b への電子の注入方法について説明する。

【0199】

図 1 7 (A) は、図 1 2 (A) に示したトランジスタの拡大図である。図 1 7 (B) および図 1 7 (C) は、図 1 7 (A) に示す一点鎖線 B - C におけるバンド図である。

【0200】

図 1 7 (B) に示すように、絶縁体 4 1 2 b は、絶縁体 4 1 2 b の内部と、絶縁体 4 1 2 a と絶縁体 4 1 2 b との界面と、絶縁体 4 1 2 b と絶縁体 4 1 2 c との界面と、に欠陥準位 4 1 5 を有する。欠陥準位 4 1 5 は、一部が電子トラップとしての機能を有する。

【0201】

図 1 7 (B) では、導電体 4 0 4 に電圧が印加されていないため、欠陥準位 4 1 5 にはほとんど電子は捕獲されていない。例えば、図 1 7 (C) に示すように、導電体 4 0 4 に正の電圧  $V_g$  を印加することで、欠陥準位 4 1 5 の一部に電子を注入することができる。より具体的には、トランジスタの導電体 4 1 6 a と導電体 4 1 6 b との間に電圧を印加した状態で導電体 4 0 4 に正の電圧  $V_g$  を印加すると、半導体 4 0 6 のバンドが曲がり、半導体 4 0 6 と絶縁体 4 1 2 a との界面に電子 4 3 0 が誘起する (チャネルが形成されるともいう。)。誘起された電子 4 3 0 は、半導体 4 0 6 に印加される電界の影響で加速され、その一部が絶縁体 4 1 2 a の障壁を通過する場合がある。そして、通過した電子 4 3 0 の一部を、欠陥準位 4 1 5 に注入することができる。

【0202】

なお、例えば、導電体 4 0 4 に負の電圧を印加することでも、欠陥準位 4 1 5 の一部に電子を注入することができる場合がある。具体的には、導電体 4 0 4 に、絶縁体 4 1 2 c に FN (Fowler - Nordheim) トンネル電流が流れる程度の負の電圧を印加することで、導電体 4 0 4 から欠陥準位 4 1 5 の一部に電子を注入することができる。

【0203】

以上に示した方法では、欠陥準位 4 1 5 に電子を注入するために比較的高い電圧を要する

10

20

30

40

50

。したがって、欠陥準位 4 1 5 に注入された電子は、トランジスタの駆動に要する電圧において安定である。このように、欠陥準位 4 1 5 に注入された電子は、長期間に渡って保持されることがわかる。

【0204】

なお、上述した方法は、絶縁体 4 0 2 b にも適用できる。

【0205】

< 酸化物半導体の構造 >

以下では、半導体 4 0 6 などの半導体に適用可能な、酸化物半導体の構造について説明する。

【0206】

酸化物半導体は、単結晶酸化物半導体と、それ以外の非単結晶酸化物半導体とに分けられる。非単結晶酸化物半導体としては、CAAC-OS (C Axis Aligned Crystalline Oxide Semiconductor)、多結晶酸化物半導体、微結晶酸化物半導体、非晶質酸化物半導体などがある。

【0207】

また別の観点では、酸化物半導体は、非晶質酸化物半導体と、それ以外の結晶性酸化物半導体とに分けられる。結晶性酸化物半導体としては、単結晶酸化物半導体、CAAC-OS、多結晶酸化物半導体、微結晶酸化物半導体などがある。

【0208】

< CAAC-OS >

まずは、CAAC-OS について説明する。なお、CAAC-OS を、CANO (C Axis Aligned nanocrystals) を有する酸化物半導体と呼ぶこともできる。

【0209】

CAAC-OS は、c 軸配向した複数の結晶部 (ペレットともいう。) を有する酸化物半導体の一つである。

【0210】

透過型電子顕微鏡 (TEM: Transmission Electron Microscope) によって、CAAC-OS の明視野像と回折パターンとの複合解析像 (高分解能 TEM 像ともいう。) を観察すると、複数のペレットを確認することができる。一方、高分解能 TEM 像ではペレット同士の境界、即ち結晶粒界 (グレインバウンダリーともいう。) を明確に確認することができない。そのため、CAAC-OS は、結晶粒界に起因する電子移動度の低下が起こりにくいといえる。

【0211】

以下では、TEM によって観察した CAAC-OS について説明する。図 21 (A) に、試料面と略平行な方向から観察した CAAC-OS の断面の高分解能 TEM 像を示す。高分解能 TEM 像の観察には、球面収差補正 (Spherical Aberration Corrector) 機能を用いた。球面収差補正機能を用いた高分解能 TEM 像を、特に Cs 補正高分解能 TEM 像と呼ぶ。Cs 補正高分解能 TEM 像の取得は、例えば、日本電子株式会社製原子分解能分析電子顕微鏡 JEM-ARM200F などによって行うことができる。

【0212】

図 21 (A) の領域 (1) を拡大した Cs 補正高分解能 TEM 像を図 21 (B) に示す。図 21 (B) より、ペレットにおいて、金属原子が層状に配列していることを確認できる。金属原子の各層の配列は、CAAC-OS の膜を形成する面 (被形成面ともいう。) または上面の凹凸を反映しており、CAAC-OS の被形成面または上面と平行となる。

【0213】

図 21 (B) に示すように、CAAC-OS は特徴的な原子配列を有する。図 21 (C) は、特徴的な原子配列を、補助線で示したものである。図 21 (B) および図 21 (C) より、ペレット一つの大きさは 1 nm 以上 3 nm 以下程度であり、ペレットとペレットと

10

20

30

40

50

の傾きにより生じる隙間の大きさは0.8 nm程度であることがわかる。したがって、ペレットを、ナノ結晶(nc:nanocrystal)と呼ぶこともできる。

【0214】

ここで、Cs補正高分解能TEM像をもとに、基板5120上のCAAC-Osのペレット5100の配置を模式的に示すと、レンガまたはブロックが積み重なったような構造となる(図21(D)参照。)。図21(C)で観察されたペレットとペレットとの間で傾きが生じている箇所は、図21(D)に示す領域5161に相当する。

【0215】

また、図22(A)に、試料面と略垂直な方向から観察したCAAC-Osの平面のCs補正高分解能TEM像を示す。図22(A)の領域(1)、領域(2)および領域(3)を拡大したCs補正高分解能TEM像を、それぞれ図22(B)、図22(C)および図22(D)に示す。図22(B)、図22(C)および図22(D)より、ペレットは、金属原子が三角形、四角形または六角形に配列していることを確認できる。しかしながら、異なるペレット間で、金属原子の配列に規則性は見られない。

10

【0216】

次に、X線回折(XRD: X-Ray Diffraction)によって解析したCAAC-Osについて説明する。例えば、InGaZnO<sub>4</sub>の結晶を有するCAAC-Osに対し、out-of-plane法による構造解析を行うと、図23(A)に示すように回折角(2θ)が31°近傍にピークが現れる場合がある。このピークは、InGaZnO<sub>4</sub>の結晶の(009)面に帰属されることから、CAAC-Osの結晶がc軸配向性を有し、c軸が被形成面または上面に略垂直な方向を向いていることが確認できる。

20

【0217】

なお、CAAC-Osのout-of-plane法による構造解析では、2θが31°近傍のピークの他に、2θが36°近傍にもピークが現れる場合がある。2θが36°近傍のピークは、CAAC-Os中の一部に、c軸配向性を有さない結晶が含まれることを示している。より好ましいCAAC-Osは、out-of-plane法による構造解析では、2θが31°近傍にピークを示し、2θが36°近傍にピークを示さない。

【0218】

一方、CAAC-Osに対し、c軸に略垂直な方向からX線を入射させるin-plane法による構造解析を行うと、2θが56°近傍にピークが現れる。このピークは、InGaZnO<sub>4</sub>の結晶の(110)面に帰属される。CAAC-Osの場合は、2θを56°近傍に固定し、試料面の法線ベクトルを軸(c軸)として試料を回転させながら分析(スキャン)を行っても、図23(B)に示すように明瞭なピークは現れない。これに対し、InGaZnO<sub>4</sub>の単結晶酸化物半導体であれば、2θを56°近傍に固定してスキャンした場合、図23(C)に示すように(110)面と等価な結晶面に帰属されるピークが6本観察される。したがって、XRDを用いた構造解析から、CAAC-Osは、a軸およびb軸の配向が不規則であることが確認できる。

30

【0219】

次に、電子回折によって解析したCAAC-Osについて説明する。例えば、InGaZnO<sub>4</sub>の結晶を有するCAAC-Osに対し、試料面に平行にプローブ径が300 nmの電子線を入射させると、図24(A)に示すような回折パターン(制限視野透過電子回折パターンともいう。)が現れる場合がある。この回折パターンには、InGaZnO<sub>4</sub>の結晶の(009)面に起因するスポットが含まれる。したがって、電子回折によっても、CAAC-Osに含まれるペレットがc軸配向性を有し、c軸が被形成面または上面に略垂直な方向を向いていることがわかる。一方、同じ試料に対し、試料面に垂直にプローブ径が300 nmの電子線を入射させたときの回折パターンを図24(B)に示す。図24(B)より、リング状の回折パターンが確認される。したがって、電子回折によっても、CAAC-Osに含まれるペレットのa軸およびb軸は配向性を有さないことがわかる。なお、図24(B)における第1リングは、InGaZnO<sub>4</sub>の結晶の(010)面および(100)面などに起因すると考えられる。また、図24(B)における第2リングは

40

50

(110)面などに起因すると考えられる。

【0220】

また、CAAC-OSは、欠陥準位密度の低い酸化物半導体である。酸化物半導体の欠陥としては、例えば、不純物に起因する欠陥や、酸素欠損などがある。したがって、CAAC-OSは、不純物濃度の低い酸化物半導体ということもできる。また、CAAC-OSは、酸素欠損の少ない酸化物半導体ということもできる。

【0221】

酸化物半導体に含まれる不純物は、キャリアトラップとなる場合や、キャリア発生源となる場合がある。また、酸化物半導体中の酸素欠損は、キャリアトラップとなる場合や、水素を捕獲することによってキャリア発生源となる場合がある。

10

【0222】

なお、不純物は、酸化物半導体の主成分以外の元素で、水素、炭素、シリコン、遷移金属元素などがある。例えば、シリコンなどの、酸化物半導体を構成する金属元素よりも酸素との結合力の強い元素は、酸化物半導体から酸素を奪うことで酸化物半導体の原子配列を乱し、結晶性を低下させる要因となる。また、鉄やニッケルなどの重金属、アルゴン、二酸化炭素などは、原子半径（または分子半径）が大きいため、酸化物半導体の原子配列を乱し、結晶性を低下させる要因となる。

【0223】

また、欠陥準位密度の低い（酸素欠損が少ない）酸化物半導体は、キャリア密度を低くすることができる。そのような酸化物半導体を、高純度真性または実質的に高純度真性な酸化物半導体と呼ぶ。CAAC-OSは、不純物濃度が低く、欠陥準位密度が低い。即ち、高純度真性または実質的に高純度真性な酸化物半導体となりやすい。したがって、CAAC-OSを用いたトランジスタは、しきい値電圧がマイナスとなる電気特性（ノーマリーオンともいう。）になることが少ない。また、高純度真性または実質的に高純度真性な酸化物半導体は、キャリアトラップが少ない。酸化物半導体のキャリアトラップに捕獲された電荷は、放出するまでに要する時間が長く、あたかも固定電荷のように振る舞うことがある。そのため、不純物濃度が高く、欠陥準位密度が高い酸化物半導体を用いたトランジスタは、電気特性が不安定となる場合がある。一方、CAAC-OSを用いたトランジスタは、電気特性の変動が小さく、信頼性の高いトランジスタとなる。

20

【0224】

また、CAAC-OSは欠陥準位密度が低いため、光の照射などによって生成されたキャリアが、欠陥準位に捕獲されることが少ない。したがって、CAAC-OSを用いたトランジスタは、可視光や紫外光の照射による電気特性の変動が小さい。

30

【0225】

<微結晶酸化物半導体>

次に、微結晶酸化物半導体について説明する。

【0226】

微結晶酸化物半導体は、高分解能TEM像において、結晶部を確認することのできる領域と、明確な結晶部を確認することのできない領域と、を有する。微結晶酸化物半導体に含まれる結晶部は、1nm以上100nm以下、または1nm以上10nm以下の大きさであることが多い。特に、1nm以上10nm以下、または1nm以上3nm以下の微結晶であるナノ結晶を有する酸化物半導体を、nc-OS(nanocrystalline Oxide Semiconductor)と呼ぶ。nc-OSは、例えば、高分解能TEM像では、結晶粒界を明確に確認できない場合がある。なお、ナノ結晶は、CAAC-OSにおけるペレットと起源を同じくする可能性がある。そのため、以下ではnc-OSの結晶部をペレットと呼ぶ場合がある。

40

【0227】

nc-OSは、微小な領域（例えば、1nm以上10nm以下の領域、特に1nm以上3nm以下の領域）において原子配列に周期性を有する。また、nc-OSは、異なるペレット間で結晶方位に規則性が見られない。そのため、膜全体で配向性が見られない。した

50

がって、nc-OSは、分析方法によっては、非晶質酸化物半導体と区別が付かない場合がある。例えば、nc-OSに対し、ペレットよりも大きい径のX線を用いるXRD装置を用いて構造解析を行うと、out-of-plane法による解析では、結晶面を示すピークが検出されない。また、nc-OSに対し、ペレットよりも大きいプローブ径（例えば50nm以上）の電子線を用いる電子回折（制限視野電子回折ともいう。）を行うと、ハローパターンのような回折パターンが観測される。一方、nc-OSに対し、ペレットの大きさと近いかペレットより小さいプローブ径の電子線を用いるナノビーム電子回折を行うと、スポットが観測される。また、nc-OSに対しナノビーム電子回折を行うと、円を描くように（リング状に）輝度の高い領域が観測される場合がある。さらに、リング状の領域内に複数のスポットが観測される場合がある。

10

## 【0228】

このように、ペレット（ナノ結晶）間では結晶方位が規則性を有さないことから、nc-OSを、RANC（Random Aligned nanocrystals）を有する酸化物半導体、またはNANC（Non-Aligned nanocrystals）を有する酸化物半導体と呼ぶこともできる。

## 【0229】

nc-OSは、非晶質酸化物半導体よりも規則性の高い酸化物半導体である。そのため、nc-OSは、非晶質酸化物半導体よりも欠陥準位密度が低くなる。ただし、nc-OSは、異なるペレット間で結晶方位に規則性が見られない。そのため、nc-OSは、CAAC-OSと比べて欠陥準位密度が高くなる。

20

## 【0230】

<非晶質酸化物半導体>

次に、非晶質酸化物半導体について説明する。

## 【0231】

非晶質酸化物半導体は、膜中における原子配列が不規則であり、結晶部を有さない酸化物半導体である。石英のような無定形状態を有する酸化物半導体が一例である。

## 【0232】

非晶質酸化物半導体は、高分解能TEM像において結晶部を確認することができない。

## 【0233】

非晶質酸化物半導体に対し、XRD装置を用いた構造解析を行うと、out-of-plane法による解析では、結晶面を示すピークが検出されない。また、非晶質酸化物半導体に対し、電子回折を行うと、ハローパターンが観測される。また、非晶質酸化物半導体に対し、ナノビーム電子回折を行うと、スポットが観測されず、ハローパターンのみが観測される。

30

## 【0234】

非晶質構造については、様々な見解が示されている。例えば、原子配列に全く秩序性を有さない構造を完全な非晶質構造（completely amorphous structure）と呼ぶ場合がある。また、最近接原子間距離または第2近接原子間距離まで秩序性を有し、かつ長距離秩序性を有さない構造を非晶質構造と呼ぶ場合もある。したがって、最も厳格な定義によれば、僅かでも原子配列に秩序性を有する酸化物半導体を非晶質酸化物半導体と呼ぶことはできない。また、少なくとも、長距離秩序性を有する酸化物半導体を非晶質酸化物半導体と呼ぶことはできない。よって、結晶部を有することから、例えば、CAAC-OSおよびnc-OSを、非晶質酸化物半導体または完全な非晶質酸化物半導体と呼ぶことはできない。

40

## 【0235】

<非晶質ライク酸化物半導体>

なお、酸化物半導体は、nc-OSと非晶質酸化物半導体との間の構造を有する場合がある。そのような構造を有する酸化物半導体を、特に非晶質ライク酸化物半導体（a-like OS: amorphous-like Oxide Semiconductor）と呼ぶ。

50

## 【0236】

a-like OSは、高分解能TEM像において鬆（ポイドともいう。）が観察される場合がある。また、高分解能TEM像において、明確に結晶部を確認することのできる領域と、結晶部を確認することのできない領域と、を有する。

## 【0237】

鬆を有するため、a-like OSは、不安定な構造である。以下では、a-like OSが、CAAC-OSおよびnc-OSと比べて不安定な構造であることを示すため、電子照射による構造の変化を示す。

## 【0238】

電子照射を行う試料として、a-like OS（試料Aと表記する。）、nc-OS（試料Bと表記する。）およびCAAC-OS（試料Cと表記する。）を準備する。いずれの試料もIn-Ga-Zn酸化物である。

10

## 【0239】

まず、各試料の高分解能断面TEM像を取得する。高分解能断面TEM像により、各試料は、いずれも結晶部を有することがわかる。

## 【0240】

なお、どの部分を一つの結晶部と見なすかの判定は、以下のように行えばよい。例えば、InGaZnO<sub>4</sub>の結晶の単位格子は、In-O層を3層有し、またGa-Zn-O層を6層有する、計9層がc軸方向に層状に重なった構造を有することが知られている。これらの近接する層同士の間隔は、(009)面の格子面間隔(d値ともいう。)と同程度であり、結晶構造解析からその値は0.29nmと求められている。したがって、格子縞の間隔が0.28nm以上0.30nm以下である箇所を、InGaZnO<sub>4</sub>の結晶部と見なすことができる。なお、格子縞は、InGaZnO<sub>4</sub>の結晶のa-b面に対応する。

20

## 【0241】

図25は、各試料の結晶部(22箇所から45箇所)の平均の大きさを調査した例である。ただし、上述した格子縞の長さを結晶部の大きさとしている。図25より、a-like OSは、電子の累積照射量に応じて結晶部が大きくなっていくことがわかる。具体的には、図25中に(1)で示すように、TEMによる観察初期においては1.2nm程度の大きさだった結晶部(初期核ともいう。)が、累積照射量が $4.2 \times 10^8 \text{ e}^- / \text{nm}^2$ においては2.6nm程度の大きさまで成長していることがわかる。一方、nc-OSおよびCAAC-OSは、電子照射開始時から電子の累積照射量が $4.2 \times 10^8 \text{ e}^- / \text{nm}^2$ までの範囲で、結晶部の大きさに変化が見られないことがわかる。具体的には、図25中の(2)および(3)で示すように、電子の累積照射量によらず、nc-OSおよびCAAC-OSの結晶部の大きさは、それぞれ1.4nm程度および2.1nm程度であることがわかる。

30

## 【0242】

このように、a-like OSは、電子照射によって結晶部の成長が見られる場合がある。一方、nc-OSおよびCAAC-OSは、電子照射による結晶部の成長がほとんど見られないことがわかる。即ち、a-like OSは、nc-OSおよびCAAC-OSと比べて、不安定な構造であることがわかる。

40

## 【0243】

また、鬆を有するため、a-like OSは、nc-OSおよびCAAC-OSと比べて密度の低い構造である。具体的には、a-like OSの密度は、同じ組成の単結晶の密度の78.6%以上92.3%未満となる。また、nc-OSの密度およびCAAC-OSの密度は、同じ組成の単結晶の密度の92.3%以上100%未満となる。単結晶の密度の78%未満となる酸化物半導体は、成膜すること自体が困難である。

## 【0244】

例えば、In:Ga:Zn=1:1:1[原子数比]を満たす酸化物半導体において、菱面体晶構造を有する単結晶InGaZnO<sub>4</sub>の密度は $6.357 \text{ g} / \text{cm}^3$ となる。よって、例えば、In:Ga:Zn=1:1:1[原子数比]を満たす酸化物半導体において

50

、 a - l i k e O S の密度は  $5.0 \text{ g/cm}^3$  以上  $5.9 \text{ g/cm}^3$  未満となる。また、例えば、 $\text{In} : \text{Ga} : \text{Zn} = 1 : 1 : 1$  [原子数比] を満たす酸化物半導体において、 $\text{nc-Os}$  の密度および  $\text{CAAC-Os}$  の密度は  $5.9 \text{ g/cm}^3$  以上  $6.3 \text{ g/cm}^3$  未満となる。

【0245】

なお、同じ組成の単結晶が存在しない場合がある。その場合、所望の割合で組成の異なる単結晶を組み合わせることにより、所望の組成における単結晶に相当する密度を見積もることができる。所望の組成の単結晶に相当する密度は、組成の異なる単結晶を組み合わせる割合に対して、加重平均を用いて見積もればよい。ただし、密度は、可能な限り少ない種類の単結晶を組み合わせで見積もることが好ましい。

10

【0246】

以上のように、酸化物半導体は、様々な構造をとり、それぞれが様々な特性を有する。なお、酸化物半導体は、例えば、非晶質酸化物半導体、a - l i k e O S、微結晶酸化物半導体、 $\text{CAAC-Os}$  のうち、二種以上を有する積層膜であってもよい。

【0247】

<CPU>

以下では、上述したトランジスタや上述した記憶装置などの半導体装置を含むCPUについて説明する。

【0248】

図18は、上述したトランジスタを一部に用いたCPUの一例の構成を示すブロック図である。

20

【0249】

図18に示すCPUは、基板1190上に、ALU1191 (ALU: Arithmetic logic unit、演算回路)、ALUコントローラ1192、インストラクションデコーダ1193、インタラプトコントローラ1194、タイミングコントローラ1195、レジスタ1196、レジスタコントローラ1197、バスインターフェース1198、書き換え可能なROM1199、およびROMインターフェース1189を有している。基板1190は、半導体基板、SOI基板、ガラス基板などを用いる。ROM1199およびROMインターフェース1189は、別チップに設けてもよい。もちろん、図18に示すCPUは、その構成を簡略化して示した一例にすぎず、実際のCPUはその用途によって多種多様な構成を有している。例えば、図18に示すCPUまたは演算回路を含む構成を一つのコアとし、当該コアを複数含み、それぞれのコアが並列で動作するような構成としてもよい。また、CPUが内部演算回路やデータバスで扱えるビット数は、例えば8ビット、16ビット、32ビット、64ビットなどとすることができる。

30

【0250】

バスインターフェース1198を介してCPUに入力された命令は、インストラクションデコーダ1193に入力され、デコードされた後、ALUコントローラ1192、インタラプトコントローラ1194、レジスタコントローラ1197、タイミングコントローラ1195に入力される。

【0251】

ALUコントローラ1192、インタラプトコントローラ1194、レジスタコントローラ1197、タイミングコントローラ1195は、デコードされた命令に基づき、各種制御を行なう。具体的にALUコントローラ1192は、ALU1191の動作を制御するための信号を生成する。また、インタラプトコントローラ1194は、CPUのプログラム実行中に、外部の入出力装置や、周辺回路からの割り込み要求を、その優先度やマスク状態から判断し、処理する。レジスタコントローラ1197は、レジスタ1196のアドレスを生成し、CPUの状態に応じてレジスタ1196の読み出しや書き込みを行なう。

40

【0252】

また、タイミングコントローラ1195は、ALU1191、ALUコントローラ1192、インストラクションデコーダ1193、インタラプトコントローラ1194、および

50

レジスタコントローラ 1197 の動作のタイミングを制御する信号を生成する。例えばタイミングコントローラ 1195 は、基準クロック信号を元に、内部クロック信号を生成する内部クロック生成部を備えており、内部クロック信号を上記各種回路に供給する。

【0253】

図 18 に示す CPU では、レジスタ 1196 に、メモリセルが設けられている。レジスタ 1196 のメモリセルとして、上述したトランジスタや記憶装置などを用いることができる。

【0254】

図 18 に示す CPU において、レジスタコントローラ 1197 は、ALU 1191 からの指示に従い、レジスタ 1196 における保持動作の選択を行う。即ち、レジスタ 1196 が有するメモリセルにおいて、フリップフロップによるデータの保持を行うか、容量素子によるデータの保持を行うかを、選択する。フリップフロップによるデータの保持が選択されている場合、レジスタ 1196 内のメモリセルへの、電源電圧の供給が行われる。容量素子におけるデータの保持が選択されている場合、容量素子へのデータの書き換えが行われ、レジスタ 1196 内のメモリセルへの電源電圧の供給を停止することができる。

【0255】

図 19 は、レジスタ 1196 として用いることのできる記憶素子 1200 の回路図の一例である。記憶素子 1200 は、電源遮断で記憶データが揮発する回路 1201 と、電源遮断で記憶データが揮発しない回路 1202 と、スイッチ 1203 と、スイッチ 1204 と、論理素子 1206 と、容量素子 1207 と、選択機能を有する回路 1220 と、を有する。回路 1202 は、容量素子 1208 と、トランジスタ 1209 と、トランジスタ 1210 と、を有する。なお、記憶素子 1200 は、必要に応じて、ダイオード、抵抗素子、インダクタなどのその他の素子をさらに有していてもよい。

【0256】

ここで、回路 1202 には、上述した記憶装置を用いることができる。記憶素子 1200 への電源電圧の供給が停止した際、回路 1202 のトランジスタ 1209 のゲートには GND (0V)、またはトランジスタ 1209 がオフする電位が入力され続ける構成とする。例えば、トランジスタ 1209 のゲートが抵抗等の負荷を介して接地される構成とする。

【0257】

スイッチ 1203 は、一導電型（例えば、nチャネル型）のトランジスタ 1213 を用いて構成され、スイッチ 1204 は、一導電型とは逆の導電型（例えば、pチャネル型）のトランジスタ 1214 を用いて構成した例を示す。ここで、スイッチ 1203 の第 1 の端子はトランジスタ 1213 のソースとドレインの一方に対応し、スイッチ 1203 の第 2 の端子はトランジスタ 1213 のソースとドレインの他方に対応し、スイッチ 1203 はトランジスタ 1213 のゲートに入力される制御信号 RD によって、第 1 の端子と第 2 の端子の間の導通または非導通（つまり、トランジスタ 1213 の導通状態または非導通状態）が選択される。スイッチ 1204 の第 1 の端子はトランジスタ 1214 のソースとドレインの一方に対応し、スイッチ 1204 の第 2 の端子はトランジスタ 1214 のソースとドレインの他方に対応し、スイッチ 1204 はトランジスタ 1214 のゲートに入力される制御信号 RD によって、第 1 の端子と第 2 の端子の間の導通または非導通（つまり、トランジスタ 1214 の導通状態または非導通状態）が選択される。

【0258】

トランジスタ 1209 のソースとドレインの一方は、容量素子 1208 の一対の電極のうち的一方、およびトランジスタ 1210 のゲートと電気的に接続される。ここで、接続部分をノード M2 とする。トランジスタ 1210 のソースとドレインの一方は、低電源電圧を供給することのできる配線（例えば GND 線）に電気的に接続され、他方は、スイッチ 1203 の第 1 の端子（トランジスタ 1213 のソースとドレインの一方）と電気的に接続される。スイッチ 1203 の第 2 の端子（トランジスタ 1213 のソースとドレインの他方）はスイッチ 1204 の第 1 の端子（トランジスタ 1214 のソースとドレインの一

10

20

30

40

50

方)と電氣的に接続される。スイッチ1204の第2の端子(トランジスタ1214のソースとドレインの他方)は電源電位VDDを供給することのできる配線と電氣的に接続される。スイッチ1203の第2の端子(トランジスタ1213のソースとドレインの他方)と、スイッチ1204の第1の端子(トランジスタ1214のソースとドレインの一方)と、論理素子1206の入力端子と、容量素子1207の一对の電極のうち的一方と、は電氣的に接続される。ここで、接続部分をノードM1とする。容量素子1207の一对の電極のうち他方は、一定の電位が入力される構成とすることができる。例えば、低電源電位(GND等)または高電源電位(VDD等)が入力される構成とすることができる。容量素子1207の一对の電極のうち他方は、低電源電位を供給することのできる配線(例えばGND線)と電氣的に接続される。容量素子1208の一对の電極のうち他方は、一定の電位が入力される構成とすることができる。例えば、低電源電位(GND等)または高電源電位(VDD等)が入力される構成とすることができる。容量素子1208の一对の電極のうち他方は、低電源電位を供給することのできる配線(例えばGND線)と電氣的に接続される。

10

**【0259】**

なお、容量素子1207および容量素子1208は、トランジスタや配線の寄生容量等を積極的に利用することによって省略することも可能である。

**【0260】**

トランジスタ1209のゲートには、制御信号WEが入力される。スイッチ1203およびスイッチ1204は、制御信号WEとは異なる制御信号RDによって第1の端子と第2の端子の間の導通状態または非導通状態を選択され、一方のスイッチの第1の端子と第2の端子の間が導通状態のとき他方のスイッチの第1の端子と第2の端子の間は非導通状態となる。

20

**【0261】**

トランジスタ1209のソースとドレインの他方には、回路1201に保持されたデータに対応する信号が入力される。図19では、回路1201から出力された信号が、トランジスタ1209のソースとドレインの他方に入力される例を示した。スイッチ1203の第2の端子(トランジスタ1213のソースとドレインの他方)から出力される信号は、論理素子1206によってその論理値が反転された反転信号となり、回路1220を介して回路1201に入力される。

30

**【0262】**

なお、図19では、スイッチ1203の第2の端子(トランジスタ1213のソースとドレインの他方)から出力される信号は、論理素子1206および回路1220を介して回路1201に入力する例を示したがこれに限定されない。スイッチ1203の第2の端子(トランジスタ1213のソースとドレインの他方)から出力される信号が、論理値を反転させられることなく、回路1201に入力されてもよい。例えば、回路1201内に、入力端子から入力された信号の論理値が反転した信号が保持されるノードが存在する場合に、スイッチ1203の第2の端子(トランジスタ1213のソースとドレインの他方)から出力される信号を当該ノードに入力することができる。

**【0263】**

また、図19において、記憶素子1200に用いられるトランジスタのうち、トランジスタ1209以外のトランジスタは、酸化物半導体以外の半導体でなる膜または基板1190にチャンネルが形成されるトランジスタとすることができる。例えば、シリコン膜またはシリコン基板にチャンネルが形成されるトランジスタとすることができる。また、記憶素子1200に用いられるトランジスタ全てを、チャンネルが酸化物半導体で形成されるトランジスタとすることもできる。または、記憶素子1200は、トランジスタ1209以外にも、チャンネルが酸化物半導体で形成されるトランジスタを含んでいてもよく、残りのトランジスタは酸化物半導体以外の半導体でなる膜または基板1190にチャンネルが形成されるトランジスタとすることもできる。

40

**【0264】**

50

図 19 における回路 1201 には、例えばフリップフロップ回路を用いることができる。また、論理素子 1206 としては、例えばインバータやクロックドインバータ等を用いることができる。

【0265】

本発明の一態様に係る半導体装置では、記憶素子 1200 に電源電圧が供給されない間は、回路 1201 に記憶されていたデータを、回路 1202 に設けられた容量素子 1208 によって保持することができる。

【0266】

また、酸化物半導体にチャネルが形成されるトランジスタはオフ電流が極めて小さい。例えば、酸化物半導体にチャネルが形成されるトランジスタのオフ電流は、結晶性を有するシリコンにチャネルが形成されるトランジスタのオフ電流に比べて著しく低い。そのため、当該トランジスタをトランジスタ 1209 として用いることによって、記憶素子 1200 に電源電圧が供給されない間も容量素子 1208 に保持された信号は長期間にわたり保たれる。こうして、記憶素子 1200 は電源電圧の供給が停止した間も記憶内容（データ）を保持することが可能である。

10

【0267】

また、スイッチ 1203 およびスイッチ 1204 を設けることによって、プリチャージ動作を行うことを特徴とする記憶素子であるため、電源電圧供給再開後に、回路 1201 が元のデータを保持しなおすまでの時間を短くすることができる。

【0268】

また、回路 1202 において、容量素子 1208 によって保持された信号はトランジスタ 1210 のゲートに入力される。そのため、記憶素子 1200 への電源電圧の供給が再開された後、容量素子 1208 に保持された信号によって、トランジスタ 1210 の導通状態、または非導通状態が切り替わり、その状態に応じて信号を回路 1202 から読み出すことができる。それ故、容量素子 1208 に保持された信号に対応する電位が多少変動していても、元の信号を正確に読み出すことが可能である。

20

【0269】

このような記憶素子 1200 を、プロセッサが有するレジスタやキャッシュメモリなどの記憶装置に用いることで、電源電圧の供給停止による記憶装置内のデータの消失を防ぐことができる。また、電源電圧の供給を再開した後、短時間で電源供給停止前の状態に復帰することができる。よって、プロセッサ全体、もしくはプロセッサを構成する一つ、または複数の論理回路において、短い時間でも電源停止を行うことができるため、消費電力を抑えることができる。

30

【0270】

記憶素子 1200 を CPU に用いる例として説明したが、記憶素子 1200 は、DSP (Digital Signal Processor)、カスタム LSI、PLD (Programmable Logic Device) 等の LSI、RF (Radio Frequency) デバイスにも応用可能である。

【0271】

< 電子機器 >

本発明の一態様に係る半導体装置は、表示機器、パーソナルコンピュータ、記録媒体を備えた画像再生装置（代表的には DVD: Digital Versatile Disc 等の記録媒体を再生し、その画像を表示しうるディスプレイを有する装置）に用いることができる。その他に、本発明の一態様に係る半導体装置を用いることができる電子機器として、携帯電話、携帯型を含むゲーム機、携帯データ端末、電子書籍端末、ビデオカメラ、デジタルスチルカメラ等のカメラ、ゴーグル型ディスプレイ（ヘッドマウントディスプレイ）、ナビゲーションシステム、音響再生装置（カーオーディオ、デジタルオーディオプレイヤー等）、複写機、ファクシミリ、プリンタ、プリンタ複合機、現金自動預け入れ払い機（ATM）、自動販売機などが挙げられる。これら電子機器の具体例を図 20 に示す。

40

50

## 【 0 2 7 2 】

図 2 0 ( A ) は携帯型ゲーム機であり、筐体 9 0 1、筐体 9 0 2、表示部 9 0 3、表示部 9 0 4、マイクロフォン 9 0 5、スピーカー 9 0 6、操作キー 9 0 7、スタイラス 9 0 8 等を有する。なお、図 2 0 ( A ) に示した携帯型ゲーム機は、2 つの表示部 9 0 3 と表示部 9 0 4 とを有しているが、携帯型ゲーム機が有する表示部の数は、これに限定されない。

## 【 0 2 7 3 】

図 2 0 ( B ) は携帯データ端末であり、筐体 9 1 1、筐体 9 1 2、表示部 9 1 3、表示部 9 1 4、接続部 9 1 5、操作キー 9 1 6 等を有する。表示部 9 1 3 は筐体 9 1 1 に設けられており、表示部 9 1 4 は筐体 9 1 2 に設けられている。そして、筐体 9 1 1 と筐体 9 1 2 とは、接続部 9 1 5 により接続されており、筐体 9 1 1 と筐体 9 1 2 の間の角度は、接続部 9 1 5 により変更が可能である。表示部 9 1 3 における映像を、接続部 9 1 5 における筐体 9 1 1 と筐体 9 1 2 との間の角度にしたがって、切り替える構成としてもよい。また、表示部 9 1 3 および表示部 9 1 4 の少なくとも一方に、位置入力装置としての機能が付加された表示装置を用いるようにしてもよい。なお、位置入力装置としての機能は、表示装置にタッチパネルを設けることで付加することができる。または、位置入力装置としての機能は、フォトセンサとも呼ばれる光電変換素子を表示装置の画素部に設けることで、付加することができる。

10

## 【 0 2 7 4 】

図 2 0 ( C ) はノート型パーソナルコンピュータであり、筐体 9 2 1、表示部 9 2 2、キーボード 9 2 3、ポインティングデバイス 9 2 4 等を有する。

20

## 【 0 2 7 5 】

図 2 0 ( D ) は電気冷凍冷蔵庫であり、筐体 9 3 1、冷蔵室用扉 9 3 2、冷凍室用扉 9 3 3 等を有する。

## 【 0 2 7 6 】

図 2 0 ( E ) はビデオカメラであり、筐体 9 4 1、筐体 9 4 2、表示部 9 4 3、操作キー 9 4 4、レンズ 9 4 5、接続部 9 4 6 等を有する。操作キー 9 4 4 およびレンズ 9 4 5 は筐体 9 4 1 に設けられており、表示部 9 4 3 は筐体 9 4 2 に設けられている。そして、筐体 9 4 1 と筐体 9 4 2 とは、接続部 9 4 6 により接続されており、筐体 9 4 1 と筐体 9 4 2 の間の角度は、接続部 9 4 6 により変更が可能である。表示部 9 4 3 における映像を、接続部 9 4 6 における筐体 9 4 1 と筐体 9 4 2 との間の角度にしたがって切り替える構成としてもよい。

30

## 【 0 2 7 7 】

図 2 0 ( F ) は自動車であり、車体 9 5 1、車輪 9 5 2、ダッシュボード 9 5 3、ライト 9 5 4 等を有する。

## 【 符号の説明 】

## 【 0 2 7 8 】

1 0 0 半導体装置  
 1 0 1 a 回路  
 1 0 1 b 回路  
 1 0 1 c 回路  
 1 0 2 a トランジスタ  
 1 0 2 b トランジスタ  
 1 0 2 c トランジスタ  
 1 0 3 a トランジスタ  
 1 0 3 b トランジスタ  
 1 0 4 a 容量素子  
 1 0 4 b 容量素子  
 4 0 0 基板  
 4 0 2 絶縁体

40

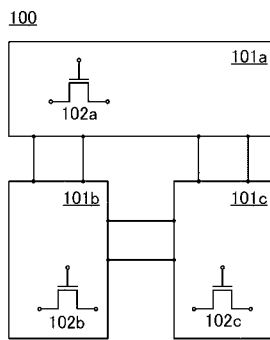
50

4 0 2 a	絶縁体	
4 0 2 b	絶縁体	
4 0 2 c	絶縁体	
4 0 4	導電体	
4 0 6	半導体	
4 0 6 a	半導体	
4 0 6 c	半導体	
4 0 8	絶縁体	
4 1 1	絶縁体	
4 1 2	絶縁体	10
4 1 2 a	絶縁体	
4 1 2 b	絶縁体	
4 1 2 c	絶縁体	
4 1 3	導電体	
4 1 4	導電体	
4 1 5	欠陥準位	
4 1 6 a	導電体	
4 1 6 b	導電体	
4 1 8	絶縁体	
4 2 0	絶縁体	20
4 2 3 a	低抵抗領域	
4 2 3 b	低抵抗領域	
4 2 4 a	導電体	
4 2 4 b	導電体	
4 2 6 a	導電体	
4 2 6 b	導電体	
4 2 8	絶縁体	
4 3 0	電子	
4 5 0	半導体基板	
4 5 2	絶縁体	30
4 5 4	導電体	
4 5 6	領域	
4 6 0	領域	
4 6 2	絶縁体	
4 6 4	絶縁体	
4 6 6	絶縁体	
4 6 8	絶縁体	
4 7 2 a	領域	
4 7 2 b	領域	
4 7 4 a	導電体	40
4 7 4 b	導電体	
4 7 6 a	導電体	
4 7 6 b	導電体	
4 7 8 a	導電体	
4 7 8 b	導電体	
4 7 8 c	導電体	
4 8 0 a	導電体	
4 8 0 b	導電体	
4 8 0 c	導電体	
4 9 0	絶縁体	50

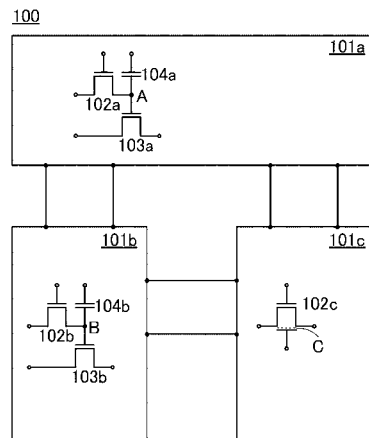
4 9 2	絶縁体	
4 9 4	絶縁体	
4 9 6 a	導電体	
4 9 6 b	導電体	
4 9 6 c	導電体	
4 9 6 d	導電体	
4 9 8 a	導電体	
4 9 8 b	導電体	
4 9 8 c	導電体	
4 9 8 d	導電体	10
9 0 1	筐体	
9 0 2	筐体	
9 0 3	表示部	
9 0 4	表示部	
9 0 5	マイクロフォン	
9 0 6	スピーカー	
9 0 7	操作キー	
9 0 8	スタイラス	
9 1 1	筐体	
9 1 2	筐体	20
9 1 3	表示部	
9 1 4	表示部	
9 1 5	接続部	
9 1 6	操作キー	
9 2 1	筐体	
9 2 2	表示部	
9 2 3	キーボード	
9 2 4	ポインティングデバイス	
9 3 1	筐体	
9 3 2	冷蔵室用扉	30
9 3 3	冷凍室用扉	
9 4 1	筐体	
9 4 2	筐体	
9 4 3	表示部	
9 4 4	操作キー	
9 4 5	レンズ	
9 4 6	接続部	
9 5 1	車体	
9 5 2	車輪	
9 5 3	ダッシュボード	40
9 5 4	ライト	
1 1 8 9	ROMインターフェース	
1 1 9 0	基板	
1 1 9 1	ALU	
1 1 9 2	ALUコントローラ	
1 1 9 3	インストラクションデコーダ	
1 1 9 4	インタラプトコントローラ	
1 1 9 5	タイミングコントローラ	
1 1 9 6	レジスタ	
1 1 9 7	レジスタコントローラ	50

- 1 1 9 8 バスインターフェース
- 1 1 9 9 R O M
- 1 2 0 0 記憶素子
- 1 2 0 1 回路
- 1 2 0 2 回路
- 1 2 0 3 スイッチ
- 1 2 0 4 スイッチ
- 1 2 0 6 論理素子
- 1 2 0 7 容量素子
- 1 2 0 8 容量素子
- 1 2 0 9 トランジスタ
- 1 2 1 0 トランジスタ
- 1 2 1 3 トランジスタ
- 1 2 1 4 トランジスタ
- 1 2 2 0 回路
- 5 1 0 0 ペレット
- 5 1 2 0 基板
- 5 1 6 1 領域

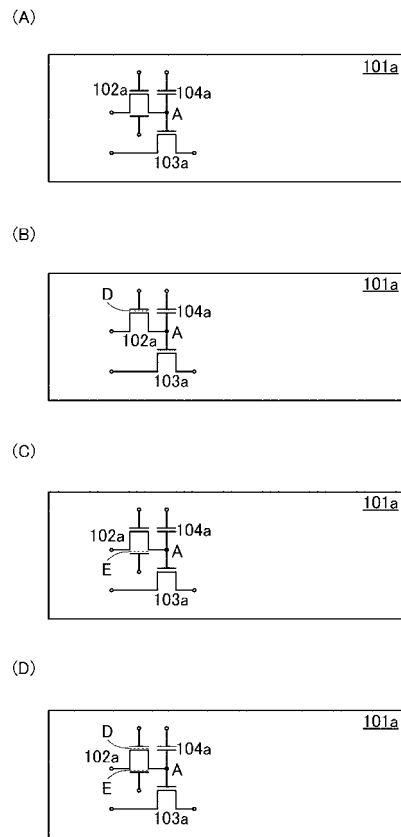
【 図 1 】



【 図 2 】

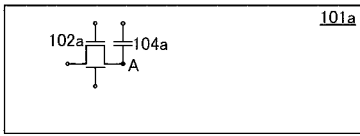


【 図 3 】

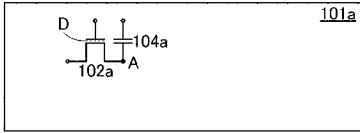


【 図 4 】

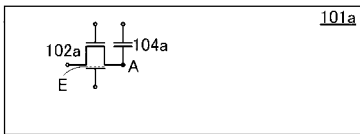
(A)



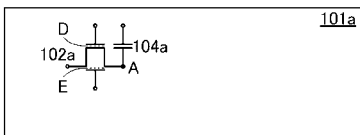
(B)



(C)

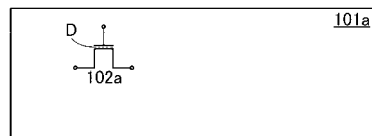


(D)

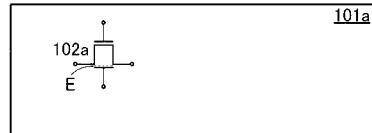


【 図 5 】

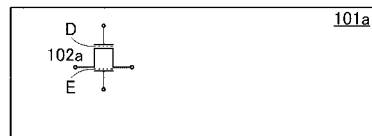
(A)



(B)

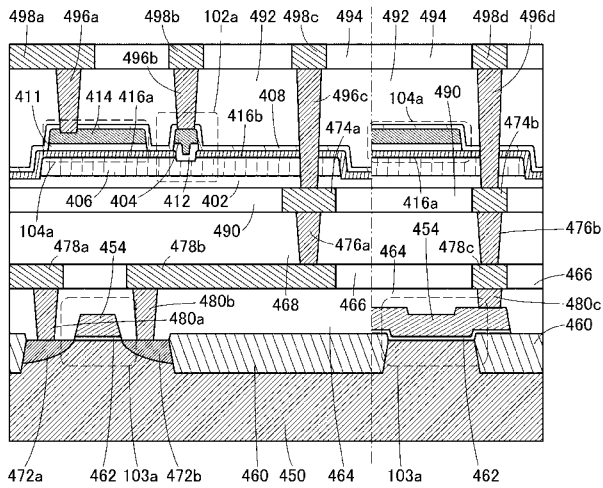


(C)



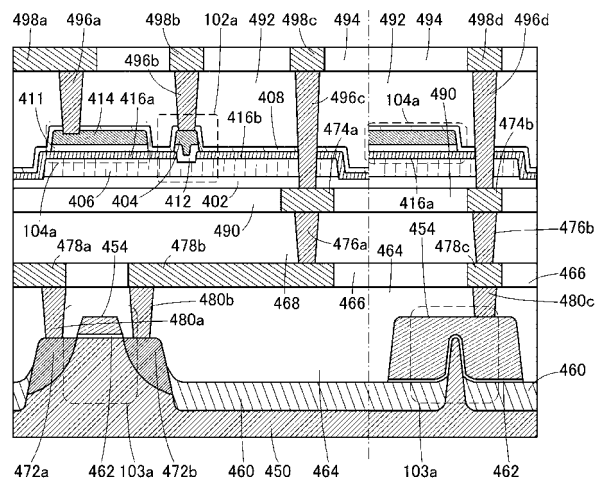
【 図 6 】

101a

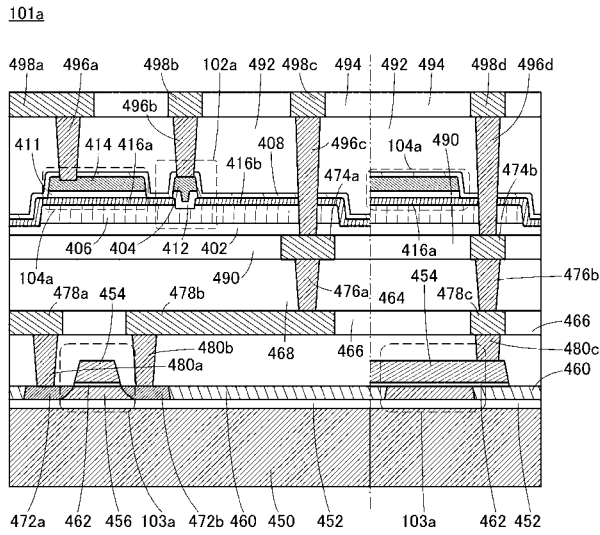


【 図 7 】

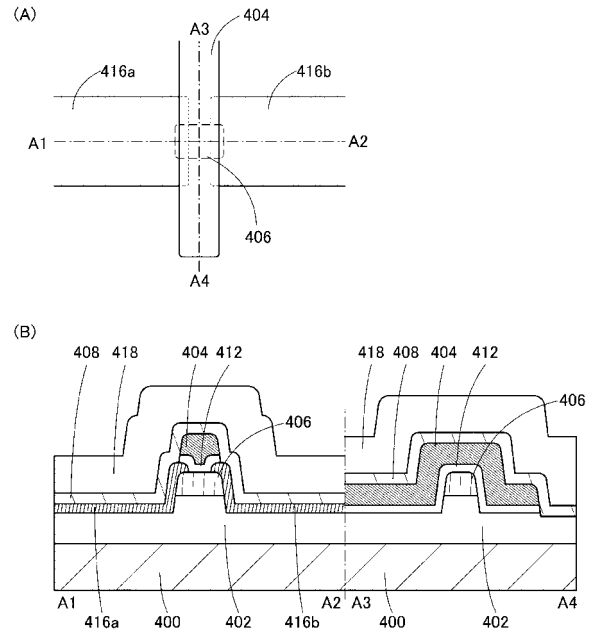
101a



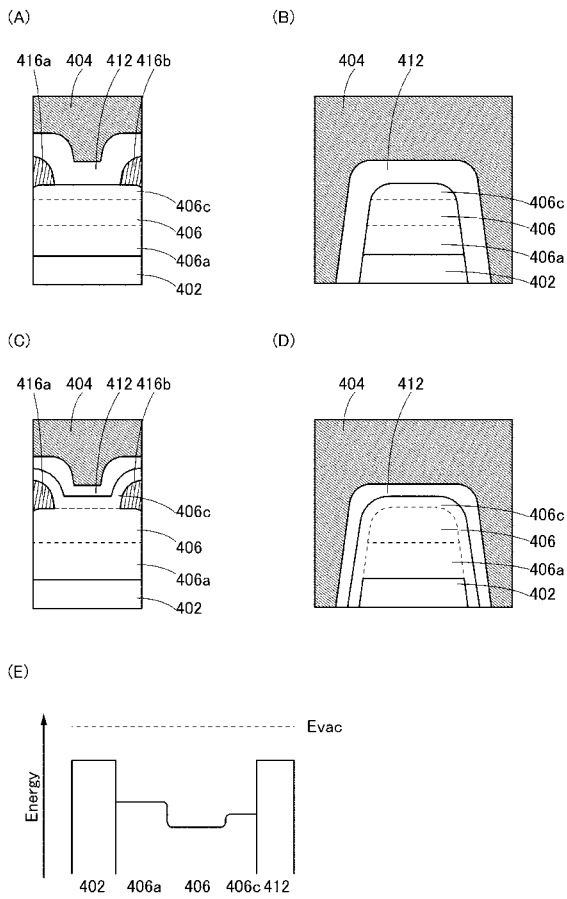
【 図 8 】



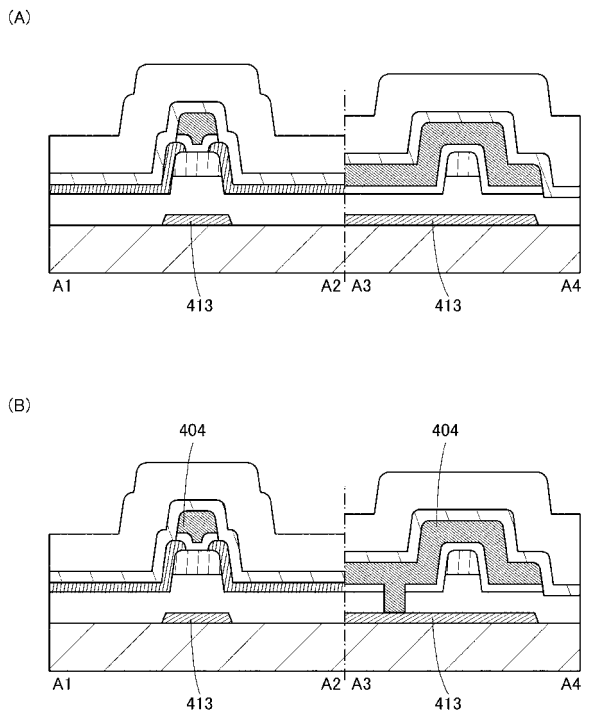
【 図 9 】



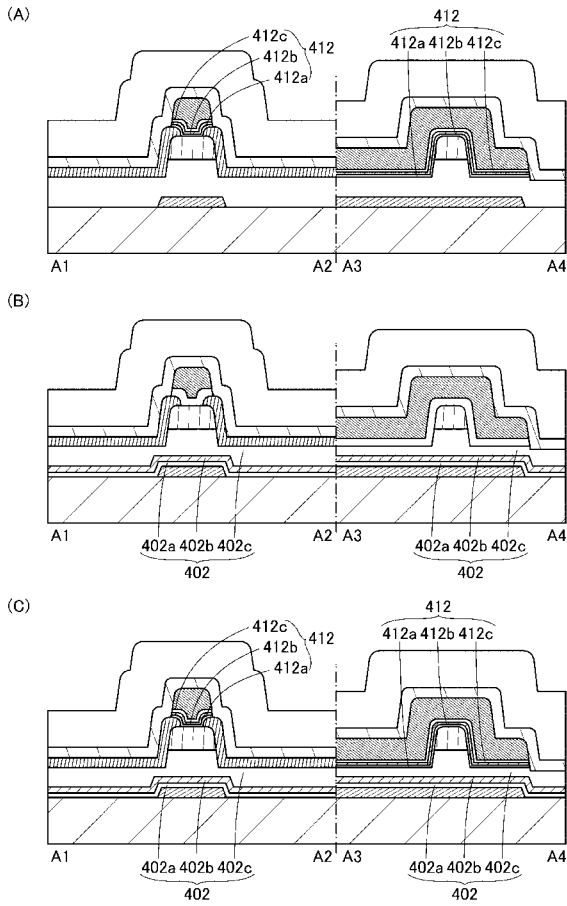
【 図 10 】



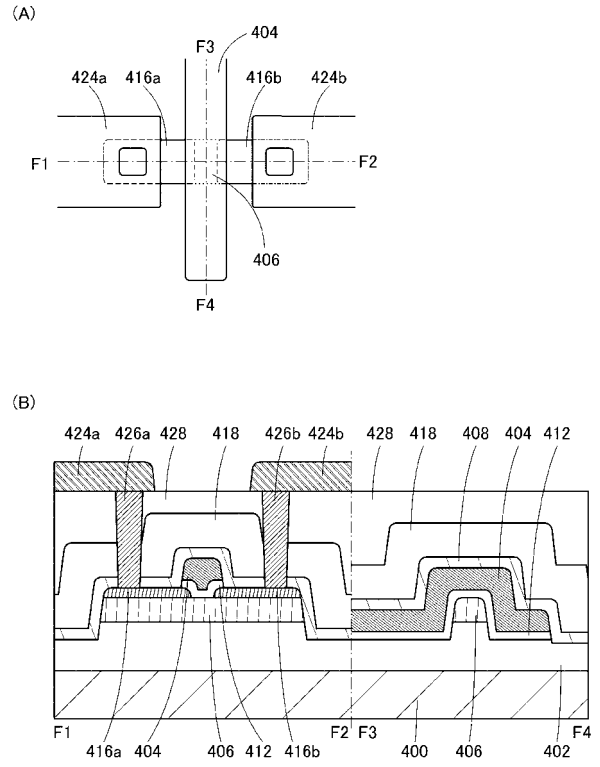
【 図 11 】



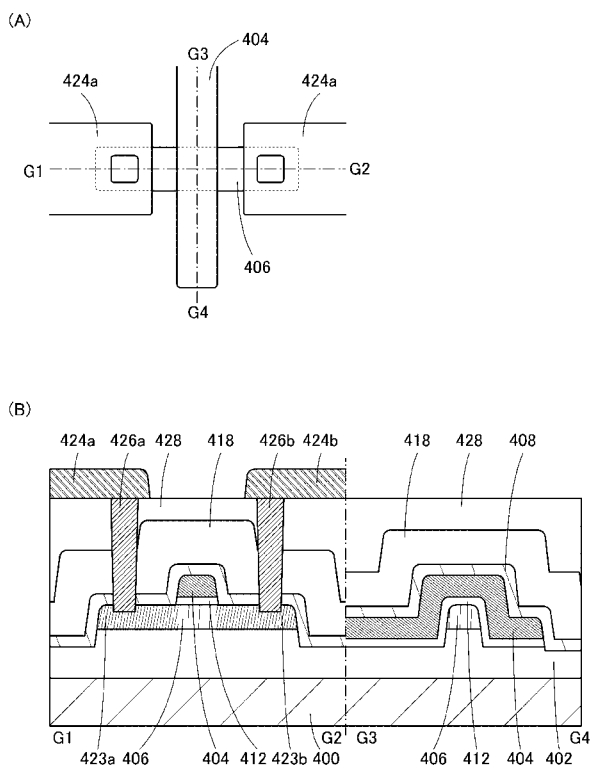
【 図 1 2 】



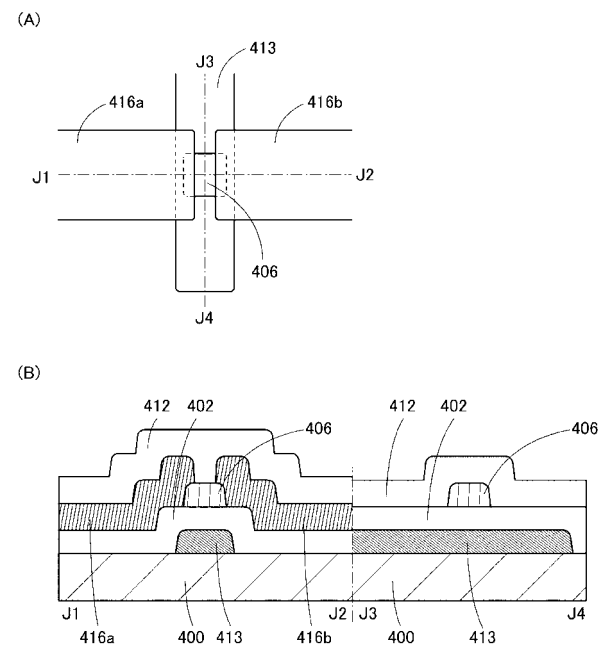
【 図 1 3 】



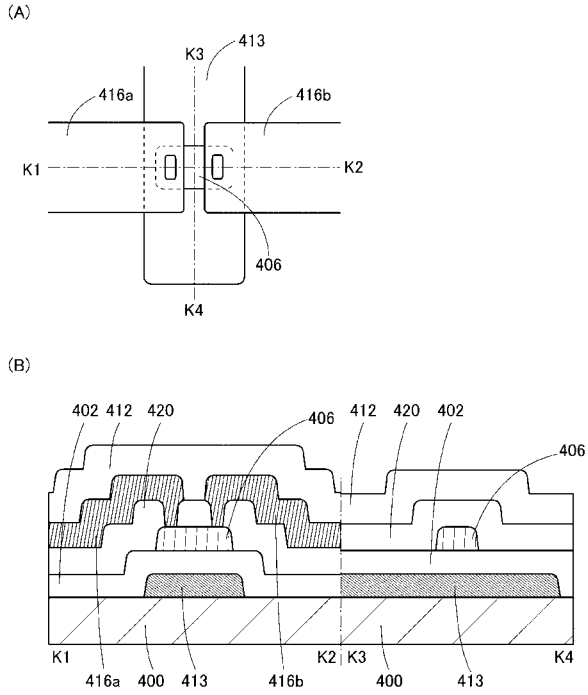
【 図 1 4 】



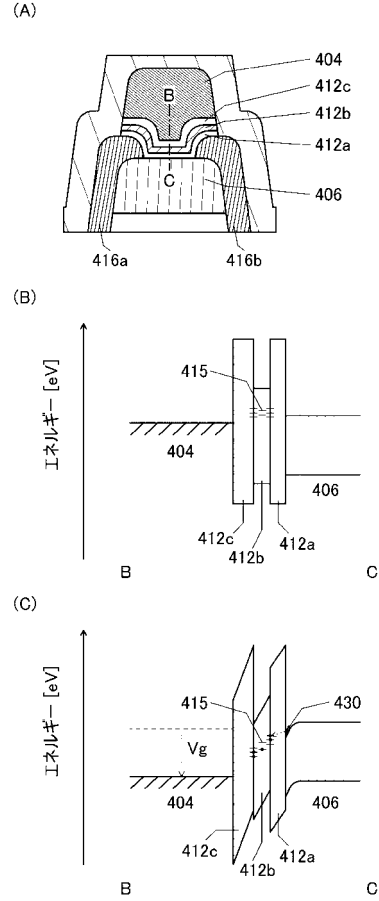
【 図 1 5 】



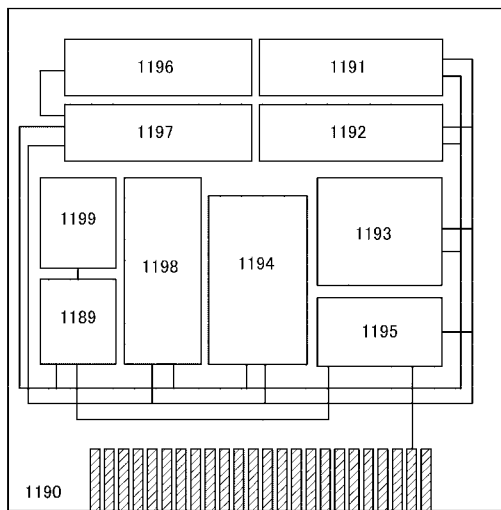
【図 16】



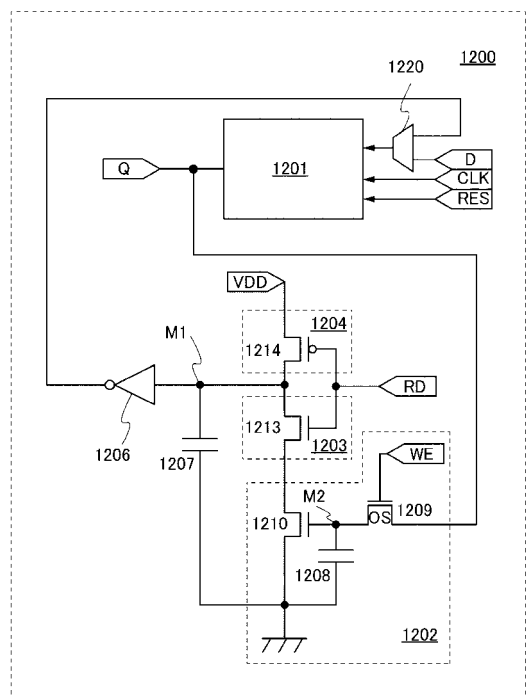
【図 17】



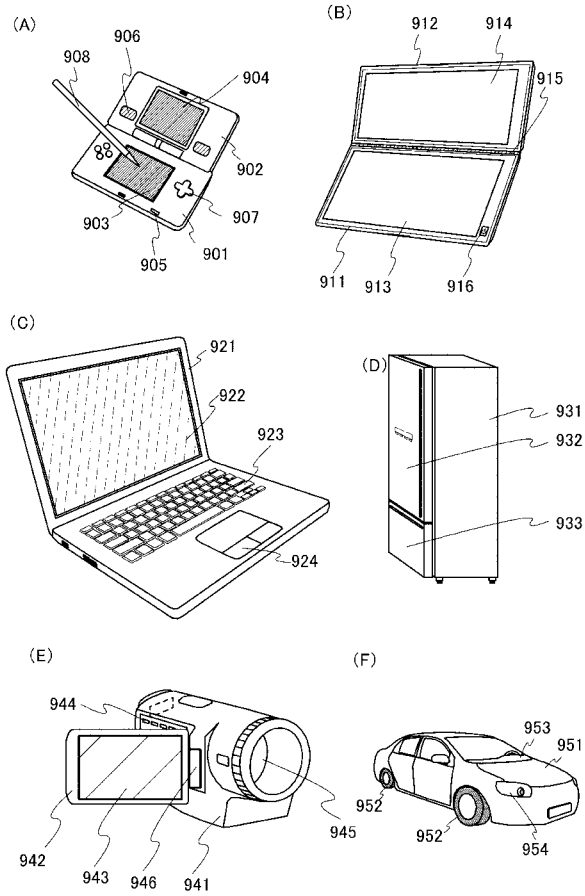
【図 18】



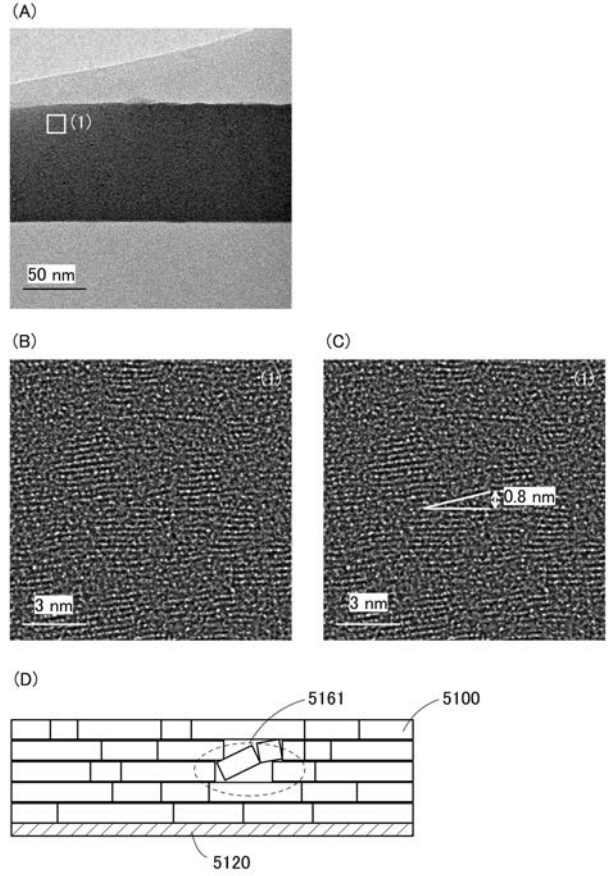
【図 19】



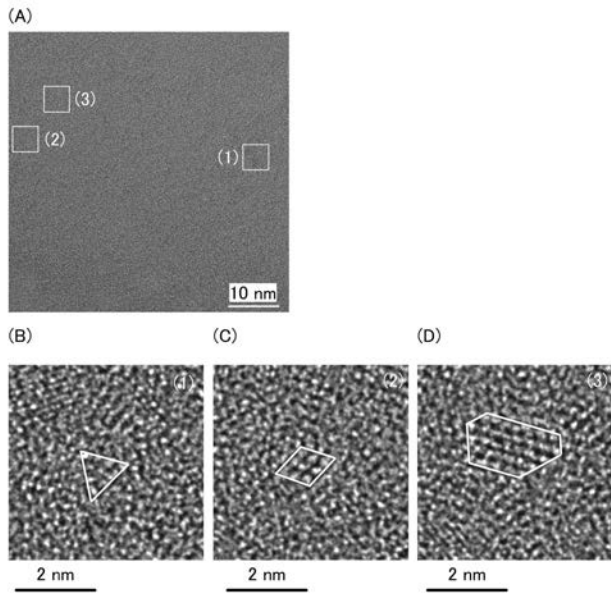
【図 2 0】



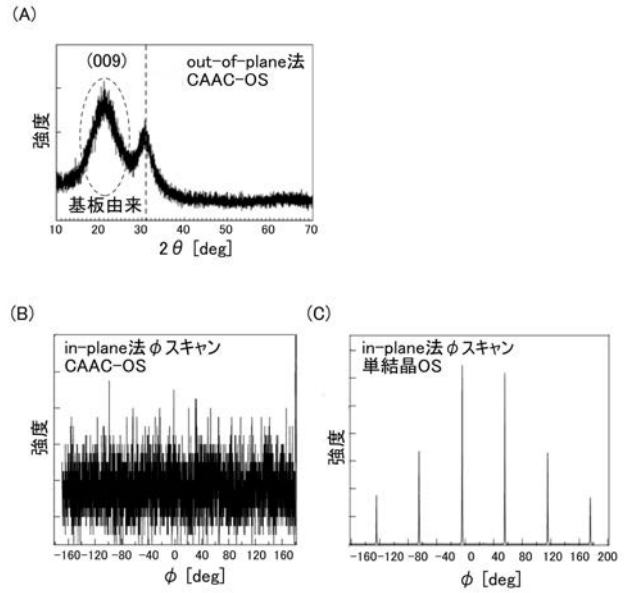
【図 2 1】



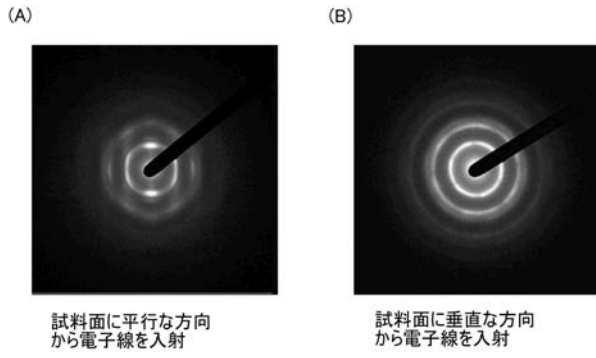
【図 2 2】



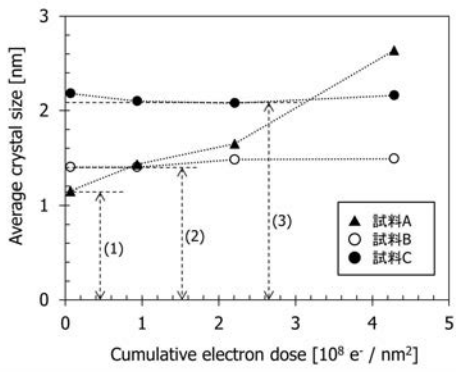
【図 2 3】



【 図 2 4 】



【 図 2 5 】



## フロントページの続き

(51)Int.Cl.

F I

テーマコード(参考)

H 0 1 L 29/78 6 1 7 T

Fターム(参考) 5F048 AA01 AB01 AC01 AC10 BA01 BA10 BA14 BA15 BA16 BA19  
 BA20 BB02 BB03 BB04 BB09 BB11 BB12 BB14 BB15 BB18  
 BB19 BC18 BD02 BD10 BF01 BF02 BF07 BF11 BF15 BF16  
 BG13 CB01 CB03 CB04 CB10  
 5F110 AA01 AA06 AA07 AA08 BB05 CC01 CC05 CC07 DD01 DD02  
 DD03 DD04 DD05 DD08 DD12 DD13 DD14 DD15 DD17 DD21  
 EE01 EE02 EE03 EE04 EE06 EE14 EE30 EE36 FF01 FF02  
 FF03 FF04 FF05 FF09 FF12 FF13 FF36 GG01 GG06 GG16  
 GG17 GG19 GG22 GG24 GG25 GG28 GG29 GG30 GG33 GG34  
 GG58 HK01 HK02 HK03 HK04 HK06 HK21 HL01 HL02 HL03  
 HL04 HL07 HL11 HL14 HM02 HM04 HM05 HM17 NN02 NN03  
 NN22 NN23 NN24 NN27 NN28 NN40 NN72 NN74 NN77 NN78  
 QQ19