

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2024年10月31日(31.10.2024)



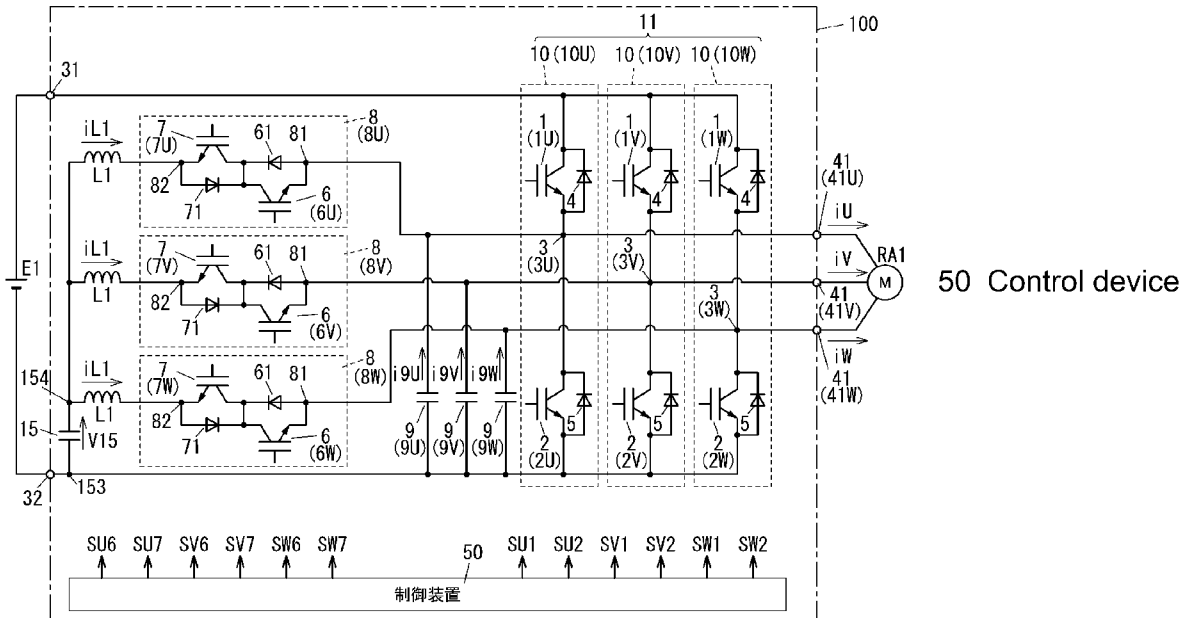
(10) 国際公開番号

WO 2024/225088 A1

- (51) 国際特許分類:
H02M 7/48 (2007.01)
- (21) 国際出願番号: PCT/JP2024/014914
- (22) 国際出願日: 2024年4月15日(15.04.2024)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2023-072637 2023年4月26日(26.04.2023) JP
- (71) 出願人: パナソニックIPマネジメント株式会社 (PANASONIC INTELLECTUAL PROPERTY MANAGEMENT CO., LTD.) [JP/JP]; 〒5710057 大阪府門真市元町2番6号 Osaka (JP).
- (72) 発明者: 東山 弘治 (HIGASHIYAMA, Koji). 西本 太樹 (NISHIMOTO, Taiki). 新井 康弘 (ARAI, Yasuhiro).
- (74) 代理人: 弁理士法人北斗特許事務所 (HOKUTO PATENT ATTORNEYS OFFICE); 〒5300001 大阪府大阪市北区梅田一丁目12-17 JR E 梅田スクエアビル Osaka (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MU, MW, MX, MY,

(54) Title: ELECTRIC POWER CONVERSION APPARATUS

(54) 発明の名称: 電力変換装置



(57) Abstract: The present invention addresses the problem of reducing radiation noise. An electric power conversion apparatus (100) is provided with a power conversion circuit (11), a switch (8), a resonance capacitor (9), a resonance inductor (L1), a regeneration capacitor (15), and a control device (50). The switch (8) includes a third switching element (1), a second switching element (2), the third switching element (6), and the fourth switching element (7). The control device (50) controls a first switching element (1), a second switching element (2), the third switching element (6), and the fourth switching element (7). The control device (50) makes at least

MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL,
PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK,
SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA,
UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類 :

一 国際調査報告 (条約第21条(3))

a portion of a high-level period of a control signal to the switch (8) overlap a dead time period thereof. During a ringing period in which ringing occurs at both end voltages of the third switching element (6), the control device (50) makes the third switching element (6) maintain the state immediately before the ringing period.

(57) 要約 : 課題は、放射ノイズを低減することである。電力変換装置 (100) は、電力変換回路 (11)、スイッチ (8)、共振用コンデンサ (9)、共振用インダクタ (L1)、回生用コンデンサ (15) 及び制御装置 (50) を備える。スイッチ (8) は、第3スイッチング素子 (6) 及び第4スイッチング素子 (7) を含む。制御装置 (50) は、第1スイッチング素子 (1)、第2スイッチング素子 (2)、第3スイッチング素子 (6) 及び第4スイッチング素子 (7) を制御する。制御装置 (50) は、スイッチ (8) への制御信号のハイレベル期間の少なくとも一部をデッドタイム期間に重複させる。制御装置 (50) は、第3スイッチング素子 (6) の両端電圧にリングングが発生するリングング期間中は第3スイッチング素子 (6) にリングング期間の直前の状態を維持させる。

明 細 書

発明の名称 : 電力変換装置

技術分野

[0001] 本開示は、電力変換装置に関し、より詳細には、直流電力を交流電力に電力変換可能な電力変換装置に関する。

背景技術

[0002] 特許文献1は、電力変換システムを開示している。

[0003] 特許文献1に開示された電力変換システム（電力変換装置）は、互いに直列接続された一対の主スイッチ素子（第1スイッチング素子及び第2スイッチング素子）を有するスイッチング手段と、各主スイッチ素子に逆並列に接続されたダイオード（第1ダイオード及び第2ダイオード）と、各主スイッチ素子のソフトスイッチングを行うための補助回路と、コントローラと、を備える。補助回路は、2つのコンデンサと、コイル（共振用インダクタ）と、補助スイッチと、を含む。コントローラは、各主スイッチ素子をPWM制御する制御信号を生成して、各主スイッチ素子のゲートへ出力する。また、コントローラは、補助スイッチのオンオフを制御する制御信号を生成して、補助スイッチのゲートへ出力する。

[0004] 電力変換装置では、放射ノイズが増加する場合がある。

先行技術文献

特許文献

[0005] 特許文献1：特開2010-233306号公報

発明の概要

[0006] 本開示の目的は、放射ノイズを低減することが可能な電力変換装置を提供することにある。

[0007] 本開示に係る一態様の電力変換装置は、第1直流端子及び第2直流端子と、電力変換回路と、スイッチと、共振用コンデンサと、共振用インダクタと、回生用コンデンサと、制御装置と、を備える。前記電力変換回路は、スイ

ツチング回路を有する。前記スイッチング回路は、互いに直列接続された第1スイッチング素子及び第2スイッチング素子と、前記第1スイッチング素子に逆並列接続されている第1ダイオードと、前記第2スイッチング素子に逆並列接続されている第2ダイオードと、を含む。前記スイッチング回路では、前記第1スイッチング素子が前記第1直流端子に接続されており、前記第2スイッチング素子が前記第2直流端子に接続されている。前記スイッチは、第1端及び第2端を有する。前記スイッチは、前記第1スイッチング素子及び前記第2スイッチング素子の接続点に前記第1端が接続されている。前記共振用コンデンサは、前記スイッチの前記第1端と前記第2直流端子との間に接続されている。前記共振用インダクタは、前記スイッチの前記第2端に接続されている。前記回生用コンデンサは、前記共振用インダクタと前記第2直流端子との間に接続されている。前記制御装置は、前記第1スイッチング素子、前記第2スイッチング素子及び前記スイッチを制御する。前記スイッチは、第3スイッチング素子と、第4スイッチング素子と、を含む。前記第3スイッチング素子は、オン状態のときに前記共振用インダクタ側からの電流が流れる。前記第4スイッチング素子は、オン状態のときに前記第3スイッチング素子とは逆向きの電流が流れる。前記制御装置は、前記第1スイッチング素子、前記第2スイッチング素子、前記第3スイッチング素子及び前記第4スイッチング素子の各々に対してハイレベルとローレベルとの間で電位が変化する制御信号を与える。前記制御装置は、前記第1スイッチング素子への制御信号のハイレベル期間と前記第2スイッチング素子への制御信号のハイレベル期間との間にデッドタイム期間を設定する。前記制御装置は、前記第3スイッチング素子への制御信号のハイレベル期間の少なくとも一部を、前記デッドタイム期間に重複させる。前記制御装置は、前記第3スイッチング素子の両端電圧にリングングが発生するリングング期間中は前記第3スイッチング素子に前記リングング期間の直前の状態を維持させる。

図面の簡単な説明

[0008] [図1]図1は、実施形態1に係る電力変換装置を備えるシステムの回路図であ

る。

[図2]図2は、同上の電力変換装置の複数の交流端子に接続される交流負荷における3相それぞれの電圧指令に対応するデューティの時間変化及び負荷電流の時間変化を示す図である。

[図3]図3は、同上の電力変換装置の基本動作の動作説明図である。

[図4]図4は、同上の電力変換装置の基本動作の動作説明図である。

[図5]図5は、同上の電力変換装置の基本動作の動作説明図である。

[図6]図6は、同上の電力変換装置の動作説明図である。

[図7]図7は、同上の電力変換装置の動作説明図である。

[図8]図8は、同上の電力変換装置の動作を説明するためのタイミングチャートである。

[図9]図9は、同上の電力変換装置の比較例の動作を説明するためのタイミングチャートである。

[図10]図10は、同上の電力変換装置の実施例及び比較例の放射ノイズの測定結果を示す特性図である。

[図11]図11は、実施形態2に係る電力変換装置を備えるシステムの回路図である。

[図12]図12は、実施形態3に係る電力変換装置を備えるシステムの回路図である。

[図13]図13は、実施形態4に係る電力変換装置を備えるシステムの回路図である。

[図14]図14は、実施形態5に係る電力変換装置を備えるシステムの回路図である。

[図15]図15は、同上の電力変換装置の動作を説明するためのタイミングチャートである。

[図16]図16は、実施形態6に係る電力変換装置を備えるシステムの回路図である。

[図17]図17は、実施形態7に係る電力変換装置を備えるシステムの回路図

である。

[図18]図18は、実施形態8に係る電力変換装置を備えるシステムの回路図である。

発明を実施するための形態

[0009] (実施形態1)

以下では、実施形態1に係る電力変換装置100について、図1～8に基づいて説明する。

[0010] (1) 電力変換装置の全体構成

電力変換装置100は、図1に示すように、第1直流端子31及び第2直流端子32と、複数(図1の例では、3つ)の交流端子41と、を備える。電力変換装置100では、第1直流端子31と第2直流端子32との間に直流電源E1が接続され、複数の交流端子41に交流負荷RA1が接続される。交流負荷RA1は、例えば、3相モータである。電力変換装置100は、直流電源E1からの直流出力を交流電力に変換して交流負荷RA1へ出力する。直流電源E1は、例えば、太陽電池又は燃料電池を含む。直流電源E1は、DC-DCコンバータを含んでもよい。電力変換装置100では、複数の交流端子41が3つの交流端子41の場合、交流電力は、例えば、U相、V相及びW相を有する3相の交流電力である。

[0011] 電力変換装置100は、電力変換回路11と、複数(図1の例では、3つ)のスイッチ8と、複数(図1の例では、3つ)の共振用コンデンサ9と、回生用コンデンサ15と、複数(図1の例では、3つ)の共振用インダクタL1と、制御装置50と、を備える。複数のスイッチ8の各々は、例えば、双方向スイッチである。

[0012] 電力変換回路11は、複数(図1の例では、3つ)の第1スイッチング素子1及び複数(図1の例では、3つ)の第2スイッチング素子2を有する。電力変換回路11では、複数の第1スイッチング素子1と複数の第2スイッチング素子2とを一对一に直列接続した複数(図1の例では、3つ)のスイッチング回路10が互いに並列接続されている。電力変換回路11では、複

数の第1スイッチング素子1が第1直流端子31に接続されており、複数の第2スイッチング素子2が第2直流端子32に接続されている。

[0013] 複数の交流端子41は、複数のスイッチング回路10に一对一に対応する。複数の交流端子41の各々は、複数のスイッチング回路10のうち対応するスイッチング回路10における第1スイッチング素子1及び第2スイッチング素子2の接続点3に接続されている。

[0014] 複数のスイッチ8は、複数のスイッチング回路10に一对一に対応する。複数のスイッチ8の各々は、第1端81及び第2端82を有する。複数のスイッチ8の各々は、複数のスイッチング回路10のうち対応するスイッチング回路10における第1スイッチング素子1及び第2スイッチング素子2の接続点3に第1端81が接続されている。

[0015] 複数の共振用コンデンサ9は、複数のスイッチ8に一对一に対応する。複数の共振用コンデンサ9の各々は、複数のスイッチ8のうち対応するスイッチ8の第1端81と第2直流端子32との間に接続されている。

[0016] 複数の共振用インダクタL1の各々は、第3端及び第4端を有する。複数の共振用インダクタL1の各々では、第4端が回生用コンデンサ15に接続されている。複数の共振用インダクタL1の各々では、第3端が複数のスイッチ8のうち対応するスイッチ8の第2端82に接続されている。

[0017] 回生用コンデンサ15は、第5端153及び第6端154を有する。回生用コンデンサ15では、第5端153が第2直流端子32に接続されており、第6端154が複数の共振用インダクタL1の第4端に接続されている。

[0018] 制御装置50は、複数の第1スイッチング素子1、複数の第2スイッチング素子2及び複数のスイッチ8を制御する。

[0019] (2) 電力変換装置の詳細

以下では、説明の便宜上、複数のスイッチング回路10に関し、U相、V相及びW相に対応するスイッチング回路10を、それぞれ、スイッチング回路10U、スイッチング回路10V及びスイッチング回路10Wと称することもある。また、以下では、スイッチング回路10Uの第1スイッチング素

子1及び第2スイッチング素子2を、第1スイッチング素子1U及び第2スイッチング素子2Uと称することもある。また、以下では、スイッチング回路10Vの第1スイッチング素子1及び第2スイッチング素子2を、第1スイッチング素子1V及び第2スイッチング素子2Vと称することもある。また、以下では、スイッチング回路10Wの第1スイッチング素子1及び第2スイッチング素子2を、第1スイッチング素子1W及び第2スイッチング素子2Wと称することもある。また、以下では、第1スイッチング素子1U及び第2スイッチング素子2Uの接続点3を接続点3Uと称し、第1スイッチング素子1V及び第2スイッチング素子2Vの接続点3を接続点3Vと称し、第1スイッチング素子1W及び第2スイッチング素子2Wの接続点3を接続点3Wと称することもある。また、以下では、接続点3Uに接続されている交流端子41を交流端子41Uと称し、接続点3Vに接続されている交流端子41を交流端子41Vと称し、接続点3Wに接続されている交流端子41を交流端子41Wと称することもある。また、以下では、第2スイッチング素子2Uに並列接続されている共振用コンデンサ9を共振用コンデンサ9Uと称し、第2スイッチング素子2Vに並列接続されている共振用コンデンサ9を共振用コンデンサ9Vと称し、第2スイッチング素子2Wに並列接続されている共振用コンデンサ9を共振用コンデンサ9Wと称することもある。また、以下では、接続点3Uに接続されているスイッチ8をスイッチ8Uと称し、接続点3Vに接続されているスイッチ8をスイッチ8Vと称し、接続点3Wに接続されているスイッチ8をスイッチ8Wと称することもある。

[0020] 電力変換装置100は、例えば、第1直流端子31に直流電源E1の高電位側の出力端子（正極）が接続され、第2直流端子32に直流電源E1の低電位側の出力端子（負極）が接続される。また、電力変換装置100は、例えば、3つの交流端子41U、41V及び41Wに交流負荷RA1のU相端子、V相端子及びW相端子がそれぞれ接続される。

[0021] 電力変換回路11では、複数（図1の例では3つ）の第1スイッチング素子1及び複数（図1の例では3つ）の第2スイッチング素子2の各々は、制

御端子、第1主端子及び第2主端子を有する。複数の第1スイッチング素子1及び複数の第2スイッチング素子2の制御端子は、制御装置50に接続されている。電力変換装置100の複数のスイッチング回路10の各々では、第1スイッチング素子1の第1主端子が第1直流端子31に接続され、第1スイッチング素子1の第2主端子が第2スイッチング素子2の第1主端子に接続され、第2スイッチング素子2の第2主端子が第2直流端子32に接続されている。複数のスイッチング回路10の各々では、第1スイッチング素子1がハイサイドスイッチング素子（P側スイッチング素子）であり、第2スイッチング素子2がローサイドスイッチング素子（N側スイッチング素子）である。複数の第1スイッチング素子1及び複数の第2スイッチング素子2の各々は、例えば、IGBT（Insulated Gate Bipolar Transistor）である。したがって、複数の第1スイッチング素子1及び複数の第2スイッチング素子2の各々における、制御端子、第1主端子及び第2主端子は、それぞれ、ゲート端子、コレクタ端子及びエミッタ端子である。

[0022] 電力変換回路11は、複数（3つ）の第1スイッチング素子1に一对一に逆並列接続されている複数（3つ）の第1ダイオード4と、複数（3つ）の第2スイッチング素子2に一对一に逆並列接続されている複数（3つ）の第2ダイオード5と、を更に有する。複数の第1ダイオード4の各々では、第1ダイオード4のアノードが、この第1ダイオード4に対応する第1スイッチング素子1の第2主端子（エミッタ端子）に接続され、第1ダイオード4のカソードが、この第1ダイオード4に対応する第1スイッチング素子1の第1主端子（コレクタ端子）に接続されている。複数の第2ダイオード5の各々では、第2ダイオード5のアノードが、この第2ダイオード5に対応する第2スイッチング素子2の第2主端子（エミッタ端子）に接続され、第2ダイオード5のカソードが、この第2ダイオード5に対応する第2スイッチング素子2の第1主端子（コレクタ端子）に接続されている。

[0023] 第1スイッチング素子1Uと第2スイッチング素子2Uとの接続点3Uには、交流端子41Uを介して、例えば、交流負荷RA1のU相端子が接続さ

れる。また、第1スイッチング素子1Vと第2スイッチング素子2Vとの接続点3Vには、交流端子41Vを介して、例えば、交流負荷RA1のV相が接続される。第1スイッチング素子1Wと第2スイッチング素子2Wとの接続点3Wには、交流端子41Wを介して、例えば、交流負荷RA1のW相が接続される。

[0024] 複数の共振用コンデンサ9は、複数のスイッチ8に一对一に対応する。複数の共振用コンデンサ9の各々は、対応するスイッチ8の第1端81と第2直流端子32との間に接続されている。電力変換装置100は、複数の共振回路を有している。複数の共振回路の各々は、共振用コンデンサ9と、共振用インダクタL1と、を含む。

[0025] 複数のスイッチ8の各々は、第3スイッチング素子6及び第4スイッチング素子7を有する。複数（図1の例では3つ）の第3スイッチング素子6及び複数（図1の例では3つ）の第4スイッチング素子7の各々は、制御端子、第1主端子及び第2主端子を有する。複数の第3スイッチング素子6及び複数の第4スイッチング素子7の制御端子は、制御装置50に接続されている。複数の第3スイッチング素子6及び複数の第4スイッチング素子7の各々は、例えば、IGBTである。したがって、複数の第3スイッチング素子6及び複数の第4スイッチング素子7の各々における、制御端子、第1主端子及び第2主端子は、それぞれ、ゲート端子、コレクタ端子及びエミッタ端子である。複数のスイッチ8の各々では、第3スイッチング素子6と第4スイッチング素子7とが逆直列接続されている。複数のスイッチ8の各々では、第3スイッチング素子6の第1主端子（コレクタ端子）と第4スイッチング素子7の第1主端子（コレクタ端子）とが接続されている。複数のスイッチ8の各々では、第3スイッチング素子6の第2主端子（エミッタ端子）が、複数のスイッチング回路10のうち対応するスイッチング回路10の接続点3に接続され、第4スイッチング素子7の第2主端子（エミッタ端子）が、複数の共振用インダクタL1のうち対応する共振用インダクタL1に接続されている。また、複数のスイッチ8の各々は、第3スイッチング素子6に

逆並列接続されているダイオード61と、第4スイッチング素子7に逆並列接続されているダイオード71と、を更に有する。

[0026] 電力変換装置100では、スイッチ8Uは、第1スイッチング素子1Uと第2スイッチング素子2Uとの接続点3Uに接続されている。スイッチ8Vは、第1スイッチング素子1Vと第2スイッチング素子2Vとの接続点3Vに接続されている。スイッチ8Wは、第1スイッチング素子1Wと第2スイッチング素子2Wとの接続点3Wに接続されている。以下では、説明の便宜上、スイッチ8Uの第3スイッチング素子6及び第4スイッチング素子7を、それぞれ、第3スイッチング素子6U及び第4スイッチング素子7Uと称し、スイッチ8Vの第3スイッチング素子6及び第4スイッチング素子7を、それぞれ、第3スイッチング素子6V及び第4スイッチング素子7Vと称し、スイッチ8Wの第3スイッチング素子6及び第4スイッチング素子7を、それぞれ第3スイッチング素子6W及び第4スイッチング素子7Wと称することもある。

[0027] 複数のスイッチ8は、制御装置50によって制御される。言い換えれば、第3スイッチング素子6U、第4スイッチング素子7U、第3スイッチング素子6V、第4スイッチング素子7V、第3スイッチング素子6W及び第4スイッチング素子7Wは、制御装置50によって制御される。

[0028] 複数の共振用インダクタL1の各々は、第3端及び第4端を有する。複数の共振用インダクタL1の各々では、第3端が、複数のスイッチ8のうち対応するスイッチ8の第2端82が接続されている。複数の共振用インダクタL1の第4端は、回生用コンデンサ15の第6端154に接続されている。複数の共振用インダクタL1のインダクタンスは、互いに同じである。つまり、3つの共振用インダクタL1のインダクタンスは、互いに同じである。「3つの共振用インダクタL1のインダクタンスは、互いに同じである」とは、3つの共振用インダクタL1のうち2つの共振用インダクタL1の各々のインダクタンスが残りの1つの共振用インダクタL1のインダクタンスに完全に一致する場合だけに限らず、上記2つの共振用インダクタL1の各々

のインダクタンスが上記残りの1つの共振用インダクタL1のインダクタンスの95%以上105%以下の範囲内であればよい。

[0029] 回生用コンデンサ15は、複数の共振用インダクタL1の第4端と第2直流端子32との間に接続されている。回生用コンデンサ15は、例えば、フィルムコンデンサである。

[0030] 制御装置50は、複数の第1スイッチング素子1、複数の第2スイッチング素子2及び複数のスイッチ8を制御する。制御装置50の実行主体は、コンピュータシステムを含んでいる。コンピュータシステムは、1又は複数のコンピュータを有している。コンピュータシステムは、ハードウェアとしてのプロセッサ及びメモリを主構成とする。コンピュータシステムのメモリに記録されたプログラムをプロセッサが実行することによって、本開示における制御装置50の実行主体としての機能が実現される。プログラムは、コンピュータシステムのメモリに予め記録されていてもよいが、電気通信回線を通じて提供されてもよいし、コンピュータシステムで読み取り可能なメモリカード、光学ディスク、ハードディスクドライブ（磁気ディスク）等の非一時的記録媒体に記録されて提供されてもよい。コンピュータシステムのプロセッサは、半導体集積回路（IC）又は大規模集積回路（LSI）を含む1乃至複数の電子回路で構成される。複数の電子回路は、1つのチップに集約されていてもよいし、複数のチップに分散して設けられていてもよい。複数のチップは、1つの装置に集約されていてもよいし、複数の装置に分散して設けられていてもよい。

[0031] 制御装置50は、複数の第1スイッチング素子1U、1V、1Wそれぞれのオンオフを制御する制御信号SU1、SV1、SW1を出力する。制御信号SU1、SV1、SW1の各々は、例えば、電位レベルが第1電位レベル（以下、ローレベルともいう）と、第1電位レベルよりも高電位の第2電位レベル（以下、ハイレベルともいう）と、の間で変化するPWM（Pulse Width Modulation）信号である。第1スイッチング素子1U、1V、1Wは、それぞれ、制御信号SU1、SV1、SW1がハイレベルのときにオン状態と

なり、ローレベルのときにオフ状態となる。また、制御装置50は、複数の第2スイッチング素子2U、2V、2Wそれぞれのオンオフを制御する制御信号SU2、SV2、SW2を出力する。制御信号SU2、SV2、SW2の各々は、例えば、電位レベルが第1電位レベル（以下、ローレベルともいう）と、第1電位レベルよりも高電位の第2電位レベル（以下、ハイレベルともいう）と、の間で変化するPWM信号である。第2スイッチング素子2U、2V、2Wは、それぞれ、制御信号SU2、SV2、SW2がハイレベルのときにオン状態となり、ローレベルのときにオフ状態となる。

[0032] 制御装置50は、のこぎり波状のキャリア信号を用いて、複数の第1スイッチング素子1U、1V、1Wそれぞれに対応する制御信号SU1、SV1、SW1、及び、複数の第2スイッチング素子2U、2V、2Wそれぞれに対応する制御信号SU2、SV2、SW2を生成する。より詳細には、制御装置50は、少なくともキャリア信号及びU相の電圧指令に基づいて、第1スイッチング素子1U、第2スイッチング素子2Uそれぞれへ与える制御信号SU1、SU2を生成する。また、制御装置50は、少なくともキャリア信号及びV相の電圧指令に基づいて、第1スイッチング素子1V、第2スイッチング素子2Vそれぞれへ与える制御信号SV1、SV2を生成する。また、制御装置50は、少なくともキャリア信号及びW相の電圧指令に基づいて、第1スイッチング素子1W、第2スイッチング素子2Wそれぞれへ与える制御信号SW1、SW2を生成する。U相の電圧指令、V相の電圧指令及びW相の電圧指令は、例えば、互いの位相が 120° 異なる正弦波状の信号であり、それぞれ、時間とともに値（電圧指令値）が変化する。なお、キャリア信号の波形は、のこぎり波状に限らず、例えば、三角波でもよい。また、U相の電圧指令、V相の電圧指令及びW相の電圧指令の1周期の長さは、同じである。また、U相の電圧指令、V相の電圧指令及びW相の電圧指令の1周期の長さは、キャリア信号の1周期の長さよりも長い。

[0033] 制御装置50から第1スイッチング素子1U、第2スイッチング素子2Uそれぞれへ与える制御信号SU1、SU2のデューティは、U相の電圧指令

に基づいて変化する。図2には、制御信号SU1のデューティをU相デューティとして示してある。制御装置50（図1参照）は、U相の電圧指令とキャリア信号とを比較して第1スイッチング素子1Uへ与える制御信号SU1を生成する。また、制御装置50は、第1スイッチング素子1Uへ与える制御信号SU1を反転させて第2スイッチング素子2Uへ与える制御信号SU2を生成する。また、制御装置50は、第1スイッチング素子1U及び第2スイッチング素子2Uそれぞれのオン期間が重複しないように、制御信号SU1のハイレベル期間と制御信号SU2のハイレベル期間との間にデッドタイム期間Td（図3参照）を設定する。

[0034] 制御装置50から第1スイッチング素子1V、第2スイッチング素子2Vそれぞれへ与える制御信号SV1、SV2のデューティは、V相の電圧指令に基づいて変化する。図2には、制御信号SV1のデューティをV相デューティとして示してある。制御装置50（図1参照）は、V相の電圧指令とキャリア信号とを比較して第1スイッチング素子1Vへ与える制御信号SV1を生成する。また、制御装置50は、第1スイッチング素子1Vへ与える制御信号SV1を反転させて第2スイッチング素子2Vへ与える制御信号SV2を生成する。また、制御装置50は、第1スイッチング素子1V及び第2スイッチング素子2Vそれぞれのオン期間が重複しないように、制御信号SV1のハイレベル期間と制御信号SV2のハイレベル期間との間にデッドタイム期間を設定する。

[0035] 制御装置50から第1スイッチング素子1W、第2スイッチング素子2Wそれぞれへ与える制御信号SW1、SW2のデューティは、W相の電圧指令に基づいて変化する。図2には、制御信号SW1のデューティをW相デューティとして示してある。制御装置50（図1参照）は、W相の電圧指令とキャリア信号とを比較して第1スイッチング素子1Wへ与える制御信号SW1を生成する。また、制御装置50は、第1スイッチング素子1Wへ与える制御信号SW1を反転させて第2スイッチング素子2Wへ与える制御信号SW2を生成する。また、制御装置50は、第1スイッチング素子1W及び第2

スイッチング素子 2 Wそれぞれのオン期間が重複しないように、制御信号 S W 1 のハイレベル期間と制御信号 S W 2 のハイレベル期間との間にデッドタイム期間を設定する。

[0036] U相の電圧指令、V相の電圧指令及びW相の電圧指令は、例えば、互いの位相が 120° 異なる正弦波状の信号であり、それぞれ、時間とともに値が変化する。したがって、制御信号 S U 1 のデューティ（U相デューティ）、制御信号 S V 1 のデューティ（V相デューティ）及び制御信号 S W 1 のデューティ（W相デューティ）は、例えば、図 2 に示すように、互いの位相が 120° 異なる正弦波状に変化する。同様に、制御信号 S U 2 のデューティ、制御信号 S V 2 のデューティ及び制御信号 S W 2 のデューティは、互いの位相が 120° 異なる正弦波状に変化する。

[0037] 制御装置 5 0 は、キャリア信号と各電圧指令と交流負荷 R A 1 の状態に関する情報とに基づいて各制御信号 S U 1、S U 2、S V 1、S V 2、S W 1、S W 2 を生成する。例えば、交流負荷 R A 1 が 3 相モータの場合、交流負荷 R A 1 の状態に関する情報は、例えば、交流負荷 R A 1 の U 相、V 相及び W 相それぞれに流れる出力電流（以下、負荷電流ともいう） i_U 、 i_V 、 i_W を検出する複数の電流センサからの検出値を含む。

[0038] 複数のスイッチ 8、複数の共振用インダクタ L 1、複数の共振用コンデンサ 9 及び回生用コンデンサ 1 5 は、複数の第 1 スwitching 素子 1 及び複数の第 2 スwitching 素子 2 のゼロ電圧ソフトスイッチングを行うために設けられている。なお、図 1 では、回生用コンデンサ 1 5 の両端電圧を V 1 5 として記載してある。

[0039] 電力変換装置 1 0 0 では、制御装置 5 0 が、電力変換回路 1 1 の複数の第 1 スwitching 素子 1 及び第 2 スwitching 素子 2 の他に、複数のスイッチ 8 も制御する。

[0040] 制御装置 5 0 は、第 3 スwitching 素子 6 U、第 4 スwitching 素子 7 U、第 3 スwitching 素子 6 V、第 4 スwitching 素子 7 V、第 3 スwitching 素子 6 W 及び第 4 スwitching 素子 7 W それぞれのオンオフを制御する制

御信号SU6、SU7、SV6、SV7、SW6、SW7を生成して、第3スイッチング素子6U、第4スイッチング素子7U、第3スイッチング素子6V、第4スイッチング素子7V、第3スイッチング素子6W及び第4スイッチング素子7Wそれぞれのゲート端子へ出力する。

[0041] スイッチ8Uは、第3スイッチング素子6Uがオン状態で、かつ、第4スイッチング素子7Uがオフ状態の場合、回生用コンデンサ15－共振用インダクタL1－スイッチ8U－共振用コンデンサ9Uの経路で流れる充電電流を通過させることができる。充電電流は、共振用コンデンサ9Uを充電する電流である。スイッチ8Uは、第3スイッチング素子6Uがオフ状態で、かつ、第4スイッチング素子7Uがオン状態の場合、共振用コンデンサ9U－スイッチ8U－共振用インダクタL1－回生用コンデンサ15の経路で流れる放電電流を通過させることができる。放電電流は、共振用コンデンサ9Uの電荷を放電させる電流である。

[0042] スイッチ8Vは、第3スイッチング素子6Vがオン状態で、かつ、第4スイッチング素子7Vがオフ状態の場合、回生用コンデンサ15－共振用インダクタL1－スイッチ8V－共振用コンデンサ9Vの経路で流れる充電電流を通過させることができる。充電電流は、共振用コンデンサ9Vを充電する電流である。スイッチ8Vは、第3スイッチング素子6Vがオフ状態で、かつ、第4スイッチング素子7Vがオン状態の場合、共振用コンデンサ9V－スイッチ8V－共振用インダクタL1－回生用コンデンサ15の経路で流れる放電電流を通過させることができる。放電電流は、共振用コンデンサ9Vの電荷を放電させる電流である。

[0043] スイッチ8Wは、第3スイッチング素子6Wがオン状態で、かつ、第4スイッチング素子7Wがオフ状態の場合、回生用コンデンサ15－共振用インダクタL1－スイッチ8W－共振用コンデンサ9Wの経路で流れる充電電流を通過させることができる。充電電流は、共振用コンデンサ9Wを充電する電流である。スイッチ8Wは、第3スイッチング素子6Wがオフ状態で、かつ、第4スイッチング素子7Wがオン状態の場合、共振用コンデンサ9W－

スイッチ8W－共振用インダクタL1－回生用コンデンサ15の経路で流れる放電電流を通過させることができる。放電電流は、共振用コンデンサ9Wの電荷を放電させる電流である。

[0044] (3) 電力変換装置の動作

以下では、共振用インダクタL1に流れる電流 i_{L1} について図1中の矢印の向きに流れているときの極性を正とし、図1中の矢印の向きと反対の向きに流れているときの極性を負として説明する。また、以下では、交流負荷RA1のU相、V相、W相それぞれに流れる負荷電流 i_U 、 i_V 、 i_W について図1中の矢印の向きに流れているときの極性を正とし、図1中の矢印の向きと反対の向きに流れているときの極性を負として説明する。また、共振用コンデンサ9U、9V、9Wそれぞれに流れる電流 i_{9U} 、 i_{9V} 、 i_{9W} について、図1中の矢印の向きに流れているときの極性を正とし、図1中の矢印の向きと反対の向きに流れているときの極性を負として説明する。したがって、共振用コンデンサ9U、9V、9Wが放電する放電動作の場合には、電流 i_{9U} 、 i_{9V} 、 i_{9W} の極性が正となり、共振用コンデンサ9U、9V、9Wが充電される充電動作の場合には、電流 i_{9U} 、 i_{9V} 、 i_{9W} の極性が負となる。

[0045] 制御装置50は、複数のスイッチング回路10の各々について第1スイッチング素子1U、1V、1Wへの制御信号 S_{U1} 、 S_{V1} 、 S_{W1} のハイレベル期間と第2スイッチング素子2U、2V、2Wへの制御信号 S_{U2} 、 S_{V2} 、 S_{W2} のハイレベル期間との間にデッドタイム期間 T_d を設定する。

[0046] 以下では、複数の第1スイッチング素子1及び複数の第2スイッチング素子2それぞれのゼロ電圧ソフトスイッチングの基本動作について、図1～5を参照して説明し、その後、リングングの発生するリングング期間及びその前後の動作について、図6～8を参照して説明する。

[0047] (3.1) 基本動作

第1スイッチング素子1のゼロ電圧ソフトスイッチングでは、ゼロ電圧ソフトスイッチングの対象とする第1スイッチング素子1のターンオン直前に

第1スイッチング素子1の両端電圧をゼロにする必要がある。また、第2スイッチング素子2のゼロ電圧ソフトスイッチングでは、ゼロ電圧ソフトスイッチングの対象とする第2スイッチング素子2のターンオン直前に第2スイッチング素子2の両端電圧をゼロにする必要がある。以下では、ゼロ電圧ソフトスイッチングの対象とするスイッチング素子（第1スイッチング素子1又は第2スイッチング素子2）を対象スイッチング素子ともいう。

[0048] 制御装置50の基本動作は、対象スイッチング素子に接続された交流端子41に流れる負荷電流の極性（正／負）と、対象スイッチング素子に直列又は並列に接続されている共振用コンデンサ9の動作（充電動作／放電動作）と、の違いにより異なる。負荷電流 i_U 、 i_V 、 i_W は、交流端子41から交流負荷RA1に向かって流れるときの極性が正であり、交流負荷RA1から交流端子41へ向かって流れるときの極性が負である。共振用コンデンサ9の充電動作のときには、共振用コンデンサ9の両端電圧が増加する。また、共振用コンデンサ9の放電動作のときには、共振用コンデンサ9の両端電圧が減少する。複数の第2スイッチング素子2の各々の両端電圧は、第2スイッチング素子2に並列接続されている共振用コンデンサ9の両端電圧と同じである。

[0049] 制御装置50は、ソフトスイッチングの対象が第1スイッチング素子1（以下、対象第1スイッチング素子1ともいう）であり、対象第1スイッチング素子1に接続された交流端子41に流れる負荷電流の極性が正の場合、対象第1スイッチング素子1に対応する第3スイッチング素子6をオンさせる。これにより、制御装置50は、対象第1スイッチング素子1に接続されている共振用インダクタL1と共振用コンデンサ9とを共振させて回生用コンデンサ15から共振用コンデンサ9を充電させ、対象第1スイッチング素子1の両端電圧をゼロにする。これにより、電力変換装置100は、対象第1スイッチング素子1のゼロ電圧ソフトスイッチングを実現することができる。

[0050] また、制御装置50は、対象第2スイッチング素子2に接続された交流端

子41に流れる負荷電流の極性が負の場合、対象第2スイッチング素子2に対応する第4スイッチング素子7をオンさせる。これにより、制御装置50は、対象第2スイッチング素子2に接続されている共振用コンデンサ9と共振用インダクタL1とを共振させて共振用コンデンサ9から放電させ、対象第2スイッチング素子2の両端電圧をゼロにする。これにより、電力変換装置100は、対象第2スイッチング素子2のゼロ電圧ソフトスイッチングを実現することができる。

[0051] 図3には、対象スイッチング素子がスイッチング回路10Uの第1スイッチング素子1Uである場合及び第2スイッチング素子2Uである場合について、制御信号SU1、SU2、制御信号SU6、SU7と、共振用インダクタL1に流れる電流*i*_{L1}と、第1スイッチング素子1Uの両端電圧V_{1u}と、第2スイッチング素子2Uの両端電圧V_{2u}と、を図示してある。また、図3には、制御装置50において同相の第1スイッチング素子1U及び第2スイッチング素子2Uが同時にオン状態になることを防止するために設定されたデッドタイム期間T_dを図示してある。また、図3では、直流電源E1の電圧値をV_dとして図示してある。

[0052] 対象スイッチング素子が第1スイッチング素子1Uの場合、スイッチング回路10Uでは、第2スイッチング素子2Uの両端電圧V_{2u}は、制御信号SU1のハイレベル期間直前のデッドタイム期間T_dの終了する時点t₂でV_dとなり、第1スイッチング素子1Uの両端電圧V_{1u}は、制御信号SU1のハイレベル期間直前のデッドタイム期間T_dの終了する時点t₂でゼロとなる。したがって、時点t₂で制御信号SU1がローレベルからハイレベルに変化したときに、第1スイッチング素子1Uが、ゼロ電圧ソフトスイッチングされる。図3の例では、共振用インダクタL1に流れる電流*i*_{L1}は、制御信号SU6のハイレベル期間の開始される時点t₁から流れ始め、デッドタイム期間T_dの終了する時点t₂でゼロになる。制御信号SU6は、時点t₂よりも後の時点t₃でハイレベルからローレベルに変化する。時点t₃については、「(3.2) リンギングの発生するリンギング期間及びそ

の前後の動作」の欄で説明する。時点 t_1 から時点 t_2 の間に流れる電流 i_{L1} は、回生用コンデンサ 15 から共振用インダクタ L_1 を介して共振用コンデンサ $9U$ に流れる共振電流（共振用コンデンサ $9U$ の充電電流）である。

[0053] 対象スイッチング素子が第2スイッチング素子 $2U$ の場合、スイッチング回路 $10U$ では、第1スイッチング素子 $1U$ の両端電圧 V_{1u} は、制御信号 S_{U2} のハイレベル期間直前のデッドタイム期間 T_d の終了する時点 t_5 で V_d となり、第2スイッチング素子 $2U$ の両端電圧 V_{2u} は、デッドタイム期間 T_d の終了する時点 t_5 でゼロとなる。したがって、時点 t_5 で制御信号 S_{U2} がローレベルからハイレベルに変化したときに、第2スイッチング素子 $2U$ が、ゼロ電圧ソフトスイッチングされる。図3の例では、共振用インダクタ L_1 に流れる電流 i_{L1} は、制御信号 S_{U7} のハイレベル期間の開始される時点 t_4 から流れ始め、デッドタイム期間 T_d の終了する時点 t_5 でゼロになる。制御信号 S_{U7} は、時点 t_5 よりも後の時点 t_6 でハイレベルからローレベルに変化する。時点 t_6 は、制御信号 S_{U2} がハイレベルからローレベルへ変化する時点 t_7 （図8参照）よりも前の時点であるが、時点 t_7 と同じであってもよい。つまり、時点 t_6 は、時点 t_7 以前であればよい。時点 t_4 から時点 t_5 の間に流れる電流 i_{L1} は、共振用コンデンサ $9U$ から共振用インダクタ L_1 に流れる共振電流（共振用コンデンサ $9U$ の放電電流）である。

[0054] 図4には、対象スイッチング素子がスイッチング回路 $10V$ の第1スイッチング素子 $1V$ の場合及び第2スイッチング素子 $2V$ である場合について、制御信号 S_{V1} 、 S_{V2} 、制御信号 S_{V6} 、 S_{V7} 、電流 i_{L1} 、第1スイッチング素子 $1V$ の両端電圧 V_{1v} 及び第2スイッチング素子 $2V$ の両端電圧 V_{2v} を図示してある。

[0055] 対象スイッチング素子が第1スイッチング素子 $1V$ の場合、スイッチング回路 $10V$ では、第2スイッチング素子 $2V$ の両端電圧 V_{2v} は、制御信号 S_{V1} のハイレベル期間直前のデッドタイム期間 T_d の終了する時点 t_{12}

で V_d となり、第1スイッチング素子1Vの両端電圧 V_{1v} は、制御信号 S_{V1} のハイレベル期間直前のデッドタイム期間 T_d の終了する時点 t_{12} でゼロとなる。したがって、時点 t_{12} で制御信号 S_{V1} がローレベルからハイレベルに変化したときに、第1スイッチング素子1Vが、ゼロ電圧ソフトスイッチングされる。図4の例では、共振用インダクタ L_1 に流れる電流 i_{L1} は、制御信号 S_{V6} のハイレベル期間の開始される時点 t_{11} から流れ始め、デッドタイム期間 T_d の終了する時点 t_{12} でゼロになる。制御信号 S_{V6} は、時点 t_{12} よりも後の時点 t_{13} でハイレベルからローレベルに変化する。時点 t_{11} から時点 t_{12} の間に流れる電流 i_{L1} は、回生用コンデンサ C_{15} から共振用インダクタ L_1 を介して共振用コンデンサ C_{9V} に流れる共振電流（共振用コンデンサ C_{9V} の充電電流）である。

[0056] 対象スイッチング素子が第2スイッチング素子2Vの場合、スイッチング回路10Vでは、第1スイッチング素子1Vの両端電圧 V_{1v} は、制御信号 S_{V2} のハイレベル期間直前のデッドタイム期間 T_d の終了する時点 t_{15} で V_d となり、第2スイッチング素子2Vの両端電圧 V_{2v} は、デッドタイム期間 T_d の終了する時点 t_{15} でゼロとなる。したがって、時点 t_{15} で制御信号 S_{V2} がローレベルからハイレベルに変化したときに、第2スイッチング素子2Vが、ゼロ電圧ソフトスイッチングされる。図4の例では、共振用インダクタ L_1 に流れる電流 i_{L1} は、制御信号 S_{V7} のハイレベル期間の開始される時点 t_{14} から流れ始め、デッドタイム期間 T_d の終了する時点 t_{15} でゼロになる。制御信号 S_{V7} は、時点 t_{15} よりも後の時点 t_{16} でハイレベルからローレベルに変化する。時点 t_{16} は、制御信号 S_{V2} がハイレベルからローレベルへ変化する時点以前の時点である。時点 t_{14} から時点 t_{15} の間に流れる電流 i_{L1} は、共振用コンデンサ C_{9V} から共振用インダクタ L_1 に流れる共振電流（共振用コンデンサ C_{9V} の放電電流）である。

[0057] また、図5には、対象スイッチング素子がスイッチング回路10Wの第1スイッチング素子1W又は第2スイッチング素子2Wである場合について、

制御信号SW1、SW2、SW6、SW7、電流 i_{L1} 、第1スイッチング素子1Wの両端電圧 V_{1w} 及び第2スイッチング素子2Wの両端電圧 V_{2w} を図示してある。

[0058] 対象スイッチング素子が第1スイッチング素子1Wの場合、スイッチング回路10Wでは、第2スイッチング素子2Wの両端電圧 V_{2w} は、制御信号SW1のハイレベル期間直前のデッドタイム期間 T_d の終了する時点 t_{22} で V_d となり、第1スイッチング素子1Wの両端電圧 V_{1w} は、制御信号SW1のハイレベル期間直前のデッドタイム期間 T_d の終了する時点 t_{22} でゼロとなる。したがって、時点 t_{22} で制御信号SW1がローレベルからハイレベルに変化したときに、第1スイッチング素子1Wが、ゼロ電圧ソフトスイッチングされる。図5の例では、共振用インダクタ L_1 に流れる電流 i_{L1} は、制御信号SW6のハイレベル期間の開始される時点 t_{21} から流れ始め、デッドタイム期間 T_d の終了する時点 t_{22} でゼロになる。制御信号SW6は、時点 t_{22} よりも後の時点 t_{23} でハイレベルからローレベルに変化する。時点 t_{21} から時点 t_{22} の間に流れる電流 i_{L1} は、回生用コンデンサ15から共振用インダクタ L_1 を介して共振用コンデンサ9Wに流れる共振電流（共振用コンデンサ9Wの充電電流）である。

[0059] 対象スイッチング素子が第2スイッチング素子2Wの場合、スイッチング回路10Wでは、第1スイッチング素子1Wの両端電圧 V_{1w} は、制御信号SW2のハイレベル期間直前のデッドタイム期間 T_d の終了する時点 t_{25} で V_d となり、第2スイッチング素子2Wの両端電圧 V_{2w} は、デッドタイム期間 T_d の終了する時点 t_{25} でゼロとなる。したがって、時点 t_{25} で制御信号SW2がローレベルからハイレベルに変化したときに、第2スイッチング素子2Wが、ゼロ電圧ソフトスイッチングされる。図5の例では、共振用インダクタ L_1 に流れる電流 i_{L1} は、制御信号SW7のハイレベル期間の開始される時点 t_{24} から流れ始め、デッドタイム期間 T_d の終了する時点 t_{25} でゼロになる。制御信号SW7は、時点 t_{25} よりも後の時点 t_{26} でハイレベルからローレベルに変化する。時点 t_{26} は、制御信号SW

2がハイレベルからローレベルへ変化する時点以前の時点である。時点 t_{24} から時点 t_{25} の間に流れる電流 i_{L1} は、共振用コンデンサ9Wから共振用インダクタL1に流れる共振電流（共振用コンデンサ9Wの放電電流）である。

[0060] (3. 2) リンギングの発生するリンギング期間及びその前後の動作
以下では、リンギングの発生するリンギング期間及びその前後の動作について、図6～8を参照しながら説明する。

[0061] 図6では、一例として、U相のスイッチ8Uの第3スイッチング素子6Uがオン、第4スイッチング素子7Uがオフのとき（第1動作モードのとき）に、共振用インダクタL1に流れる電流 i_{L1} がゼロとなった直後に共振用インダクタL1に流れる電流 i_{L1} の電流経路を太線で示してある。また、図7には、図6の状態から、第3スイッチング素子6Uがオフ、第4スイッチング素子7Uがオフの状態（第2動作モード）に移行した場合に関し、スイッチ8Uの第3スイッチング素子6Uがオフされた直後に共振用インダクタL1に流れる電流 i_{L1} の電流経路を太線で示してある。また、図7には、第3スイッチング素子6Uの寄生容量62を図示してある。

[0062] 電力変換装置100では、共振用インダクタL1に流れる電流がゼロとなった直後、スイッチ8Uのリカバリ電流が流れるので、電流 i_L は、図6に示す電流経路で流れる。すなわち、電流 i_{L1} は、回生用コンデンサ15ー共振用インダクタL1ーダイオード71ー第3スイッチング素子6Uー共振用コンデンサ9Uー回生用コンデンサ15の電流経路で流れる。

[0063] 電力変換装置100では、第1動作モードから第2動作モードに移行した場合、電流 i_{L1} は、図7に示す電流経路で流れる。すなわち、電流 i_{L1} は、回生用コンデンサ15ー共振用インダクタL1ーダイオード71ー寄生容量62ー共振用コンデンサ9Uー回生用コンデンサ15の電流経路で流れる。なお、図7では、寄生容量62以外の寄生容量の図示を省略してある。また、図1では、寄生容量62を含む全部の寄生容量の図示を省略してある。

- [0064] ところで、電力変換装置100では、共振用インダクタL1に流れる電流 i_{L1} がゼロになってからリングングが発生する。また、電力変換装置100では、スイッチ8Uの第3スイッチング素子6Uの両端電圧 V_{6u} がゼロボルトから立ち上がる時にリングングが発生する。リングングは、共振用インダクタL1に流れる電流 i_{L1} がゼロとなったタイミングで第3スイッチング素子6Uの両端電圧 V_{6u} に発生する。
- [0065] 実施形態1に係る電力変換装置100の比較例では、図9に示すように、第3スイッチング素子6Uの両端電圧 V_{6u} にリングングが発生しているときに制御信号 S_{U6} がハイレベルからローレベルに変化する。この場合、図9に示すように、第3スイッチング素子6Uがオフされるタイミング（図9の例では時点 t_2 ）で、第3スイッチング素子6Uの両端電圧 V_{6u} のリングング波形に歪が発生する（リングング波形ノイズが重畳される）。
- [0066] これに対して、実施形態1に係る電力変換装置100では、制御装置50は、図8に示すように、第3スイッチング素子6Uの両端電圧 V_{6u} にリングングが発生するリングング期間中は第3スイッチング素子6Uにリングング期間の直前の状態（図8の例では、オン状態）を維持させる。ここにおいて、「リングングが発生するリングング期間」は、電力変換装置100の設計の段階で、第3スイッチング素子6Uの両端電圧 V_{6u} にリングングが発生すると推定される期間であり、設計の段階で決められる。本実施形態では、「第3スイッチング素子6Uにリングング期間の直前の状態を維持させる」とは、制御信号 S_{U6} のハイレベルの状態を維持することで第3スイッチング素子6Uのオン状態を維持させることを意味する。したがって、制御装置50は、第3スイッチング素子6Uの両端電圧 V_{6u} をモニタすることなく、第3スイッチング素子6Uへの制御信号 S_{U6} をハイレベルからローレベルに切り替えるタイミング（図8の例では、時点 t_2 ）よりも先に、リングングの発生するリングング期間を推定することができる。制御装置50は、推定したリングング期間中は第3スイッチング素子6Uに推定したリングング期間の直前の状態を維持させるので、リングング波形に歪が発生するの

を抑制することができる。実施形態1に係る電力変換装置100では、制御装置50は、第3スイッチング素子6Uの両端電圧 V_{6u} のリングング期間の終了するタイミング（図8では、時点 t_3 ）で制御信号 S_{U6} をハイレベルからローレベルへ変化させる。「第3スイッチング素子6Uの両端電圧 V_{6u} のリングング期間の終了するタイミング」は、リングングの振幅がゼロになるタイミングであるが、リングングの振幅がゼロになるタイミングに限らず、リングングの振幅が閾値以下となるタイミングであってもよい。閾値は、電力変換装置100の設計の段階で決められる値であり、例えば、設計の段階で決められる第3スイッチング素子6Uの両端電圧 V_{6u} の定常電圧、の10%の値である。なお、図8及び図9には、制御信号 S_{U1} 、 S_{U2} 、 S_{U6} 、 S_{U7} と、共振用インダクタ L_1 に流れる電流 i_{L1} 、第3スイッチング素子6Uの両端電圧 V_{6u} と、を図示してある。

[0067] 図6～8では、U相の第3スイッチング素子6Uの両端電圧 V_{6u} がゼロボルトから立ち上がる時に発生するリングングのリングング期間及び制御装置50の動作について説明しているが、V相の第3スイッチング素子6Vの両端電圧がゼロボルトから立ち上がる時に発生するリングング期間及び制御装置50の動作、W相の第3スイッチング素子6Wの両端電圧がゼロボルトから立ち上がる時に発生するリングング期間及び制御装置50の動作についても同様である。また、U相の第4スイッチング素子7Uの両端電圧がゼロボルトから立ち上がる時に発生するリングング期間及び制御装置50の動作、V相の第4スイッチング素子7Vの両端電圧がゼロボルトから立ち上がる時に発生するリングング期間及び制御装置50の動作、W相の第4スイッチング素子7Wの両端電圧がゼロボルトから立ち上がる時に発生するリングング期間及び制御装置50の動作についても、U相の第3スイッチング素子6Uの両端電圧 V_{6u} がゼロボルトから立ち上がる時に発生するリングングのリングング期間及び制御装置50の動作と同様である。

[0068] (3.3) 特性

図10中のA1は、実施形態1に係る電力変換装置100で発生する放射

ノイズの測定値を示す。また、図10中のA2は、比較例の電力変換装置で発生する放射ノイズの測定値を示す。図10における横軸は、放射ノイズの周波数であり、縦軸は、放射ノイズのレベルである。放射ノイズの測定条件は、CISPR32に準拠し、3m法による測定を行った。実施形態1に係る電力変換装置100では、比較例に係る電力変換装置と比べて、放射ノイズを低減できることが分かる。

[0069] (4) 利点

実施形態1に係る電力変換装置100は、第1直流端子31及び第2直流端子32と、電力変換回路11と、複数のスイッチ8と、複数の共振用コンデンサ9と、複数の共振用インダクタL1と、回生用コンデンサ15と、複数の交流端子41と、制御装置50と、を備える。電力変換回路11は、複数のスイッチング回路10を有する。複数のスイッチング回路10の各々は、互いに直列接続された第1スイッチング素子1及び第2スイッチング素子2と、第1スイッチング素子1に逆並列接続されている第1ダイオード4と、第2スイッチング素子2に逆並列接続されている第2ダイオード5と、を含む。複数のスイッチング回路10では、第1スイッチング素子1が第1直流端子31に接続されており、第2スイッチング素子2が第2直流端子32に接続されている。複数のスイッチ8の各々は、第1端81及び第2端82を有する。複数のスイッチ8は、複数のスイッチング回路10に一対一に対応する。複数のスイッチ8の各々は、複数のスイッチング回路10のうち対応するスイッチング回路10における第1スイッチング素子1及び第2スイッチング素子2の接続点3に接続されている。複数の共振用コンデンサ9は、複数のスイッチ8に一対一に対応する。複数の共振用コンデンサ9の各々は、複数のスイッチ8のうち対応するスイッチ8の第1端81と第2直流端子32との間に接続されている。複数の共振用インダクタL1は、複数のスイッチ8に一対一に対応する。複数の共振用インダクタL1の各々は、複数のスイッチ8のうち対応するスイッチ8の第2端82に接続されている。複数の交流端子41は、複数のスイッチング回路10に一対一に対応する。複

数の交流端子41の各々は、複数のスイッチング回路10のうち対応するスイッチング回路10における第1スイッチング素子1及び第2スイッチング素子2の接続点3に接続されている。制御装置50は、複数の第1スイッチング素子1、複数の第2スイッチング素子2及び複数のスイッチ8を制御する。複数のスイッチ8の各々は、第3スイッチング素子6と、第4スイッチング素子7と、を含む。第3スイッチング素子6は、オン状態のときに共振用インダクタL1側からの電流*i*_{L1}が流れる。第4スイッチング素子7は、オン状態のときに第3スイッチング素子6とは逆向きの電流が流れる。制御装置50は、複数の第1スイッチング素子1、複数の第2スイッチング素子2、複数の第3スイッチング素子6及び複数の第4スイッチング素子7の各々に対してハイレベルとローレベルとの間で電位が変化する制御信号を与える。制御装置50は、複数のスイッチング回路10の各々に関して、第1スイッチング素子1への制御信号のハイレベル期間と第2スイッチング素子2への制御信号のハイレベル期間との間にデッドタイム期間T_dを設定する。制御装置50は、複数のスイッチ8の各々への制御信号のハイレベル期間の少なくとも一部を、デッドタイム期間T_dに重複させる。制御装置50は、複数のスイッチ8の各々に関し、第3スイッチング素子6の両端電圧にリングングが発生するリングング期間中は第3スイッチング素子6にリングング期間の直前の状態（オン状態）を維持させる。

[0070] 上記の構成によれば、放射ノイズを低減することが可能となる。

[0071] 実施形態1に係る電力変換装置100では、制御装置50は、複数のスイッチング回路10の各々において第1スイッチング素子1をオフさせるタイミング以前に、複数のスイッチング回路10に一对一に対応する第3スイッチング素子6をオフさせる。「第1スイッチング素子1をオフさせるタイミング以前」は、第1スイッチング素子1をオフさせるタイミングよりも前のタイミングに限られず、第1スイッチング素子1をオフさせるタイミングも含む。

[0072] 上記の構成によれば、第1スイッチング素子1のゼロ電圧ソフトスイッチ

ングを実現することができる。

[0073] また、制御装置50は、第4スイッチング素子7の両端電圧にリングングが発生するリングング期間中は第4スイッチング素子7にリングング期間の直前の状態を維持させる。これにより、実施形態1に係る電力変換装置100は、放射ノイズを更に低減することが可能となる。

[0074] (実施形態2)

実施形態2に係る電力変換装置100Aについて、図11を参照して説明する。実施形態2に係る電力変換装置100Aに関し、実施形態1に係る電力変換装置100と同様の構成要素については、同一の符号を付して説明を省略する。

[0075] (1) 構成

電力変換装置100Aは、回生用コンデンサ15（以下、第1回生用コンデンサ15ともいう）の第6端154と第1直流端子31との間に接続されている回生用コンデンサ16（以下、第2回生用コンデンサ16ともいう）を更に備える点で、電力変換装置100と相違する。

[0076] 第2回生用コンデンサ16は、第1回生用コンデンサ15に直列接続されている。したがって、電力変換装置100Aでは、第2回生用コンデンサ16と第1回生用コンデンサ15との直列回路が、第1直流端子31と第2直流端子32との間に接続されている。電力変換装置100Aでは、第1回生用コンデンサ15と第2回生用コンデンサ16との間の経路に複数の共振用インダクタL1が接続されている。第2回生用コンデンサ16のキャパシタンスは、第1回生用コンデンサ15のキャパシタンスと同じである。「第2回生用コンデンサ16のキャパシタンスは、第1回生用コンデンサ15のキャパシタンスと同じである」とは、第2回生用コンデンサ16のキャパシタンスが第1回生用コンデンサ15のキャパシタンスに完全に一致する場合だけに限らず、第2回生用コンデンサ16のキャパシタンスが第1回生用コンデンサ15のキャパシタンスの95%以上105%以下の範囲内であればよい。

[0077] 実施形態2に係る電力変換装置100Aでは、第1回生用コンデンサ15の両端電圧V15（第1回生用コンデンサ15の第6端154の電位）は、直流電源E1の電圧値であるVdを第2回生用コンデンサ16と第1回生用コンデンサ15とで分圧した値となる。したがって、第1回生用コンデンサ15の両端電圧V15は、略 $Vd/2$ となる。実施形態2に係る電力変換装置100Aでは、制御装置50が、第1回生用コンデンサ15の両端電圧V15の値をあらかじめ記憶していてもよい。

[0078] （2）利点

実施形態2に係る電力変換装置100Aの制御装置50の動作は、実施形態1に係る電力変換装置100の制御装置50の動作と同様である。したがって、実施形態2に係る電力変換装置100Aは、実施形態1に係る電力変換装置100と同様、放射ノイズを低減することが可能となる。

[0079] （実施形態3）

実施形態3に係る電力変換装置100Bについて、図12を参照して説明する。実施形態3に係る電力変換装置100Bに関し、実施形態1に係る電力変換装置100と同様の構成要素については、同一の符号を付して説明を省略する。

[0080] （1）構成

電力変換装置100Bは、共振用インダクタL1を1つだけ備えている点で、実施形態1に係る電力変換装置100と相違する。電力変換装置100Bでは、複数の共振回路において、共振用インダクタL1が共通である。電力変換装置100Bでは、共振用インダクタL1の第3端が、共通接続点25に接続されている。共通接続点25には、複数のスイッチ8の第2端82が共通接続されている。

[0081] （2）電力変換装置の動作

電力変換装置100Bでは、電力変換装置100と同様、制御装置50が、複数（図12の例では3つ）の第1スイッチング素子1、複数（図12の例では3つ）の第2スイッチング素子2及び複数（図12の例では3つ）の

スイッチ8を制御する。制御装置50の動作は、電力変換装置100の制御装置50と同様である。

[0082] (3) 利点

実施形態3に係る電力変換装置100Bでは、実施形態1に係る電力変換装置100と同様、制御装置50が、複数の第3スイッチング素子6の各々に関し、第3スイッチング素子6の両端電圧にリングングが発生するリングング期間中は第3スイッチング素子6にリングング期間の直前の状態（オン状態）を維持させる。したがって、実施形態3に係る電力変換装置100Bは、実施形態1に係る電力変換装置100と同様、放射ノイズを低減することが可能となる。

[0083] また、実施形態3に係る電力変換装置100Bは、共振用インダクタL1の数が1つであり、複数のスイッチ8の第2端82が1つの共振用インダクタL1に共通接続されている。これにより、実施形態3に係る電力変換装置100Bは、小型化を図ることが可能となる。

[0084] (実施形態4)

実施形態4に係る電力変換装置100Cについて、図13を参照して説明する。実施形態4に係る電力変換装置100Cに関し、実施形態3に係る電力変換装置100Bと同様の構成要素については、同一の符号を付して説明を省略する。

[0085] (1) 構成

電力変換装置100Cは、回生用コンデンサ15（以下、第1回生用コンデンサ15ともいう）の第6端154と第1直流端子31との間に接続されている回生用コンデンサ16（以下、第2回生用コンデンサ16ともいう）を更に備える点で、電力変換装置100Bと相違する。

[0086] 第2回生用コンデンサ16は、第1回生用コンデンサ15に直列接続されている。したがって、電力変換装置100Cでは、第2回生用コンデンサ16と第1回生用コンデンサ15との直列回路が、第1直流端子31と第2直流端子32との間に接続されている。第2回生用コンデンサ16のキャパシ

タンスは、第1回生用コンデンサ15のキャパシタンスと同じである。「第2回生用コンデンサ16のキャパシタンスは、第1回生用コンデンサ15のキャパシタンスと同じである」とは、第2回生用コンデンサ16のキャパシタンスが第1回生用コンデンサ15のキャパシタンスに完全に一致する場合だけに限らず、第2回生用コンデンサ16のキャパシタンスが第1回生用コンデンサ15のキャパシタンスの95%以上105%以下の範囲内であればよい。

[0087] 実施形態4に係る電力変換装置100Cでは、第1回生用コンデンサ15の両端電圧 V_{15} （第1回生用コンデンサ15の第6端154の電位）は、直流電源E1の電圧値である V_d を第2回生用コンデンサ16と第1回生用コンデンサ15とで分圧した値となる。したがって、第1回生用コンデンサ15の両端電圧 V_{15} は、略 $V_d/2$ となる。実施形態4に係る電力変換装置100Cでは、制御装置50が、第1回生用コンデンサ15の両端電圧 V_{15} の値をあらかじめ記憶していてもよい。

[0088] (2) 動作

実施形態4に係る電力変換装置100Cの制御装置50の動作は、実施形態3に係る電力変換装置100Bの制御装置50の動作と同様である。

[0089] (3) 利点

実施形態4に係る電力変換装置100Cは、実施形態3に係る電力変換装置100Bと同様、放射ノイズを低減することが可能となる。

[0090] (実施形態5)

実施形態5に係る電力変換装置100Dについて、図14及び15を参照して説明する。実施形態5に係る電力変換装置100Dに関し、実施形態3に係る電力変換装置100Bと同様の構成要素については、同一の符号を付して説明を省略する。

[0091] (1) 構成

電力変換装置100Dは、第3ダイオード13と、第4ダイオード14と、を更に備える点で、電力変換装置100Bと相違する。

[0092] 第3ダイオード13では、第3ダイオード13のアノードが、共振用インダクタL1と複数のスイッチ8との接続点に接続されている。また、第3ダイオード13では、第3ダイオード13のカソードが、第1直流端子31に接続されている。第4ダイオード14は、共振用インダクタL1と複数のスイッチ8との接続点と、第2直流端子32との間に接続されている。第4ダイオード14では、第4ダイオード14のアノードが、第2直流端子32に接続されている。第4ダイオード14では、第4ダイオード14のカソードが、共振用インダクタL1と複数のスイッチ8との接続点に接続されている。したがって、第4ダイオード14は、第3ダイオード13に直列接続されている。

[0093] (2) 動作

実施形態5に係る電力変換装置100Dにおける制御装置50は、共振用インダクタL1に流れる電流 i_{L1} がゼロになる前に第3スイッチング素子6の状態をオフ状態に変化させ、第3スイッチング素子6の両端電圧にリングングが発生するリングング期間中は直前の第3スイッチング素子6の状態（オフ状態）を維持させる。より具体的には、制御装置50は、U相の第1スイッチング素子1Uをゼロ電圧ソフトスイッチングさせる場合、例えば図15に示すように、共振用インダクタL1に流れる電流 i_{L1} がゼロになる前にスイッチ8Uの第3スイッチング素子6Uへの制御信号 S_{U6} をハイレベルからローレベルに変化させ、第3スイッチング素子6Uの両端電圧 V_{6u} にリングングが発生するリングング期間には制御信号 S_{U6} の電位レベルをローレベルに維持する。

[0094] 電力変換装置100Dは、第3ダイオード13を備えるので、共振用インダクタL1に流れる電流 i_{L1} がゼロになる前に第3スイッチング素子6Uがオフされても、第3ダイオード13を通る経路で電流 i_{L1} を流すことができる。

[0095] 図15では、U相の第3スイッチング素子6Uの両端電圧 V_{6u} がゼロボルトから立ち上がる時に発生するリングングのリングング期間及び制御装

置50の動作について説明しているが、V相の第3スイッチング素子6Vの両端電圧がゼロボルトから立ち上がる時に発生するリングング期間及び制御装置50の動作、W相の第3スイッチング素子6Wの両端電圧がゼロボルトから立ち上がる時に発生するリングング期間及び制御装置50の動作についても同様である。

[0096] (3) 利点

実施形態5に係る電力変換装置100Dは、複数のスイッチ8の各々に関し、第3スイッチング素子6の両端電圧にリングングが発生するリングング期間中は第3スイッチング素子6に直前の状態（オフ状態）を維持させるので、放射ノイズを低減することが可能となる。

[0097] (4) 実施形態5の変形例

制御装置50は、実施形態1と同様、リングング期間中は第3スイッチング素子6に直前のオン状態を維持させ、リングング期間の終了タイミングで第3スイッチング素子6をオフさせる。

[0098] 実施形態5の変形例では、実施形態1と同様、放射ノイズを低減することができる。

[0099] (実施形態6)

実施形態6に係る電力変換装置100Eについて、図16を参照して説明する。実施形態6に係る電力変換装置100Eに関し、実施形態1に係る電力変換装置100と同様の構成要素については、同一の符号を付して説明を省略する。

[0100] (1) 構成

電力変換装置100Eは、複数のスイッチ8の各々が、第3スイッチング素子6及び第4スイッチング素子7の代わりに、第3スイッチング素子6A及び第4スイッチング素子7Aを有する点で、電力変換装置100と相違する。複数の第3スイッチング素子6A及び複数の第4スイッチング素子7Aの各々は、MOSFETである。電力変換装置100Eでは、複数の第3スイッチング素子6A及び複数の第4スイッチング素子7Aの各々における、

制御端子、第1主端子及び第2主端子は、それぞれ、ゲート端子、ドレイン端子及びソース端子である。複数のスイッチ8の各々では、第3スイッチング素子6Aと第4スイッチング素子7Aとが逆直列接続されている。電力変換装置100Eでは、複数のスイッチ8の各々において、第3スイッチング素子6Aの第1主端子（ドレイン端子）と第4スイッチング素子7Aの第1主端子（ドレイン端子）とが接続されている。また、複数のスイッチ8の各々は、第3スイッチング素子6Aに逆並列接続されているダイオード61と、第4スイッチング素子7Aに逆並列接続されているダイオード71と、を更に有する。複数のスイッチ8の各々では、第4スイッチング素子7Aの第2主端子（ソース端子）が共振用インダクタL1に接続されている。複数のスイッチ8の各々では、第3スイッチング素子6Aの第2主端子（ソース端子）が、その第3スイッチング素子6Aを有するスイッチ8に対応するスイッチング回路10の接続点3に接続されている。スイッチ8Uの第3スイッチング素子6A、第4スイッチング素子7Aには、制御装置50から制御信号SU6、SU7が与えられる。スイッチ8Vの第3スイッチング素子6A、第4スイッチング素子7Aには、制御装置50から制御信号SV6、SV7が与えられる。スイッチ8Wの第3スイッチング素子6A、第4スイッチング素子7Aには、制御装置50から制御信号SW6、SW7が与えられる。

[0101] (2) 電力変換装置の動作

電力変換装置100Eの動作は、例えば、電力変換装置100の動作と同様である。

[0102] (3) 利点

実施形態6に係る電力変換装置100Eは、実施形態1に係る電力変換装置100と同様、放射ノイズを低減することが可能となる。

[0103] (実施形態7)

実施形態7に係る電力変換装置100Fについて、図17を参照して説明する。実施形態7に係る電力変換装置100Fに関し、実施形態1に係る電

力変換装置100と同様の構成要素については、同一の符号を付して説明を省略する。

[0104] (1) 構成

電力変換装置100Fにおける複数のスイッチ8の各々は、例えば、逆並列接続された2つの第3スイッチング素子6及び第4スイッチング素子7を有する。スイッチ8の各々では、第3スイッチング素子6の第1主端子（コレクタ端子）と第4スイッチング素子7の第2主端子（エミッタ端子）とが接続され、第3スイッチング素子の第2主端子（エミッタ端子）と第4スイッチング素子7の第1主端子（コレクタ端子）とが接続されている。複数のスイッチ8の各々では、第3スイッチング素子6の第2主端子（エミッタ端子）は、その第3スイッチング素子6を有するスイッチ8に対応するスイッチング回路10の接続点3に接続されている。複数のスイッチ8の各々では、第4スイッチング素子の第1主端子（コレクタ端子）は、その第4スイッチング素子7を有するスイッチ8に対応するスイッチング回路10の接続点3に接続されている。より具体的には、スイッチ8Uは、第1スイッチング素子1Uと第2スイッチング素子2Uとの接続点3Uに接続されている。スイッチ8Vは、第1スイッチング素子1Vと第2スイッチング素子2Vとの接続点3Vに接続されている。スイッチ8Wは、第1スイッチング素子1Wと第2スイッチング素子2Wとの接続点3Wに接続されている。

[0105] (2) 電力変換装置の動作

電力変換装置100Fの動作は、例えば、電力変換装置100の動作と同様である。

[0106] (3) 利点

実施形態7に係る電力変換装置100Fは、実施形態1に係る電力変換装置100と同様、放射ノイズを低減することが可能となる。

[0107] (実施形態8)

実施形態8に係る電力変換装置100Gについて、図18を参照して説明する。実施形態8に係る電力変換装置100Gに関し、実施形態1に係る電

力変換装置 100 と同様の構成要素については、同一の符号を付して説明を省略する。

[0108] (1) 構成

電力変換装置 100G は、例えば、図 18 に示すように、第 1 直流端子 31 及び第 2 直流端子 32 と、2 つの交流端子 41 と、を備える。電力変換装置 100G では、第 1 直流端子 31 と第 2 直流端子 32 と間に直流電源 E1 が接続され、2 つの交流端子 41 に交流負荷 RA1 が接続される。交流負荷 RA1 は、例えば、交流モータである。電力変換装置 100G は、直流電源 E1 からの直流出力を交流電力に変換して交流負荷 RA1 へ出力する。直流電源 E1 は、例えば、太陽電池又は燃料電池を含む。直流電源 E1 は、DC-DC コンバータを含んでもよい。

[0109] 実施形態 8 に係る電力変換装置 100G は、電力変換回路 11 が 1 つのスイッチング回路 10 のみ有している点で、実施形態 1 に係る電力変換装置 100 と相違する。また、実施形態 8 に係る電力変換装置 100G は、2 つの交流端子 41 のうち 1 つの交流端子 41 が、第 1 スwitching 素子 1 及び第 2 スwitching 素子 2 の接続点 3 に接続されており、残りの 1 つの交流端子が第 2 直流端子 32 に接続されている点で、電力変換装置 100 と相違する。また、実施形態 8 に係る電力変換装置 100G は、スイッチ 8、共振用インダクタ L1 及び共振用コンデンサ 9 の各々を 1 つだけ備える点で、電力変換装置 100 と相違する。

[0110] 制御装置 50 は、第 1 スwitching 素子 1、第 2 スwitching 素子 2 及びスイッチ 8 の各々を制御する。制御装置 50 は、第 1 スwitching 素子 1 を制御する制御信号 S1 と、第 2 スwitching 素子 2 を制御する制御信号 S2 と、第 3 スwitching 素子 6 を制御する制御信号 S6 と、第 4 スwitching 素子 7 を制御する制御信号 S7 と、を出力する。

[0111] (2) 電力変換装置の動作

電力変換装置 100G では、制御装置 50 が、第 1 スwitching 素子 1、第 2 スwitching 素子 2 及びスイッチ 8 を制御する。制御装置 50 の動作は

、電力変換装置100の制御装置50と同様である。より具体的には、電力変換装置100Gの制御装置50から出力される制御信号S1、S2、S6、S7は、電力変換装置100の制御装置50から出力される制御信号SU1、SU2、SU6、SU7（図1、3、8参照）と同様である。

[0112] (3) 利点

実施形態8に係る電力変換装置100Gは、第1直流端子31及び第2直流端子32と、電力変換回路11と、スイッチ8と、共振用コンデンサ9と、共振用インダクタL1と、回生用コンデンサ15と、制御装置50と、を備える。電力変換回路11は、スイッチング回路10を有する。スイッチング回路10は、互いに直列接続された第1スイッチング素子1及び第2スイッチング素子2と、第1スイッチング素子1に逆並列接続されている第1ダイオード4と、第2スイッチング素子2に逆並列接続されている第2ダイオード5と、を含む。スイッチング回路10では、第1スイッチング素子1が第1直流端子31に接続されており、第2スイッチング素子2が第2直流端子32に接続されている。スイッチ8は、第1端81及び第2端82を有する。スイッチ8は、第1スイッチング素子1及び第2スイッチング素子2の接続点3に第1端81が接続されている。共振用コンデンサ9は、スイッチ8の第1端81と第2直流端子32との間に接続されている。共振用インダクタL1は、スイッチ8の第2端82に接続されている。回生用コンデンサ15は、共振用インダクタL1と第2直流端子32との間に接続されている。制御装置50は、第1スイッチング素子1、第2スイッチング素子2及びスイッチ8を制御する。スイッチ8は、第3スイッチング素子6と、第4スイッチング素子7と、を含む。第3スイッチング素子6は、オン状態のときに共振用インダクタL1側からの電流 i_{L1} が流れる。第4スイッチング素子7は、オン状態のときに第3スイッチング素子6とは逆向きの電流が流れる。制御装置50は、第1スイッチング素子1、第2スイッチング素子2、第3スイッチング素子6及び第4スイッチング素子7の各々に対してハイレベルとローレベルとの間で電位が変化する制御信号S1、S2、S6、S7

を与える。制御装置50は、第1スイッチング素子1への制御信号S1のハイレベル期間と第2スイッチング素子2への制御信号S2のハイレベル期間との間にデッドタイム期間 T_d （図8参照）を設定する。制御装置50は、第3スイッチング素子6への制御信号S6のハイレベル期間の少なくとも一部を、デッドタイム期間 T_d に重複させる。制御装置50は、第3スイッチング素子6の両端電圧にリングングが発生するリングング期間中は第3スイッチング素子6にリングング期間の直前の状態を維持させる。

[0113] 上記の構成によれば、放射ノイズを低減することが可能となる。

[0114] （その他の変形例）

上記の実施形態1～8等は、本開示の様々な実施形態の一つに過ぎない。上記の実施形態1～8等は、本開示の目的を達成できれば、設計等に応じて種々の変更が可能である。

[0115] 電力変換装置100では、ダイオード61及びダイオード71は、それぞれ、第3スイッチング素子6及び第4スイッチング素子7に外付けされる場合に限らず、1チップに内蔵された素子でもよい。

[0116] また、電力変換装置100Gでは、スイッチ8の構成が電力変換装置100におけるスイッチ8の構成と同じであるが、電力変換装置100Eにおけるスイッチ8の構成と同じであってもよいし、電力変換装置100Fにおけるスイッチ8の構成と同じであってもよい。

[0117] また、電力変換装置100、100A、100B、100C、100D、100E、100F、100Gでは、複数の共振用コンデンサ9の各々のキャパシタンスが比較的小さい場合、複数の共振用コンデンサ9を外付けする代わりに、複数の第2スイッチング素子2の両端間の寄生容量が、複数の共振用コンデンサ9を兼ねていてもよい。

[0118] また、デッドタイム期間 T_d の長さは、共振半周期と同じになるように設定されているが、共振半周期と異なる長さに設定されていてもよい。共振半周期は、共振用インダクタ L_1 と1つの共振用コンデンサ9とを含む共振回路の共振周波数の逆数である共振周期の半分である。

[0119] デッドタイム期間 T_d は、制御装置 50 とは別に設けられたゲートドライバ IC (Integrated Circuit) 等の有するデッドタイム生成回路により設定されてもよい。また、制御装置 50 がゲートドライバ IC を含んでいて、ゲートドライバ IC の有するデッドタイム生成回路が、デッドタイム期間 T_d を設定してもよい。

[0120] また、電力変換装置 100、100A、100B、100C、100D、100E、100F は、3 相交流を出力する構成に限らず、3 相以上の多相交流を出力する構成であればよい。

[0121] また、制御装置 50 は、制御信号 S_{U6} 、 S_{V6} 、 S_{W6} の各々のハイレベル期間を開始する時点を、デッドタイム期間 T_d の開始される時点よりも追加時間だけ早めてもよい。制御装置 50 は、デッドタイム期間 T_d の開始する時点で LC 共振を開始させるために、デッドタイム期間 T_d の開始する時点で同相の電流 i_{L1} と負荷電流とが等しくなるように、負荷電流に基づいて追加時間を決定する。より詳細には、制御装置 50 では、例えば、電流センサによる負荷電流の検出結果又はその信号処理値、又は負荷電流の推定値と、あらかじめ記憶している共振用インダクタ L_1 のインダクタンス L と、回生用コンデンサ 15 の両端電圧 V_{15} の検出結果とを用いて、追加時間 = 負荷電流 $\times (L / V_{15})$ の演算により追加時間を決定する。このときの負荷電流の検出結果又はその信号処理値としては、追加時間を加算するキャリア周期での、又はそのキャリア周期に最も近いタイミング等での検出値を用いる。また、このときの負荷電流の推定値は、追加時間を加算するキャリア周期での負荷電流を推定した値等を用いる。

[0122] (態様)

本明細書には以下の態様が開示されている。

[0123] 第 1 の態様に係る電力変換装置 (100 ; 100A ; 100B ; 100C ; 100D ; 100E ; 100F ; 100G) は、第 1 直流端子 (31) 及び第 2 直流端子 (32) と、電力変換回路 (11) と、スイッチ (8) と、共振用コンデンサ (9) と、共振用インダクタ (L_1) と、回生用コンデン

サ(15)と、制御装置(50)と、を備える。電力変換回路(11)は、スイッチング回路(10)を有する。スイッチング回路(10)は、互いに直列接続された第1スイッチング素子(1)及び第2スイッチング素子(2)と、第1スイッチング素子(1)に逆並列接続されている第1ダイオード(4)と、第2スイッチング素子(2)に逆並列接続されている第2ダイオード(5)と、を含む。スイッチング回路(10)では、第1スイッチング素子(1)が第1直流端子(31)に接続されており、第2スイッチング素子(2)が第2直流端子(32)に接続されている。スイッチ(8)は、第1端(81)及び第2端(82)を有する。スイッチ(8)は、第1スイッチング素子(1)及び第2スイッチング素子(2)の接続点(3)に第1端(81)が接続されている。共振用コンデンサ(9)は、スイッチ(8)の第1端(81)と第2直流端子(32)との間に接続されている。共振用インダクタ(L1)は、スイッチ(8)の第2端(82)に接続されている。回生用コンデンサ(15)は、共振用インダクタ(L1)と第2直流端子(32)との間に接続されている。制御装置(50)は、第1スイッチング素子(1)、第2スイッチング素子(2)及びスイッチ(8)を制御する。スイッチ(8)は、第3スイッチング素子(6; 6A)と、第4スイッチング素子(7; 7A)と、を含む。第3スイッチング素子(6; 6A)は、オン状態のときに共振用インダクタ(L1)側からの電流(i_{L1})が流れる。第4スイッチング素子(7; 7A)は、オン状態のときに第3スイッチング素子(6; 6A)とは逆向きの電流が流れる。制御装置(50)は、第1スイッチング素子(1)、第2スイッチング素子(2)、第3スイッチング素子(6; 6A)及び第4スイッチング素子(7; 7A)の各々に対してハイレベルとローレベルとの間で電位が変化する制御信号を与える。制御装置(50)は、第1スイッチング素子(1)への制御信号のハイレベル期間と第2スイッチング素子(2)への制御信号のハイレベル期間との間にデッドタイム期間(T_d)を設定する。制御装置(50)は、第3スイッチング素子(6; 6A)への制御信号のハイレベル期間の少なくとも一部を、デッドタ

イム期間 (T_d) に重複させる。制御装置 (50) は、第3スイッチング素子 (6 ; 6A) の両端電圧にリングングが発生するリングング期間中は第3スイッチング素子 (6 ; 6A) にリングング期間の直前の状態を維持させる。

- [0124] この態様によれば、放射ノイズを低減することが可能となる。
- [0125] 第2の態様に係る電力変換装置 (100 ; 100A ; 100B ; 100C ; 100E ; 100F ; 100G) では、第1の態様において、制御装置 (50) は、リングング期間中は、第3スイッチング素子 (6 ; 6A) のオン状態を維持させる。
- [0126] 第3の態様に係る電力変換装置 (100 ; 100A ; 100B ; 100C ; 100D ; 100E ; 100F ; 100G) では、第1の態様において、制御装置 (50) は、第1スイッチング素子 (1) と第2スイッチング素子 (2) とのうちゼロ電圧ソフトスイッチング対象のスイッチング素子をオフさせるタイミング以前に第3スイッチング素子 (6 ; 6A) をオフさせる。
- [0127] この態様によれば、第1スイッチング素子 (1) のゼロ電圧ソフトスイッチングを実現することができる。
- [0128] 第4の態様に係る電力変換装置 (100 ; 100A ; 100B ; 100C ; 100E ; 100F ; 100G) では、第1の態様に基づく。制御装置 (50) は、第3スイッチング素子 (6 ; 6A) の両端電圧が閾値以下となるタイミングをリングング期間の終了タイミングとして第3スイッチング素子 (6 ; 6A) を制御するように構成されている。制御装置 (50) は、リングング期間中は第3スイッチング素子 (6 ; 6A) をオン状態に維持させ、リングング期間の終了タイミングで第3スイッチング素子 (6 ; 6A) をオフさせる。
- [0129] この態様によれば、第1スイッチング素子 (1) のゼロ電圧ソフトスイッチングを実現することができる。
- [0130] 第5の態様に係る電力変換装置 (100D) は、第1の態様において、第3ダイオード (13) と、第4ダイオード (14) と、を更に備える。第3

ダイオード（１３）は、スイッチ（８）及び共振用インダクタ（Ｌ１）の接続点にアノードが接続されており、第１直流端子（３１）にカソードが接続されている。第４ダイオード（１４）は、スイッチ（８）及び共振用インダクタ（Ｌ１）の接続点にアノードが接続されており、第２直流端子（３２）にカソードが接続されている。

[0131] この態様によれば、リングング期間中に第３スイッチング素子（６；６Ａ）の状態をオフ状態に維持する制御が可能となる。

[0132] 第６の態様に係る電力変換装置（１００；１００Ａ；１００Ｅ；１００Ｆ）では、第１～５の態様のいずれか一つにおいて、電力変換回路（１１）は、スイッチング回路（１０）を複数有する。電力変換装置（１００）は、スイッチ（８）を複数備え、共振用コンデンサ（９）を複数備え、共振用インダクタ（Ｌ１）を複数備え、複数の交流端子（４１）を更に備える。複数のスイッチ（８）は、複数のスイッチング回路（１０）に一对一に対応する。複数のスイッチ（８）の各々は、複数のスイッチング回路（１０）のうち対応するスイッチング回路（１０）における第１スイッチング素子（１）及び第２スイッチング素子（２）の接続点（３）に接続されている。複数の共振用コンデンサ（９）は、複数のスイッチ（８）に一对一に対応する。複数の共振用コンデンサ（９）の各々は、複数のスイッチ（８）のうち対応するスイッチ（８）の第１端（８１）と第２直流端子（３２）との間に接続されている。複数の共振用インダクタ（Ｌ１）は、複数のスイッチ（８）に一对一に対応する。複数の共振用インダクタ（Ｌ１）の各々は、複数のスイッチ（８）のうち対応するスイッチ（８）の第２端（８２）に接続されている。複数の交流端子（４１）は、複数のスイッチング回路（１０）に一对一に対応する。複数の交流端子（４１）の各々は、複数のスイッチング回路（１０）のうち対応するスイッチング回路（１０）における第１スイッチング素子（１）及び第２スイッチング素子（２）の接続点（３）に接続されている。複数のスイッチ（８）は、複数の第３スイッチング素子（６；６Ａ）及び複数の第４スイッチング素子（７；７Ａ）を含む。制御装置（５０）は、複数の

第1スイッチング素子(1)、複数の第2スイッチング素子(2)、複数の第3スイッチング素子(6; 6A)及び複数の第4スイッチング素子(7; 7A)を制御する。

[0133] 第7の態様に係る電力変換装置(100B; 100C; 100D)では、第1~5の態様のいずれか一つにおいて、電力変換回路(11)は、スイッチング回路(10)を複数有する。電力変換装置(100)は、スイッチ(8)を複数備え、共振用コンデンサ(9)を複数備え、複数の交流端子(41)を更に備える。複数のスイッチ(8)は、複数のスイッチング回路(10)に一対一に対応する。複数のスイッチ(8)の各々は、複数のスイッチング回路(10)のうち対応するスイッチング回路(10)における第1スイッチング素子(1)及び第2スイッチング素子(2)の接続点(3)に接続されている。複数の共振用コンデンサ(9)の各々は、複数のスイッチ(8)に一対一に対応する。複数の共振用コンデンサ(9)の各々は、複数のスイッチ(8)のうち対応するスイッチ(8)の第1端(81)と第2直流端子(32)との間に接続されている。複数の交流端子(41)は、複数のスイッチング回路(10)に一対一に対応する。複数の交流端子(41)の各々は、複数のスイッチング回路(10)のうち対応するスイッチング回路(10)における第1スイッチング素子(1)及び第2スイッチング素子(2)の接続点(3)に接続されている。複数のスイッチ(8)の第2端(82)が共振用インダクタ(L1)に共通接続されている。複数のスイッチ(8)は、複数の第3スイッチング素子(6; 6A)及び複数の第4スイッチング素子(7; 7A)を含む。制御装置(50)は、複数の第1スイッチング素子(1)、複数の第2スイッチング素子(2)、複数の第3スイッチング素子(6; 6A)及び複数の第4スイッチング素子(7; 7A)を制御する。

[0134] この態様によれば、共振用インダクタ(L1)の数を1つにできるので、小型化を図ることが可能となる。

符号の説明

- [0135]
- 1 第1スイッチング素子
 - 2 第2スイッチング素子
 - 3 接続点
 - 4 第1ダイオード
 - 5 第2ダイオード
 - 6、6 A 第3スイッチング素子
 - 7、7 A 第4スイッチング素子
 - 8 スイッチ
 - 8 1 第1端
 - 8 2 第2端
 - 9 共振用コンデンサ
 - 1 0 スイッチング回路
 - 1 3 第3ダイオード
 - 1 4 第4ダイオード
 - 1 1 電力変換回路
 - 1 5 回生用コンデンサ
 - 1 5 3 第5端
 - 1 5 4 第6端
 - 3 1 第1直流端子
 - 3 2 第2直流端子
 - 4 1 交流端子
 - 5 0 制御装置
 - 1 0 0、1 0 0 A、1 0 0 B、1 0 0 C、1 0 0 D、1 0 0 E、1 0 0 F
 - 、1 0 0 G 電力変換装置
 - i_U 、 i_V 、 i_W 出力電流（負荷電流）
 - L 1 共振用インダクタ
 - R A 1 交流負荷
 - S U 1、S U 2、S U 6、S U 7 制御信号

SV 1、SV 2、SV 6、SV 7 制御信号

SW 1、SW 2、SW 6、SW 7 制御信号

T d デッドタイム期間

V 1 5 両端電圧

請求の範囲

[請求項1]

第1直流端子及び第2直流端子と、

互いに直列接続された第1スイッチング素子及び第2スイッチング素子と、前記第1スイッチング素子に逆並列接続されている第1ダイオードと、前記第2スイッチング素子に逆並列接続されている第2ダイオードと、を含み、前記第1スイッチング素子が前記第1直流端子に接続されており、前記第2スイッチング素子が前記第2直流端子に接続されているスイッチング回路を有する電力変換回路と、

第1端及び第2端を有し、前記第1スイッチング素子及び前記第2スイッチング素子の接続点に前記第1端が接続されているスイッチと、

前記スイッチの前記第1端と前記第2直流端子との間に接続されている共振用コンデンサと、

前記スイッチの前記第2端に接続されている共振用インダクタと、前記共振用インダクタと前記第2直流端子との間に接続されている回生用コンデンサと、

前記第1スイッチング素子、前記第2スイッチング素子及び前記スイッチを制御する制御装置と、を備え、

前記スイッチは、

オン状態のときに前記共振用インダクタ側からの電流が流れる第3スイッチング素子と、

オン状態のときに前記第3スイッチング素子とは逆向きの電流が流れる第4スイッチング素子と、を含み、

前記制御装置は、

前記第1スイッチング素子、前記第2スイッチング素子、前記第3スイッチング素子及び前記第4スイッチング素子の各々に対してハイレベルとローレベルとの間で電位が変化する制御信号を与え、

前記第1スイッチング素子への制御信号のハイレベル期間と前記

第2スイッチング素子への制御信号のハイレベル期間との間にデッドタイム期間を設定し、

前記第3スイッチング素子への制御信号のハイレベル期間の少なくとも一部を、前記デッドタイム期間に重複させ、

前記第3スイッチング素子の両端電圧にリングングが発生するリングング期間中は前記第3スイッチング素子に前記リングング期間の直前の状態を維持させる、

電力変換装置。

[請求項2] 前記制御装置は、前記リングング期間中は、前記第3スイッチング素子のオン状態を維持させる、

請求項1に記載の電力変換装置。

[請求項3] 前記制御装置は、前記第1スイッチング素子と前記第2スイッチング素子とのうちゼロ電圧ソフトスイッチング対象のスイッチング素子をオフさせるタイミング以前に前記第3スイッチング素子をオフさせる、

請求項1に記載の電力変換装置。

[請求項4] 前記制御装置は、前記第3スイッチング素子の前記第1端と前記第2端との間の電圧が閾値以下となるタイミングを前記リングング期間の終了タイミングとして前記スイッチを制御するように構成され、

前記制御装置は、

前記リングング期間中は前記スイッチをオン状態に維持させ、

前記終了タイミングで前記第3スイッチング素子をオフさせる、

請求項1に記載の電力変換装置。

[請求項5] 前記スイッチ及び前記共振用インダクタの接続点にアノードが接続されており、前記第1直流端子にカソードが接続されている第3ダイオードと、

前記スイッチ及び前記共振用インダクタの前記接続点にアノードが接続されており、前記第2直流端子にカソードが接続されている第4

ダイオードと、を更に備える、

請求項 1 に記載の電力変換装置。

[請求項6]

前記電力変換回路は、前記スイッチング回路を複数有し、

前記電力変換装置は、

前記スイッチを複数備え、

前記共振用コンデンサを複数備え、

前記共振用インダクタを複数備え、

複数の交流端子を更に備え、

前記複数のスイッチは、前記複数のスイッチング回路に一对一に対応し、各々が対応するスイッチング回路における前記第 1 スwitchング素子及び前記第 2 スwitchング素子の接続点に接続されており、

前記複数の共振用コンデンサは、前記複数のスイッチに一对一に対応し、各々が対応するスイッチの前記第 1 端と前記第 2 直流端子との間に接続されており、

前記複数の共振用インダクタは、前記複数のスイッチに一对一に対応し、各々が対応するスイッチの前記第 2 端に接続されており、

前記複数の交流端子は、前記複数のスイッチング回路に一对一に対応し、各々が対応するスイッチング回路における前記第 1 スwitchング素子及び前記第 2 スwitchング素子の接続点に接続されており、

前記複数のスイッチは、複数の前記第 3 スwitchング素子及び複数の前記第 4 スwitchング素子を含み、

前記制御装置は、前記複数の第 1 スwitchング素子、前記複数の第 2 スwitchング素子、前記複数の第 3 スwitchング素子及び前記複数の第 4 スwitchング素子を制御する、

請求項 1 ～ 5 のいずれか一項に記載の電力変換装置。

[請求項7]

前記電力変換回路は、前記スイッチング回路を複数有し、

前記電力変換装置は、

前記スイッチを複数備え、

前記共振用コンデンサを複数備え、

複数の交流端子を更に備え、

前記複数のスイッチは、前記複数のスイッチング回路に一対一に対応し、各々が対応するスイッチング回路における前記第1スイッチング素子及び前記第2スイッチング素子の接続点に接続されており、

前記複数の共振用コンデンサの各々は、前記複数のスイッチに一対一に対応し、各々が対応するスイッチの前記第1端と前記第2直流端子との間に接続されており、

前記複数の交流端子は、前記複数のスイッチング回路に一対一に対応し、各々が対応するスイッチング回路における前記第1スイッチング素子及び前記第2スイッチング素子の接続点に接続されており、

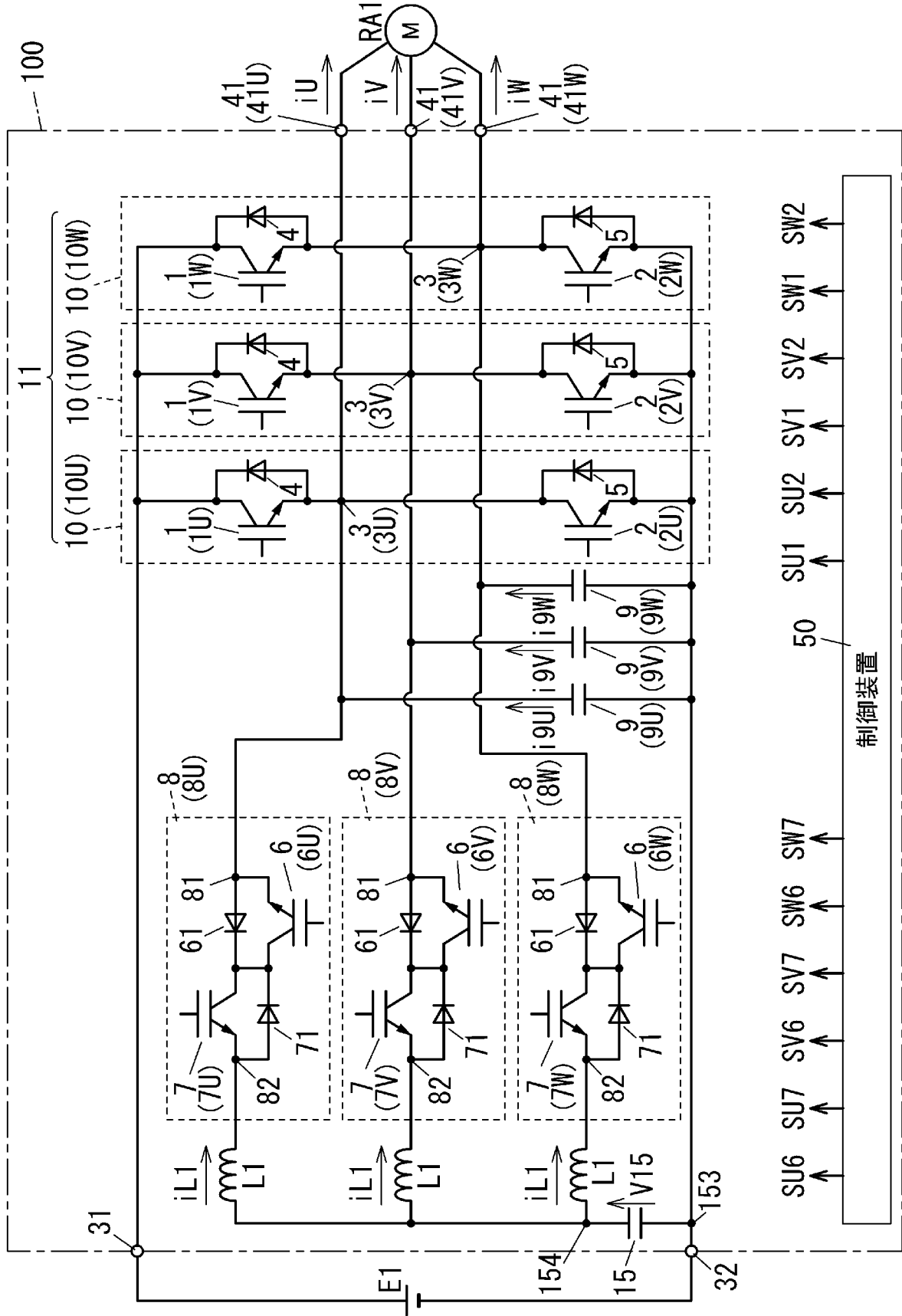
前記複数のスイッチの前記第2端が前記共振用インダクタに共通接続されており、

前記複数のスイッチは、複数の前記第3スイッチング素子及び複数の前記第4スイッチング素子を含み、

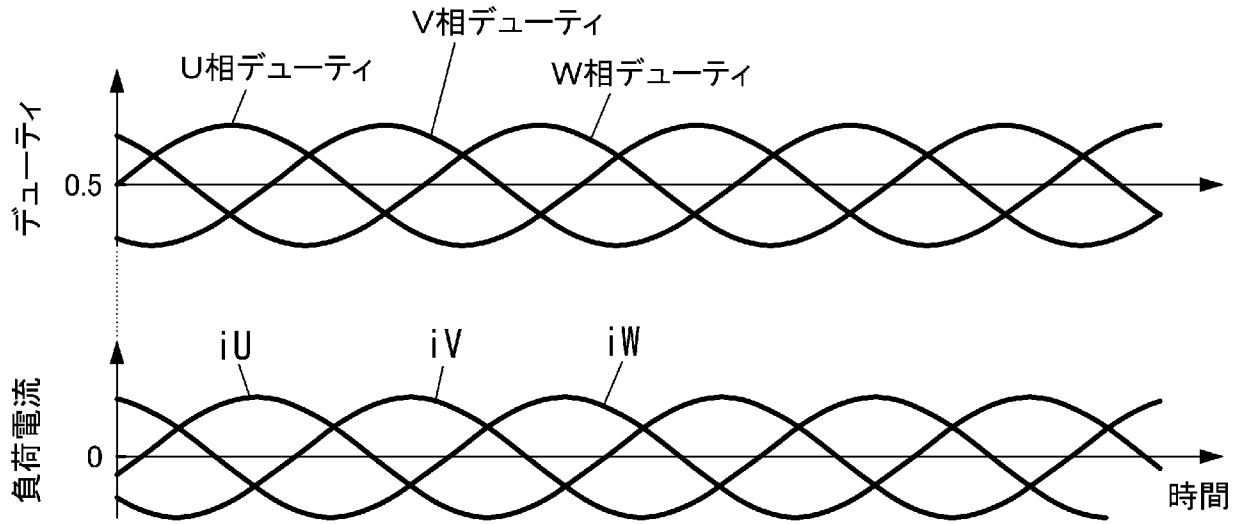
前記制御装置は、前記複数の第1スイッチング素子、前記複数の第2スイッチング素子、前記複数の第3スイッチング素子及び前記複数の第4スイッチング素子を制御する、

請求項1～5のいずれか一項に記載の電力変換装置。

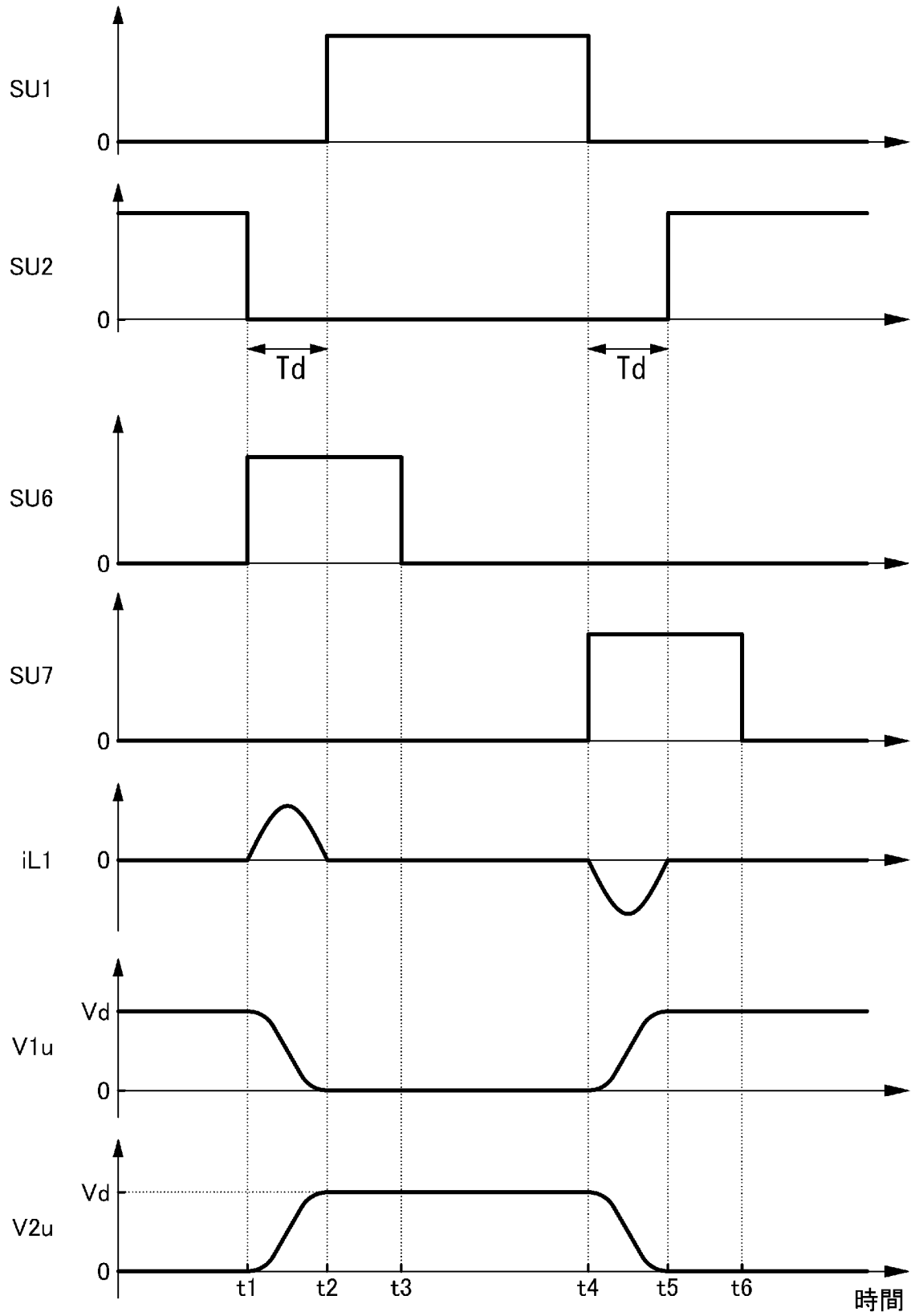
[図1]



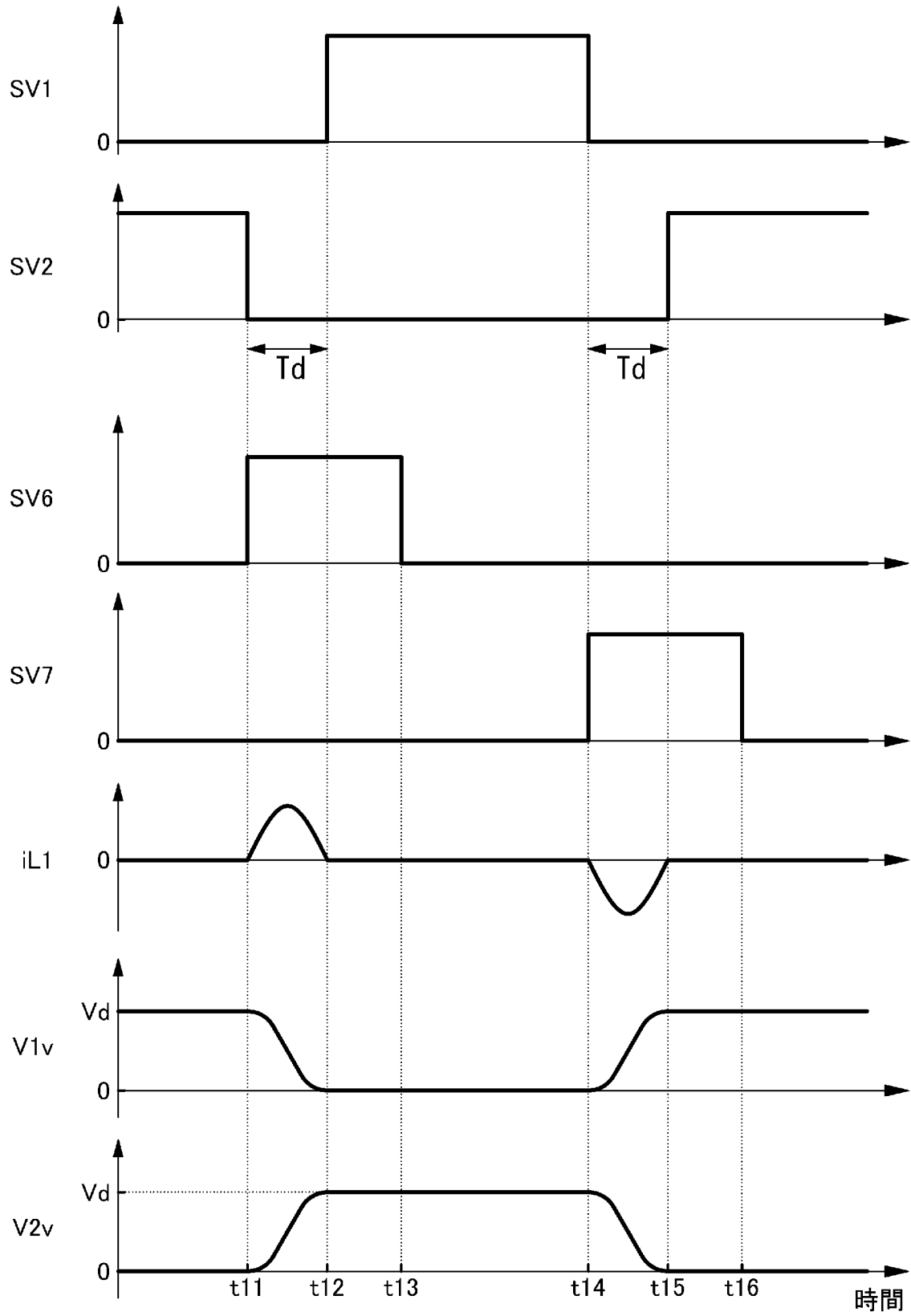
[図2]



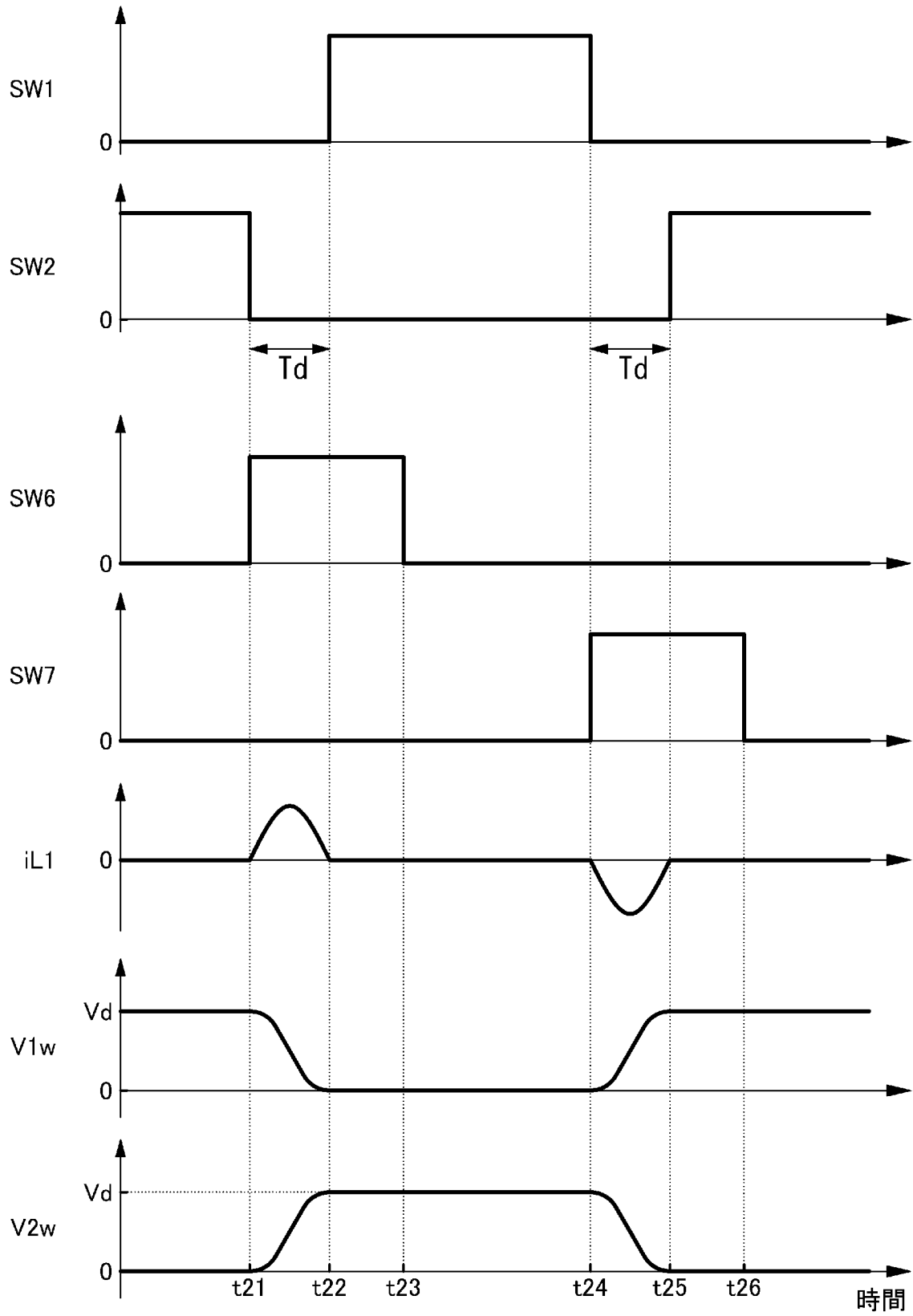
[図3]



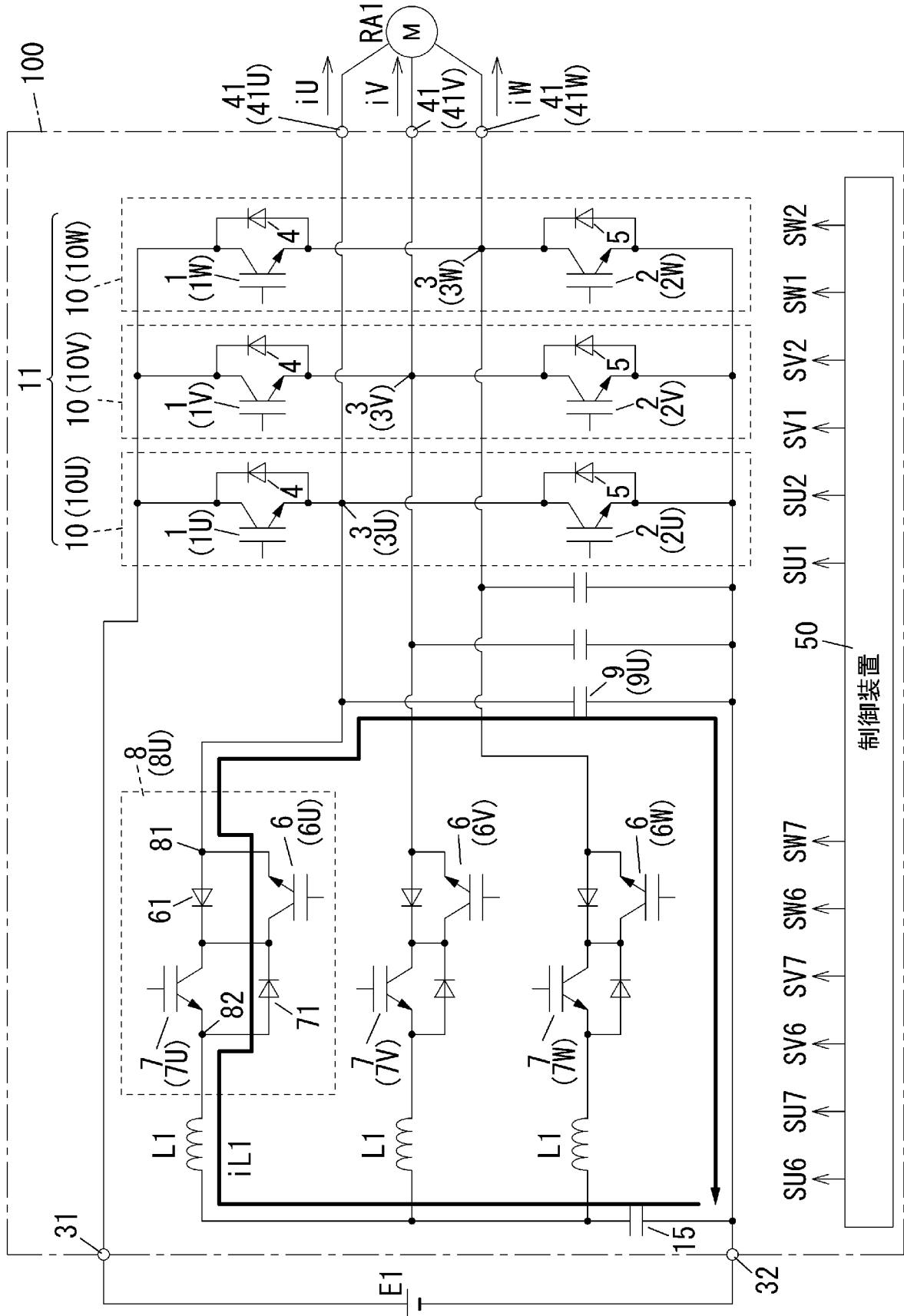
[図4]



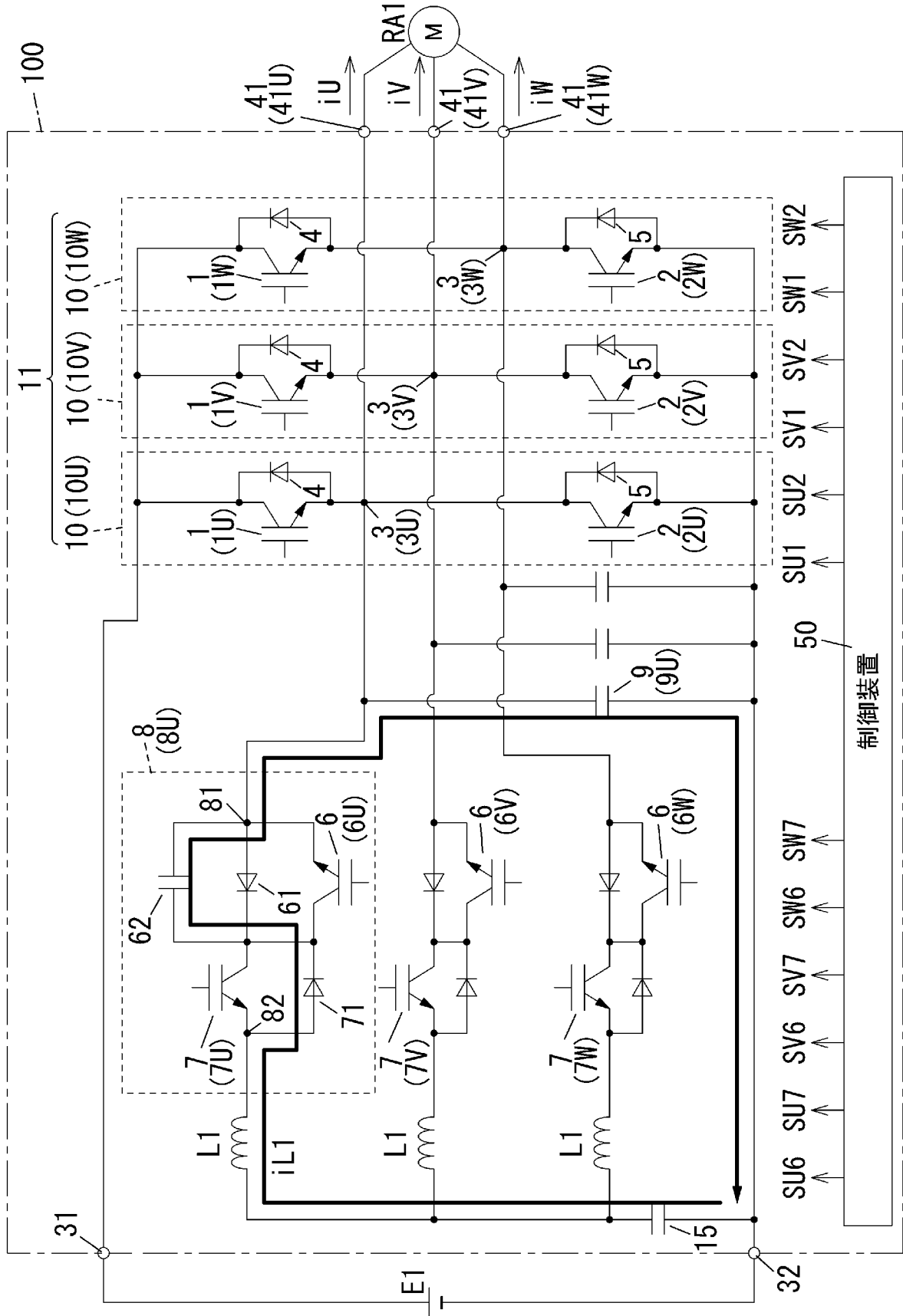
[図5]



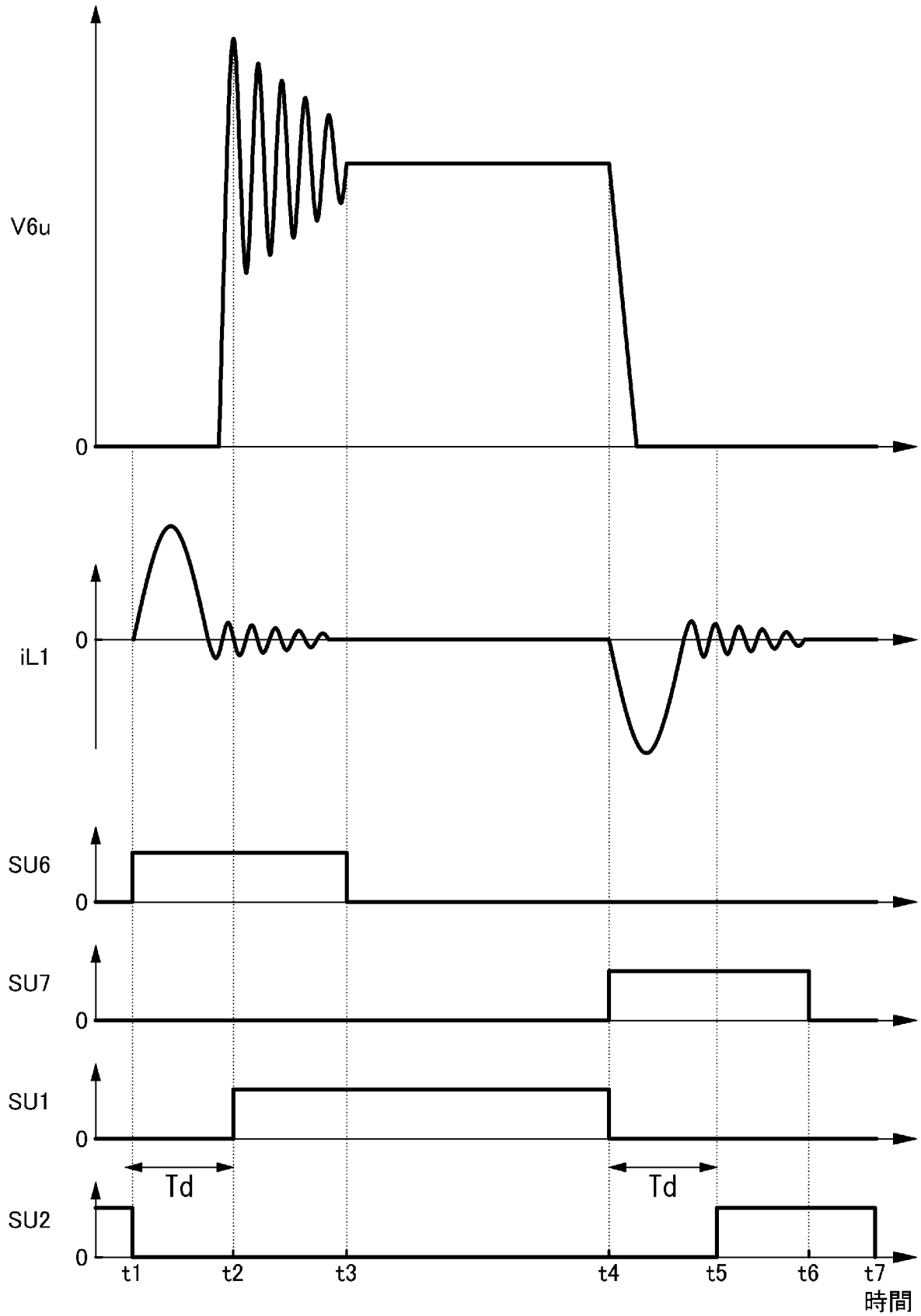
[図6]



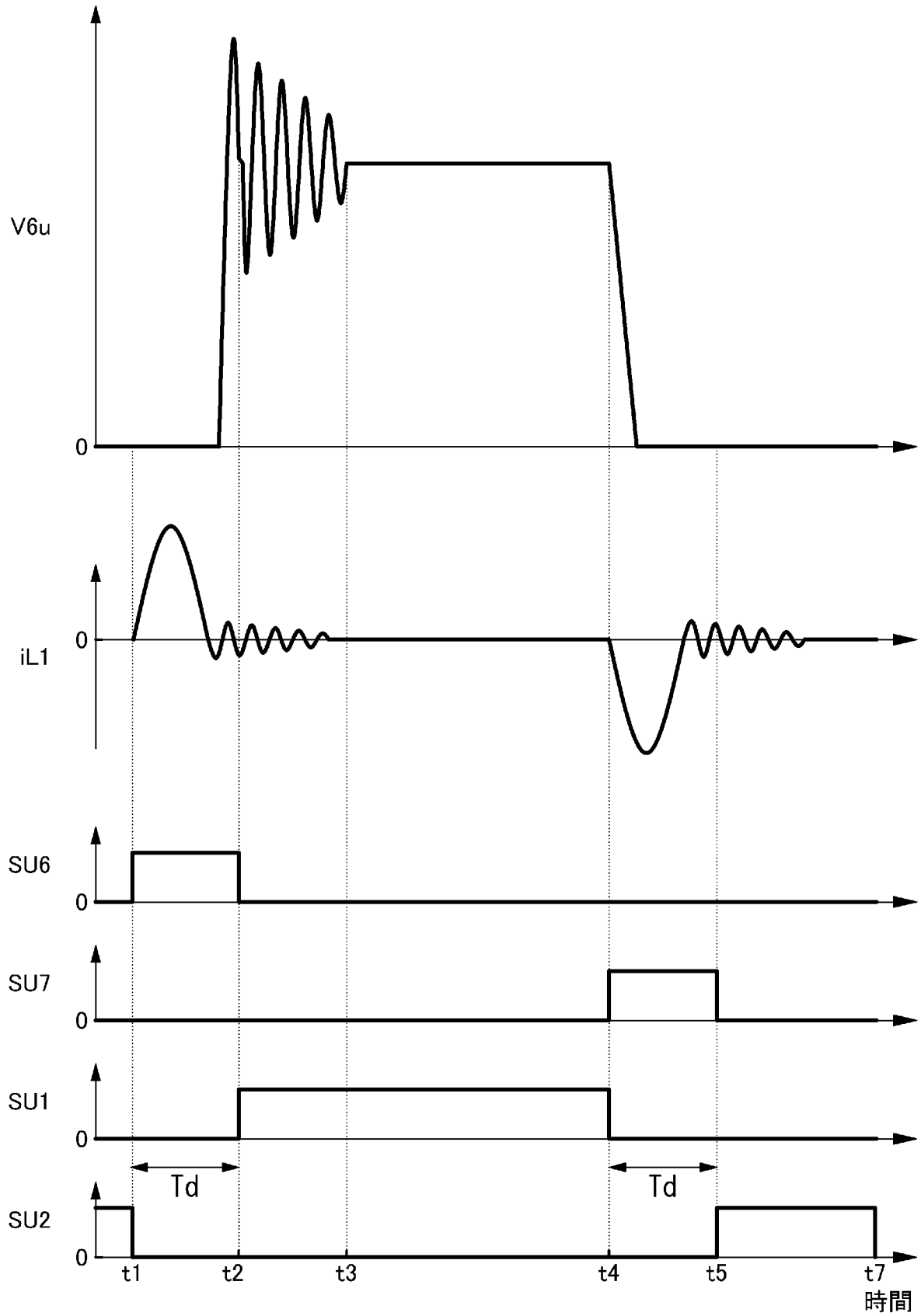
[図7]



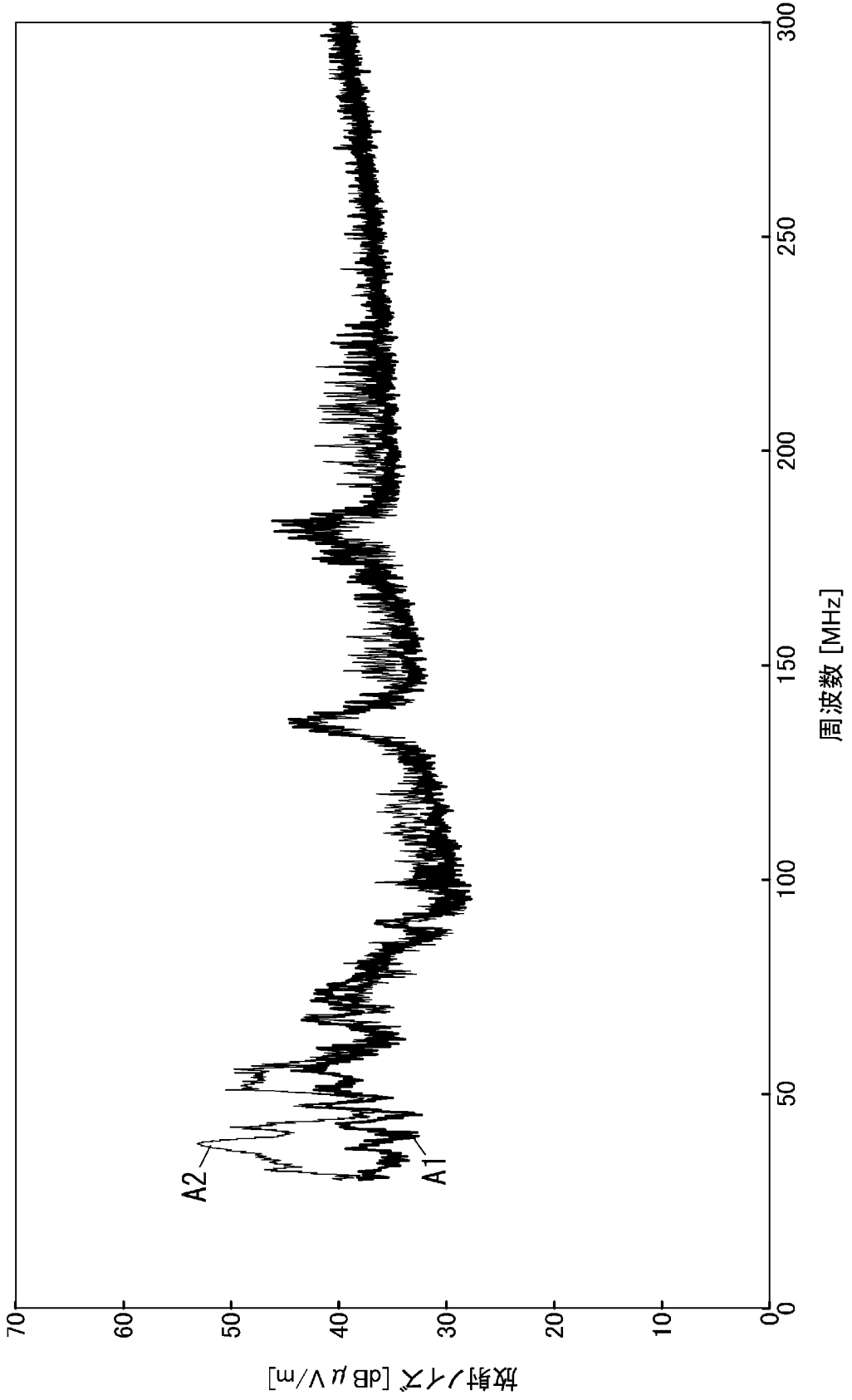
[図8]



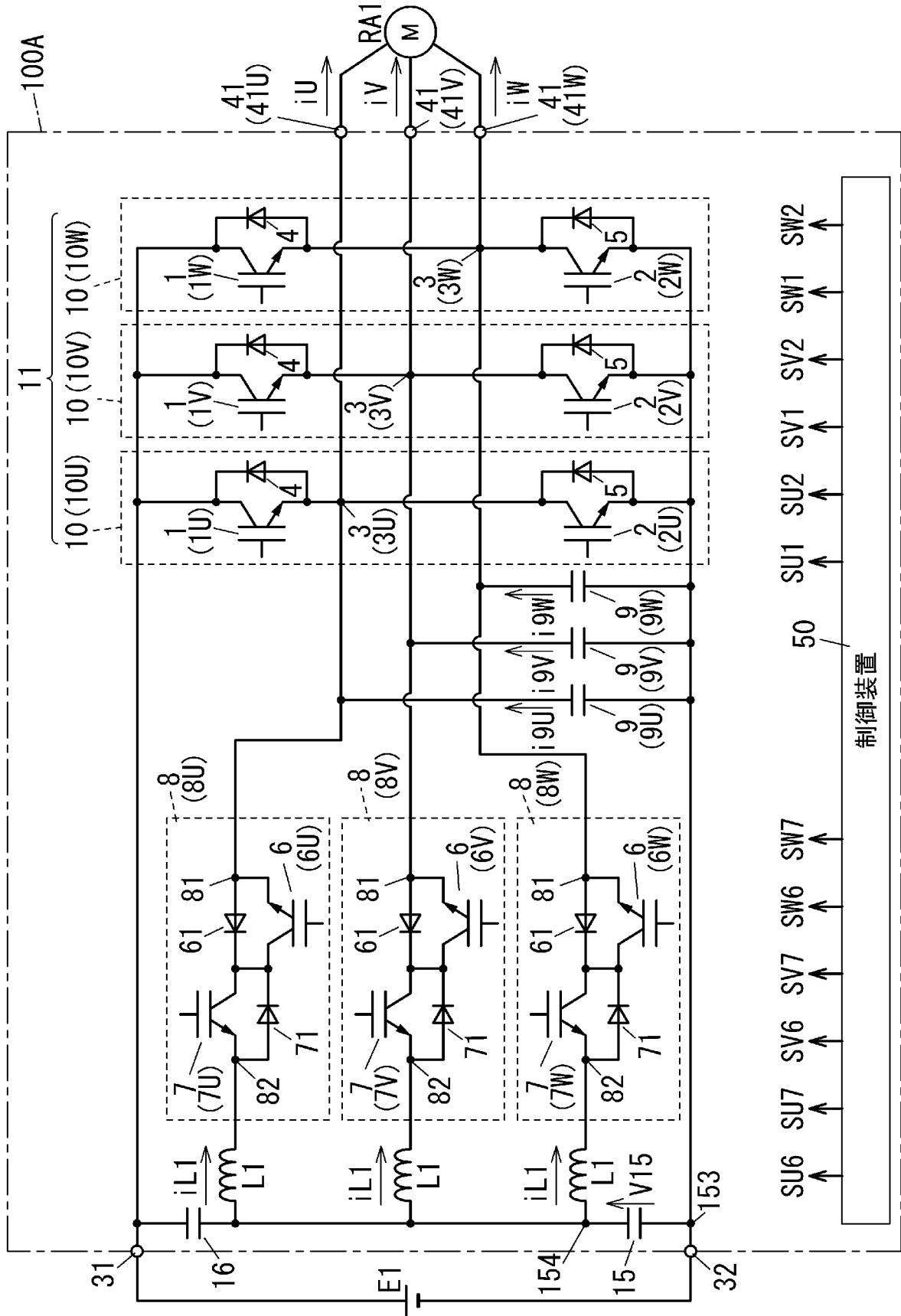
[図9]



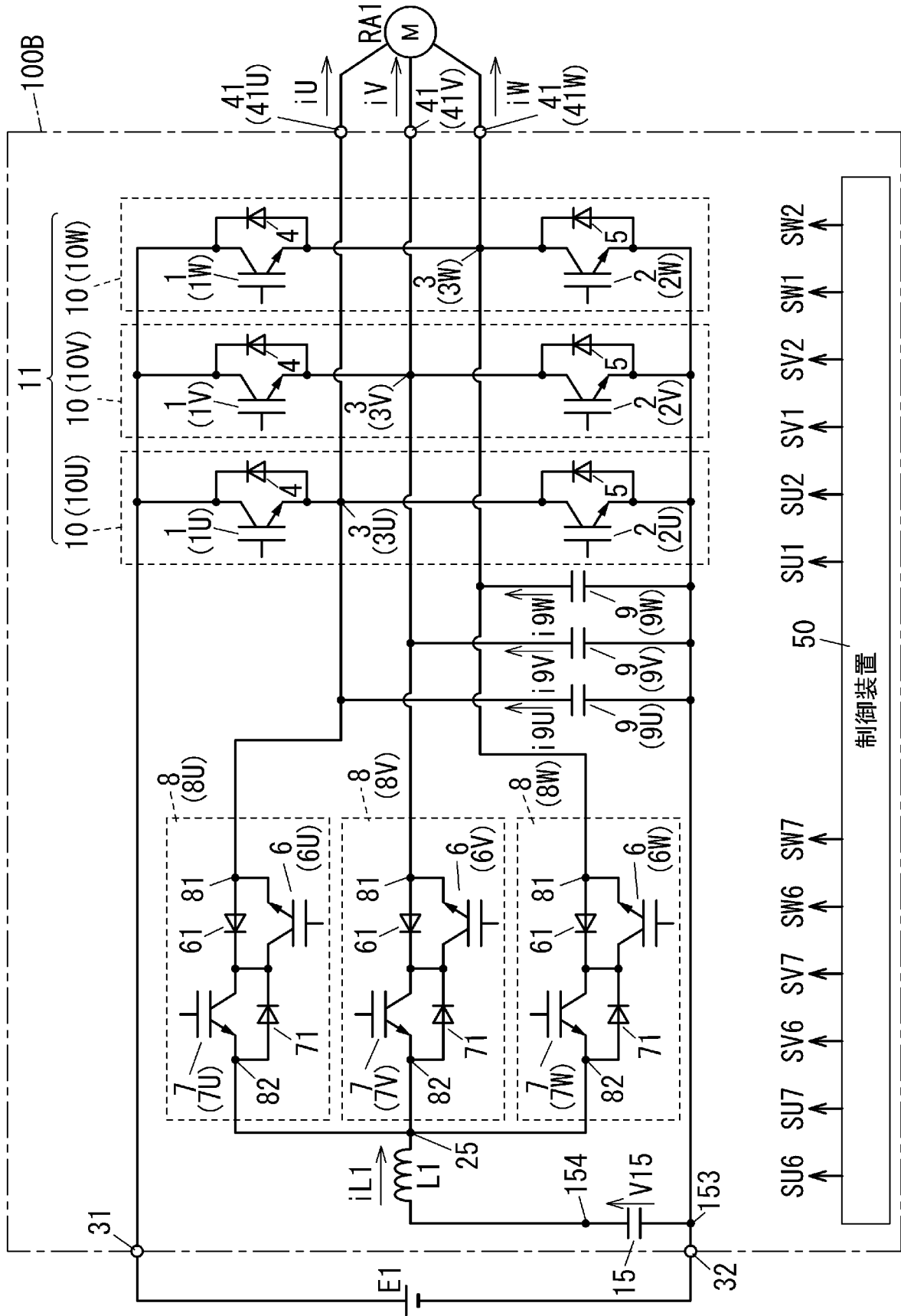
[図10]



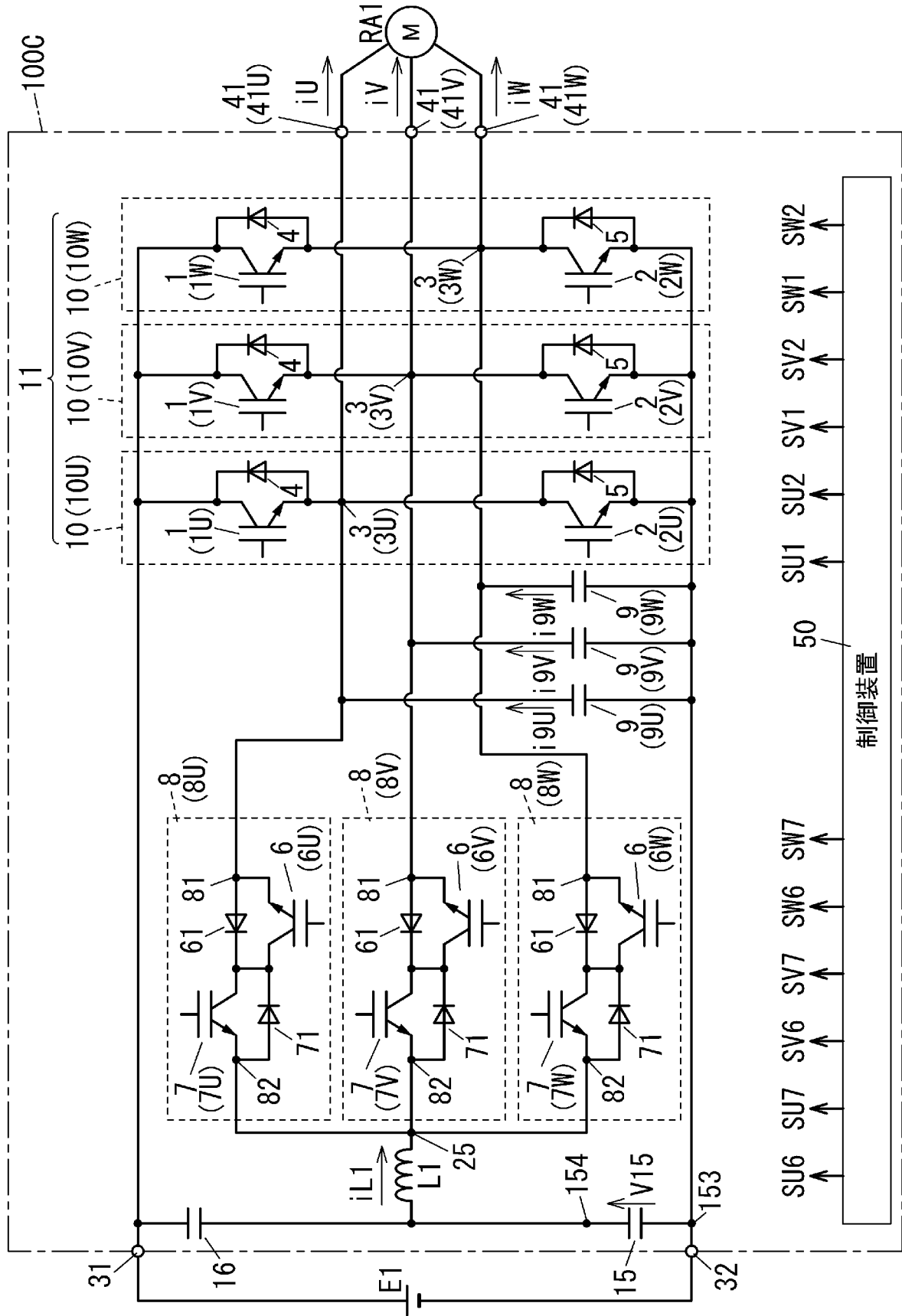
[図11]



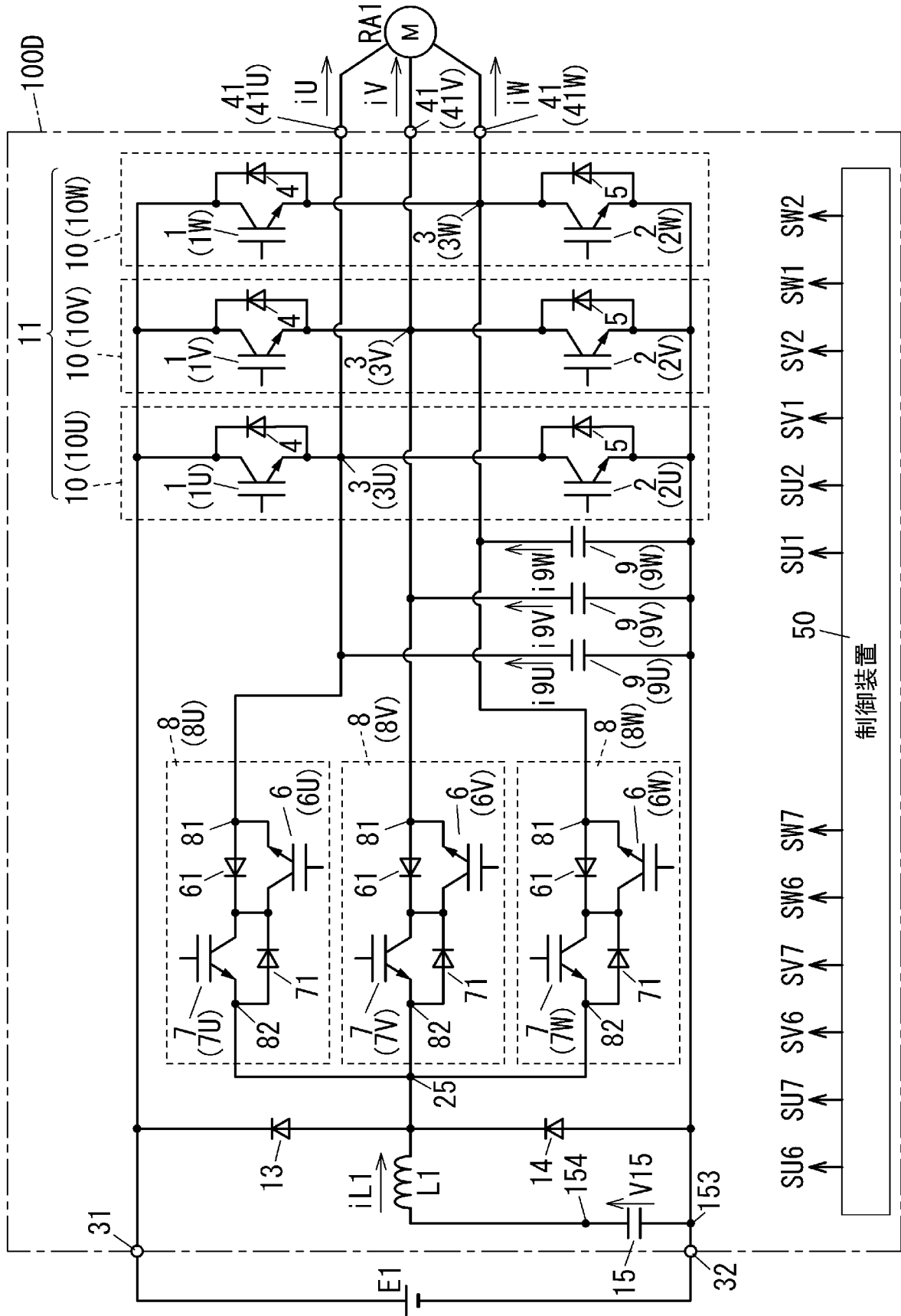
[図12]



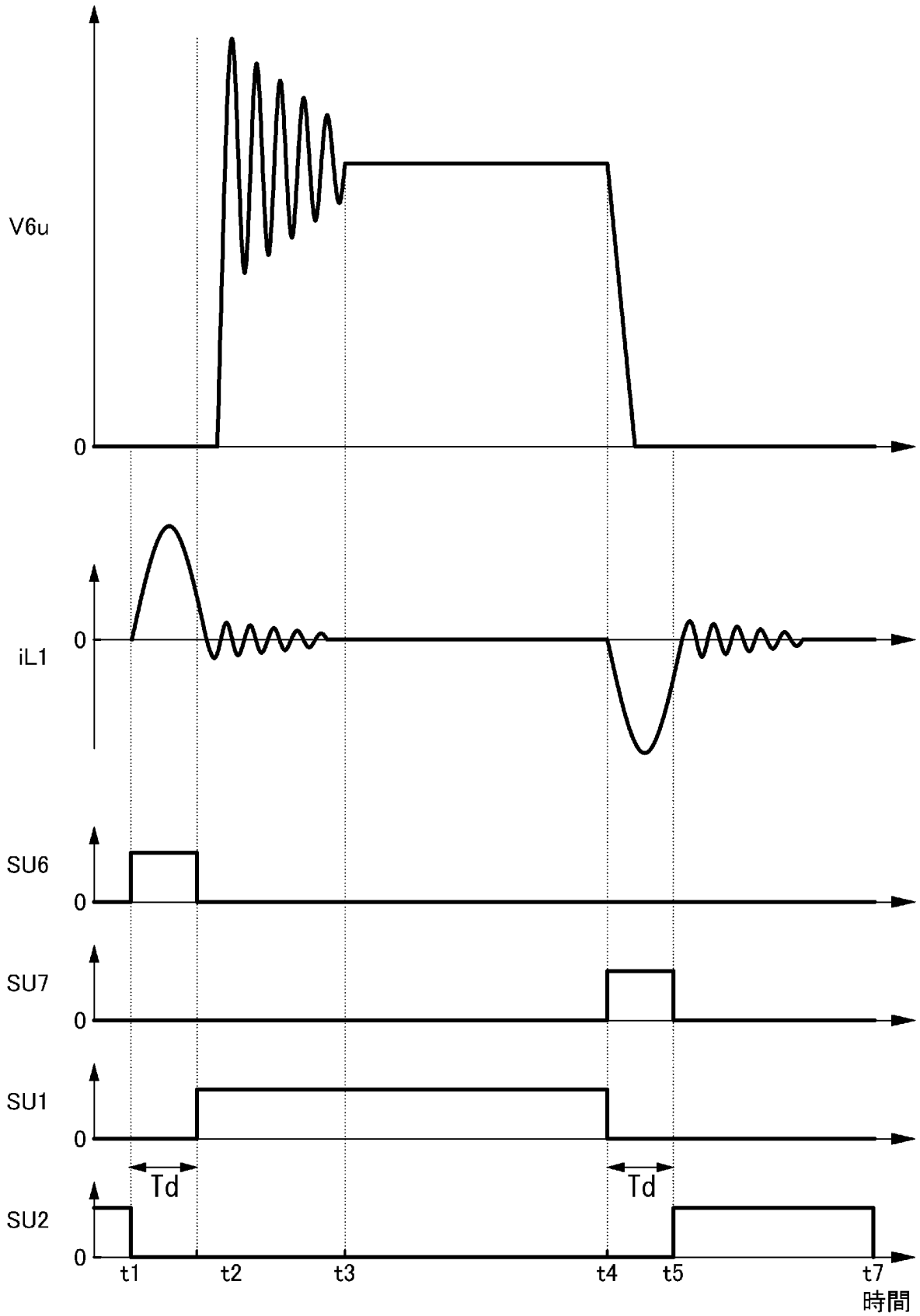
[図13]



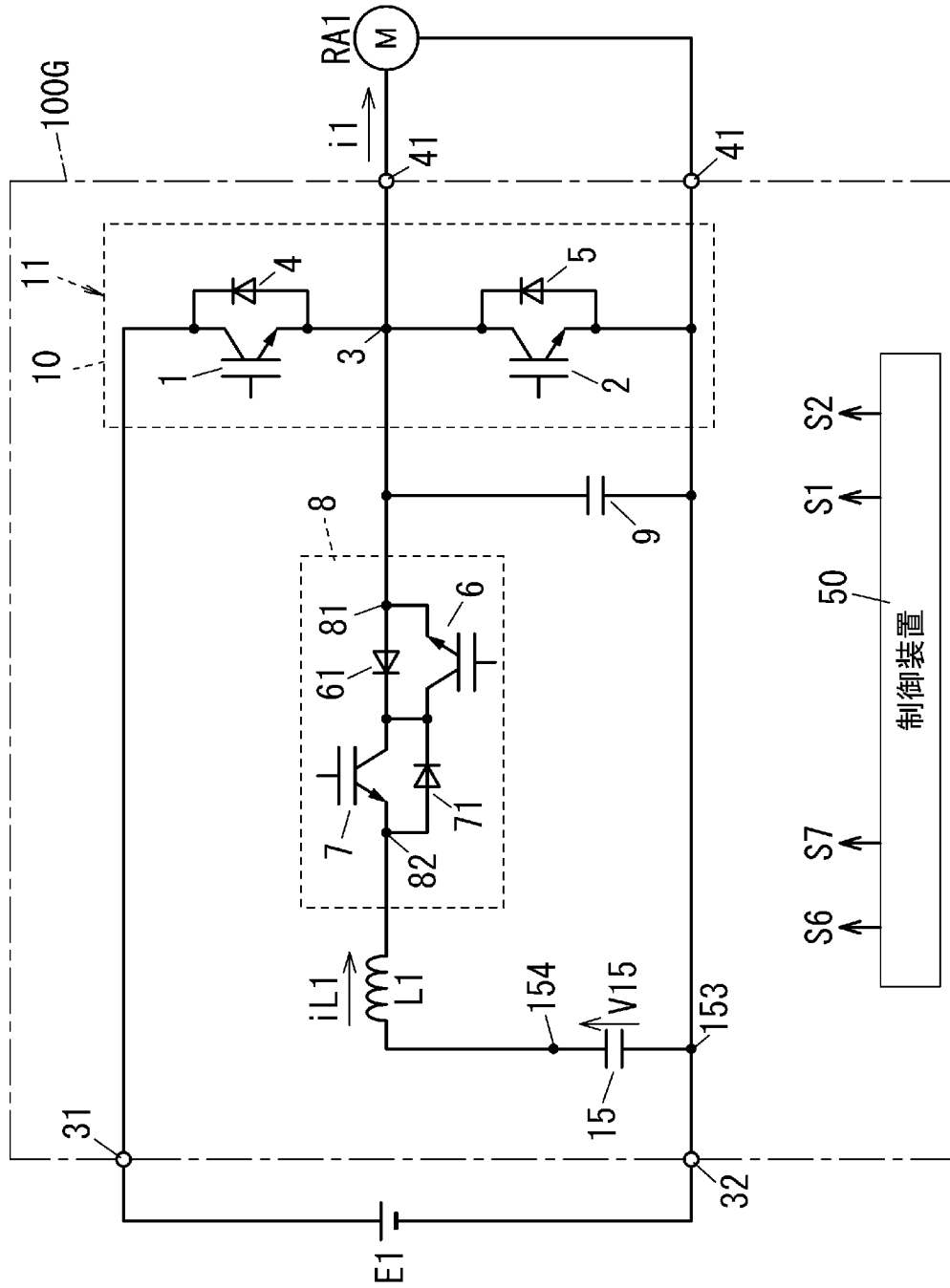
[図14]



[図15]



[図18]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2024/014914

A. CLASSIFICATION OF SUBJECT MATTER		
<i>H02M 7/48</i> (2007.01)i FI: H02M7/48 A		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols) H02M7/48		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Published examined utility model applications of Japan 1922-1996 Published unexamined utility model applications of Japan 1971-2024 Registered utility model specifications of Japan 1996-2024 Published registered utility model applications of Japan 1994-2024		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2010-233306 A (NISSAN MOTOR CO., LTD.) 14 October 2010 (2010-10-14) paragraphs [0009]-[0017], fig. 1	1-7
A	WO 2012/026535 A1 (FUJI ELECTRIC CO., LTD.) 01 March 2012 (2012-03-01) paragraph [0029], fig. 1	1-7
<input type="checkbox"/> Further documents are listed in the continuation of Box C. <input checked="" type="checkbox"/> See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "D" document cited by the applicant in the international application "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search 14 May 2024		Date of mailing of the international search report 28 May 2024
Name and mailing address of the ISA/JP Japan Patent Office (ISA/JP) 3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915 Japan		Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/JP2024/014914

Patent document cited in search report	Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
JP 2010-233306 A	14 October 2010	(Family: none)	
WO 2012/026535 A1	01 March 2012	US 2013/0170268 A1 paragraph [0043], fig. 1 EP 2575250 A1 CN 102986128 A	

A. 発明の属する分野の分類（国際特許分類（IPC）） H02M 7/48(2007.01)i FI: H02M7/48 A		
B. 調査を行った分野 調査を行った最小限資料（国際特許分類（IPC）） H02M7/48 最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922 - 1996年 日本国公開実用新案公報 1971 - 2024年 日本国実用新案登録公報 1996 - 2024年 日本国登録実用新案公報 1994 - 2024年 国際調査でを使用した電子データベース（データベースの名称、調査に使用した用語）		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2010-233306 A（日産自動車株式会社）14.10.2010（2010-10-14） 段落[0009]-[0017], 図1	1-7
A	WO 2012/026535 A1（富士電機株式会社）01.03.2012（2012-03-01） 段落[0029], 図1	1-7
<input type="checkbox"/> C欄の続きにも文献が列挙されている。 <input checked="" type="checkbox"/> パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的技術水準を示すもの “D” 国際出願で出願人が先行技術文献として記載した文献 “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献	“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献	
国際調査を完了した日 14.05.2024	国際調査報告の発送日 28.05.2024	
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号	権限のある職員（特許庁審査官） 安食 泰秀 3H 3740 電話番号 03-3581-1101 内線 3316	

国際調査報告
パテントファミリーに関する情報

国際出願番号

PCT/JP2024/014914

引用文献	公表日	パテントファミリー文献	公表日
JP 2010-233306 A	14.10.2010	(ファミリーなし)	
WO 2012/026535 A1	01.03.2012	US 2013/0170268 A1 段落[0043], FIG.1	
		EP 2575250 A1	
		CN 102986128 A	