

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2020年6月11日(11.06.2020)



(10) 国際公開番号

WO 2020/116208 A1

(51) 国際特許分類:

G05F 1/56 (2006.01)

(21) 国際出願番号:

PCT/JP2019/045817

(22) 国際出願日:

2019年11月22日(22.11.2019)

(25) 国際出願の言語:

日本語

(26) 国際公開の言語:

日本語

(30) 優先権データ:

特願 2018-228336 2018年12月5日(05.12.2018) JP

特願 2019-057059 2019年3月25日(25.03.2019) JP

(71) 出願人: ローム株式会社 (ROHM CO., LTD.)
[JP/JP]; 〒6158585 京都府京都市右京区西院
溝崎町 2 1 番地 Kyoto (JP).

(72) 発明者: 安坂 信 (YASUSAKA Makoto);
〒6158585 京都府京都市右京区西院溝崎町
2 1 番地 ローム株式会社内 Kyoto (JP). 岩

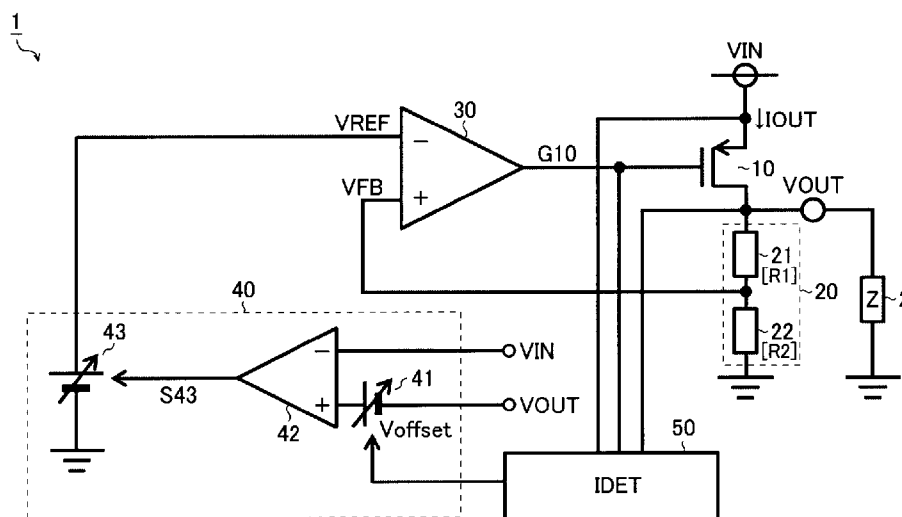
田 光太郎 (IWATA Kotaro); 〒6158585 京都
府京都市右京区西院溝崎町 2 1 番地 ロ
ーム株式会社内 Kyoto (JP).

(74) 代理人: 特許業務法人 佐野特許事務所
(SANO PATENT OFFICE); 〒5400032 大阪府
大阪府中央区天満橋京町 2 - 6 天満橋八
千代ビル別館 5 F Osaka (JP).

(81) 指定国(表示のない限り、全ての種類の国内保
護が可能): AE, AG, AL, AM, AO, AT, AU, AZ,
BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH,
CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO,
DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT,
HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH,
KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY,
MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ,
NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT,
QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,

(54) Title: LINEAR POWER SOURCE

(54) 発明の名称: リニア電源



(57) Abstract: A linear power source 1 comprises: an output transistor 10 that is connected between an input end of an input voltage VIN and an output end of an output voltage VOUT; a driver 30 for driving the output transistor 10 so that a feedback voltage VFB according to the output voltage VOUT matches a reference voltage VREF; a current detection unit 50 for detecting an output current IOOUT flowing to the output transistor 10; and a voltage adjustment unit 40 for adjusting the reference voltage VREF or the feedback voltage VFB so that a differential voltage between a first voltage (for example, VIN itself) according to the input voltage VIN and a second voltage (for example, VOUT itself) according to the output voltage VOUT or the reference voltage VREF will not fall below an offset voltage Voffset according to the output current IOOUT.

SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA,
UG, US, UZ, VC, VN, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

- 一 国際調査報告(条約第21条(3))

(57) 要約: リニア電源1は、入力電圧VINの入力端と出力電圧VOUTの出力端との間に接続された出力トランジスタ10と、出力電圧VOUTに応じた帰還電圧VFBが基準電圧VREFと一致するように出力トランジスタ10を駆動するドライバ30と、出力トランジスタ10に流れる出力電流IOUTを検出する電流検出部50と、入力電圧VINに応じた第1電圧(例えばVIN自体)と出力電圧VOUTまたは基準電圧VREFに応じた第2電圧(例えばVOUT自体)との差分電圧が出力電流IOUTに応じたオフセット電圧Voffsetを下回らないように基準電圧VREFまたは帰還電圧VFBを調整する電圧調整部40と、を有する。

明 細 書

発明の名称： リニア電源

技術分野

[0001] 本明細書中に開示されている発明は、リニア電源に関する。

背景技術

[0002] 従来より、様々なデバイスの電源手段として、リニア電源（＝L D O [low drop out] レギュレータなどのシリーズレギュレータ）が用いられている。

先行技術文献

特許文献

[0003] 特許文献1：特開2018-112963号公報

特許文献2：特開2016-200989号公報

発明の概要

発明が解決しようとする課題

[0004] ところで、安定度の低い入力電圧（例えばバッテリー電圧）の供給を受けるリニア電源では、入力電圧の過渡的な変動に対する応答特性（＝入力過渡応答特性）を高めておく必要がある。なぜなら、入力過渡応答特性が低いと、入力電圧の変動時に出力電圧まで変動してしまい、負荷の特性悪化や破壊などの原因となり得るからである。特に、近年では、リニア電源に供給される入力電圧の低電圧化が進んでおり、入力過渡応答特性に対する要求も厳しくなっている。

[0005] なお、本願出願人は、これまでも入力過渡応答特性の高いリニア電源（特許文献1ないしは特許文献2）を提案しているが、幅広い負荷領域での使用を鑑みると、更なる改善の余地があった。

[0006] 本明細書中に開示されている発明は、本願の発明者により見出された上記課題に鑑み、幅広い負荷領域で入力過渡応答特性の高いリニア電源を提供することを目的とする。

課題を解決するための手段

- [0007] 本明細書中に開示されているリニア電源は、入力電圧の入力端と出力電圧の出力端との間に接続された出力トランジスタと、前記出力電圧に応じた帰還電圧が基準電圧と一致するように前記出力トランジスタを駆動するドライバと、前記出力トランジスタに流れる出力電流を検出する電流検出部と、前記入力電圧に応じた第1電圧と前記出力電圧または前記基準電圧に応じた第2電圧との差分電圧が前記出力電流に応じたオフセット電圧を下回らないように前記基準電圧または前記帰還電圧を調整する電圧調整部とを有する。
- [0008] また、本明細書中に開示されているリニア電源は、入力電圧の入力端と出力電圧の出力端との間に接続された出力トランジスタと、前記出力電圧またはこれに応じた電圧と所定の基準電圧との差分を増幅して第1駆動信号を生成する第1アンプと、前記入力電圧またはこれに応じた電圧と前記出力電圧またはこれに応じた電圧との差分を増幅して第2駆動信号を生成する第2アンプと、前記第1及び第2駆動信号に応じて前記出力トランジスタを駆動する駆動部と、前記出力トランジスタに流れる出力電流を検出して制御信号を生成する電流検出部と、前記制御信号に応じたオフセット電圧を前記第2アンプに与えるオフセット付与部と、を有する。
- [0009] なお、本発明のその他の特徴、要素、ステップ、利点、及び、特性については、以下に続く実施形態の詳細な説明やこれに関する添付の図面によって、さらに明らかとなる。

発明の効果

- [0010] 本明細書中に開示されている発明によれば、幅広い負荷領域で入力過渡応答特性の高いリニア電源を提供することが可能となる。

図面の簡単な説明

- [0011] [図1]リニア電源の比較例を示す図
[図2]基準電圧固定時の入力過渡応答特性を示す図
[図3]基準電圧調整時（軽負荷領域）の入力過渡応答特性を示す図
[図4]重負荷領域での入力過渡応答特性を示す図

- [図5]リニア電源の第1実施形態を示す図
- [図6]出力電流と出力電圧との相関図（基準電圧固定）
- [図7]出力電流と出力電圧との相関図（基準電圧調整、オフセット電圧固定）
- [図8]出力電流と出力電圧との相関図（基準電圧調整、オフセット電圧可変）
- [図9]第1実施形態（または第9実施形態）の入力過渡応答特性を示す図
- [図10]リニア電源の第2実施形態を示す図
- [図11]リニア電源の第3実施形態を示す図
- [図12]リニア電源の第4実施形態を示す図
- [図13]リニア電源の第5実施形態を示す図
- [図14]リニア電源の第6実施形態を示す図
- [図15]リニア電源の第7実施形態を示す図
- [図16]リニア電源の第8実施形態を示す図
- [図17]リニア電源の第1比較例を示す図
- [図18]第1比較例の入力過渡応答特性を示す図
- [図19]リニア電源の第2比較例を示す図
- [図20]第2比較例（軽負荷領域）の入力過渡応答特性を示す図
- [図21]第2比較例（重負荷領域）の入力過渡応答特性を示す図
- [図22]リニア電源の第9実施形態を示す図
- [図23]リニア電源の第10実施形態を示す図
- [図24]リニア電源の第11実施形態を示す図
- [図25]リニア電源の第12実施形態を示す図
- [図26]リニア電源の第13実施形態を示す図
- [図27]リニア電源の第14実施形態を示す図
- [図28]リニア電源の第15実施形態を示す図
- [図29]車両の外観図

発明を実施するための形態

[0012] <比較例>

まず、リニア電源に関する新規な実施形態（第1～第8実施形態）の説明

に先立ち、それらと対比される比較例について簡単に説明しておく。図1は、リニア電源の比較例を示す図である。本比較例のリニア電源1は、出力トランジスタ10と、分圧部20と、ドライバ30と、基準電圧調整部40と、を有し、入力電圧VINを降圧して所望の出力電圧VOUTを生成する。入力電圧VINは、不図示のバッテリーなどから供給されており、その安定度は必ずしも高くない。出力電圧VOUTは、後段の負荷2（＝二次電源やマイコンなど）に供給されている。リニア電源1は、例えば、IC内蔵の基準電圧源として用いることができる。

[0013] 出力トランジスタ10は、入力電圧VINの入力端と出力電圧VOUTの出力端との間に接続されており、ドライバ30からのゲート信号G10に応じて導通度（裏を返せばオン抵抗値）が制御される。なお、本図の例では、出力トランジスタ10として、PMOSFET [P-channel type MOSFET] が用いられている。従って、ゲート信号G10が低いほど、出力トランジスタ10の導通度が高くなり、出力電圧VOUTが上昇する。逆に、ゲート信号G10が高いほど、出力トランジスタ10の導通度が低くなり、出力電圧VOUTが低下する。ただし、出力トランジスタ10としては、PMOSFETに代えて、NMOSFETを用いてもよいし、バイポーラトランジスタを用いてもよい。

[0014] 分圧部20は、出力電圧VOUTの出力端と接地端との間に直列接続された抵抗21及び22（抵抗値：R1及びR2）を含み、両抵抗相互間の接続ノードから出力電圧VOUTに応じた帰還電圧VFB（ $= VOUT \times \{ R2 / (R1 + R2) \}$ ）を出力する。ただし、出力電圧VOUTがドライバ30の入力ダイナミックレンジに収まっていれば、分圧部20を割愛し、帰還電圧VFBとして出力電圧VOUTそのものをドライバ30に直接入力しても構わない。

[0015] ドライバ30は、非反転入力端（+）に入力される帰還電圧VFBが反転入力端（-）に入力される所定の基準電圧VREFと一致するようにゲート信号G10を生成して出力トランジスタ10を駆動する。より具体的に述べ

ると、ドライバ30は、帰還電圧 V_{FB} と基準電圧 V_{REF} との差分値 ΔV ($=V_{FB}-V_{REF}$)が高いほどゲート信号 $G10$ を引き上げ、逆に、差分値 ΔV が低いほどゲート信号 $G10$ を引き下げる。

[0016] 基準電圧調整部40は、オフセット付与部41と、差動アンプ42と、可変電圧源43と、を含み、出力トランジスタ10がフルオン状態とならないように、言い換えれば、ドライバ30がその能力の限界までゲート信号 $G10$ をローレベルに引き下げた状態とならないように、基準電圧 V_{REF} を調整する機能を備えている。

[0017] オフセット付与部41は、出力電圧 V_{OUT} を所定のオフセット電圧 V_{offset} 分だけ高電位側にオフセットさせる。なお、オフセット電圧 V_{offset} は、リニア電源1で規定されている最低入出力間電圧差 V_{SAT} よりも低い電圧値に設定することが望ましい（詳細は後述）。

[0018] 差動アンプ42では、反転入力端（-）に入力される入力電圧 V_{IN} と、非反転入力端（+）に入力されるオフセット済みの出力電圧 ($=V_{OUT}+V_{offset}$) に応じて可変電圧源43の制御信号 $S43$ が生成される。

[0019] 可変電圧源43は、NMOSFET [N-channel type MOSFET] 43aと抵抗43bを含み、差動アンプ42から出力される制御信号 $S43$ に基づいて基準電圧 V_{REF} の電圧値を調整する。

[0020] NMOSFET 43aは、ドライバ30の反転入力端（-）（=基準電圧 V_{REF} の出力端）と接地端との間に接続されており、差動アンプ42から出力される制御信号 $S43$ （=ゲート信号）に基づいて導通度が制御される。従って、NMOSFET 43aに流れるドレイン電流 $I43a$ は、制御信号 $S43$ が高いほど大きくなり、制御信号 $S43$ が低いほど小さくなる。

[0021] 抵抗43b（抵抗値： $R43b$ ）は、基準電圧 V_{REF0} （=基準電圧 V_{REF} の定常値に相当）の印加端とドライバ30の反転入力端（-）との間に接続されており、NMOSFET 43aに流れるドレイン電流 $I43a$ を受けて自身の両端間に生じる電圧降下分 ($=I43a \times R43b$) だけ基準電圧 V_{REF0} を引き下げることにより、基準電圧 V_{REF} ($=V_{REF0}$

− $I_{43a} \times R_{43b}$)を生成する。すなわち、基準電圧 V_{REF} は、 $I_{43a} = 0A$ であるときに定常値($=V_{REF0}$)となり、ドレイン電流 I_{43a} が大きくなるほど定常値から低下していく。

[0022] 本実施形態のリニア電源1において、入力電圧 V_{IN} と出力電圧 V_{OUT} との差分電圧($V_{IN} - V_{OUT}$)がオフセット電圧 V_{offset} よりも高いときには、NMOSFET43aをオフして基準電圧 V_{REF} を定常値に保持するように、制御信号 S_{43} がローレベルに保持される。

[0023] 一方、差分電圧($V_{IN} - V_{OUT}$)がオフセット電圧 V_{offset} まで低下したときには、そのさらなる低下を防止すべく、NMOSFET43aにドレイン電流 I_{43a} を流して基準電圧 V_{REF} を定常値から引き下げるように制御信号 S_{43} が高められる。

[0024] なお、上記では、出力電圧 V_{OUT} にオフセットを与える構成を例に挙げたが、逆に、入力電圧 V_{IN} にオフセットを与える構成としても構わない。具体的には、本図中の括弧内で示したように、入力電圧 V_{IN} をオフセット電圧 V_{offset} 分だけ低電位側にオフセットさせるオフセット付与部を設け、出力電圧 V_{OUT} とオフセット済みの入力電圧($=V_{IN} - V_{offset}$)を差動アンプ42に差動入力してもよい。

[0025] <入力過渡応答特性(基準電圧固定時)>

上記した基準電圧調整機能の導入意義を説明するに先立ち、基準電圧 V_{REF} が固定値である場合の入力過渡応答特性について簡単に説明する。

[0026] 図2は、基準電圧固定時の入力過渡応答特性を示す図である。なお、本図上段には、入力電圧 V_{IN} と出力電圧 V_{OUT} との関係が示されており、本図中段には、基準電圧 V_{REF} (一点鎖線)と帰還電圧 V_{FB} (実線)との関係が示されている。また、本図下段には、入力電圧 V_{IN} とゲート信号 G_{10} との関係が示されている。

[0027] 仮に、基準電圧 V_{REF} が固定値である場合、入力電圧 V_{IN} の低下に伴い、入力電圧 V_{IN} が出力目標値 V_{target} (=出力電圧 V_{OUT} の目標値)よりも低くなると、帰還電圧 V_{FB} が常に基準電圧 V_{REF} を下回っ

た状態となる。その結果、ドライバ30は、その能力の限界までゲート信号G10をローレベルに引き下げた状態となるので、出力トランジスタ10がフルオン状態に陥る（時刻 t_{12} ～ t_{15} を参照）。すなわち、ドライバ30がコンパレータに近い動作状態となる。

[0028] このような状態から入力電圧VINが出力目標値Vtargetよりも高い電圧まで急上昇した場合、ドライバ30は、ゲート信号G10を引き上げて出力トランジスタ10をオフしようとする。しかしながら、ローレベルに振り切れた状態のゲート信号G10を、入力電圧VINの急変に即時追従させて引き上げることは難しい。その結果、出力トランジスタ10がフルオン状態とされたまま、入力電圧VINをそのまま出力してしまい、出力電圧VOUTのオーバーシュートを生じる（時刻 t_{15} ～ t_{17} を参照）。このようなオーバーシュートが生じると、負荷2が誤動作したり破壊に至るおそれがある。

[0029] なお、出力トランジスタ10をオフさせるスピードは、ドライバ30の応答速度、ドライバ30の出力段における電流能力、ドライバ30の内部端子が持つインピーダンス、ないしは、出力トランジスタ10のゲート容量などによって決まる。また、オーバーシュートの収束時間は、ドライバ30の特性（位相余裕度、応答速度）などによって決まる。

[0030] <入力過渡応答特性（基準電圧調整時）>

次に、基準電圧VREFが可変値である場合の入力過渡応答特性について説明する。

[0031] 図3は、基準電圧調整時の入力過渡応答特性を示す図である。なお、先出の図2と同じく、本図上段には、入力電圧VINと出力電圧VOUTとの関係が示されており、本図中段には、基準電圧VREF（一点鎖線）と帰還電圧VFB（実線）との関係が示されている。また、本図下段には、入力電圧VINとゲート信号G10との関係が示されている。

[0032] 本比較例のリニア電源1において、基準電圧調整部40は、入力電圧VINと出力電圧VOUTの双方を監視し、両者の差分電圧（ $V_{IN} - V_{OUT}$ ）

）がオフセット電圧 V_{offset} よりも高いときには、基準電圧 V_{REF} を定常値に保持する一方（時刻 t_{22} 以前、若しくは、時刻 t_{25} 以降を参照）、上記の差分電圧（ $V_{IN} - V_{OUT}$ ）がオフセット電圧 V_{offset} まで低下したときには、これが更に低下してしまわないように、基準電圧 V_{REF} を定常値から引き下げる（時刻 $t_{22} \sim t_{25}$ を参照）。

[0033] 上記の基準電圧調整動作により、入力電圧 V_{IN} が低下した場合でも、出力電圧 V_{OUT} の目標値を入力電圧 V_{IN} よりも常に低い状態に維持することができる。従って、出力トランジスタ 10 がフルオン状態に陥ることはなく、ドライバ 30 は、ゲート信号 G_{10} を適切な電圧値（例えば $V_{IN} - V_{th}$ 、ただし V_{th} は出力トランジスタ 10 のオンスレッシュホールド電圧）に維持した状態となる。

[0034] このように、入力電圧 V_{IN} の低下に伴う出力トランジスタ 10 のフルオン状態を回避しておけば、その後、入力電圧 V_{IN} が急上昇したとしても、その急変にゲート信号 G_{10} を即時追従させて引き上げることができるので、出力電圧 V_{OUT} のオーバーシュートを最小限に抑制することが可能となる。

[0035] なお、基準電圧 V_{REF} を引き下げるということは、出力電圧 V_{OUT} が本来の目標値よりも低下することを意味する。出力電圧 V_{OUT} の低下は、後段に接続される負荷 2 の特性悪化に繋がるおそれがあるので、そのような影響を及ぼさない範囲で基準電圧 V_{REF} を調整する必要がある。

[0036] 一つの目安として、リニア電源 1 で規定されている最低入出力間電圧差 V_{SAT} に着目する。最低入出力間電圧差 V_{SAT} とは、リニア電源 1 から負荷 2 に所定の出力電流 I_{OUT} を安定供給するために最低限必要な入出力間電圧差（＝入力電圧 V_{IN} と出力電圧 V_{OUT} との差分電圧（ $V_{IN} - V_{OUT}$ ））に相当し、一般には、出力トランジスタ 10 のフルオン状態におけるオン抵抗値 R_{ON} と、そのときに流れる出力電流 I_{OUT} の電流値に応じて決まる。

[0037] これを鑑みると、オフセット電圧 V_{offset} （＝入力電圧 V_{IN} の低

下時における出力電圧 V_{OUT} の引き下げ幅に相当)は、上記の最低入出力間電圧差 V_{SAT} よりも低い電圧値に設定しておくことが望ましいと言える。このような電圧値に設定しておけば、上記の基準電圧調整動作により出力電圧 V_{OUT} が低下しても、リニア電源1の安定動作に支障を来たさずに済む。

[0038] <入力過渡応答特性(重負荷領域)>

ところで、図2及び図3では言及しなかったが、出力トランジスタ10は、そのフルオン時でもオン抵抗値 R_{ON} を持つので、そのドレイン・ソース間には、出力電流 I_{OUT} に応じたドレイン・ソース間電圧 V_{ds} (= $I_{OUT} \times R_{ON}$)が不可避免的に生じる。

[0039] ここで、出力トランジスタ10に流れる出力電流 I_{OUT} が小さく、 $I_{OUT} \times R_{ON} < V_{offset}$ となる負荷領域(以下では、軽負荷領域と呼ぶ)であれば、先述の基準電圧調整機能が働くので、入力電圧 V_{IN} の急変に伴う出力電圧 V_{OUT} のオーバーシュートを抑制することができる。

[0040] 一方、出力トランジスタ10に流れる出力電流 I_{OUT} が大きく、 $I_{OUT} \times R_{ON} > V_{offset}$ となる負荷領域(以下では、重負荷領域と呼ぶ)では、入力電圧 V_{IN} と出力電圧 V_{OUT} との差分電圧($V_{IN} - V_{OUT}$)がオフセット電圧 V_{offset} を下回らなくなる。その結果、制御信号 S_{43} が常にローレベルとなるので、NMOSFET43aがオフされたままとなり、基準電圧 V_{REF} が定常値に保持された状態(=先述の基準電圧調整機能が働かない状態)に陥る。

[0041] 図4は、重負荷領域での入力過渡応答特性を示す図である。なお、先の図2、図3と同様、本図上段には、入力電圧 V_{IN} と出力電圧 V_{OUT} との関係が示されており、本図中段には、基準電圧 V_{REF} (一点鎖線)と帰還電圧 V_{FB} (実線)との関係が示されている。また、本図下段には、入力電圧 V_{IN} とゲート信号 G_{10} との関係が示されている。

[0042] 先に述べたように、重負荷領域では、基準電圧調整機能が働かず、基準電圧 V_{REF} が定常値に保持されたままとなる。そのため、入力電圧 V_{IN} の

低下に伴い、 $V_{IN} < V_{target} + I_{ON} \times R_{ON}$ になると、出力電圧 V_{OUT} を出力目標値 V_{target} に維持することができなくなり、帰還電圧 V_{FB} が常に基準電圧 V_{REF} を下回った状態となる。その結果、ドライバ30は、その能力の限界までゲート信号 G_{10} をローレベルに引き下げた状態となるので、出力トランジスタ10がフルオン状態に陥る（時刻 $t_{32} \sim t_{35}$ を参照）。

[0043] このような状態から入力電圧 V_{IN} が急上昇して $V_{IN} > V_{target} + I_{ON} \times R_{ON}$ になると、ドライバ30は、ゲート信号 G_{10} を引き上げて出力トランジスタ10をオフしようとする。しかしながら、ローレベルに振り切れた状態のゲート信号 G_{10} を、入力電圧 V_{IN} の急変に即時追従させて引き上げることは難しい。その結果、出力トランジスタ10がフルオン状態とされたまま、入力電圧 V_{IN} をそのまま出力してしまい、出力電圧 V_{OUT} のオーバーシュートを生じる（時刻 $t_{35} \sim t_{37}$ を参照）。

[0044] 以上のように、重負荷領域での入力過渡応答特性（図4）は、基準電圧固定時の入力過渡応答特性（図2）と何ら変わりがなく、基準電圧調整機能を導入した意味がなくなる。

[0045] なお、上記不具合を解消するための最も単純な解決策は、オフセット電圧 V_{offset} を高めることである。しかしながら、オフセット電圧 V_{offset} を固定的に高めると、入力電圧 V_{IN} の低下時には、負荷の軽重に関係なく出力電圧 V_{OUT} が大きく低下してしまうので、特性悪化の原因となり得る。

[0046] 以下では、このような不具合を解消することのできる種々の実施形態を提案する。

[0047] <第1実施形態>

図5は、リニア電源の第1実施形態を示す図である。本実施形態のリニア電源1は、先出の比較例（図1）をベースとしつつ、電流検出部50をさらに有する。なお、本図では可変電圧源43を単一の回路記号で略記しているが、その内部構成は図1の通りである。

[0048] 基準電圧調整部40は、入力電圧 V_{IN} と出力電圧 V_{OUT} との差分電圧（ $=V_{IN}-V_{OUT}$ ）がオフセット電圧 V_{offset} を下回らないように基準電圧 V_{REF} を調整する。より具体的に述べると、基準電圧調整部40は、差分電圧（ $=V_{IN}-V_{OUT}$ ）がオフセット電圧 V_{offset} よりも高いときには、基準電圧 V_{REF} を定常値に保持する一方、上記の差分電圧（ $=V_{IN}-V_{OUT}$ ）がオフセット電圧 V_{offset} まで低下したときには、差分電圧（ $=V_{IN}-V_{OUT}$ ）が更に低下しないように基準電圧 V_{REF} を定常値から引き下げる。この基本動作については、先の比較例（図1）と何ら変わるところはない。

[0049] 電流検出部50は、出力トランジスタ10に流れる出力電流 I_{OUT} を検出し、その電流値に応じた制御信号（例えば、出力電流 I_{OUT} の $1/m$ に相当するセンス電流またはそのミラー電流、詳細については後述）をオフセット付与部41に出力する。

[0050] オフセット付与部41は、出力電圧 V_{OUT} をオフセット電圧 V_{offset} 分だけ高電位側にシフトする回路ブロックであり、新たに、電流検出部50からの制御信号に応じてオフセット電圧 V_{offset} を可変制御する機能を備えている。なお、オフセット電圧 V_{offset} は、出力電流 I_{OUT} が大きいほど高くなり、出力電流 I_{OUT} が小さいほど低くなる。

[0051] 図6～図8は、それぞれ、出力電流 I_{OUT} （横軸）と出力電圧 V_{OUT} （縦軸）との相関図である。なお、図6は V_{REF} 固定時の出力挙動を示しており、図7は V_{REF} 調整時（ V_{offset} 固定）の出力挙動（＝比較例の出力挙動）を示している。一方、図8は V_{REF} 調整時（ V_{offset} 可変）の出力挙動（＝第1実施形態の出力挙動）を示している。また、図7及び図8には、比較参照用に V_{REF} 固定時の出力挙動（図6）が破線で描写されている。以下では、各図を対比しながら、第1実施形態（図5）の優位性について述べる。

[0052] まず、図6（ V_{REF} 固定時）の出力挙動について説明する。この場合、出力トランジスタ10は、入力電圧 V_{IN} の低下に伴い、何ら制限なくフル

オン状態となり得るので、単純に、出力電流 I_{OUT} と出力トランジスタ 10 のオン抵抗値 R_{ON} に応じた電圧降下 ($= I_{OUT} \times R_{ON}$) が発生する。従って、ドライバ 30 の特性次第では、どの負荷条件でも、出力電圧 V_{OUT} のオーバーシュートを生じるおそれがある。

[0053] 次に、図 7 (VREF 調整時 (Voffset 固定)) の出力挙動について説明する。この場合、軽負荷領域 ($I_{OUT} < V_{offset} / R_{ON}$) であれば、入力電圧 V_{IN} が低下しても、入力電圧 V_{IN} と出力電圧 V_{OUT} との差分電圧 ($= V_{IN} - V_{OUT}$) がオフセット電圧 V_{offset} を下回らないように、先述の基準電圧調整機能が働く。従って、出力トランジスタ 10 がフルオン状態に至ることはなく、出力電圧 V_{OUT} のオーバーシュートが抑制される。

[0054] ただし、重負荷領域 ($I_{OUT} > V_{offset} / R_{ON}$) では、もはや基準電圧調整機能が働かなくなる。従って、入力電圧 V_{IN} の低下に伴い、出力トランジスタ 10 がフルオン状態となり得るので、出力電圧 V_{OUT} のオーバーシュートを生じるおそれが出てくる。オフセット電圧 V_{offset} を高めれば、基準電圧調整機能の働く負荷領域を広げられるが、背反として軽負荷時の出力低下が大きくなることは、先述の通りである。

[0055] 次に、図 8 (VREF 調整時 (Voffset 可変)) の出力挙動について説明する。この場合、オフセット電圧 V_{offset} は、全ての負荷領域で $I_{OUT} \times R_{ON} < V_{offset}$ を満たしつつ、出力電流 I_{OUT} が大きいほど高くなり、出力電流 I_{OUT} が小さいほど低くなるように可変制御される。

[0056] 従って、入力電圧 V_{IN} の低下時には、負荷条件に依ることなく、先述の基準電圧調整機能が働く。その結果、幅広い負荷領域で出力トランジスタ 10 のフルオン状態を未然に回避することが可能となり、延いては、幅広い負荷領域で出力電圧 V_{OUT} のオーバーシュートを抑制し、リニア電源 1 の入力過渡応答特性を高めることが可能となる。

[0057] また、オフセット電圧 V_{offset} は、出力電流 I_{OUT} に応じて必要

最小限に設定されるので、特に、無負荷時 ($I_{OUT} = 0\text{ A}$) や軽負荷領域 ($I_{OUT} < V_{offset} / R_{ON}$) において、出力電圧 V_{OUT} の不必要な低下を防止することが可能となる。

[0058] 図9は、第1実施形態 (V_{REF} 調整時 (V_{offset} 可変)) の入力過渡応答特性を示す図である。本図上段には、入力電圧 V_{IN} と出力電圧 V_{OUT} との関係が示されており、本図下段には、入力電圧 V_{IN} とゲート信号 G_{10} との関係が示されている。

[0059] 本実施形態のリニア電源1によれば、先述の基準電圧調整動作により、入力電圧 V_{IN} が低下した場合であっても、出力電圧 V_{OUT} の目標値を入力電圧 V_{IN} よりも常に低い状態に維持することができる。従って、出力トランジスタ10がフルオン状態に陥ることはなく、ゲート信号 G_{10} が適切な電圧値に維持される。もちろん、負荷が重くなるほどより多くの出力電流 I_{OUT} を流すためにゲート信号 G_{10} は低下していくが、ドライバ30の能力限界までゲート信号 G_{10} がローレベルに引き下げられた状態とはならない。

[0060] このように、入力電圧 V_{IN} の低下に伴う出力トランジスタ10のフルオン状態を回避しておけば、その後、入力電圧 V_{IN} が急上昇したとしても、その急変にゲート信号 G_{10} を即時追従させて引き上げることができるので、出力電圧 V_{OUT} のオーバーシュートを最小限に抑制することが可能となる。

[0061] また、本実施形態のリニア電源1では、出力電流 I_{OUT} に応じてオフセット電圧 V_{offset} が可変制御される。従って、負荷が軽い (= 出力電流 I_{OUT} が小さい) ほど出力電圧 V_{OUT} の低下量 (= オフセット電圧 V_{offset}) を小さく抑えることができるので、適正な出力電圧 V_{OUT} を維持することが可能となる。

[0062] <第2実施形態>

図10は、リニア電源の第2実施形態を示す図である。本実施形態のリニア電源1は、先出の第1実施形態 (図5) をベースとしつつ、基準電圧調整

部40に代えて、定電圧源60と帰還電圧調整部70が設けられている。

[0063] 定電圧源60は、所定の基準電圧 V_{REF} を生成してドライバ30の反転入力端(−)に出力する。

[0064] 帰還電圧調整部70は、入力電圧 V_{IN} と出力電圧 V_{OUT} との差分電圧($=V_{IN}-V_{OUT}$)がオフセット電圧 V_{offset} を下回らないように帰還電圧 FB を調整する回路部であり、オフセット付与部71と、差動アンプ72と、可変電圧源73とを含む。

[0065] オフセット付与部71は、出力電圧 V_{OUT} をオフセット電圧 V_{offset} 分だけ高電位側にシフトする回路ブロックであり、先の第1実施形態(図5)と同じく、電流検出部50からの制御信号に応じてオフセット電圧 V_{offset} を可変制御する機能を備えている。すなわち、オフセット電圧 V_{offset} は、出力電流 I_{OUT} が大きいほど高くなり、出力電流 I_{OUT} が小さいほど低くなる。

[0066] 差動アンプ72では、反転入力端(−)に入力される入力電圧 V_{IN} と、非反転入力端(+)に入力されるオフセット済みの出力電圧($=V_{OUT}+V_{offset}$)に応じて可変電圧源73の制御信号 S_{73} が生成される。

[0067] 可変電圧源73は、差動アンプ72から出力される制御信号 S_{73} に基づいて帰還電圧 FB の電圧値を調整する。より具体的に述べると、可変電圧源73は、制御信号 S_{73} がローレベルに維持されている間、帰還電圧 FB をシフトせずにそのままドライバ30の非反転入力端(+)に出力し、制御信号 S_{73} がローレベルから立ち上がると、その電圧値が高いほど帰還電圧 FB を高電位側にシフトする。

[0068] つまり、帰還電圧調整部70は、差分電圧($=V_{IN}-V_{OUT}$)がオフセット電圧 V_{offset} よりも高いときには、帰還電圧 FB をそのままドライバ30に伝える一方、上記の差分電圧($=V_{IN}-V_{OUT}$)がオフセット電圧 V_{offset} まで低下したときには、差分電圧($=V_{IN}-V_{OUT}$)がさらに低下しないように、帰還電圧 FB を引き上げてドライバ30に伝える。

[0069] このように、出力トランジスタ 10 のフルオン状態を防止するために、基準電圧 V_{REF} を調整するのではなく、帰還電圧 V_{FB} を調整しても構わない。

[0070] <第 3 実施形態>

図 11 は、リニア電源の第 3 実施形態を示す図である。本実施形態のリニア電源 1 は、先出の第 1 実施形態（図 5）をベースとしつつ、入力電圧 V_{IN} から分圧入力電圧 V_{IN2} を生成する分圧部 20a をさらに有する。そして、基準電圧調整部 40 への差動入力信号としては、入力電圧 V_{IN} に代えて分圧入力電圧 V_{IN2} が入力されており、出力電圧 V_{OUT} に代えて基準電圧 V_{REF} が入力されている。また、本図では、可変電圧源 43 として、比較例（図 1）と同様の回路要素（NMOSFET 43a 及び抵抗 43b）が描写されている。

[0071] 分圧部 20a は、入力電圧 V_{IN} の印加端と接地端との間に直列接続された抵抗 23 及び 24（抵抗値： R_3 及び R_4 ）を含み、両抵抗相互間の接続ノードから入力電圧 V_{IN} に応じた分圧入力電圧 V_{IN2} （ $= V_{IN} \times \{R_4 / (R_3 + R_4)\}$ ）を出力する。

[0072] このとき、 $R_1 : R_2 = R_3 : R_4$ を満たすように、抵抗 21～24 を適宜選択しておけば、基準電圧調整部 40 に入力電圧 V_{IN} と出力電圧 V_{OUT} が差動入力される構成と等価になるので、先の第 1 実施形態（図 5）と同様の効果を享受することが可能となる。

[0073] また、本図では、電流検出部 50 の具体的な構成要素として、PMOSFET 51 が描写されている。PMOSFET 51 のソース及びゲートは、それぞれ、出力トランジスタ 10 のソース及びゲートに共通接続されている。従って、PMOSFET 51 のドレインには、出力電流 I_{OUT} の $1/m$ に相当するセンス電流 I_{51} が流れ、これが先述の制御信号として、オフセット付与部 41 に出力される。なお、出力トランジスタ 10 と PMOSFET 51 のサイズ比が $m : 1$ （ただし $m > 1$ ）である場合、上記のセンス電流 I_{51} は、出力電流 I_{OUT} の $1/m$ となる。

[0074] なお、電流検出部50には、本図の吹き出し枠内で示したように、PMOSFET51のドレイン電圧を出力トランジスタ10のドレイン電圧（＝出力電圧VOUT）と一致させるバイアス手段として、PMOSFET52及び53と電流源54を追加してもよい。

[0075] PMOSFET52のソースは、PMOSFET51のドレインに接続されている。PMOSFET53のソースは、出力トランジスタ50のドレイン（＝出力電圧VOUTの印加端）に接続されている。PMOSFET52及び53それぞれのゲートは、いずれもPMOSFET53のドレインに接続されている。PMOSFET53のドレインは、電流源54の第1端に接続されている。電流源54の第2端は、接地端に接続されている。

[0076] このようなバイアス手段を設けることにより、PMOSFET51のドレイン・ソース間電圧を、出力トランジスタ10のドレイン・ソース間電圧と一致させることができる。従って、出力電流IOUTに応じたセンス電流I51（延いては、オフセット付与部41への制御信号）をより精度良く生成することが可能となる。

[0077] <第4実施形態>

図12は、リニア電源の第4実施形態を示す図である。本実施形態のリニア電源1は、先出の第3実施形態（図11）をベースとしつつ、幾つかの変更が加えられている。

[0078] まず、基準電圧調整部40は、基準電圧VREFをオフセット電圧Voffset分だけ高電位側にシフトするオフセット付与部41に代えて、分圧入力電圧VIN2をオフセット電圧Voffset分だけ低電位側にシフトするオフセット付与部41aを含む。すなわち、差動アンプ42には、基準電圧VREFとオフセット済みの分圧入力電圧（＝VIN2－Voffset）が差動入力されている。このように、オフセット電圧Voffsetは、基準電圧VREFに足し合わせるのではなく、分圧入力電圧VIN2から差し引いても構わない。

[0079] また、電流検出部50には、センス電流I51に応じたミラー電流I55

を生成するカレントミラーとして、NMOSFET 55及び56が追加されている。NMOSFET 56のドレインは、PMOSFET 51のドレイン（＝センス電流I51の出力端）に接続されている。NMOSFET 55及び56それぞれのゲートは、NMOSFET 56のドレインに接続されている。NMOSFET 55及び56それぞれのソースは、接地端に接続されている。NMOSFET 55のドレインは、ミラー電流I55の出力端として、オフセット付与部41aに接続されている。このように、オフセット付与部41aの制御信号としては、センス電流I51に応じたミラー電流I55を用いても構わない。

[0080] <第5実施形態>

図13は、リニア電源の第5実施形態を示す図である。本実施形態のリニア電源1は、先出の第2実施形態（図10）をベースとしつつ、幾つかの変更が加えられている。

[0081] まず、リニア電源1は、先の第3実施形態（図11）や第4実施形態（図12）と同じく、入力電圧VINから分圧入力電圧VIN2を生成する分圧部20aをさらに有する。そして、帰還電圧調整部70への差動入力信号としては、入力電圧VINに代えて分圧入力電圧VIN2が入力されており、出力電圧VOUTに代えて基準電圧VREFが入力されている。なお、 $R1 : R2 = R3 : R4$ を満たす点については、先と同様である。

[0082] 次に、帰還電圧調整部70は、出力電圧VOUTをオフセット電圧Voffset分だけ高電位側にシフトするオフセット付与部71に代えて、分圧入力電圧VIN2をオフセット電圧Voffset分だけ低電位側にシフトするオフセット付与部71aを含む。すなわち、差動アンプ72には、基準電圧VREFとオフセット済みの分圧入力電圧（ $= VIN2 - Voffset$ ）が差動入力されている。このように、オフセット電圧Voffsetは、基準電圧VREFに足し合わせるのではなく、分圧入力電圧VIN2から差し引いても構わない。

[0083] また、可変電圧源73は、差動アンプ72から出力される制御信号S73

に基づいて導通度が制御されるPMOSFET 73aを含む。PMOSFET 73aのゲートは、差動アンプ72の出力端（＝制御信号S 73の印加端）に接続されている。PMOSFET 73aのドレイン（＝ドレイン電流I 73aの出力端）は、帰還電圧VFBの印加端（＝抵抗21及び22相互間の接続ノード）に接続されている。PMOSFET 73aのソースは、ドレイン電流I 73aの供給に必要な電流能力を持つ内部電源に接続されている。

[0084] なお、可変電圧源73としてPMOSFET 73aを用いたことに伴い、差動アンプ72の入力極性が変更されている。より具体的には、差動アンプ72の反転入力端（－）に基準電圧VREFが入力されており、差動アンプ72の非反転入力端（＋）にオフセット済みの分圧入力電圧（＝ $V_{IN2} - V_{offset}$ ）が入力されている。

[0085] このような構成とすることにより、PMOSFET 73aに流れるドレイン電流I 73aに応じて、帰還電圧FBを調整することができる。具体的には、制御信号S 73がハイレベルに維持されている間、PMOSFET 73aがオフするので、ドレイン電流I 73aが流れなくなる。従って、帰還電圧FBがシフトされずにそのままドライバ30の非反転入力端（＋）に出力される。一方、制御信号S 73がハイレベルから立ち下がると、その電圧値が低いほどPMOSFET 73aの導通度が高くなり、抵抗22に流れるドレイン電流I 73aが大きくなるので、その分だけ帰還電圧FBが高電位側にシフトされる。

[0086] また、電流検出部50は、先の第4実施形態（図12）と同様、PMOSFET 51とNMOSFET 55及び56を含み、先述のミラー電流I 55をオフセット付与部71aに出力する。このように、オフセット付与部71aの制御信号としては、例えば、センス電流I 51に応じたミラー電流I 55を用いることができる。

[0087] <第6実施形態>

図14は、リニア電源の第6実施形態を示す図である。本実施形態のリニ

ア電源 1 は、先出の第 4 実施形態（図 1 2）をベースとしつつ、オフセット付与部 4 1 a に代えて抵抗 2 5（抵抗値： R_5 ）を有する。なお、抵抗 2 5 は、分圧部 2 0 a の構成要素として、入力電圧 V_{IN} の印加端と抵抗 2 3 との間に接続されている。また、電流検出部 5 0 では、分圧入力電圧 V_{IN} の出力端（＝抵抗 2 3 及び 2 4 相互間の接続ノード）から接地端に向けてミラー電流 I_{55} が引き込まれている。

[0088] このとき、 $R_1 : R_2 = R_3 : R_4$ を満たすように、抵抗 2 1 ～ 2 4 を適宜選択しておけば、抵抗 2 5 の挿入に伴う抵抗比のずれにより、オフセット電圧 V_{offset} を生成することが可能となる。

[0089] <第 7 実施形態>

図 1 5 は、リニア電源の第 7 実施形態を示す図である。本実施形態のリニア電源 1 は、先出の第 4 実施形態（図 1 2）をベースとしつつ、幾つかの変更が加えられている。

[0090] まず、差動アンプ 4 2 の非反転入力端（+）には、基準電圧 V_{REF} に代えて、帰還電圧 V_{FB} （＝出力電圧 V_{OUT} の分圧電圧）が入力されている。このように、基準電圧調整部 4 0 では、分圧入力電圧 V_{IN2} と帰還電圧 V_{FB} との差分電圧（＝ $V_{IN2} - V_{FB}$ ）がオフセット電圧 V_{offset} を下回らないように、基準電圧 V_{REF} を調整しても構わない。

[0091] また、基準電圧調整部 4 0 は、基準電圧 V_{REF} の出力端と接地端との間に接続された抵抗 4 3 c（抵抗値： R_{43c} ）をさらに含んでいる。この場合、基準電圧 V_{REF} の定常値（＝ドレイン電流 I_{43a} が 0 A であるときの基準電圧 V_{REF} ）は、 $V_{REF0} \times \{R_{43c} / (R_{43b} + R_{43c})\}$ となる。このように、基準電圧 V_{REF} の定常値は、任意の定電圧（ V_{REF0} ）を分圧することで設定してもよい。

[0092] <第 8 実施形態>

図 1 6 はリニア電源の第 8 実施形態を示す図である。本実施形態のリニア電源 1 では、先出の第 3 実施形態（図 1 1）をベースとしつつ、基準電圧調整部 4 0 の NMOSFET 4 3 a が PMOSFET 4 3 d に置換されている

。なお、PMOSFET 43dに流れるソース電流 I_{43d} は、制御信号 S_{43} が高いほど小さくなり、制御信号 S_{43} が低いほど大きくなる。

[0093] また、上記の変更に伴い、差動アンプ42の入力極性が反転されている。より具体的に述べると、差動アンプ42では、非反転入力端(+)に入力される入力電圧 V_{IN} と、反転入力端(-)に入力されるオフセット済みの出力電圧($=V_{OUT}+V_{offset}$)に応じて可変電圧源43の制御信号 S_{43} (=PMOSFET 43dのゲート信号)が生成される。

[0094] 本実施形態のリニア電源1では、先出の第3実施形態(図11)と同様の作用効果が享受される。

[0095] <第1～第8実施形態の組み合わせ>

なお、これまでに説明してきた第1～第8実施形態は、矛盾のない限り、適宜組み合わせて実施しても構わない。例えば、第4実施形態(図12)、第6実施形態(図14)、若しくは、第7実施形態(図15)において、NMOSFET 43aをPMOSFET 43dに置換すると共に、差動アンプ42の入力極性を反転させても構わない。

[0096] 次に、リニア電源に関する別の新規な実施形態(第9～第15実施形態)の説明に先立ち、それらと対比される比較例について簡単に説明しておく。

[0097] <第1比較例>

図17は、リニア電源の第1比較例を示す図である。第1比較例のリニア電源101は、出力トランジスタ110と、分圧部120と、アンプ130と、基準電圧生成部140と、を有し、入力電圧 V_{IN} を降圧して所望の出力電圧 V_{OUT} を生成する。入力電圧 V_{IN} は、不図示のバッテリーなどから供給されており、その安定度は必ずしも高くない。出力電圧 V_{OUT} は、後段の負荷102(=二次電源やマイコンなど)に供給されている。リニア電源101は、例えば、IC内蔵の基準電圧源として用いることができる。

[0098] 出力トランジスタ110は、入力電圧 V_{IN} の入力端と出力電圧 V_{OUT} の出力端との間に接続されており、アンプ130からのゲート信号 G_{10} に応じて導通度(裏を返せばオン抵抗値)が制御される。なお、本図の例では

、出力トランジスタ 110 として、PMOSFET [P-channel type MOSFET] が用いられている。従って、ゲート信号 G10 が低いほど、出力トランジスタ 110 の導通度が高くなり、出力電圧 VOUT が上昇する。逆に、ゲート信号 G10 が高いほど、出力トランジスタ 110 の導通度が低くなり、出力電圧 VOUT が低下する。ただし、出力トランジスタ 110 としては、PMOSFET に代えて、NMOSFET を用いてもよいし、バイポーラトランジスタを用いてもよい。

[0099] 分圧部 120 は、出力電圧 VOUT の出力端と接地端との間に直列接続された抵抗 121 及び 122 (抵抗値: R1 及び R2) を含み、両抵抗相互間の接続ノードから出力電圧 VOUT に応じた帰還電圧 VFB ($= VOUT \times \{R2 / (R1 + R2)\}$) を出力する。ただし、出力電圧 VOUT がアンプ 130 の入力ダイナミックレンジに収まっていれば、分圧部 120 を割愛し、帰還電圧 VFB として出力電圧 VOUT そのものをアンプ 30 に直接入力しても構わない。

[0100] アンプ 130 は、非反転入力端 (+) に入力される帰還電圧 VFB が反転入力端 (-) に入力される所定の基準電圧 VREF と一致するようにゲート信号 G10 を生成して出力トランジスタ 110 を駆動する。より具体的に述べると、アンプ 130 は、帰還電圧 VFB と基準電圧 VREF との差分値 $\Delta V (= VFB - VREF)$ が高いほどゲート信号 G10 を引き上げ、逆に、差分値 ΔV が低いほどゲート信号 G10 を引き下げる。

[0101] 基準電圧生成部 140 は、入力電圧 VIN から基準電圧 VREF (固定値) を生成する。なお、基準電圧生成部 140 としては、例えば、電源依存性や温度依存性の低いバンドギャップ電圧源を好適に用いることができる。

[0102] <入力過渡応答特性 (第 1 比較例)>

図 18 は、第 1 比較例の入力過渡応答特性を示す図である。なお、本図上段には、入力電圧 VIN と出力電圧 VOUT との関係が示されており、本図下段には、入力電圧 VIN とゲート信号 G10 との関係が示されている。

[0103] 基準電圧 VREF が固定値である場合、入力電圧 VIN の低下に伴い、入

力電圧 V_{IN} が出力目標値 V_{target} （＝出力電圧 V_{OUT} の目標値）よりも低くなると、帰還電圧 V_{FB} が常に基準電圧 V_{REF} を下回った状態となる。その結果、アンプ130は、その能力の限界までゲート信号 G_{10} をローレベルに引き下げた状態となるので、出力トランジスタ110がフルオン状態に陥る（時刻 $t_{112} \sim t_{115}$ を参照）。すなわち、アンプ130がコンパレータに近い動作状態となる。

[0104] このような状態から入力電圧 V_{IN} が出力目標値 V_{target} よりも高い電圧まで急上昇した場合、アンプ130は、ゲート信号 G_{10} を引き上げて出力トランジスタ110をオフしようとする。しかしながら、ローレベルに振り切れた状態のゲート信号 G_{10} を、入力電圧 V_{IN} の急変に即時追従させて引き上げることは難しい。その結果、出力トランジスタ110がフルオン状態とされたまま、入力電圧 V_{IN} をそのまま出力してしまい、出力電圧 V_{OUT} のオーバーシュートを生じる（時刻 $t_{115} \sim t_{117}$ を参照）。このようなオーバーシュートが生じると、負荷102が誤動作したり破壊に至るおそれがある。

[0105] なお、出力トランジスタ110をオフさせるスピードは、アンプ130の応答速度、アンプ130の出力段における電流能力、アンプ130の内部端子が持つインピーダンス、或いは、出力トランジスタ110のゲート容量などによって決まる。また、オーバーシュートの収束時間は、アンプ130の特性（位相余裕度、応答速度）などによって決まる。

[0106] <第2比較例>

図19は、リニア電源の第2比較例を示す図である。第2比較例のリニア電源101は、出力トランジスタ110と、分圧部120と、アンプ131及び132と、基準電圧生成部140と、オフセット付与部150と、ゲート駆動部160と、を有し、入力電圧 V_{IN} を降圧して所望の出力電圧 V_{OUT} を生成する。なお、既出の構成要素については、図17と同一の符号を付すことにより重複した説明を割愛する。

[0107] アンプ131は、反転入力端（－）に入力される帰還電圧 V_{FB} と非反転

入力端（+）に入力される基準電圧 V_{REF} との差分（ $=V_{REF}-V_{FB}$ ）を増幅して、ゲート信号 G_1 （＝第1駆動信号に相当）を出力する。なお、アンプ131は、帰還電圧 V_{FB} と基準電圧 V_{REF} とを一致させるための第1出力帰還ループを形成する。

[0108] アンプ132は、非反転入力端（+）に入力される入力電圧 V_{IN} と反転入力端（-）に入力されるオフセット済みの出力電圧（ $=V_{OUT}+V_{offset}$ ）との差分（ $=V_{IN}-(V_{OUT}+V_{offset})$ ）を増幅して、ゲート信号 G_2 （＝第2駆動信号に相当）を出力する。なお、アンプ132は、入力電圧 V_{IN} とオフセット済みの出力電圧（ $=V_{OUT}+V_{offset}$ ）とを一致させるための第2出力帰還ループを形成する。

[0109] オフセット付与部150は、アンプ132に所定のオフセット電圧 V_{offset} を与える回路ブロックである。より具体的に述べると、オフセット付与部150は、例えば、出力電圧 V_{OUT} を所定のオフセット電圧 V_{offset} 分だけ高電位側にシフトさせてからアンプ132の反転入力端（-）に出力する。なお、オフセット電圧 V_{offset} は、リニア電源101で規定されている最低入出力間電圧差 V_{SAT} よりも低い電圧値に設定することが望ましい（詳細は後述）。

[0110] ゲート駆動部160は、アンプ131の出力端を出力トランジスタ110のゲートに直接接続せずに、ゲート信号 G_1 及び G_2 を2系統の出力帰還信号として同列に受け付け、ゲート信号 G_1 及び G_2 に応じて、出力トランジスタ110のゲート信号 G_{10} を生成する回路ブロックであり、PMOSFET161及び162と、電流源163と、抵抗164と、を含む。

[0111] PMOSFET161のソースは、入力電圧 V_{IN} の入力端に接続されている。PMOSFET161のドレインは、出力トランジスタ110のゲートに接続されている。PMOSFET161のゲートは、ゲート信号 G_1 の印加端（＝アンプ131の出力端）に接続されている。従って、PMOSFET161の導通度は、ゲート信号 G_1 に応じて変化する。

[0112] PMOSFET162のソースは、入力電圧 V_{IN} の入力端に接続されて

いる。PMOSFET 162のドレインは、出力トランジスタ110のゲートに接続されている。PMOSFET 162のゲートは、ゲート信号G2の印加端（＝アンプ132の出力端）に接続されている。従って、PMOSFET 162の導通度は、ゲート信号G2に応じて変化する。

[0113] 電流源163は、出力トランジスタ110のゲートと接地端との間に接続されており、所定の定電流を生成する。

[0114] 抵抗164は、入力電圧VINの入力端と出力トランジスタ110のゲートとの間に接続された高抵抗（例えば数MΩ）である。

[0115] <入力過渡応答特性（軽負荷領域）>

図20は、第2比較例（軽負荷領域）の入力過渡応答特性を示す図である。なお、先出の図18と同じく、本図上段には、入力電圧VINと出力電圧VOUTとの関係が示されており、本図下段には、入力電圧VINとゲート信号G10との関係が示されている。

[0116] 入力電圧VINと出力電圧VOUTとの差分電圧（＝VIN－VOUT）がオフセット電圧Voffsetよりも高いときには、アンプ132がゲート信号G2をハイレベルに引き上げた状態となるので、PMOSFET 162がオフする。従って、アンプ131による通常の出力帰還制御が行われる（時刻t122以前、或いは、時刻t125以降を参照）。

[0117] 一方、入力電圧VINと出力電圧VOUTとの差分電圧（＝VIN－VOUT）がオフセット電圧Voffsetまで低下したときには、アンプ132の働きにより、入力電圧VINとオフセット済みの出力電圧（＝VOUT＋Voffset）とがイマジナリショートするように出力帰還制御が掛かる。具体的には、入力電圧VINと出力電圧VOUTとの差分電圧（＝VIN－VOUT）がオフセット電圧Voffsetよりも高くないように、PMOSFET 162の導通度が変化される（時刻t122～t125を参照）。

[0118] その結果、出力トランジスタ110のゲート信号G10は、入力電圧VINに対して一定の電位差を維持したまま、入力電圧VINに追従して変化する

るようになる。すなわち、ゲート信号G10がローレベルに張り付かなくなるので、出力トランジスタ110がフルオン状態に陥らない。

[0119] このように、入力電圧VINの低下に伴う出力トランジスタ110のフルオン状態を回避しておけば、その後、入力電圧VINが急上昇したとしても、その急変にゲート信号G10を即時追従させて引き上げることができるので、出力電圧VOUTのオーバーシュートを最小限に抑制することが可能となる。

[0120] なお、入力電圧VINと出力電圧VOUTとの差分電圧(=VIN-VOUT)をオフセット電圧Voffsetに維持するということは、入力電圧VINの低下に伴い、出力電圧VOUTが本来の出力目標値Vtargetよりも低下することを意味する。出力電圧VOUTの低下は、後段に接続される負荷102の特性悪化に繋がるおそれがあるので、そのような影響を及ぼさない範囲でオフセット電圧Voffsetを調整する必要がある。

[0121] 一つの目安として、リニア電源101で規定されている最低入出力間電圧差VSATに着目する。最低入出力間電圧差VSATとは、リニア電源101から負荷102に所定の出力電流IOUTを安定供給するために最低限必要な入出力間電圧差(=入力電圧VINと出力電圧VOUTとの差分電圧(=VIN-VOUT))に相当し、一般には、出力トランジスタ110のフルオン状態におけるオン抵抗値RONと、そのときに流れる出力電流IOUTの電流値に応じて決まる。

[0122] これを鑑みると、オフセット電圧Voffset(=入力電圧VINの低下時における出力電圧VOUTの引き下げ幅に相当)は、上記の最低入出力間電圧差VSATよりも低い電圧値に設定しておくことが望ましいと言える。このような電圧値に設定しておけば、上記の基準電圧調整動作により出力電圧VOUTが低下しても、リニア電源101の安定動作に支障を来たさずに済む。

[0123] <入力過渡応答特性(重負荷領域)>

ところで、図18及び図20では言及しなかったが、出力トランジスタ1

10は、そのフルオン時でもオン抵抗値 R_{ON} を持つので、そのドレイン・ソース間には、出力電流 I_{OUT} に応じたドレイン・ソース間電圧 V_{ds} ($= I_{OUT} \times R_{ON}$) が不可避免的に生じる。

[0124] ここで、出力トランジスタ110に流れる出力電流 I_{OUT} が小さく、 $I_{OUT} \times R_{ON} < V_{offset}$ となる負荷領域（以下では、軽負荷領域と呼ぶ）であれば、アンプ132による出力帰還制御が有効に働くので、入力電圧 V_{IN} の急変に伴う出力電圧 V_{OUT} のオーバーシュートを抑制することができる。

[0125] 一方、出力トランジスタ110に流れる出力電流 I_{OUT} が大きく、 $I_{OUT} \times R_{ON} > V_{offset}$ となる負荷領域（以下では、重負荷領域と呼ぶ）では、入力電圧 V_{IN} と出力電圧 V_{OUT} との差分電圧 ($V_{IN} - V_{OUT}$) がオフセット電圧 V_{offset} を下回らなくなる。その結果、ゲート信号 G_2 が常にハイレベルとなるので、PMOSFET162がオフされたままとなり、アンプ132による出力帰還制御が働かない状態に陥る。

[0126] 図21は、第2比較例（重負荷領域）の入力過渡応答特性を示す図である。なお、先出の図18及び図20と同様、本図上段には、入力電圧 V_{IN} と出力電圧 V_{OUT} との関係が示されており、本図下段には、入力電圧 V_{IN} とゲート信号 G_1 との関係が示されている。

[0127] 先に述べた通り、重負荷領域では、アンプ132による出力帰還制御が働かなくなる。そのため、入力電圧 V_{IN} の低下に伴い、 $V_{IN} < V_{target} + I_{ON} \times R_{ON}$ になると、出力電圧 V_{OUT} を出力目標値 V_{target} に維持することができなくなり、帰還電圧 V_{FB} が常に基準電圧 V_{REF} を下回った状態となる。その結果、アンプ131がゲート信号 G_1 をハイレベルに引き上げた状態となるので、PMOSFET161もオフする。その結果、ゲート信号 G_1 は、電流源163によりローレベルに引き下げられた状態となるので、出力トランジスタ110がフルオン状態に陥る（時刻 $t_{132} \sim t_{135}$ を参照）。

[0128] このような状態から入力電圧 V_{IN} が急上昇して $V_{IN} > V_{target}$

+ION×RONになると、アンプ131は、ゲート信号G1を引き下げてPMOSFET161の導通度を高めることにより、ゲート信号G10を引き上げて出力トランジスタ110をオフしようとする。しかしながら、ローレベルに振り切れた状態のゲート信号G10を、入力電圧VINの急変に即時追従させて引き上げることは難しい。その結果、出力トランジスタ110がフルオン状態とされたまま、入力電圧VINをそのまま出力してしまい、出力電圧VOUTのオーバーシュートを生じる（時刻t135～t137を参照）。

[0129] 以上のように、重負荷領域での入力過渡応答特性（図21）は、第1比較例の入力過渡応答特性（図18）と何ら変わりがなくなってしまう。

[0130] なお、上記不具合を解消するための最も単純な解決策は、オフセット電圧Voffsetを高めることである。しかしながら、オフセット電圧Voffsetを固定的に高めると、入力電圧VINの低下時には、負荷の軽重に関係なく出力電圧VOUTが大きく低下してしまうので、特性悪化の原因となり得る。

[0131] 以下では、このような不具合を解消することのできる種々の実施形態を提案する。

[0132] <第9実施形態>

図22は、リニア電源の第9実施形態を示す図である。本実施形態のリニア電源101は、先出の第2比較例（図19）を基本としつつ、電流検出部170をさらに有する。

[0133] 電流検出部170は、出力トランジスタ110に流れる出力電流IOUTを検出し、その電流値に応じた制御信号（例えば、出力電流IOUTの1/mに相当するセンス電流またはそのミラー電流、詳細については後述）をオフセット付与部150に出力する。

[0134] オフセット付与部150は、出力電圧VOUTをオフセット電圧Voffset分だけ高電位側にシフトする回路ブロックであり、新たに、電流検出部170からの制御信号に応じてオフセット電圧Voffsetを可変制御

する機能を備えている。なお、オフセット電圧 V_{offset} は、出力電流 I_{OUT} が大きいほど高くなり、出力電流 I_{OUT} が小さいほど低くなる。

[0135] 先出の図6～図8は、それぞれ、出力電流 I_{OUT} （横軸）と出力電圧 V_{OUT} （縦軸）との相関図である。なお、図6は第1比較例の出力挙動を示しているものとして理解することができ、図7は第2比較例（ V_{offset} 固定）の出力挙動を示しているものとして理解することができる。一方、図8は第9実施形態（ V_{offset} 可変）の出力挙動を示しているものとして理解することができる。また、図7及び図8には、比較参照用に第1比較例の出力挙動（図6）が破線で描写されている。以下では、各図を対比しながら、第9実施形態の優位性について述べる。

[0136] まず、図6（第1比較例）の出力挙動について説明する。この場合、出力トランジスタ110は、入力電圧 V_{IN} の低下に伴い、何ら制限なくフルオン状態となり得るので、単純に出力電流 I_{OUT} と出力トランジスタ110のオン抵抗値 R_{ON} に応じた電圧降下（ $= I_{OUT} \times R_{ON}$ ）が発生する。従って、アンプ130の特性次第では、どの負荷条件でも、出力電圧 V_{OUT} のオーバーシュートを生じるおそれがある。

[0137] 次に、図7（第2比較例： V_{offset} 固定）の出力挙動について説明する。この場合、軽負荷領域（ $I_{OUT} < V_{offset} / R_{ON}$ ）であれば、入力電圧 V_{IN} が低下しても、入力電圧 V_{IN} と出力電圧 V_{OUT} との差分電圧（ $= V_{IN} - V_{OUT}$ ）がオフセット電圧 V_{offset} を下回らないように、アンプ132の帰還制御が働く。従って、出力トランジスタ110がフルオン状態に至ることはなく、出力電圧 V_{OUT} のオーバーシュートが抑制される。

[0138] ただし、重負荷領域（ $I_{OUT} > V_{offset} / R_{ON}$ ）では、もはやアンプ132が有効に働かなくなる。従って、入力電圧 V_{IN} の低下に伴い、出力トランジスタ110がフルオン状態となり得るので、出力電圧 V_{OUT} のオーバーシュートを生じるおそれが出てくる。オフセット電圧 V_{offset} を高めれば、アンプ132が有効に働く負荷領域を拡げられるが、背

反として軽負荷時の出力低下が大きくなることは、先述の通りである。

[0139] 次に、図8（第9実施形態： V_{offset} 可変）の出力挙動について説明する。この場合、オフセット電圧 V_{offset} は、全ての負荷領域で $I_{OUT} \times R_{ON} < V_{offset}$ を満たしつつ、出力電流 I_{OUT} が大きいほど高くなり、出力電流 I_{OUT} が小さいほど低くなるように可変制御される。

[0140] 従って、入力電圧 V_{IN} の低下時には、負荷条件に依ることなく、アンプ132の出力帰還制御が有効に働く。その結果、幅広い負荷領域で出力トランジスタ110のフルオン状態を未然に回避することが可能となり、延いては、幅広い負荷領域で出力電圧 V_{OUT} のオーバーシュートを抑制し、リニア電源1の入力過渡応答特性を高めることが可能となる。

[0141] また、オフセット電圧 V_{offset} は、出力電流 I_{OUT} に応じて必要最小限に設定されるので、特に、無負荷時（ $I_{OUT} = 0A$ ）や軽負荷領域（ $I_{OUT} < V_{offset} / R_{ON}$ ）において、出力電圧 V_{OUT} の不必要な低下を防止することが可能となる。

[0142] また、先出の図9は、第9実施形態（ V_{offset} 可変）の入力過渡応答特性を示す図として理解することができる。本図上段には、入力電圧 V_{IN} と出力電圧 V_{OUT} との関係が示されており、本図下段には、入力電圧 V_{IN} とゲート信号 G_{10} との関係が示されている。

[0143] 本実施形態のリニア電源101によれば、先述したアンプ132の働きにより、入力電圧 V_{IN} が低下した場合であっても、入力電圧 V_{IN} と出力電圧 V_{OUT} との差分電圧（ $= V_{IN} - V_{OUT}$ ）をオフセット電圧 V_{offset} に維持することができる。従って、出力トランジスタ110がフルオン状態に陥ることはなく、ゲート信号 G_{10} が適切な電圧値に維持される。もちろん、負荷が重くなるほどより多くの出力電流 I_{OUT} を流すためにゲート信号 G_{10} は低下していくが、接地レベルまで引き下げられた状態とはならない。

[0144] 一方、入力電圧 V_{IN} と出力電圧 V_{OUT} との差分電圧（ $= V_{IN} - V_{OUT}$ ）

UT) がオフセット電圧 V_{offset} まで低下したときには、アンプ 132 の働きにより、入力電圧 V_{IN} とオフセット済みの出力電圧 ($=V_{OUT} + V_{offset}$) とがイマジナリショートするように出力帰還制御が掛かる。具体的には、入力電圧 V_{IN} と出力電圧 V_{OUT} との差分電圧 ($=V_{IN} - V_{OUT}$) がオフセット電圧 V_{offset} よりも高くないように、PMOSFET 162 の導通度が変化される（先出の図 20 における時刻 $t_{122} \sim t_{125}$ を参照）。

[0145] その結果、出力トランジスタ 110 のゲート信号 G_{10} は、入力電圧 V_{IN} に対して一定の電位差を維持したまま、入力電圧 V_{IN} に追従して変化するようになる。すなわち、ゲート信号 G_{10} がローレベルに張り付かなくなるので、出力トランジスタ 110 がフルオン状態に陥らない。

[0146] このように、入力電圧 V_{IN} の低下に伴う出力トランジスタ 110 のフルオン状態を回避しておけば、その後、入力電圧 V_{IN} が急上昇したとしても、その急変にゲート信号 G_{10} を即時追従させて引き上げることができるので、出力電圧 V_{OUT} のオーバーシュートを最小限に抑制することが可能となる。

[0147] また、本実施形態のリニア電源 101 では、出力電流 I_{OUT} に応じてオフセット電圧 V_{offset} が可変制御される。従って、負荷が軽い ($=$ 出力電流 I_{OUT} が小さい) ほど出力電圧 V_{OUT} の低下量 ($=$ オフセット電圧 V_{offset}) を小さく抑えることができるので、適正な出力電圧 V_{OUT} を維持することが可能となる。

[0148] <第 10 実施形態>

図 23 は、リニア電源の第 10 実施形態を示す図である。本実施形態のリニア電源 101 は、先出の第 9 実施形態（図 22）を基本としつつ、出力電圧 V_{OUT} にオフセットを与えるオフセット付与部 150 に代えて、入力電圧 V_{IN} にオフセットを与えるオフセット付与部 150a が設けられている。

[0149] より具体的に述べると、オフセット付与部 150a は、入力電圧 V_{IN} を

オフセット電圧 V_{offset} 分だけ低電位側にシフトさせてからアンプ 132 の非反転入力端 (+) に出力する。また、オフセット付与部 150 a は、先の第 9 実施形態 (図 22) と同じく、電流検出部 170 からの制御信号に応じてオフセット電圧 V_{offset} を可変制御する機能を備えている。すなわち、オフセット電圧 V_{offset} は、出力電流 I_{OUT} が大きいほど高くなり、出力電流 I_{OUT} が小さいほど低くなる。

[0150] アンプ 132 は、非反転入力端 (+) に入力されるオフセット済みの入力電圧 ($=V_{IN} - V_{offset}$) と、反転入力端 (-) に入力される出力電圧 V_{OUT} との差分を増幅してゲート信号 G_2 を出力する。

[0151] 従って、入力電圧 V_{IN} と出力電圧 V_{OUT} との差分電圧 ($=V_{IN} - V_{OUT}$) がオフセット電圧 V_{offset} まで低下したときには、アンプ 132 の働きにより、オフセット済みの入力電圧 ($=V_{IN} - V_{offset}$) と出力電圧 V_{OUT} とがイマジナリショートするように出力帰還制御が掛かる。その結果、出力トランジスタ 110 のゲート信号 G_1 は、入力電圧 V_{IN} に対して一定の電位差を維持したまま、入力電圧 V_{IN} に追従して変化するようになる。すなわち、ゲート信号 G_1 がローレベルに張り付かなくなるので、出力トランジスタ 110 がフルオン状態に陥らない。

[0152] このように、オフセット電圧 V_{offset} は、出力電圧 V_{OUT} に足し合わせるのではなく、入力電圧 V_{IN} から差し引いても構わない。

[0153] <第 11 実施形態>

図 24 は、リニア電源の第 11 実施形態を示す図である。本実施形態のリニア電源 101 は、先の第 9 実施形態 (図 22) を基本としつつ、入力電圧 V_{IN} から分圧入力電圧 V_{IN2} を生成する分圧部 120 a をさらに有する。そして、アンプ 132 には、入力電圧 V_{IN} に代えて分圧入力電圧 V_{IN2} が入力されており、出力電圧 V_{OUT} に代えて帰還電圧 V_{FB} が入力されている。従って、オフセット付与部 150 では、出力電圧 V_{OUT} ではなく、帰還電圧 V_{FB} がオフセット電圧 V_{offset} だけ高電位側にシフトされている。すなわち、アンプ 132 の反転入力端 (-) には、オフセット

済みの帰還電圧（＝ $V_{FB} + V_{offset}$ ）が入力されている。

[0154] 分圧部120aは、入力電圧 V_{IN} の印加端と接地端との間に直列接続された抵抗123及び124（抵抗値： R_3 及び R_4 ）を含み、両抵抗相互間の接続ノードから入力電圧 V_{IN} に応じた分圧入力電圧 V_{IN2} （＝ $V_{IN} \times \{R_4 / (R_3 + R_4)\}$ ）を出力する。

[0155] このとき、 $R_1 : R_2 = R_3 : R_4$ を満たすように、抵抗121～124を適宜選択しておけば、アンプ132に入力電圧 V_{IN} と出力電圧 V_{OUT} が差動入力される構成と等価になるので、先の第9実施形態（図22）と同様の効果を楽しむことが可能となる。

[0156] なお、アンプ132の反転入力端（－）に入力される電圧は、帰還電圧 V_{FB} に限らず、出力電圧 V_{OUT} と同様の挙動で変動する電圧でありさえすればよい。例えば、分圧部120とは異なる分圧比で出力電圧 V_{OUT} を分圧し、その分圧出力電圧をアンプ132の反転入力端（－）に入力してもよい。

[0157] <第12実施形態>

図25は、リニア電源の第12実施形態を示す図である。本実施形態のリニア電源101は、先出の第9実施形態（図22）を基本としつつ、ゲート駆動部160の構成に変更が加えられている。より具体的に述べると、ゲート駆動部160は、PMOSFET161及び162に代えて、pnp型バイポーラトランジスタ165及び166を含む。

[0158] 接続関係について述べると、トランジスタ165及び166それぞれのエミッタは、入力電圧 V_{IN} の入力端に接続されている。トランジスタ165及び166それぞれのコレクタは、出力トランジスタ110のゲートに接続されている。トランジスタ165及び166それぞれのベースは、アンプ131及び132それぞれの出力端に接続されている。

[0159] このように、PMOSFET161及び162は、pnp型バイポーラトランジスタ165及び166に置換することが可能である。本構成を採用する場合には、ゲート信号 G_1 及び G_2 をベース信号として理解すればよい。

[0160] また、ゲート駆動部 160 の駆動電流を生成する電流源 163 は、本図の括弧内で示したように、抵抗などで代用してもよい。

[0161] <第 13 実施形態>

図 26 は、リニア電源の第 13 実施形態を示す図である。本実施形態のリニア電源 101 は、先出の第 9 実施形態（図 22）を基本としつつ、ゲート駆動部 160 の構成に変更が加えられている。より具体的に述べると、ゲート駆動部 160 は、PMOSFET 161 及び 162 と電流源 163 に代えて、NMOSFET 167 及び 168 と電流源 169 を含む。

[0162] 接続関係について述べると、電流源 169 の第 1 端は、入力電圧 V_{IN} の入力端に接続されている。電流源 169 の第 2 端と NMOSFET 168 のドレインは、出力トランジスタ 110 のゲートに接続されている。NMOSFET 168 のソースは、NMOSFET 167 のドレインに接続されている。NMOSFET 167 のソースは、接地端に接続されている。NMOSFET 167 及び 168 それぞれのゲートは、アンプ 131 及び 132 それぞれの出力端に接続されている。

[0163] 入力電圧 V_{IN} と出力電圧 V_{OUT} との差分電圧（ $=V_{IN}-V_{OUT}$ ）がオフセット電圧 V_{offset} よりも高いときには、NMOSFET 168 がフルオン状態となり、アンプ 131 による通常の出力帰還制御が行われる。一方、入力電圧 V_{IN} と出力電圧 V_{OUT} との差分電圧（ $=V_{IN}-V_{OUT}$ ）がオフセット電圧 V_{offset} まで低下したときには、アンプ 131 がフルオン状態となるので、アンプ 132 による出力帰還制御が行われる。すなわち、入力電圧 V_{IN} とオフセット済みの出力電圧（ $=V_{OUT}+V_{offset}$ ）とがイマジナリショートするように出力帰還制御が掛かる。

[0164] このように、ゲート駆動部 160 では、出力トランジスタ 110 のゲートに流し込まれるソース電流（＝出力トランジスタ 110 をオフするための電流）を制御するのではなく、出力トランジスタ 110 のゲートから引き抜かれるシンク電流（＝出力トランジスタ 110 をオンするための電流）を制御

してもよい。

[0165] この場合、アンプ131及び132それぞれの出力端は、本図で示したように、論理的に直列接続されることになる。このように、出力トランジスタ110の極性（Pチャネル型／Nチャネル型）やゲート駆動部160内部の制御対象（ソース電流／シンク電流）に応じて、アンプ131及び132それぞれの出力形態（それぞれの出力端を論理的に並列接続とするのか、それとも直列接続とするのか）を使い分ける必要がある。

[0166] <第14実施形態>

図27は、リニア電源の第14実施形態を示す図である。本実施形態のリニア電源101は、先出の第9実施形態（図22）を基本としつつ、電流検出部170の具体的な構成要素の一つとして、PMOSFET171（＝センストランジスタ）が描写されている。PMOSFET171のソース及びゲートは、それぞれ、出力トランジスタ110のソース及びゲートに接続されている。そのため、PMOSFET171のドレインには、出力電流 I_{OUT} に応じたセンス電流 I_{71} が流れる。なお、出力トランジスタ110とPMOSFET171のサイズ比が $m:1$ （ただし $m>1$ ）である場合、上記のセンス電流 I_{71} は、出力電流 I_{OUT} の $1/m$ となる。

[0167] なお、電流検出部170には、本図の吹き出し枠内で示したように、PMOSFET171のドレイン電圧を出力トランジスタ110のドレイン電圧（＝出力電圧 V_{OUT} ）と一致させるバイアス手段として、PMOSFET172及び173と電流源174を追加してもよい。

[0168] PMOSFET172のソースは、PMOSFET171のドレインに接続されている。PMOSFET173のソースは、出力トランジスタ110のドレイン（＝出力電圧 V_{OUT} の印加端）に接続されている。PMOSFET172及び173それぞれのゲートは、いずれもPMOSFET173のドレインに接続されている。PMOSFET173のドレインは、電流源174の第1端に接続されている。電流源174の第2端は、接地端に接続されている。

[0169] このように、PMOSFET 171 及び出力トランジスタ 110 それぞれの出力ノード電圧（＝ドレイン電圧）を一致させることにより、PMOSFET 171 のドレイン・ソース間電圧を、出力トランジスタ 110 のドレイン・ソース間電圧と一致させることができる。従って、出力電流 I_{OUT} に応じたセンス電流 I₇₁（延いては、オフセット付与部 150 への制御信号）をより精度良く生成することが可能となる。

[0170] なお、センス電流 I₇₁ をオフセット付与部 150 の制御信号として出力してもよいが、本図では、センス電流 I₇₁ に応じた制御電流 I₇₅（＝ $\alpha \times I_{71}$ 、ただし α はミラー比）を生成するカレントミラーとして、NMOSFET 175 及び 176 が設けられている。

[0171] 接続関係について述べると、NMOSFET 176 のドレインは、PMOSFET 171 のドレイン（＝センス電流 I₇₁ の出力端）に接続されている。NMOSFET 175 及び 176 それぞれのゲートは、NMOSFET 176 のドレインに接続されている。NMOSFET 175 及び 176 それぞれのソースは接地端に接続されている。NMOSFET 175 のドレインは、制御電流 I₇₅ の出力端として、オフセット付与部 150 に接続されている。

[0172] このように、オフセット付与部 150 の制御信号としては、センス電流 I₇₁ に応じた制御電流 I₇₅（＝ミラー電流）を用いても構わない。

[0173] <第 15 実施形態>

図 28 は、リニア電源の第 15 実施形態を示す図である。本実施形態のリニア電源 101 は、先の第 14 実施形態（図 27）を基本としつつ、電流検出部 170 の構成に変更が加えられている。具体的に述べると、電流検出部 170 は、NMOSFET 175 及び 176 に代えて、NMOSFET 177 と、アンプ 178 と、抵抗 179 及び 17A（抵抗値 R_x 及び R_y ）を含む。

[0174] 接続関係について述べると、アンプ 178 の非反転入力端（+）と抵抗 179 の第 1 端は、PMOSFET 171 のドレインに接続されている。アン

プ178の反転入力端(−)と抵抗17Aの第1端は、NMOSFET177のソースに接続されている。抵抗179及び17Aそれぞれの第2端は、接地端に接続されている。アンプ178の出力端は、NMOSFET177のゲートに接続されている。NMOSFET177のドレインは、制御電流I77の出力端として、オフセット付与部150に接続されている。

[0175] アンプ178は、非反転入力端(+)及び反転入力端(−)それぞれがイマジナリショートするように、NMOSFET177のゲート制御を行う。従って、制御電流I77は、センス電流I71の電流値と、抵抗179及び17Aそれぞれの抵抗値 R_x 及び R_y に応じた値($= (R_x / R_y) \times I71$)となる。

[0176] このように、センス電流I71に応じた制御信号(制御電流)を生成する手段は、カレントミラーに限定されるものではない。

[0177] また、本実施形態のリニア電源101であれば、例えば、抵抗179及び17Aの少なくとも一方の抵抗値を変えることにより、オフセット電圧 V_{offset} の可変ゲインを任意に調整することが可能となる。

[0178] <第9～第15実施形態の組み合わせ>

なお、これまでに説明してきた91～第15実施形態は、矛盾のない限り、適宜組み合わせて実施しても構わない。例えば、第12実施形態(図25)、第13実施形態(図26)、第14実施形態(図27)、若しくは、第15実施形態(図28)において、オフセット付与部150ではなくオフセット付与部150a(第10実施形態)を設けてもよいし、或いは、分圧部120a(第11実施形態)を追加してもよい。

[0179] <総括>

以下では、本明細書中に開示されている種々の実施形態について、総括的に述べる。

[0180] 本明細書中に開示されているリニア電源は、入力電圧の入力端と出力電圧の出力端との間に接続された出力トランジスタと、前記出力電圧に応じた帰還電圧が基準電圧と一致するように前記出力トランジスタを駆動するドライ

バと、前記出力トランジスタに流れる出力電流を検出する電流検出部と、前記入力電圧に応じた第1電圧と前記出力電圧または前記基準電圧に応じた第2電圧との差分電圧が前記出力電流に応じたオフセット電圧を下回らないように前記基準電圧または前記帰還電圧を調整する電圧調整部とを有する構成（第1の構成）とされている。なお、前記第1電圧は、前記入力電圧そのものであってもよいし、前記入力電圧の分圧電圧であってもよい。また、前記第2電圧は、前記出力電圧そのものであってもよいし、前記出力電圧の分圧電圧（＝前記帰還電圧）であってもよいし、前記基準電圧そのものであってもよいし、前記基準電圧の分圧電圧であってもよい。

[0181] なお、第1の構成から成るリニア電源において、前記出力電流を I_{OUT} とし、前記出力トランジスタのフルオン状態におけるオン抵抗値を R_{ON} とし、前記オフセット電圧を V_{offset} として、前記オフセット電圧は、全ての負荷領域で $I_{OUT} \times R_{ON} < V_{offset}$ を満たすように可変制御される構成（第2の構成）にするとよい。

[0182] また、第1または第2の構成から成るリニア電源において、前記オフセット電圧は、前記リニア電源で規定されている最低入出力間電圧差よりも低い電圧値に設定されている構成（第3の構成）にするとよい。

[0183] また、第1～第3いずれかの構成から成るリニア電源において、前記電圧調整部は、前記差分電圧が前記オフセット電圧よりも高いときには前記基準電圧を定常値に保持する一方、前記差分電圧が前記オフセット電圧まで低下したときには前記差分電圧が更に低下しないように前記基準電圧を前記定常値から引き下げる構成（第4の構成）にするとよい。

[0184] また、第1～第3いずれかの構成から成るリニア電源において、前記電圧調整部は、前記差分電圧が前記オフセット電圧よりも高いときには前記帰還電圧をそのまま前記ドライバに伝える一方、前記差分電圧が前記オフセット電圧まで低下したときには前記差分電圧がさらに低下しないように前記帰還電圧を引き上げて前記ドライバに伝える構成（第5の構成）にしてもよい。

[0185] また、第1～第5いずれかの構成から成るリニア電源において、前記電圧

調整部は、前記第 2 電圧を前記オフセット電圧分だけ高電位側にシフトするオフセット付与部と、前記第 1 電圧とオフセット済みの前記第 2 電圧が差動入力される差動アンプと、前記差動アンプの出力信号に基づいて前記基準電圧または前記帰還電圧を調整する可変電圧源と、を含む構成（第 6 の構成）にするとよい。

[0186] また、第 1 ～第 5 いずれかの構成から成るリニア電源において、前記電圧調整部は、前記第 1 電圧を前記オフセット電圧分だけ低電位側にシフトするオフセット付与部と、前記第 2 電圧とオフセット済みの前記第 1 電圧が差動入力される差動アンプと、前記差動アンプの出力信号に基づいて前記基準電圧または前記帰還電圧を調整する可変電圧源と、を含む構成（第 7 の構成）にしてもよい。

[0187] また、第 6 または第 7 の構成から成るリニア電源において、前記可変電圧源は、前記差動アンプの出力信号に基づいて導通度が制御されるトランジスタを含み、前記トランジスタに流れる電流に応じて前記基準電圧または前記帰還電圧を調整する構成（第 8 の構成）にするとよい。

[0188] また、第 1 ～第 8 いずれかの構成から成るリニア電源は、前記出力電圧の印加端と接地端との間に直列接続されて相互間の接続ノードから前記帰還電圧を出力する第 1 抵抗及び第 2 抵抗と、前記入力電圧の印加端と接地端との間に直列接続されて相互間の接続ノードから前記第 1 電圧を出力する第 3 抵抗及び第 4 抵抗とをさらに有し、前記第 1 抵抗の抵抗値を R_1 とし、前記第 2 抵抗の抵抗値を R_2 とし、前記第 3 抵抗の抵抗値を R_3 とし、前記第 4 抵抗の抵抗値を R_4 として、 $R_1 : R_2 = R_3 : R_4$ を満たす構成（第 9 の構成）にするとよい。

[0189] また、第 7 の構成から成るリニア電源は、前記出力電圧の印加端と接地端との間に直列接続されて相互間の接続ノードから前記帰還電圧を出力する第 1 抵抗及び第 2 抵抗と、前記入力電圧の印加端と接地端との間に直列接続されて相互間の接続ノードから前記第 1 電圧を出力する第 3 抵抗及び第 4 抵抗と、前記入力電圧の印加端と前記第 1 抵抗との間に接続された第 5 抵抗を更

に有し、前記第 1 抵抗の抵抗値を R_1 とし、前記第 2 抵抗の抵抗値を R_2 とし、前記第 3 抵抗の抵抗値を R_3 とし、前記第 4 抵抗の抵抗値を R_4 として、 $R_1 : R_2 = R_3 : R_4$ を満たしており、前記電流検出部は、前記出力電流に応じた電流を前記第 1 電圧の出力端から接地端に向けて引き込む構成（第 10 の構成）にするとよい。

[0190] また、本明細書中に開示されているリニア電源は、入力電圧の入力端と出力電圧の出力端との間に接続された出力トランジスタと、前記出力電圧またはこれに応じた電圧と所定の基準電圧との差分を増幅して第 1 駆動信号を生成する第 1 アンプと、前記入力電圧またはこれに応じた電圧と前記出力電圧またはこれに応じた電圧との差分を増幅して第 2 駆動信号を生成する第 2 アンプと、前記第 1 及び第 2 駆動信号に応じて前記出力トランジスタを駆動する駆動部と、前記出力トランジスタに流れる出力電流を検出して制御信号を生成する電流検出部と、前記制御信号に応じたオフセット電圧を前記第 2 アンプに与えるオフセット付与部と、を有する構成（第 11 の構成）とされている。

[0191] なお、上記第 11 の構成から成るリニア電源において、前記出力電流を I_{OUT} とし、前記出力トランジスタのフルオン状態におけるオン抵抗値を R_{ON} とし、前記オフセット電圧を V_{offset} として、前記オフセット電圧は、全ての負荷領域で $I_{OUT} \times R_{ON} < V_{offset}$ を満たすように可変制御される構成（第 12 の構成）にするとよい。

[0192] また、上記第 11 又は第 12 の構成から成るリニア電源において、前記オフセット電圧は、前記リニア電源で規定されている最低入出力間電圧差よりも低い電圧値に設定されている構成（第 13 の構成）にするとよい。

[0193] また、上記第 11 ～第 13 いずれかの構成から成るリニア電源において、前記オフセット付与部は、前記出力電圧またはこれに応じた電圧を前記オフセット電圧分だけ高電位側にシフトしてから前記第 2 アンプに出力する構成（第 14 の構成）にするとよい。

[0194] また、上記第 11 ～第 13 いずれかの構成から成るリニア電源において、

前記オフセット付与部は、前記入力電圧またはこれに応じた電圧を前記オフセット電圧分だけ低電位側にシフトしてから前記第 2 アンプに出力する構成（第 15 の構成）にしてもよい。

[0195] また、上記第 11～第 15 いずれかの構成から成るリニア電源は、前記出力電圧の出力端と接地端との間に直列接続されて相互間の接続ノードから前記第 2 アンプに向けて分圧出力電圧を出力する第 1 及び第 2 抵抗と、前記入力電圧の入力端と接地端との間に直列接続されて相互間の接続ノードから前記第 2 アンプに向けて分圧入力電圧を出力する第 3 及び第 4 抵抗とをさらに有し、前記第 1～第 4 抵抗の各抵抗値を R_1 、 R_2 、 R_3 、及び、 R_4 として、 $R_1 : R_2 = R_3 : R_4$ を満たす構成（第 16 の構成）にするとよい。

[0196] また、上記した第 11～第 16 いずれかの構成から成るリニア電源において、前記駆動部は、前記入力電圧の入力端と前記出力トランジスタの制御端との間に並列接続されてそれぞれ前記第 1 及び第 2 駆動信号により駆動される第 1 及び第 2 トランジスタを含む構成（第 17 の構成）にするとよい。

[0197] また、上記した第 11～第 16 いずれかの構成から成るリニア電源において、前記駆動部は、前記出力トランジスタの制御端と接地端との間に直列接続されてそれぞれ前記第 1 及び第 2 駆動信号により駆動される第 1 及び第 2 トランジスタを含む構成（第 18 の構成）もよい。

[0198] また、上記した第 11～第 18 いずれかの構成から成るリニア電源において、前記電流検出部は、前記出力電流に応じたセンス電流を生成するセンストランジスタを含み、前記センス電流またはこれに応じた電流信号を前記制御信号として前記オフセット付与部に出力する構成（第 19 の構成）にするとよい。

[0199] また、上記第 19 の構成から成るリニア電源において、前記電流検出部は、前記センストランジスタ及び前記出力トランジスタの出力ノード電圧を一致させるバイアス手段を更に含む構成（第 20 の構成）にするとよい。

[0200] <車両への適用>

図 29 は、車両 X の外観図である。本構成例の車両 X は、不図示のバッテ

りから電源電圧の供給を受けて動作する種々の電子機器X11～X18を搭載している。本図における電子機器X11～X18の搭載位置は、図示の便宜上、実際とは異なる場合がある。

[0201] 電子機器X11は、エンジンに関連する制御（インジェクション制御、電子スロットル制御、アイドリング制御、酸素センサヒータ制御、及び、オートクルーズ制御など）を行うエンジンコントロールユニットである。

[0202] 電子機器X12は、H I D [high intensity discharged lamp] やD R L [daytime running lamp] などの点消灯制御を行うランプコントロールユニットである。

[0203] 電子機器X13は、トランスミッションに関連する制御を行うトランスミッションコントロールユニットである。

[0204] 電子機器X14は、車両Xの運動に関連する制御（A B S [anti-lock brake system] 制御、E P S [electric power steering] 制御、電子サスペンション制御など）を行う制動ユニットである。

[0205] 電子機器X15は、ドアロックや防犯アラームなどの駆動制御を行うセキュリティコントロールユニットである。

[0206] 電子機器X16は、ワイパー、電動ドアミラー、パワーウィンドウ、ダンパー（ショックアブソーバー）、電動サンルーフ、及び、電動シートなど、標準装備品やメーカーオプション品として、工場出荷段階で車両Xに組み込まれている電子機器である。

[0207] 電子機器X17は、車載A／V [audio/visual] 機器、カーナビゲーションシステム、及び、E T C [electronic toll collection system] など、ユーザオプション品として任意で車両Xに装着される電子機器である。

[0208] 電子機器X18は、車載プロア、オイルポンプ、ウォーターポンプ、バッテリー冷却ファンなど、高耐圧系モータを備えた電子機器である。

[0209] なお、先に説明したリニア電源1は、電子機器X11～X18のいずれにも組み込むことが可能である。

[0210] <その他の変形例>

なお、本明細書中に開示されている種々の技術的特徴は、上記実施形態のほか、その技術的創作の主旨を逸脱しない範囲で種々の変更を加えることが可能である。すなわち、上記実施形態は、全ての点で例示であって制限的なものではないと考えられるべきであり、本発明の技術的範囲は、上記実施形態の説明ではなく、特許請求の範囲によって示されるものであり、特許請求の範囲と均等の意味及び範囲内に属する全ての変更が含まれると理解されるべきである。

産業上の利用可能性

[0211] 本明細書中に開示されている発明は、車両関連機器、船舶関連機器、事務機器、ポータブル機器、ないしは、スマートフォンなどに利用することが可能である。

符号の説明

[0212]

- 1 リニア電源
- 2 負荷
- 10 出力トランジスタ (PMOSFET)
- 20、20a 分圧部
- 21、22、23、24、25 抵抗
- 30 ドライバ
- 40 基準電圧調整部
- 41、41a オフセット付与部
- 42 差動アンプ
- 43 可変電圧源
- 43a NMOSFET
- 43b、43c 抵抗
- 43d PMOSFET
- 50 電流検出部
- 51 PMOSFET
- 52、53 PMOSFET

54 電流源

55、56 NMOSFET

60 定電圧源

70 帰還電圧調整部

71、71a オフセット付与部

72 差動アンプ

73 可変電圧源

73a PMOSFET

101 リニア電源

102 負荷

110 出力トランジスタ (PMOSFET)

120、120a 分圧部

121、122、123、124 抵抗

130、131、132 アンプ

140 基準電圧生成部

150、150a オフセット付与部

160 ゲート駆動部

161、162 PMOSFET

163 電流源

164 抵抗

165、166 pnp型バイポーラトランジスタ

167、168 NMOSFET

169 電流源

170 電流検出部

171、172、173 PMOSFET

174 電流源

175、176、177 NMOSFET

178 アンプ

1 7 9、1 7 A 抵抗

X 車両

X 1 1 ～ X 1 8 電子機器

請求の範囲

- [請求項1] 入力電圧の入力端と出力電圧の出力端との間に接続された出力トランジスタと、
- 前記出力電圧に応じた帰還電圧が基準電圧と一致するように前記出力トランジスタを駆動するドライバと、
- 前記出力トランジスタに流れる出力電流を検出する電流検出部と、
- 前記入力電圧に応じた第1電圧と前記出力電圧または前記基準電圧に応じた第2電圧との差分電圧が前記出力電流に応じたオフセット電圧を下回らないように前記基準電圧または前記帰還電圧を調整する電圧調整部と、
- を有する、リニア電源。
- [請求項2] 前記出力電流を I_{OUT} とし、前記出力トランジスタのフルオン状態におけるオン抵抗値を R_{ON} とし、前記オフセット電圧を V_{offset} として、前記オフセット電圧は、全ての負荷領域で $I_{OUT} \times R_{ON} < V_{offset}$ を満たすように可変制御される、請求項1に記載のリニア電源。
- [請求項3] 前記オフセット電圧は、前記リニア電源で規定されている最低入出力間電圧差よりも低い電圧値に設定されている、請求項1または2に記載のリニア電源。
- [請求項4] 前記電圧調整部は、前記差分電圧が前記オフセット電圧よりも高いときには前記基準電圧を定常値に保持する一方、前記差分電圧が前記オフセット電圧まで低下したときには前記差分電圧がさらに低下しないように前記基準電圧を前記定常値から引き下げる、請求項1～3のいずれか一項に記載のリニア電源。
- [請求項5] 前記電圧調整部は、前記差分電圧が前記オフセット電圧よりも高いときには前記帰還電圧をそのまま前記ドライバに伝える一方、前記差分電圧が前記オフセット電圧まで低下したときには前記差分電圧がさらに低下しないように前記帰還電圧を引き上げて前記ドライバに伝え

る、請求項 1 ～ 3 のいずれか一項に記載のリニア電源。

[請求項6]

前記電圧調整部は、

前記第 2 電圧を前記オフセット電圧分だけ高電位側にシフトするオフセット付与部と、

前記第 1 電圧とオフセット済みの前記第 2 電圧が差動入力される差動アンプと、

前記差動アンプの出力信号に基づいて前記基準電圧または前記帰還電圧を調整する可変電圧源と、

を含む、請求項 1 ～ 5 のいずれか一項に記載のリニア電源。

[請求項7]

前記電圧調整部は、

前記第 1 電圧を前記オフセット電圧分だけ低電位側にシフトするオフセット付与部と、

前記第 2 電圧とオフセット済みの前記第 1 電圧が差動入力される差動アンプと、

前記差動アンプの出力信号に基づいて前記基準電圧または前記帰還電圧を調整する可変電圧源と、

を含む、請求項 1 ～ 5 のいずれか一項に記載のリニア電源。

[請求項8]

前記可変電圧源は、前記差動アンプの出力信号に基づいて導通度が制御されるトランジスタを含み、前記トランジスタに流れる電流に応じて前記基準電圧または前記帰還電圧を調整する、請求項 6 または 7 に記載のリニア電源。

[請求項9]

前記出力電圧の印加端と接地端との間に直列接続されて相互間の接続ノードから前記帰還電圧を出力する第 1 抵抗及び第 2 抵抗と、

前記入力電圧の印加端と接地端との間に直列接続されて相互間の接続ノードから前記第 1 電圧を出力する第 3 抵抗及び第 4 抵抗と、

をさらに有し、

前記第 1 抵抗の抵抗値を R_1 とし、前記第 2 抵抗の抵抗値を R_2 とし、前記第 3 抵抗の抵抗値を R_3 とし、前記第 4 抵抗の抵抗値を R_4

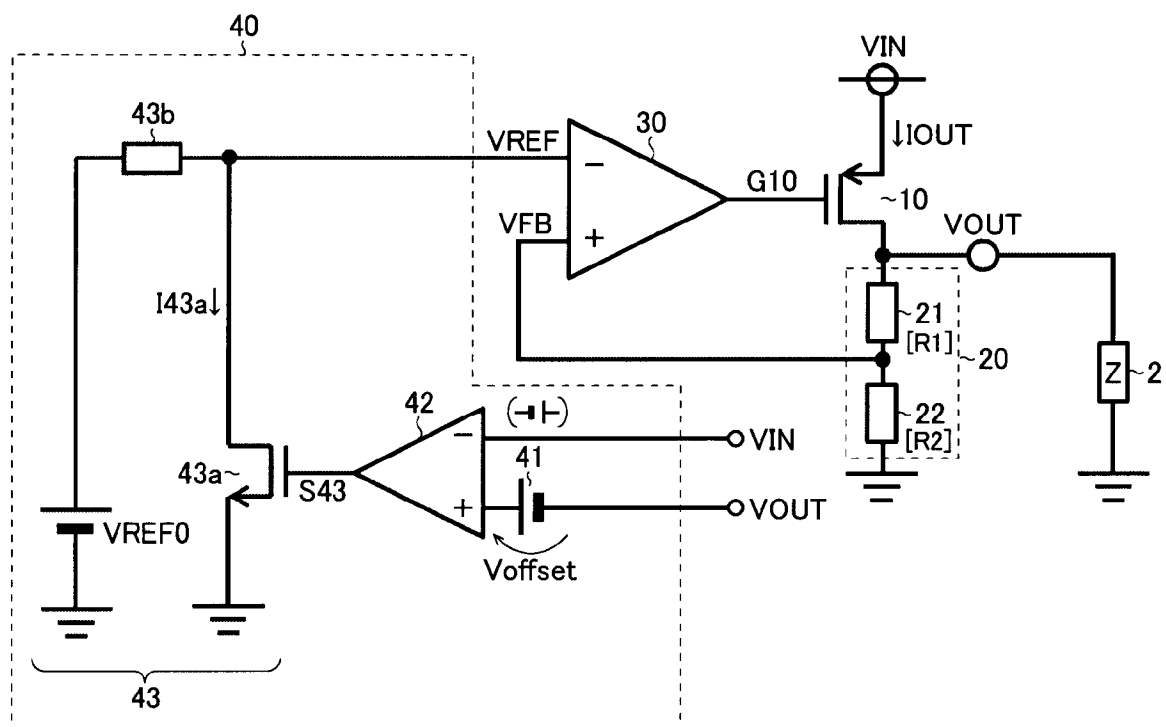
として、 $R_1 : R_2 = R_3 : R_4$ を満たす、請求項 1 ～ 8 のいずれか一項に記載のリニア電源。

[請求項10] 前記出力電圧の印加端と接地端との間に直列接続されて相互間の接続ノードから前記帰還電圧を出力する第 1 抵抗及び第 2 抵抗と、
前記入力電圧の印加端と接地端との間に直列接続されて相互間の接続ノードから前記第 1 電圧を出力する第 3 抵抗及び第 4 抵抗と、
前記入力電圧の印加端と前記第 1 抵抗との間に接続された第 5 抵抗と、
をさらに有し、
前記第 1 抵抗の抵抗値を R_1 とし、前記第 2 抵抗の抵抗値を R_2 とし、前記第 3 抵抗の抵抗値を R_3 とし、前記第 4 抵抗の抵抗値を R_4 として、 $R_1 : R_2 = R_3 : R_4$ を満たしており、
前記電流検出部は、前記出力電流に応じた電流を前記第 1 電圧の出力端から接地端に向けて引き込む、請求項 7 に記載のリニア電源。

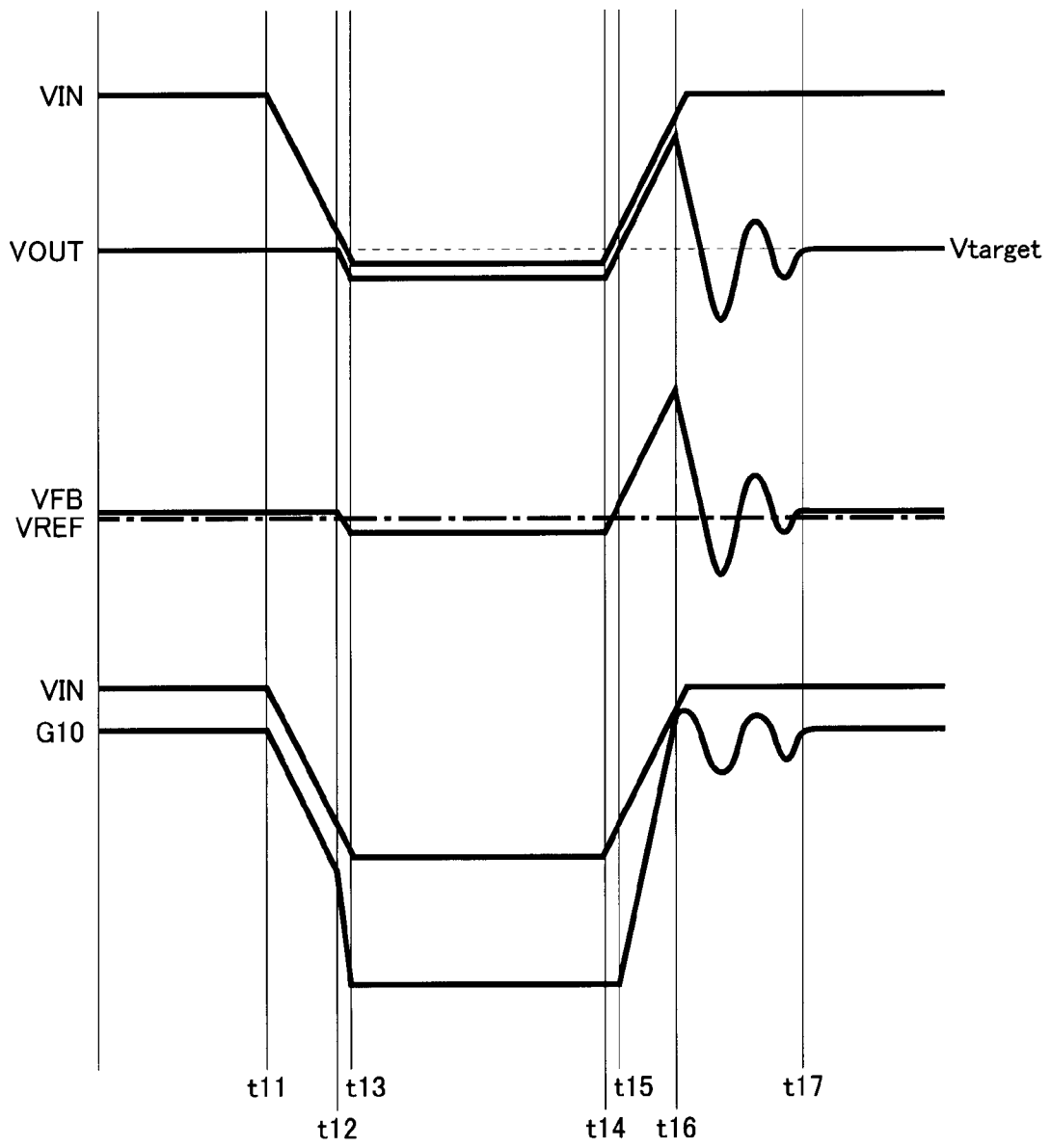
[請求項11] 入力電圧の入力端と出力電圧の出力端との間に接続された出力トランジスタと、
前記出力電圧またはこれに応じた電圧と所定の基準電圧との差分を増幅して第 1 駆動信号を生成する第 1 アンプと、
前記入力電圧またはこれに応じた電圧と前記出力電圧またはこれに応じた電圧との差分を増幅して第 2 駆動信号を生成する第 2 アンプと、
前記第 1 及び第 2 駆動信号に応じて前記出力トランジスタを駆動する駆動部と、
前記出力トランジスタに流れる出力電流を検出して制御信号を生成する電流検出部と、
前記制御信号に応じたオフセット電圧を前記第 2 アンプに与えるオフセット付与部と、
を有することを特徴とするリニア電源。

- [請求項12] 前記出力電流を I_{OUT} とし、前記出力トランジスタのフルオン状態におけるオン抵抗値を R_{ON} とし、前記オフセット電圧を V_{offset} として、前記オフセット電圧は、全ての負荷領域で $I_{OUT} \times R_{ON} < V_{offset}$ を満たすように可変制御される、請求項11に記載のリニア電源。
- [請求項13] 前記オフセット電圧は、前記リニア電源で規定されている最低入出力間電圧差よりも低い電圧値に設定されている、請求項11または12に記載のリニア電源。
- [請求項14] 前記オフセット付与部は、前記出力電圧またはこれに応じた電圧を前記オフセット電圧分だけ高電位側にシフトしてから前記第2アンプに出力する、請求項11～13のいずれか一項に記載のリニア電源。
- [請求項15] 前記オフセット付与部は、前記入力電圧またはこれに応じた電圧を前記オフセット電圧分だけ低電位側にシフトしてから前記第2アンプに出力する、請求項11～13のいずれか一項に記載のリニア電源。
- [請求項16] 前記出力電圧の出力端と接地端との間に直列接続されて相互間の接続ノードから前記第2アンプに向けて分圧出力電圧を出力する第1及び第2抵抗と、
前記入力電圧の入力端と接地端との間に直列接続されて相互間の接続ノードから前記第2アンプに向けて分圧入力電圧を出力する第3及び第4抵抗と、
をさらに有し、
前記第1～第4抵抗の各抵抗値を R_1 、 R_2 、 R_3 、及び、 R_4 として、 $R_1 : R_2 = R_3 : R_4$ を満たす、請求項11～15のいずれか一項に記載のリニア電源。
- [請求項17] 前記駆動部は、前記入力電圧の入力端と前記出力トランジスタの制御端との間に並列接続されてそれぞれ前記第1及び第2駆動信号により駆動される第1及び第2トランジスタを含む、請求項11～16のいずれか一項に記載のリニア電源。

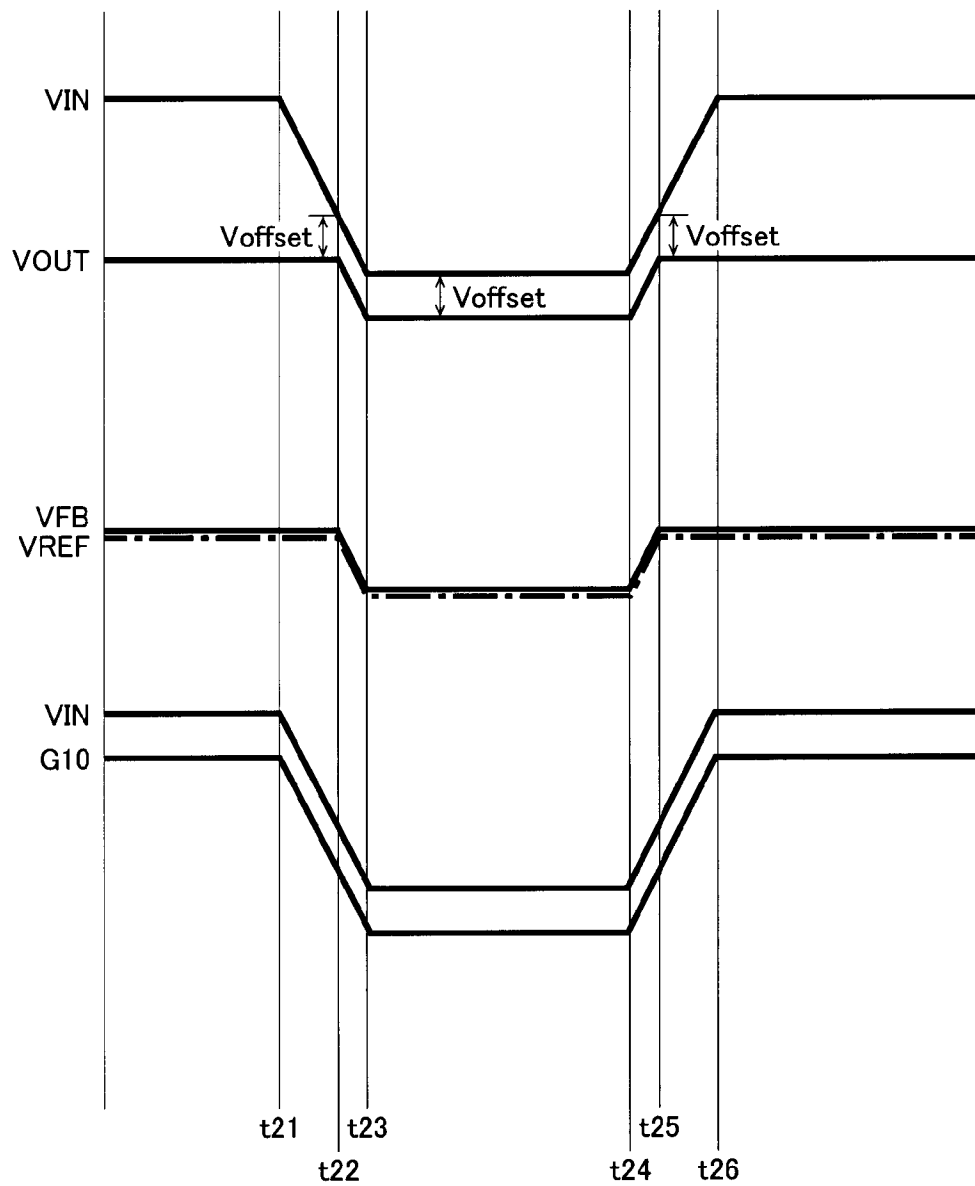
- [請求項18] 前記駆動部は、前記出力トランジスタの制御端と接地端との間に直列接続されてそれぞれ前記第1及び第2駆動信号により駆動される第1及び第2トランジスタを含む、請求項11～16のいずれか一項に記載のリニア電源。
- [請求項19] 前記電流検出部は、前記出力電流に応じたセンス電流を生成するセンストランジスタを含み、前記センス電流またはこれに応じた電流信号を前記制御信号として前記オフセット付与部に出力する、請求項11～18のいずれか一項に記載のリニア電源。
- [請求項20] 前記電流検出部は、前記センストランジスタ及び前記出力トランジスタの出力ノード電圧を一致させるバイアス手段をさらに含む、請求項19に記載のリニア電源。

$\frac{1}{\downarrow}$ 

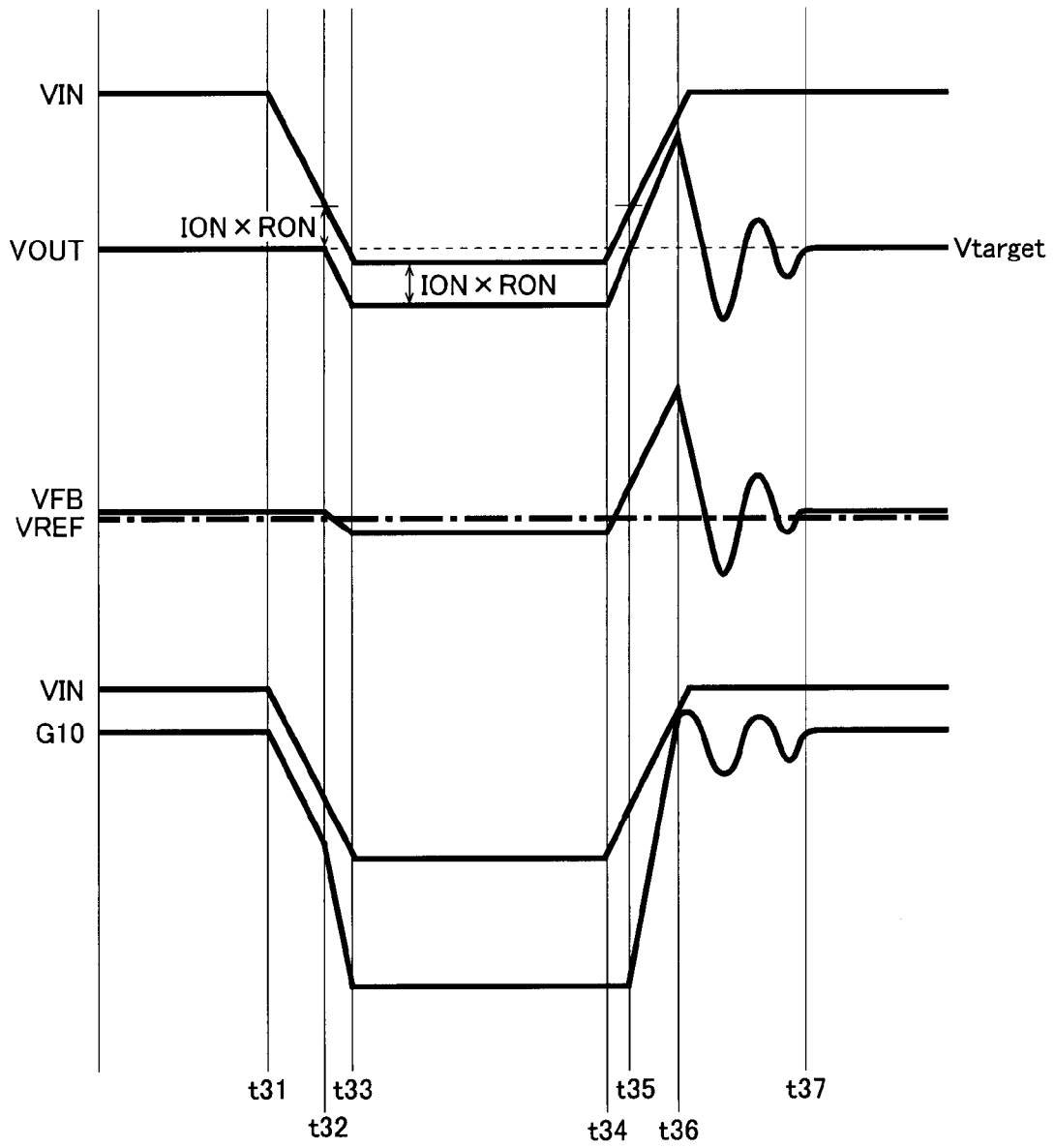
[図2]



[図3]

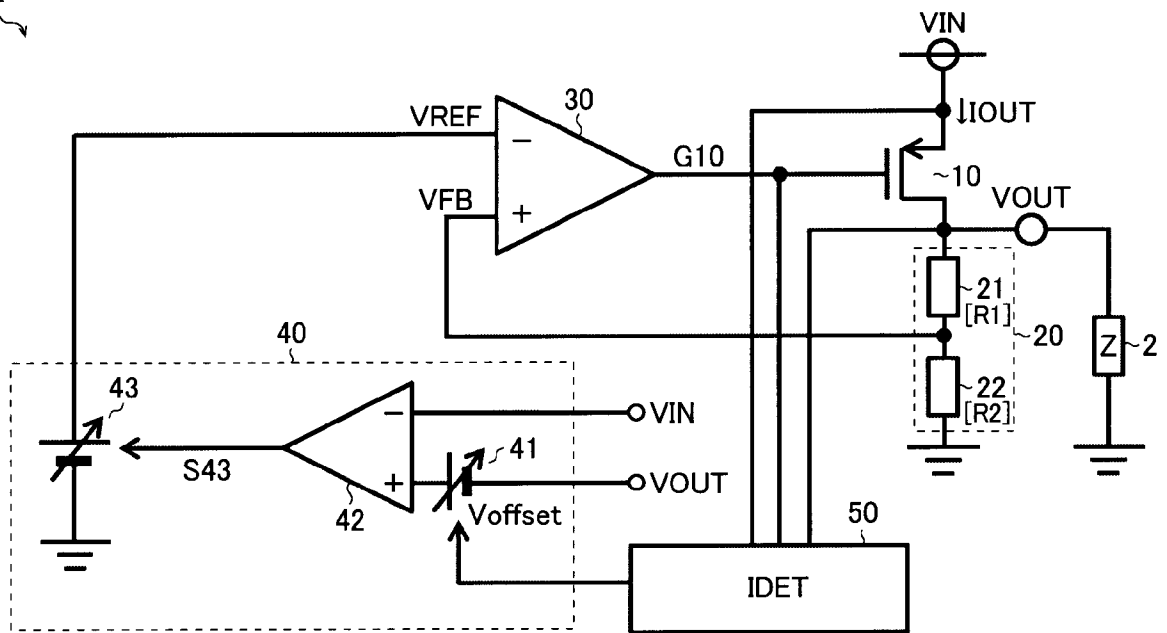


[図4]

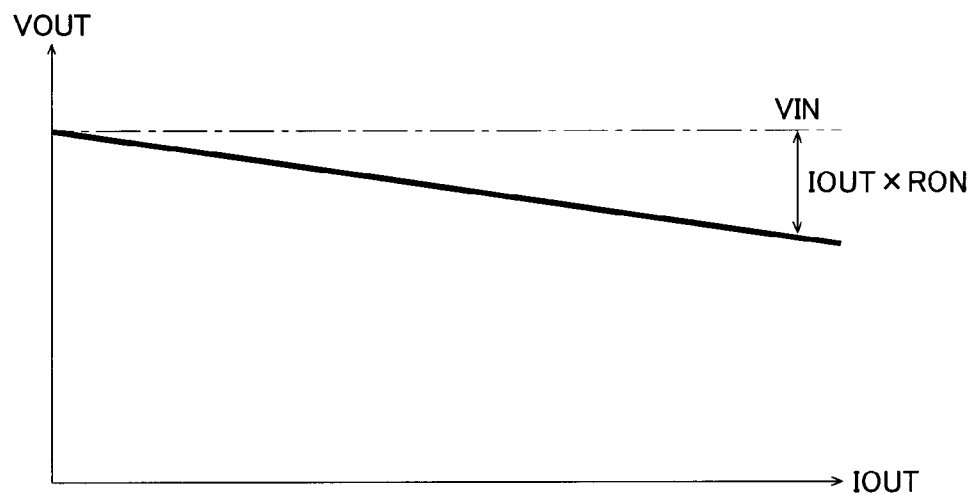


[図5]

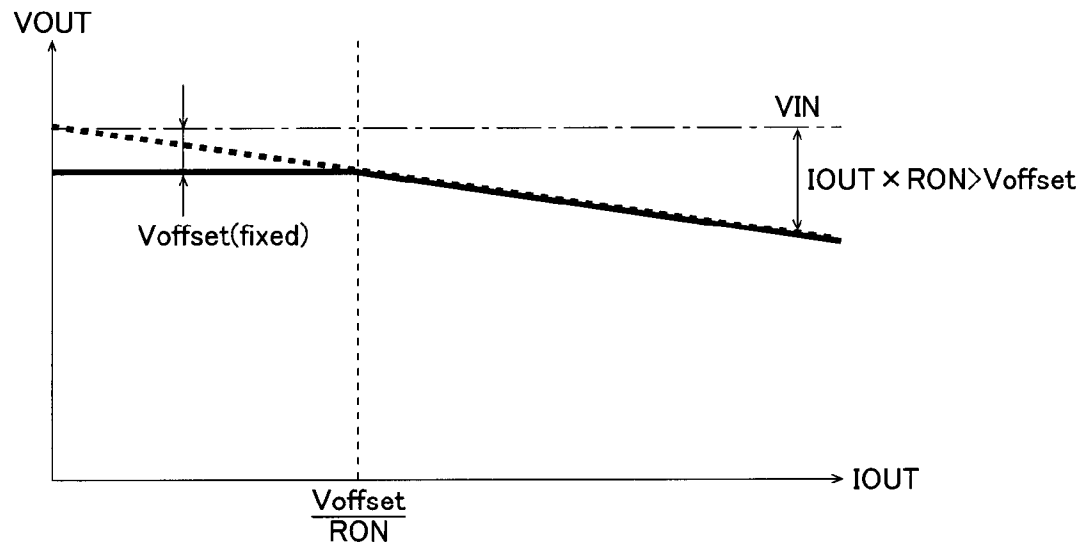
1 ↘



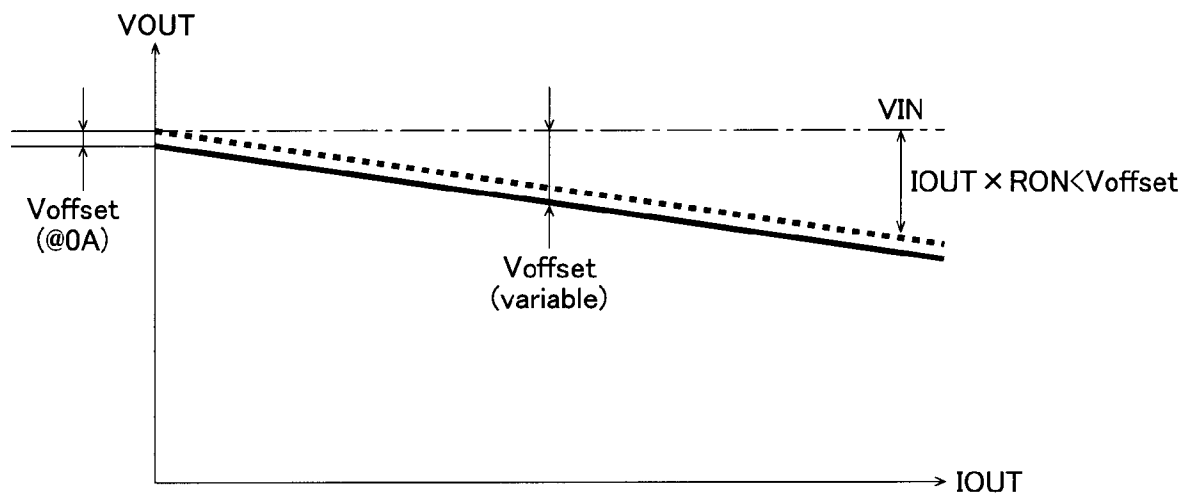
[図6]



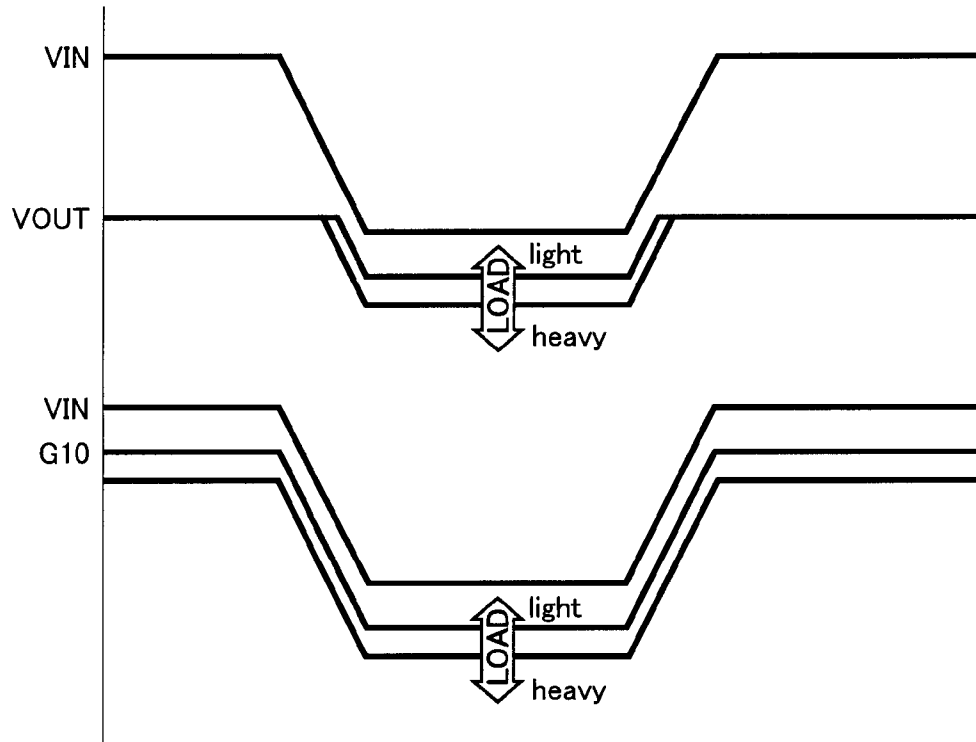
[図7]



[図8]

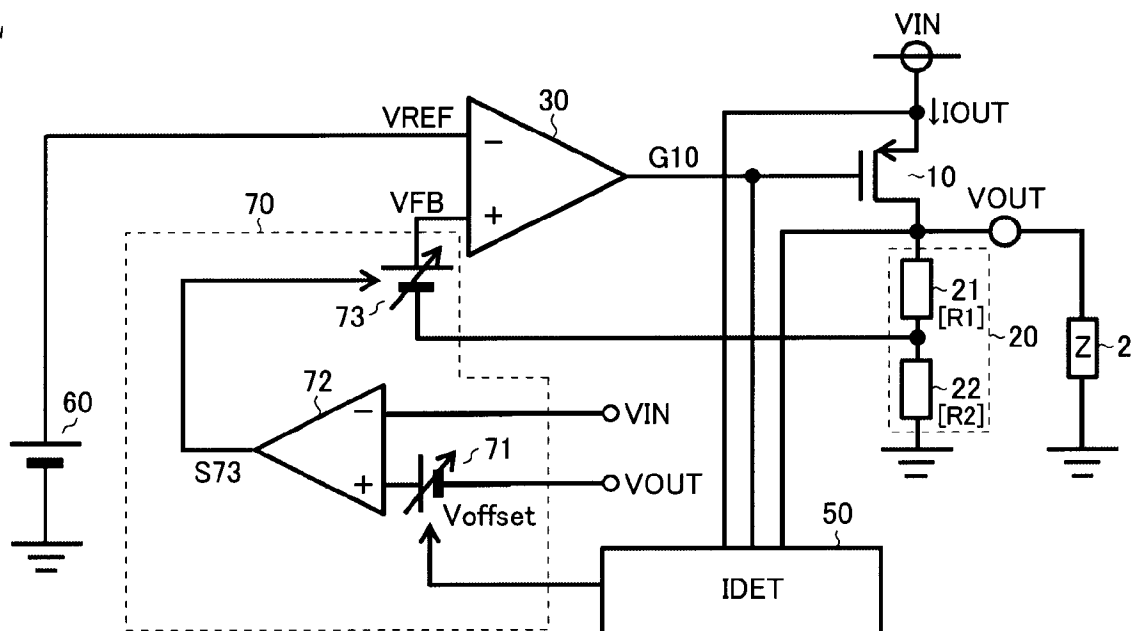


[図9]

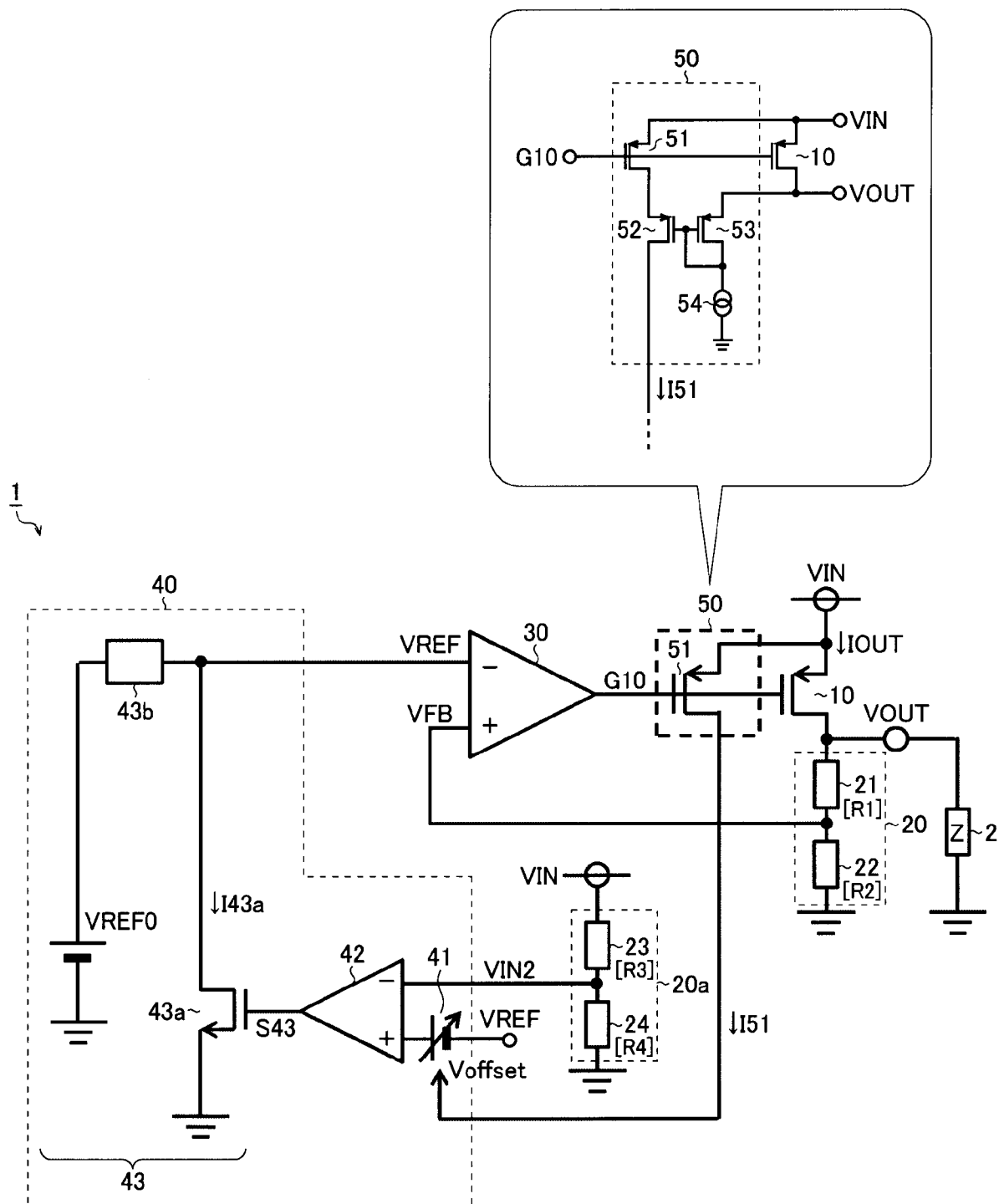


[図10]

1

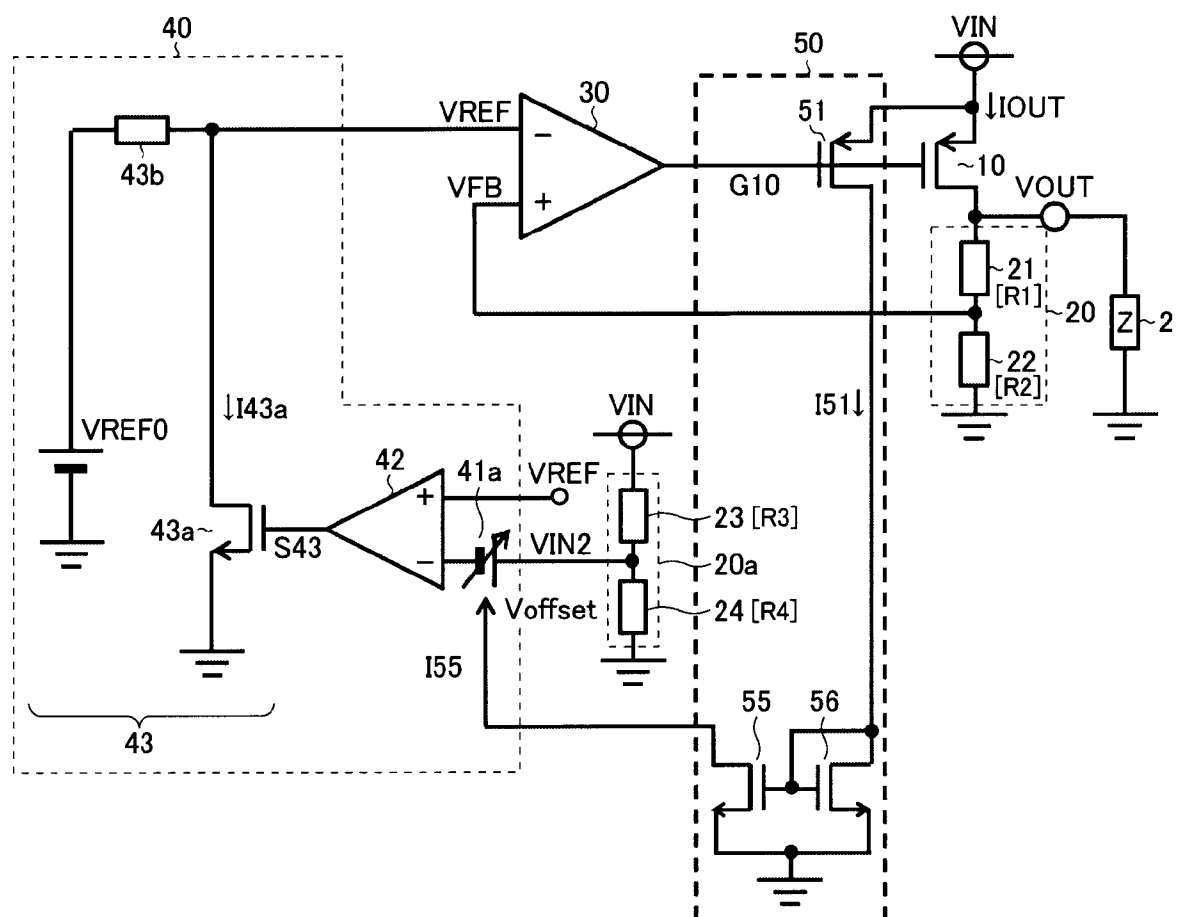


[図11]

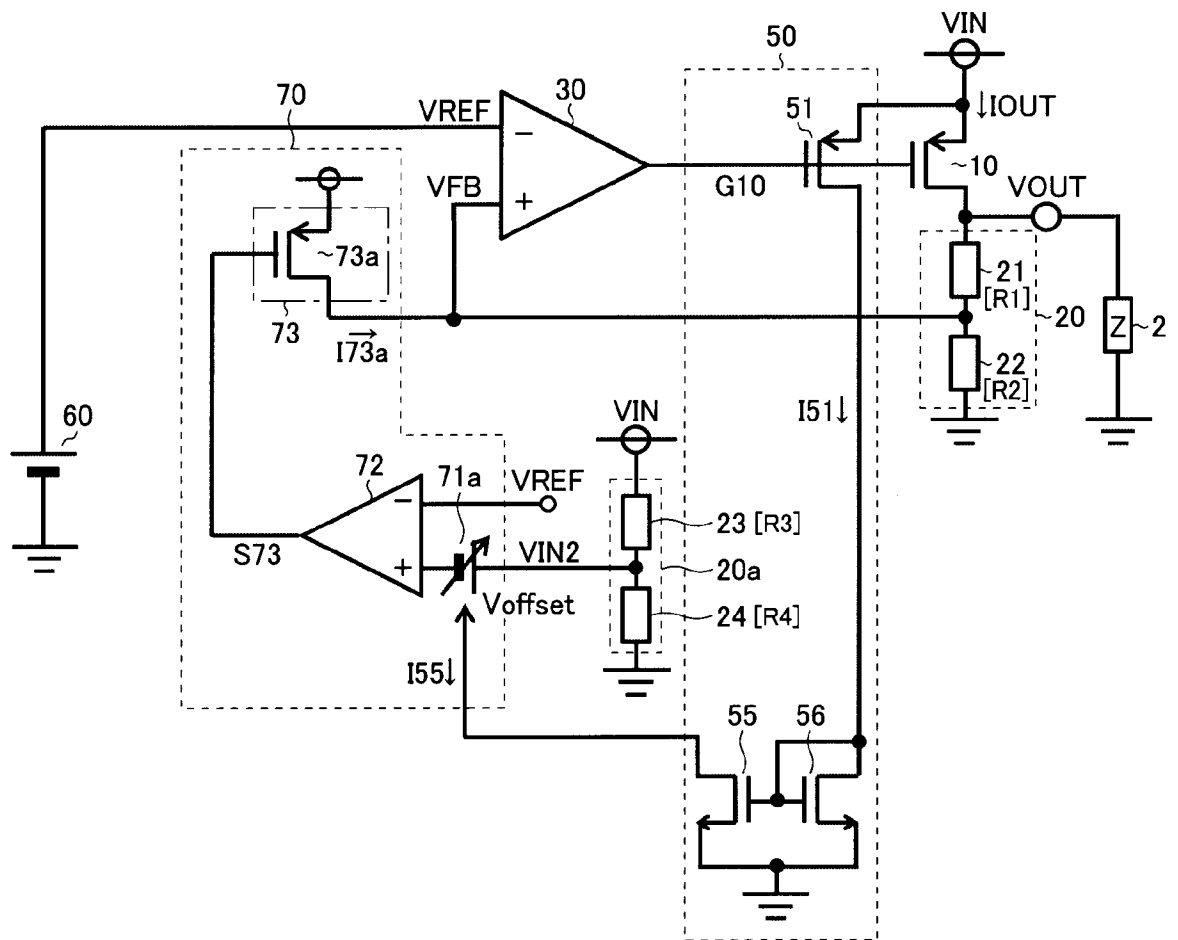


[図12]

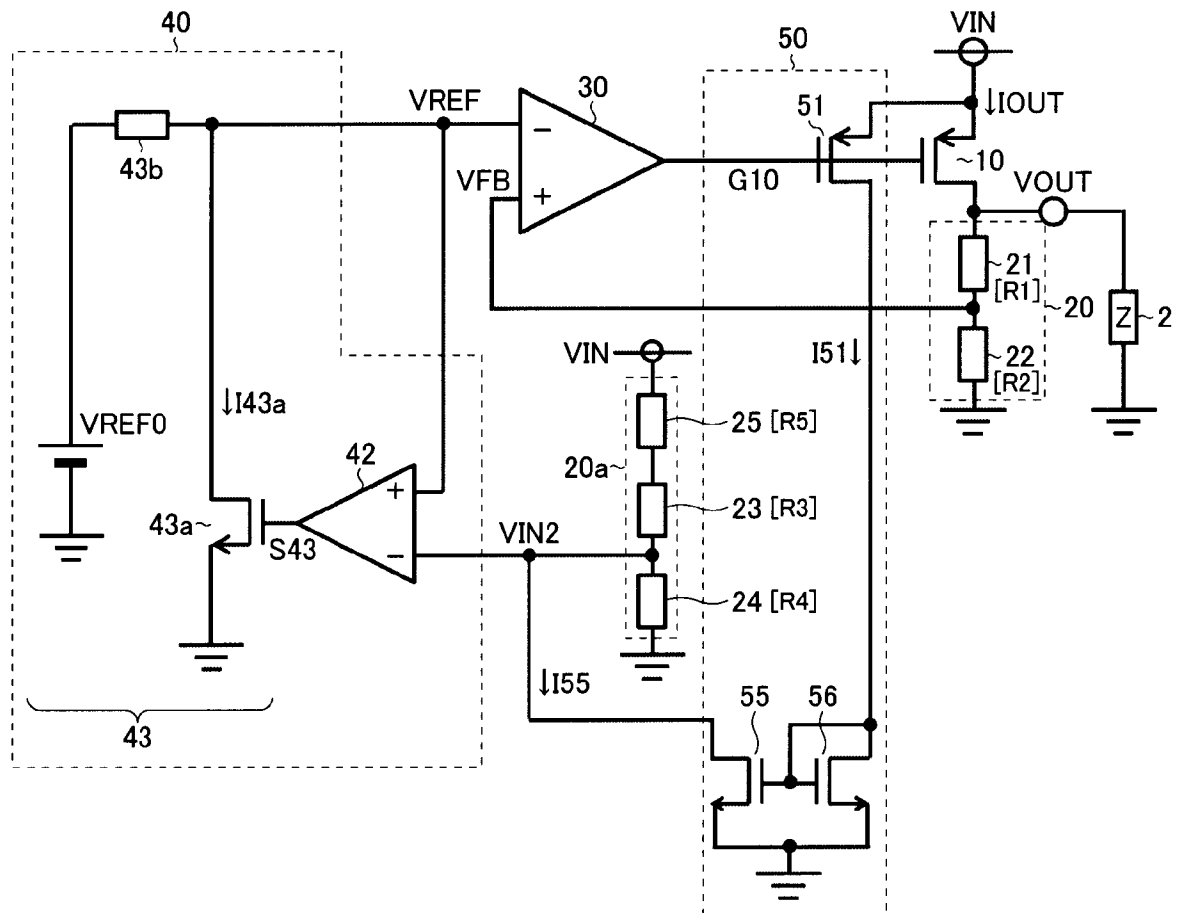
1



[図13]

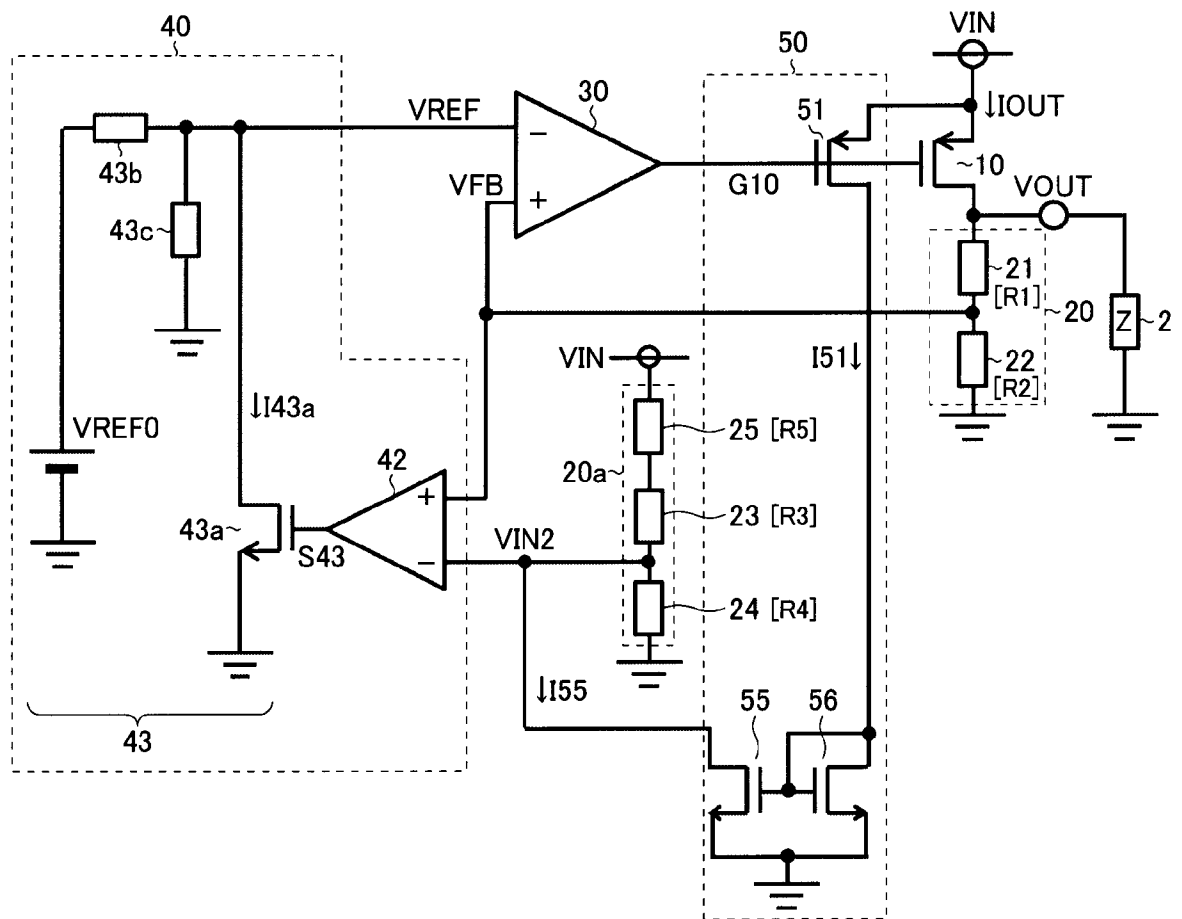
1
↘

1



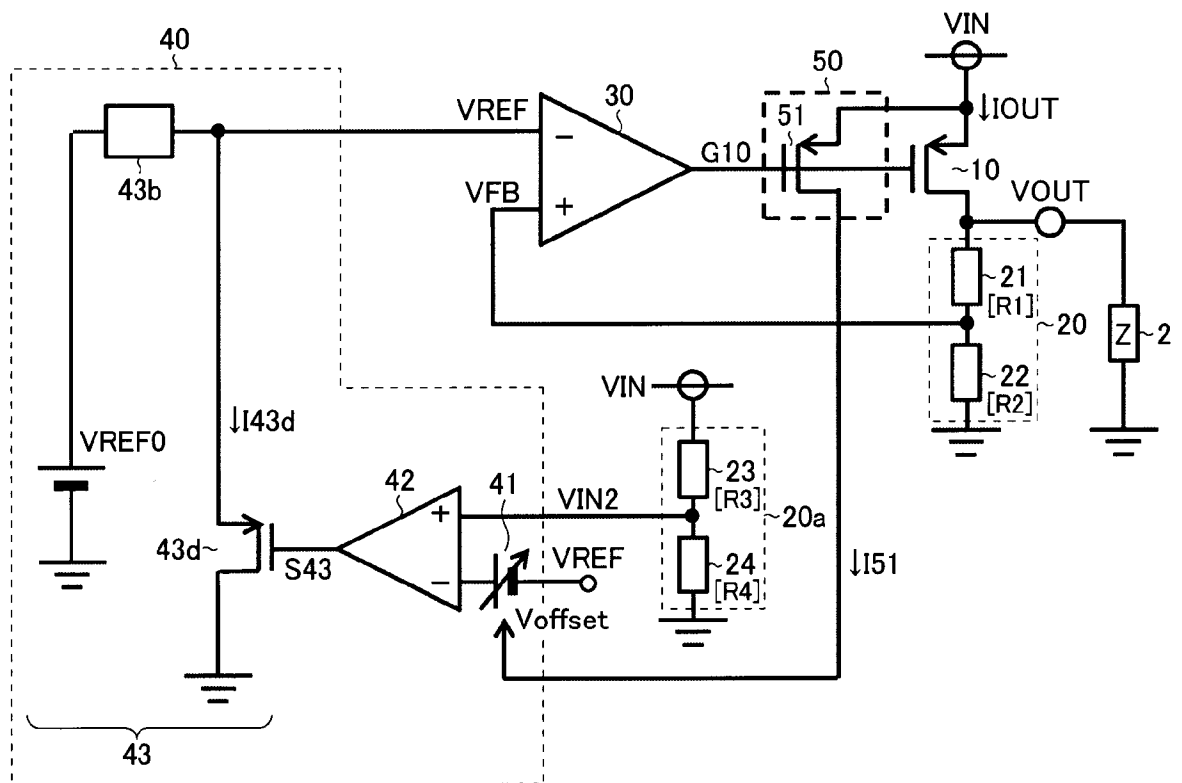
[図15]

1



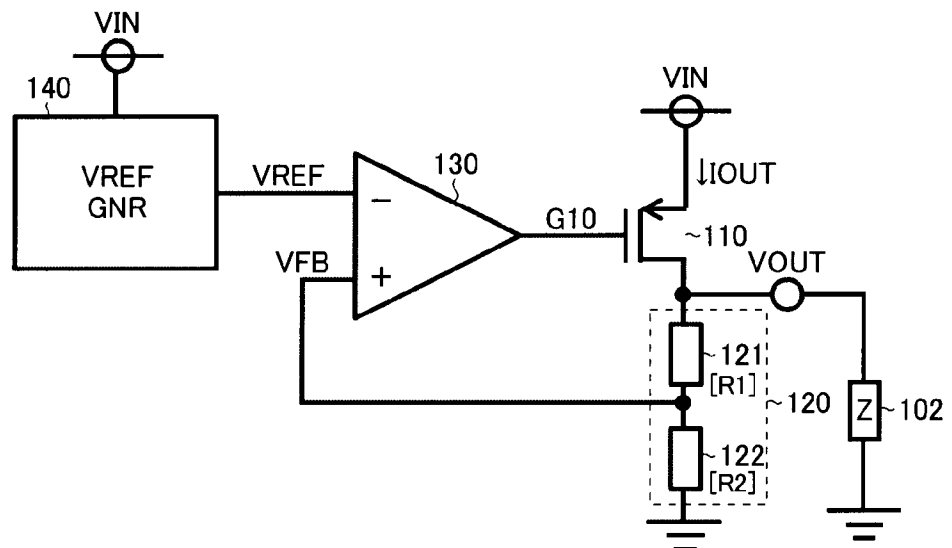
[図16]

1

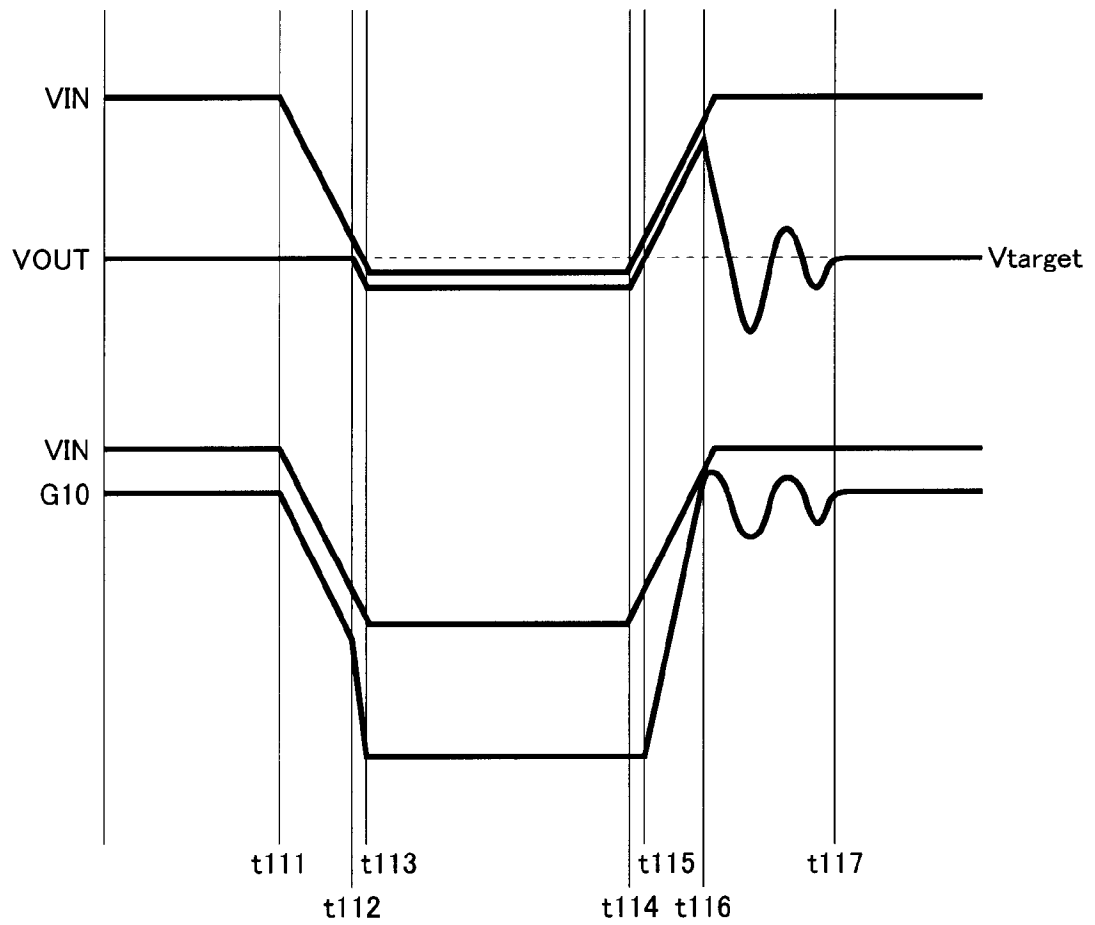


[図17]

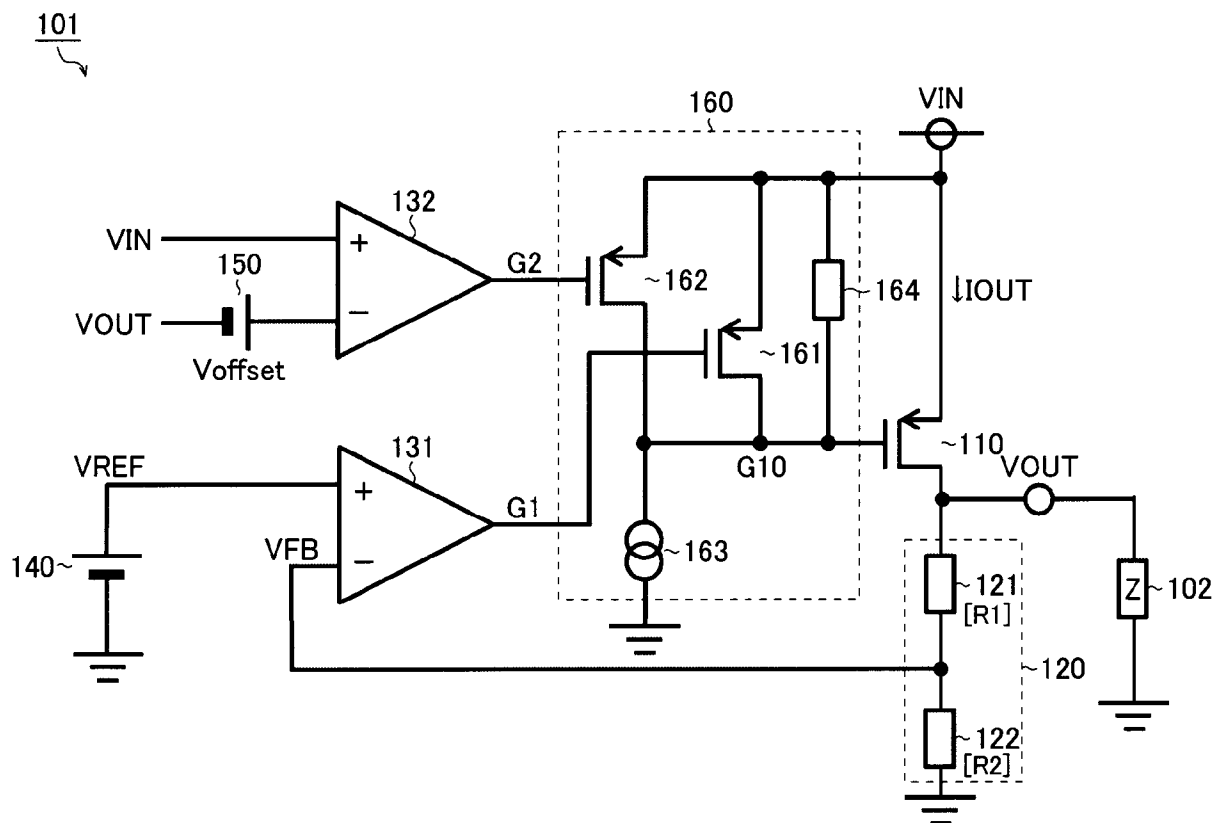
101



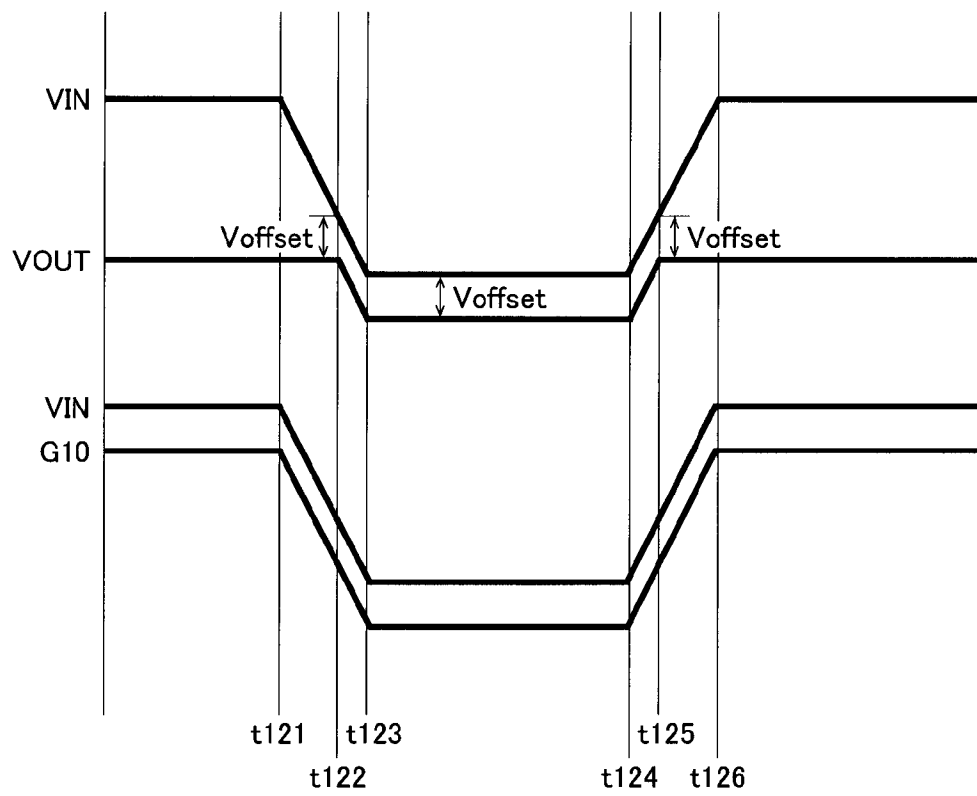
[図18]



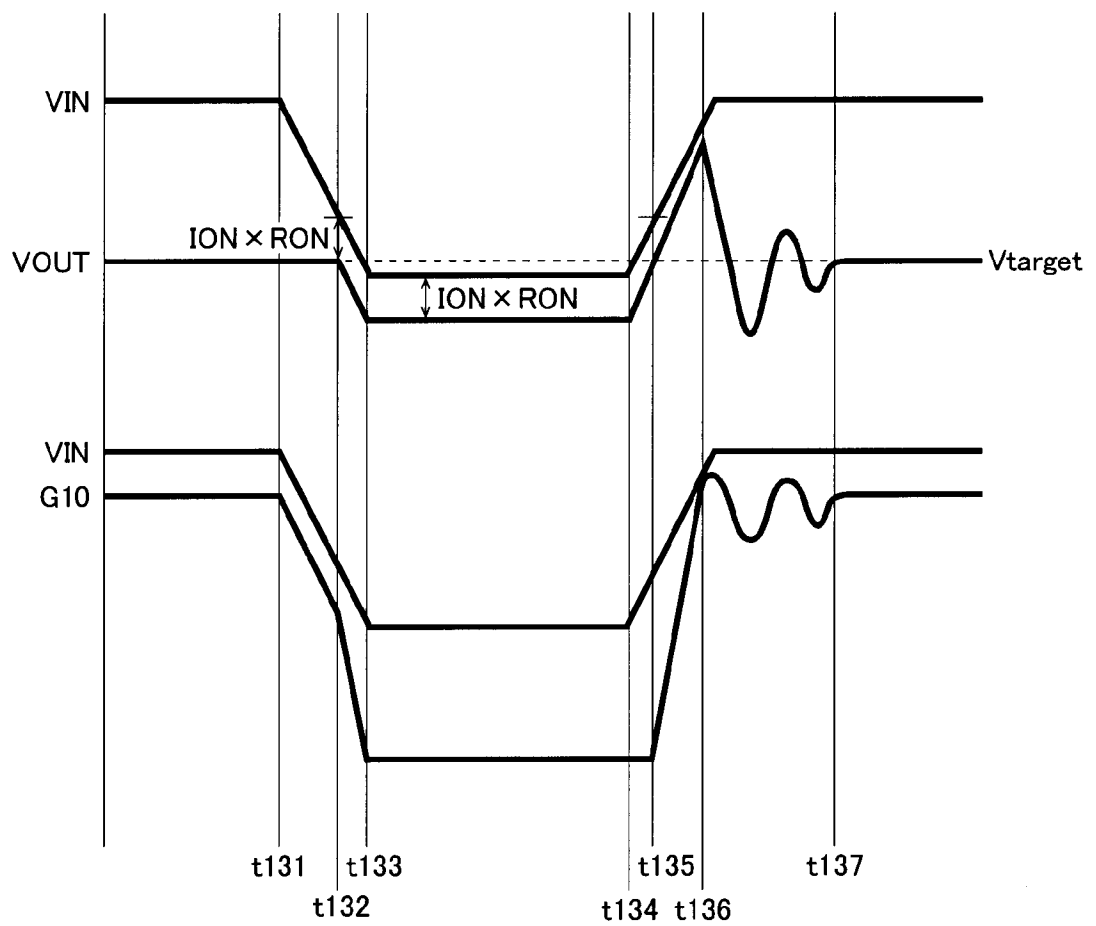
[図19]



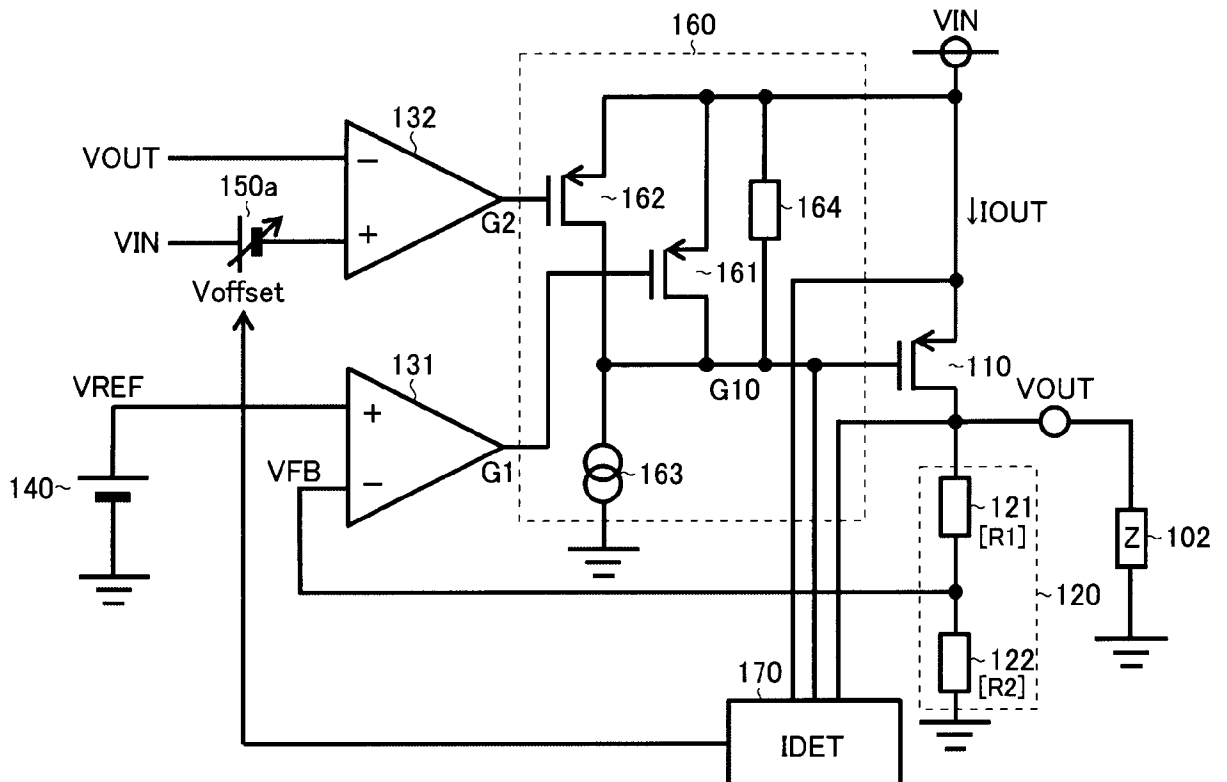
[図20]



[図21]

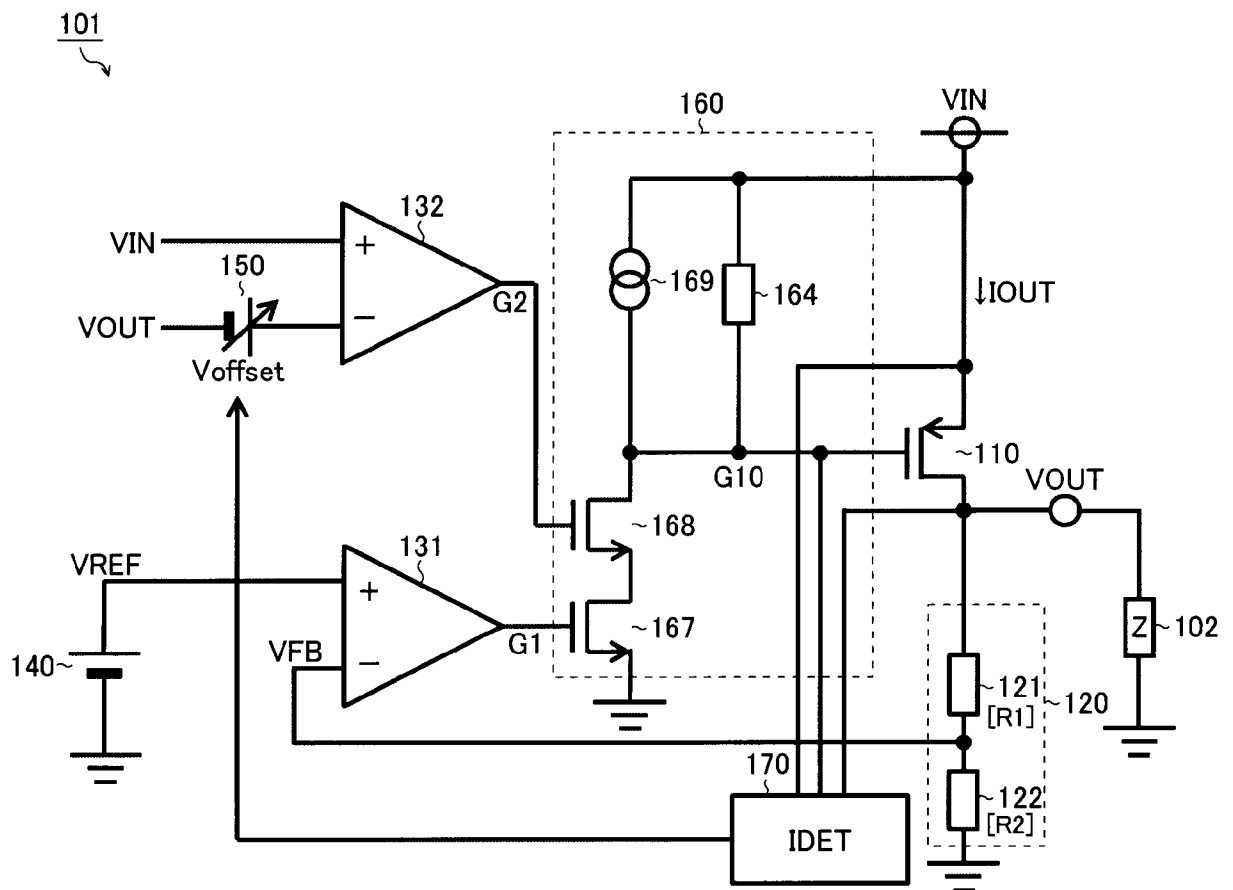


101

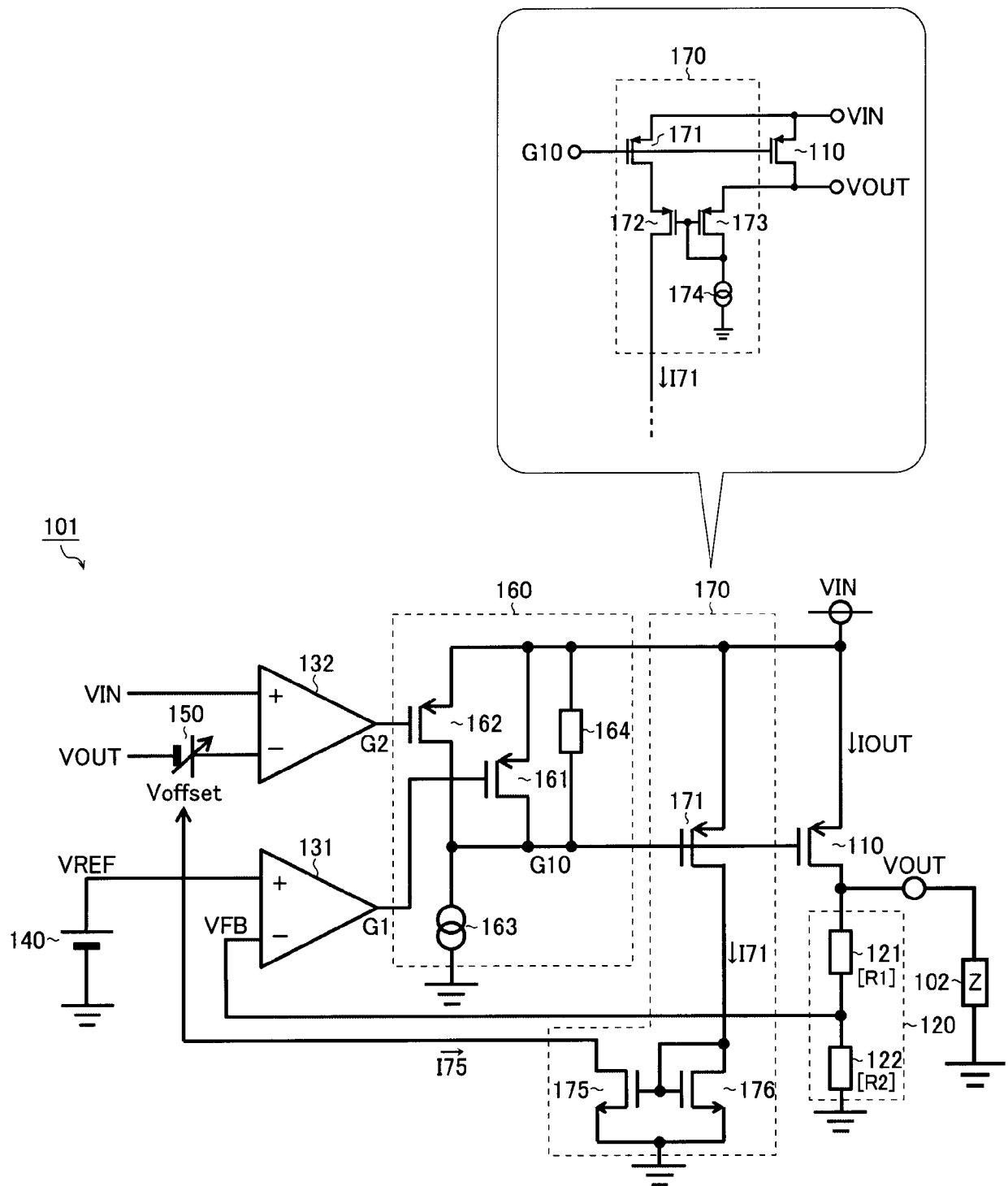


[illegible]

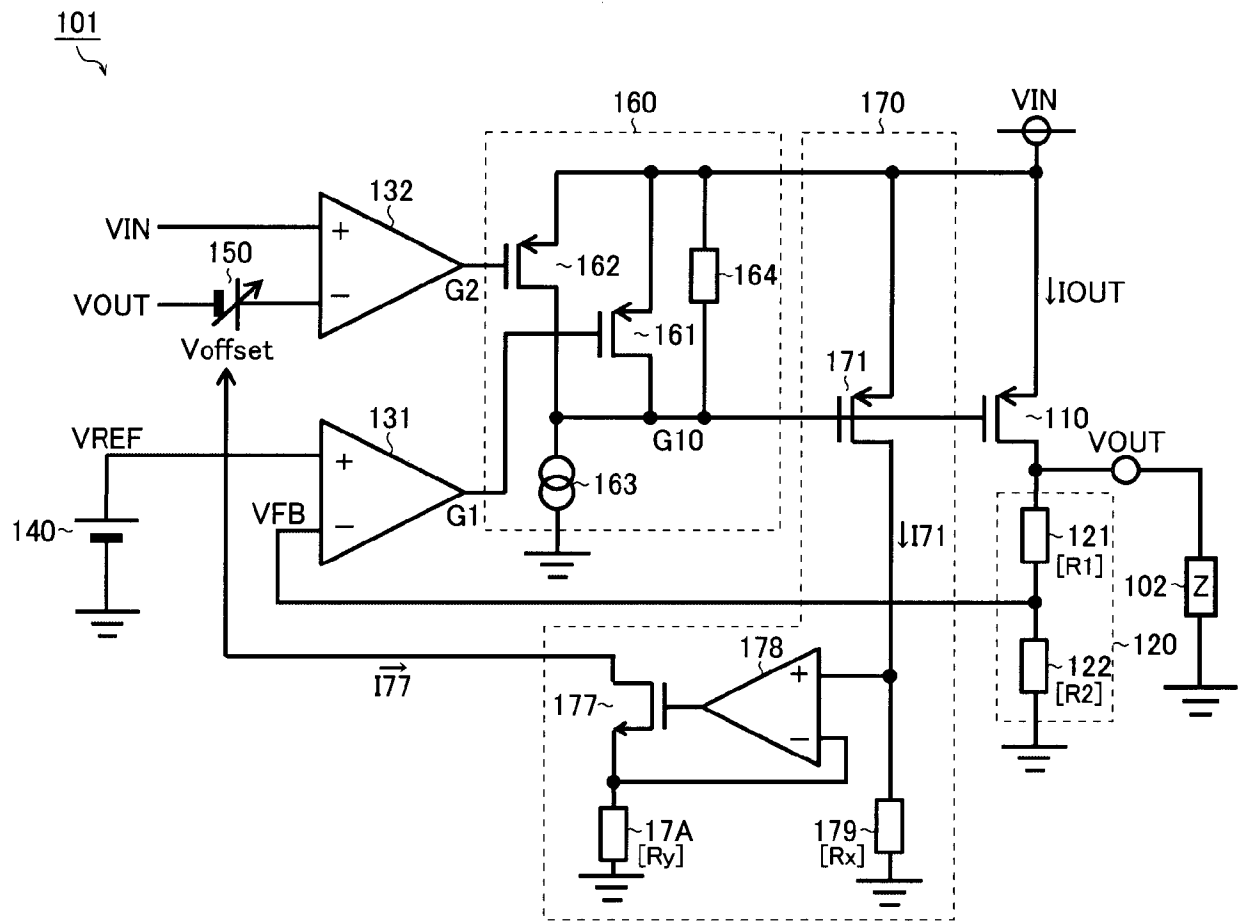
[図26]



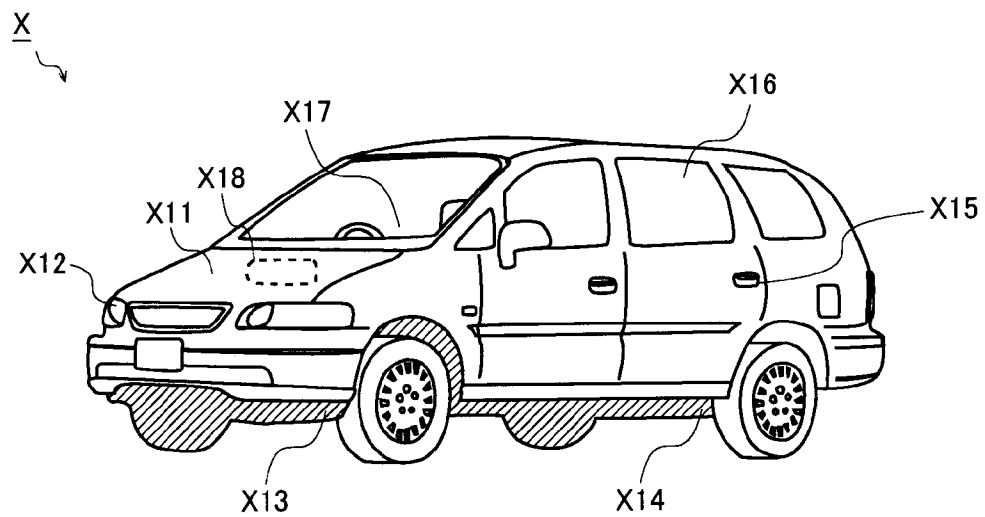
[図27]



[図28]



[図29]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2019/045817

A. CLASSIFICATION OF SUBJECT MATTER

Int. Cl. G05F1/56 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int. Cl. G05F1/56

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996

Published unexamined utility model applications of Japan 1971-2019

Registered utility model specifications of Japan 1996-2019

Published registered utility model applications of Japan 1994-2019

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2018-112963 A (ROHM CO., LTD.) 19 July 2018, paragraphs [0019]-[0077], fig. 1-8 (Family: none)	1-10
A	JP 2004-062625 A (AIWA CO.) 26 February 2004, paragraphs [0025]-[0035], fig. 1 (Family: none)	1-10
A	JP 2012-022450 A (RICOH CO., LTD.) 02 February 2012, paragraphs [0024]-[0035], fig. 1-3 & US 2012/0013317 A1, paragraphs [0054]-[0077], fig. 8-11	11-20

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search
09.12.2019

Date of mailing of the international search report
17.12.2019

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. G05F1/56(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. G05F1/56

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2019年
日本国実用新案登録公報	1996-2019年
日本国登録実用新案公報	1994-2019年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2018-112963 A（ローム株式会社）2018.07.19, 段落 [0019] - [0077], 第1-8図（ファミリーなし）	1-10
A	JP 2004-062625 A（アイワ株式会社）2004.02.26, 段落 [0025] - [0035], 第1図（ファミリーなし）	1-10
A	JP 2012-022450 A（株式会社リコー）2012.02.02, 段落 [0024] - [0035], 第1-3図 & US 2012/0013317 A1, 段落 [0054] - [0077], 第8-11図	11-20

C欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

09.12.2019

国際調査報告の発送日

17.12.2019

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

赤穂 嘉紀

5 G

3 4 5 8

電話番号 03-3581-1101 内線 3526