

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2015年11月19日(19.11.2015)



(10) 国際公開番号
WO 2015/174531 A1

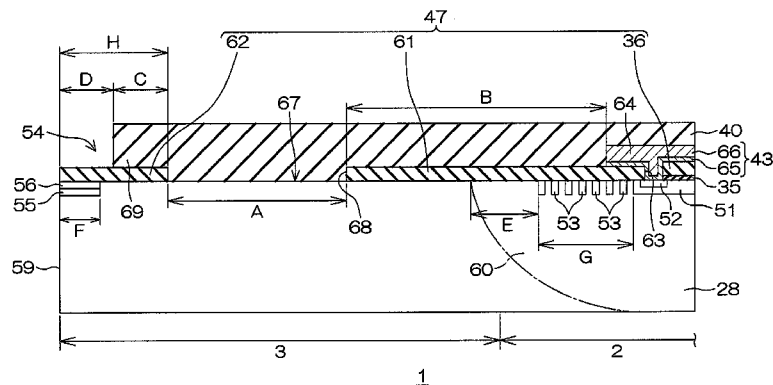
- (51) 国際特許分類:
H01L 29/78 (2006.01) H01L 29/47 (2006.01)
H01L 29/06 (2006.01) H01L 29/739 (2006.01)
H01L 29/12 (2006.01) H01L 29/872 (2006.01)
- (21) 国際出願番号: PCT/JP2015/064102
- (22) 国際出願日: 2015年5月15日(15.05.2015)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2014-102699 2014年5月16日(16.05.2014) JP
- (71) 出願人: ローム株式会社(ROHM CO., LTD.) [JP/JP];
〒6158585 京都府京都市右京区西院溝崎町2-1番地 Kyoto (JP).
- (72) 発明者: 長尾 勝久(NAGAO, Katsuhisa); 〒6158585
京都府京都市右京区西院溝崎町2-1番地 ローム株式会社内 Kyoto (JP). 安部 英俊(ABE, Hide-toshi); 〒6158585 京都府京都市右京区西院溝崎町2-1番地 ローム株式会社内 Kyoto (JP).
- (74) 代理人: 稲岡 耕作, 外(INAOKA, Kosaku et al.);
〒5410054 大阪府大阪府中央区南本町2丁目6番12号 サンマリオンNBFタワー21階 あい特許事務所内 Osaka (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

- 国際調査報告 (条約第21条(3))

(54) Title: SEMICONDUCTOR DEVICE
(54) 発明の名称: 半導体装置

[図6]



(57) Abstract: According to the present invention, a semiconductor device includes a first conductivity type SiC layer, an electrode that is selectively formed upon the SiC layer, and an insulator that is formed upon the SiC layer and that extends to a timing region that is set at an end part of the SiC layer. The insulator includes an electrode lower insulating film that is arranged below the electrode, and an organic insulating layer that is arranged so as to cover the electrode lower insulating film. The length (A) of the interval wherein the organic insulating layer contacts the SiC layer is 40 μm or more, and the lateral direction distance (B) along the electrode lower insulating layer between the electrode and SiC layer is 40 μm or more.

(57) 要約:

[続葉有]

WO 2015/174531 A1



本発明の半導体装置は、第1導電型のSiC層と、前記SiC層上に選択的に形成された電極と、前記SiC層上に形成され、前記SiC層の端部に設定されたダイシング領域に達している絶縁物とを含み、前記絶縁物は、前記電極の下方に配置された電極下絶縁膜および当該電極下絶縁膜を覆うように配置された有機絶縁層を含み、前記有機絶縁層が前記SiC層に接している区間の距離(A)は40 μ m以上であり、前記電極下絶縁膜上の前記電極と前記SiC層との横方向の距離(B)は40 μ m以上である。

明 細 書

発明の名称：半導体装置

技術分野

[0001] 本発明は、SiC半導体装置に関する。

背景技術

[0002] 従来、半導体装置の特性を試験するときに不具合が生じないようにするため、種々の提案がなされている。たとえば、特許文献1は、電気特性の試験中に大気中で放電が起きないようにする対策を提案している。具体的には、特許文献1は、半導体ウエハにベース領域およびエミッタ領域を形成し、ベース電極、エミッタ電極をパターンニングした後、その表面にポリイミド膜を被着してパターンニングし、ダイシング領域およびその他の電極ボンディング部を除く領域を被覆する工程を含む、半導体装置の製造方法を開示している。

先行技術文献

特許文献

- [0003] 特許文献1：特開昭60-50937号公報
特許文献2：特開昭54-45570号公報
特許文献3：特開2011-243837号公報
特許文献4：特開2001-176876号公報
特許文献5：再公表特許WO2009/101668号公報

発明の概要

発明が解決しようとする課題

[0004] ところで、半導体装置の試験として、高温高湿高電圧試験が採用され始めている。当該試験では、半導体装置は、たとえば、85℃、85%RHおよび960V印加の条件に連続1000時間（約40日間）晒される。従来は、上記の温度、湿度および電圧それぞれの条件に個別に耐えうる対策は施されていたが、これら3つの条件全てをクリアする対策は、未だ提案されるに

至っていない。

[0005] そこで、本発明の一実施形態は、ウエハ状態で実施される電気特性試験中の放電を防止できると共に、高温高湿高電圧試験に耐えることができるS i C半導体装置を提供する。

課題を解決するための手段

[0006] 本発明の一実施形態に係る半導体装置は、第1導電型のS i C層と、前記S i C層上に選択的に形成された電極と、前記S i C層上に形成され、前記S i C層の端部に設定されたダイシング領域に達している絶縁物とを含み、前記絶縁物は、前記電極の下方に配置された電極下絶縁膜および当該電極下絶縁膜を覆うように配置された有機絶縁層を含み、前記有機絶縁層が前記S i C層に接している区間の距離(A)は40 μ m以上であり、前記電極下絶縁膜上の前記電極と前記S i C層との横方向の距離(B)は40 μ m以上である。

[0007] この構成によれば、ダイシング領域が絶縁物で覆われているので、ウエハ状態の半導体装置の電気特性を試験するとき、ダイシング領域－電極間における大気中にかかる電圧の負担を軽くすることができる。言い換えると、ダイシング領域－電極間にかかる電圧を、大気および絶縁物で分け合うことができるので、大気中での放電を防止することができる。

[0008] さらに、距離(A)が40 μ m以上であるため、有機絶縁層とS i C層との接触面積を十分に確保できるので、S i C層に対する有機絶縁層の密着性を向上させることができる。それに加えて、距離(B)が40 μ m以上であるため、高温高湿高電圧試験にも耐えることができる。距離(A)および距離(B)を上記の範囲にすることは、S i C半導体装置では全く新しい知見である。S i Cでは、空乏層の横方向への広がりかS iに比べて小さいため、従来は距離(A)および距離(B)を長くしてチップサイズを大きくする必要がなかった。チップサイズを大きくしなくても空乏層がチップ端面に到達する可能性が低い上、チップサイズの拡大は、チップ面積単位のオン抵抗の上昇の要因となるおそれがあったからである。このような背景のもと、本

願発明者らは、距離（A）および距離（B）を敢えて40 μm 以上にすることで、高温高湿高電圧試験に対する耐性を向上できることを見出したものである。

[0009] 前記半導体装置が、前記ダイシング領域に形成された第2導電型領域をさらに含む場合、前記距離（A）は、前記SiC層の第1導電型領域に前記有機絶縁層が接している区間に関して40 μm 以上であってもよい。

[0010] この構成によれば、ダイシング領域－電極間にかかる電圧を、第2導電型領域にも分配することができる。よって、大気中での放電をより効果的に防止することができる。

[0011] 前記有機絶縁層は、前記ダイシング領域を覆うように形成され、当該ダイシング領域において前記第2導電型領域に接していてもよい。

[0012] 前記有機絶縁層が、前記ダイシング領域を覆っておらず、前記絶縁物が、前記電極下絶縁膜と同一層の膜からなり、前記ダイシング領域を覆うと共に前記有機絶縁層と部分的に重なる端部絶縁膜をさらに含む場合、前記有機絶縁層と前記端部絶縁膜との重なり幅（C）は5 μm 以上であってもよい。

[0013] この構成によれば、ダイシング領域が有機絶縁層で覆われていないので、ウエハ状態の半導体装置を容易に分割（ダイシング）することができる。この場合でも、ダイシング領域は、絶縁物を構成する端部絶縁膜で覆われているので、上記の放電防止効果を十分に実現することができる。

[0014] 前記絶縁物が、前記電極下絶縁膜と同一層の膜からなり、前記ダイシング領域を覆う端部絶縁膜をさらに含む場合、前記有機絶縁層は、前記端部絶縁膜を介して前記第2導電型領域を選択的に覆うように前記端部絶縁膜に重なっており、前記有機絶縁層と前記端部絶縁膜との重なり幅（C）は5 μm 以上であってもよい。

[0015] 前記端部絶縁膜は、前記電極下絶縁膜と同じ厚さを有していてもよい。

[0016] この構成によれば、端部絶縁膜を電極下絶縁膜と同一工程で作製できるので、製造工程を簡単にすることができる。

[0017] 前記距離（A）は、45 μm ～180 μm であってもよいし、前記距離（

B) は、 $45\ \mu\text{m} \sim 180\ \mu\text{m}$ であってもよい。また、前記距離 (A) および前記距離 (B) の合計は、 $180\ \mu\text{m}$ 以下であってもよい。

[0018] 距離 (A) および距離 (B) を上記の範囲にすることによって、半導体装置のチップサイズを程よい大きさに留めることができる。また、距離 (A) および距離 (B) が上記の範囲の場合に大気中放電が起きやすいので、ダイシング領域を絶縁物で覆うことが役に立つ。

[0019] 前記半導体装置の降伏電圧値 (BV) は、 $1000\ \text{V}$ 以上であってもよい。

[0020] 降伏電圧値 (BV) が $1000\ \text{V}$ 以上の場合に大気中放電が起きやすいので、ダイシング領域を絶縁物で覆うことが役に立つ。

[0021] 前記 SiC 層の第 1 導電型の不純物濃度は $1 \times 10^{16}\ \text{cm}^{-3}$ 以下であり、前記 SiC 層の厚さは $5\ \mu\text{m}$ 以上であってもよい。

[0022] 前記半導体装置が、前記 SiC 層において前記電極よりも外方に形成された不純物領域からなる第 2 導電型の終端構造をさらに含む場合、前記第 2 導電型領域の幅 (F) は、前記ダイシング領域の幅 (D) と前記終端構造から延びる空乏層の幅 (E) の 2 倍との差以上であってもよい。

[0023] 前記電極は、Ti/TiN/Al-Cu で表される積層構造からなってもよい。

[0024] Al-Cu を使用することによって、湿度に対する耐性をより向上させることができる。

[0025] 前記電極下絶縁膜は、 $1\ \mu\text{m}$ 以上の厚さを有する SiO_2 膜からなってもよい。この場合、前記 SiO_2 膜は、リン (P) やボロン (B) を含んでもよい。

[0026] $1\ \mu\text{m}$ 以上の厚さを有する SiO_2 膜を使用していれば、電極下絶縁膜に $1000\ \text{V}$ 以上の電圧が印加されても絶縁破壊を防止することができる。また、リン (P) やボロン (B) が含まれていれば、リフローによって、電極下絶縁膜を容易に平坦化することができる。また、電極下絶縁膜の角部を丸く仕上げることができる。

- [0027] 前記電極下絶縁膜は、 $1\ \mu\text{m}$ 以上の厚さを有するSiN膜からなっているもよい。
- [0028] $1\ \mu\text{m}$ 以上の厚さを有するSiN膜を使用していれば、電極下絶縁膜に1000V以上の電圧が印加されても絶縁破壊を防止することができる。
- [0029] 前記有機絶縁層は、ポリイミド系の素材、ポリベンゾオキサゾール系の素材、アクリル系の素材等からなっているもよい。
- [0030] 前記SiC層には半導体素子構造としてMOSFETが形成されており、前記電極は、前記MOSFETのソースに電氣的に接続されたソース電極を含んでいてもよい。この場合、前記MOSFETは、プレーナゲート構造を有していてもよいし、トレンチゲート構造を有していてもよい。
- [0031] また、前記SiC層には半導体素子構造としてショットキーバリアダイオードが形成されており、前記電極は、前記ショットキーバリアダイオードの一部を構成するショットキー電極を含んでいてもよい。
- [0032] さらに、前記SiC層には半導体素子構造としてIGBTが形成されており、前記電極は、前記IGBTのソースに電氣的に接続されたソース電極を含んでいてもよい。
- [0033] 前記有機絶縁層が、複数の領域において前記SiC層に接している場合、前記距離(A)は、当該複数の領域それぞれにおける接触区間の距離のトータルで $40\ \mu\text{m}$ 以上であってもよい。
- [0034] 前記半導体装置が、前記SiC層に選択的に形成され、前記有機絶縁層で満たされた凹部をさらに含む場合、前記距離(A)は、前記凹部の内面における前記有機絶縁層の接触区間を含めたトータルで $40\ \mu\text{m}$ 以上であってもよい。
- [0035] 本発明の一実施形態に係る半導体装置は、第1導電型のSiC層と、前記SiC層上に選択的に形成された電極と、前記SiC層上に形成され、前記SiC層の端部に設定されたダイシング領域に達している絶縁物と、前記SiC層において前記電極よりも外方に形成された不純物領域からなる第2導電型の終端構造とを含み、前記絶縁物は、前記電極の下方に配置された電極

下絶縁膜および当該電極下絶縁膜を覆うように配置された有機絶縁層を含み、前記有機絶縁層が前記S i C層に接している区間の距離(A)は $40\mu\text{m}$ 以上であり、前記電極下絶縁膜上の前記電極と前記S i C層との横方向の距離(B)は、前記終端構造から延びる空乏層の幅(E)の2倍以上である。

[0036] この構成によれば、ダイシング領域が絶縁物で覆われているので、ウエハ状態の半導体装置の電気特性を試験するとき、印加電圧を絶縁物で緩和することができる。これにより、ダイシング領域－電極間における大気中にかかる電圧の負担を軽くすることができる。言い換えると、ダイシング領域－電極間にかかる電圧を、大気および絶縁物で分け合うことができるので、大気中での放電を防止することができる。

[0037] さらに、距離(A)が $40\mu\text{m}$ 以上であり、距離(B)が終端構造から延びる空乏層の幅(E)の2倍以上であるため、高温高湿高電圧試験にも耐えることができる。

図面の簡単な説明

[0038] [図1]図1は、本発明の一実施形態に係る半導体装置の模式的な平面図である。

[図2]図2は、図1の一点鎖線IIで囲まれた領域の拡大図である。

[図3]図3は、図2の二点鎖線IIIで囲まれた領域の拡大図である。

[図4]図4は、図3の切断線IV－IVで半導体装置を切断したときの断面図である。

[図5]図5は、図2の二点鎖線Vで囲まれた領域の拡大図である。

[図6]図6は、図5の切断線VI－VIで半導体装置を切断したときの断面図である。

[図7A]図7Aは、ウエハの切断に関連する工程を説明するための断面図である。

[図7B]図7Bは、切断後のウエハの状態を示す断面図である。

[図8]図8は、本発明の一実施形態に係る半導体装置の模式的な断面図である。

[図9]図9は、本発明の一実施形態に係る半導体装置の模式的な断面図である。

[図10]図10は、本発明の一実施形態に係る半導体装置の模式的な断面図である。

[図11]図11は、本発明の一実施形態に係る半導体装置の模式的な断面図である。

[図12]図12は、本発明の一実施形態に係る半導体装置の模式的な断面図である。

[図13]図13は、本発明の一実施形態に係る半導体装置の模式的な断面図である。

[図14]図14は、本発明の一実施形態に係る半導体装置の模式的な断面図である。

発明を実施するための形態

[0039] 以下では、本発明の実施の形態を、添付図面を参照して詳細に説明する。

[0040] 図1は、本発明の一実施形態に係る半導体装置1の模式的な平面図である。なお、図1では、明瞭化のため、実際の平面視では半導体装置1の最表面に露出していない要素の一部を実線で示している。

[0041] 半導体装置1は、SiCが採用された半導体装置であって、たとえば、その最表面を法線方向から見た平面視（以下、単に「平面視」と言う。）において、四角形のチップ状に形成されている。

[0042] 半導体装置1には、アクティブ領域2およびアクティブ領域2を取り囲む外周領域3が設定されている。アクティブ領域2は、この実施形態では、半導体装置1の内方領域において平面視略四角形状に形成されているが、その形状は特に制限されない。

[0043] アクティブ領域2には、ゲートメタル44、本発明の電極の一例としてのソースメタル43およびゲートフィンガー5が形成されている。そして、これらを覆うように、半導体装置1の最表面には、パッシベーション膜40が形成されている。パッシベーション膜40には、ゲートメタル44の一部お

よびソースメタル43の一部を、それぞれ、ゲートパッド4およびソースパッド6として露出させる開口41, 42が形成されている。一方、ゲートフィンガー5は、その全体がパッシベーション膜40に覆われている。なお、図1では明瞭化のため、ゲートフィンガー5を実線で示すと共に、ハッチングを付している。

[0044] ゲートメタル44、ゲートフィンガー5およびソースメタル43は、たとえば、Al（アルミニウム）、AlCu（アルミニウム-銅合金）、Cu（銅）等のメタル配線からなる。好ましくは、図6の説明でも述べるが、Ti/TiN/Al-Cuで表される積層構造からなる。

[0045] ポリシリコンよりも低抵抗なメタル配線でゲートフィンガー5を構成することによって、ゲートメタル44から比較的距離がある位置（遠い位置）のトランジスタセル18（図2参照）に対しても、ゲート電流を短時間で供給することができる。また、Alであれば、その加工性が良いので（加工し易いので）、これらの配線の形成工程を簡単にすることができる。一方、AlCuはAlが使用される場合に比べて、半導体装置1のパワーサイクル耐性や湿度に対する耐性を向上させることができると共に、ゲートパッド4に関してボンディングワイヤの接合強度を向上させることもできる。Cuが使用される場合は、AlおよびAlCuの場合よりも抵抗率を低減できる利点がある。

[0046] ゲートメタル44は、アクティブ領域2の周縁部（外周領域3との境界付近）の一部に選択的に形成されている。ゲートフィンガー5は、ゲートパッド4の形成位置から、アクティブ領域2の周縁部に沿う方向およびアクティブ領域2の内方に向かう方向に分かれて延びている。これにより、アクティブ領域2には、ゲートメタル44を挟んで互いに異なる方向に延びる複数のゲートフィンガー5で区画された部分およびゲートフィンガー5の外方領域に、セル領域7, 45が形成されている。

[0047] より具体的には、この実施形態では、ゲートメタル44は、平面視四角形状に形成され、アクティブ領域2の一辺8の中央部に選択的に配置されてい

る。なお、アクティブ領域2の一辺8（ゲートメタル44が配置された辺）以外の辺は、一辺8の対辺9、およびこれらの辺8、9の両端部にそれぞれ連続する辺10、11である。

[0048] ゲートフィンガー5は、ゲートメタル44の周囲を、間隔を空けて取り囲むパッド周辺部12と、当該パッド周辺部12から、アクティブ領域2の当該一辺8に沿う方向および当該一辺8に直交する方向のそれぞれに延びる第1フィンガー13および第2フィンガー14とを含む。

[0049] パッド周辺部12は、ゲートメタル44の周囲に沿う平面視四角環状に形成されている。

[0050] 第1フィンガー13は、パッド周辺部12に対して辺10およびその反対の辺11に向かう方向に、辺8に沿って一対形成されている。

[0051] 第2フィンガー14は、第1フィンガー13に直交する方向に辺9までアクティブ領域2を横切る直線状の主部位15と、当該主部位15に一体的に接続され、当該接続箇所から第1フィンガー13に沿って延びる複数の枝部16とを含む。枝部16は、この実施形態では、主部位15の先端部と主部位15の途中部の二箇所に接続されて合計二対形成されているが、この数は特に制限されない。

[0052] こうして、アクティブ領域2には、第1フィンガー13および第2フィンガー14（主部位15および枝部16）によってセル領域7、45が区画されている。この実施形態では、第2フィンガー14の主部位15と中央の枝部16で形成された交差部の各角に一つずつ、合計4つの内側セル領域7が形成されている。また、アクティブ領域2の周縁とゲートフィンガー5との間には、アクティブ領域2の周縁に沿って環状の外側セル領域45が形成されている。

[0053] ソースメタル43は、内側セル領域7および外側セル領域45のほぼ全体を覆うように形成されている。パッシベーション膜40には、ソースパッド6が各内側セル領域7の一つずつ配置されるように、合計4つの開口42が形成されている。

- [0054] また、ソースメタル43には、ゲートメタル44の形状に応じた凹部17が形成されている。凹部17は、ゲートメタル44が第1フィンガー14に対してアクティブ領域2の内方側にセットバックされて配置されており、このゲートメタル44を回避するために形成された窪みである。
- [0055] 図2は、図1の一点鎖線IIで囲まれた領域の拡大図である。つまり、半導体装置1のゲートパッド4およびその近傍領域を拡大して示す図である。なお、図2では、明瞭化のため、実際の平面視では半導体装置1の最表面に露出していない要素の一部を実線で示している。
- [0056] 図2に示すように、ゲートフィンガー5（パッド周辺部12、第1フィンガー13および第2フィンガー14）で区画された内側セル領域7および外側セル領域45には、複数のトランジスタセル18が配列されている。
- [0057] 複数のトランジスタセル18は、この実施形態では、内側セル領域7および外側セル領域45のそれぞれにおいて、平面視で行列状に配列されている。ゲートフィンガー5の近傍では、複数のトランジスタセル18は、ゲートフィンガー5の形状に合わせて整列している。たとえば、複数のトランジスタセル18は、パッド周辺部12の角部の形状に合わせて屈曲して整列し、直線状の第2フィンガー14の主部位15の形状に合わせて直線状に整列している。ソースメタル43は、これら複数のトランジスタセル18を覆うように形成されている。
- [0058] なお、図2では、明瞭化のため、ソースメタル43で覆われた複数のトランジスタセル18の一部のみを表している。また、複数のトランジスタセル18の配列形態は、行列状に限らず、たとえば、ストライプ状、千鳥状等であってもよい。また、各トランジスタセル18の平面形状は、四角形状に限らず、たとえば、円形状、三角形状、六角形状等であってもよい。
- [0059] 互いに隣り合うトランジスタセル18の間には、ゲート電極19が形成されている。ゲート電極19は、内側セル領域7および外側セル領域45においては、行列状のトランジスタセル18の各間に配置され、全体として平面視格子状に形成されている。一方、このゲート電極19は、内側セル領域7

および外側セル領域45だけでなく、ゲートフィンガー5が配置された領域にも形成され、当該ゲートフィンガー5の下方の部分がゲートフィンガー5に対してコンタクトしている。

[0060] この実施形態では、ゲート電極19の一部は、第1フィンガー13および第2フィンガー14の下方領域に形成され、コンタクト部として第1フィンガー13および第2フィンガー14に対向している。図2では、明瞭化のため、ゲート電極19の当該下方領域に形成された部分を、ハッチングを付した領域で表している。これにより、互いに隣り合う内側セル領域7のゲート電極19は、第2フィンガー14を下方で横切るゲート電極19を介して連続している。このゲート電極19の連続形態は、ゲートメタル44に隣り合う内側セル領域7と外側セル領域45との間に関しても同様である。つまり、これらの領域のゲート電極19は、第1フィンガー13を下方で横切るゲート電極19を介して連続している。

[0061] そして、第1フィンガー13および第2フィンガー14は、それぞれ、その下方領域に配置されたゲート電極19に対して、ゲートコンタクト20によって接続されている。ゲートコンタクト20は、第1フィンガー13および第2フィンガー14の各側縁から間隔を空けたフィンガー中央部において、それぞれの長手方向に沿って直線状に形成されている。

[0062] また、この実施形態では、ゲートメタル44の下方に複数の内蔵抵抗21が配置されている。複数の内蔵抵抗21を、ゲートメタル44の平面形状の重心位置から互いにほぼ等距離の位置に配置することによって、複数の内蔵抵抗21の配置に関して対称性を持たすことが好ましい。この実施形態では、複数の内蔵抵抗21は、平面視四角形状のゲートメタル44の重心Gから等距離にあるゲートメタル44の各角部に一つずつ配置されている。これにより、4つの内蔵抵抗21に対称性が与えられている。

[0063] このような対称性のパターンは、種々考えられ、たとえば、2つの内蔵抵抗21が、対角関係にあるゲートメタル44の2つの角部に一つずつ配置されていてもよいし、対辺関係にあるゲートメタル44の2つの辺の一つずつ

互いに向かい合うように配置されていてもよい。また、たとえば、ゲートメタル44が平面視円形状の場合には、2つの内蔵抵抗21が、当該ゲートメタル44の直径の両端の一つずつ配置されていてもよいし、ゲートメタル44が平面視三角形の場合には、3つの内蔵抵抗21が、当該ゲートメタル44の3つの角部の一つずつ配置されていてもよい。

[0064] 各内蔵抵抗21は、ゲートメタル44とゲートフィンガー5（パッド周辺部12）との間の環状の隙間領域26を横切って、これらに跨るように形成されている。これにより、内蔵抵抗21は、ゲートメタル44およびゲートフィンガー5のそれぞれに対向している。ゲートメタル44およびゲートフィンガー5（パッド周辺部12）は、それぞれ、その下方領域に配置された内蔵抵抗21に対して、パッド側コンタクト22およびセル側コンタクト23によって接続されている。

[0065] この実施形態では、4つの内蔵抵抗21は、対辺関係にあるゲートメタル44の2つの辺の各周縁部24の下方から、当該辺に直交する外側方向に延びてパッド周辺部12の下方に至っている。各内蔵抵抗21は、平面視四角形状に形成されており、たとえば、 $200\mu\text{m}$ 以下（ $200\mu\text{m}\times 200\mu\text{m}$ 以下）の大きさを有している。実用上、内蔵抵抗21の大きさが1つ当たり $200\mu\text{m}$ 以下であれば、SiCエピタキシャル層28（図4参照）上の領域のうち内蔵抵抗21のために犠牲になる領域の面積を小さくでき、省スペース化を図ることができる。

[0066] また、パッド側コンタクト22およびセル側コンタクト23は、それぞれ、ゲートメタル44およびパッド周辺部12の辺に沿って互いに平行な直線状に形成されている。

[0067] 内蔵抵抗21をゲートメタル44の中央部を回避した周縁部24の下方に配置し、さらに、内蔵抵抗21が配置された領域の上方領域をパッシベーション膜40で覆うことによって、ゲートメタル44の中央部には、内蔵抵抗21で取り囲まれたワイヤ領域としてのゲートパッド4が確保されている。ゲートパッド4は、ボンディングワイヤが接続される領域である。

[0068] すなわち、この実施形態では、内蔵抵抗21が配置された、ゲートメタル44の各角部を選択的にパッシベーション膜40で覆い、ゲートメタル44のその他の部分を開口41から露出させている。これにより、半導体装置1の最表面には、各角部が内方に凹んだ平面視四角形状のゲートパッド4が露出している。このように、内蔵抵抗21が配置された領域の上方領域をパッシベーション膜40で覆うことによって、ボンディングワイヤの接合時に、ゲートメタル44における内蔵抵抗21と重なる部分にボンディングワイヤが誤って接合されることを防止できる。その結果、ボンディングワイヤの接合時に、超音波等の衝撃によって内蔵抵抗21がダメージを受けたり、それによって破壊されたりすることを抑制することができる。

[0069] 図3は、図2の二点鎖線IIIで囲まれた領域の拡大図である。図4は、図3の切断線IV-IVで半導体装置1を切断したときの断面図である。なお、図3および図4では、明瞭化のため、各構成要素の縮尺が図1および図2とは異なる場合があり、図3と図4との間でも各構成要素の縮尺が異なる場合がある。また、図3および図4では、明瞭化のため、実際の平面視では半導体装置1の最表面に露出していない要素の一部を実線で示している。

[0070] 次に、内蔵抵抗21およびその近傍領域のより詳細な構成を、半導体装置1の断面構造と共に説明する。

[0071] 半導体装置1は、SiC基板27と、SiCエピタキシャル層28とを含む。SiCエピタキシャル層28は、SiC基板27に積層されており、この積層構造が本発明のSiC層の一例として示されている。

[0072] SiC基板27およびSiCエピタキシャル層28は、それぞれ、 n^+ 型および n^- 型のSiCである。 n^+ 型のSiC基板27の不純物濃度は、たとえば、 $1 \times 10^{17} \text{ cm}^{-3} \sim 1 \times 10^{21} \text{ cm}^{-3}$ である。一方、 n^- 型のSiCエピタキシャル層28の不純物濃度は、たとえば、 $1 \times 10^{14} \text{ cm}^{-3} \sim 1 \times 10^{16} \text{ cm}^{-3}$ である。また、 n 型不純物としては、たとえば、N（窒素）、P（リン）、As（ひ素）等を使用できる（以下、同じ）。

[0073] また、SiC基板27の厚さは、たとえば、 $50 \mu\text{m} \sim 1000 \mu\text{m}$ であ

り、SiCエピタキシャル層28は、たとえば、5 μ m以上（具体的には、5 μ m～100 μ m）である。

[0074] 内側セル領域7において、SiCエピタキシャル層28の表面部に複数のトランジスタセル18が形成されている。複数のトランジスタセル18は、p⁻型ボディ領域29と、p⁻型ボディ領域29の周縁から間隔を空けた内方領域に選択的に形成されたn⁺型ソース領域30と、n⁺型ソース領域30の周縁から間隔を空けた内方領域に選択的に形成されたp⁺型ボディコンタクト領域31とを含む。また、SiCエピタキシャル層28のn⁻型の部分は、複数のトランジスタセル18の共通のドレイン領域となっている。

[0075] 図3に示すように、平面視では、パッド周辺部12（ゲートフィンガー5）に沿うトランジスタセル18を除いて、p⁺型ボディコンタクト領域31を取り囲むようにn⁺型ソース領域30が形成され、さらに、n⁺型ソース領域30を取り囲むようにp⁻型ボディ領域29が形成されている。p⁻型ボディ領域29において、n⁺型ソース領域30を取り囲む環状の領域は、半導体装置1のオン時にチャンネルが形成されるチャンネル領域32である。

[0076] 一方、パッド周辺部12（ゲートフィンガー5）に沿うトランジスタセル18では、p⁻型ボディ領域29およびp⁺型ボディコンタクト領域31が、それぞれ、後述するp⁻型領域34およびp⁺型領域33に電氣的に接続されている。

[0077] p⁻型ボディ領域29の不純物濃度は、たとえば、 $1 \times 10^{14} \text{ cm}^{-3} \sim 1 \times 10^{19} \text{ cm}^{-3}$ であり、n⁺型ソース領域30の不純物濃度は、たとえば、 $1 \times 10^{17} \text{ cm}^{-3} \sim 1 \times 10^{21} \text{ cm}^{-3}$ であり、p⁺型ボディコンタクト領域31の不純物濃度は、たとえば、 $1 \times 10^{19} \text{ cm}^{-3} \sim 1 \times 10^{21} \text{ cm}^{-3}$ である。

[0078] これらの領域29～31を形成するには、たとえば、SiCエピタキシャル層28の表面部に、イオン注入によってp⁻型ボディ領域29が形成される。その後、p⁻型ボディ領域29の表面部に、n型不純物およびp型不純物を順にイオン注入することによって、n⁺型ソース領域30およびp⁺型ボディコンタクト領域31が形成される。これにより、領域29～31からなるト

ランジスタセル18が形成される。p型不純物としては、たとえば、B（ホウ素）、Al（アルミニウム）等を使用できる（以下、同じ）。

[0079] アクティブ領域2において内側セル領域7および外側セル領域45以外の領域、具体的には、ゲートメタル44、ゲートフィンガー5および隙間領域26の下方領域では、SiCエピタキシャル層28の表面部にp⁻型領域34が形成されている。p⁻型領域34の表面部には、p⁺型領域33が形成されている。

[0080] p⁺型領域33は、SiCエピタキシャル層28の内蔵抵抗21に対向する領域において、p⁻型領域34のp⁻型部分をSiC表面に選択的に露出させ、それ以外の領域においては、自身のp⁺型部分がSiC表面に選択的に露出するように、ゲートメタル44等の下方領域のほぼ全域に亘って形成されている。つまり、ゲートメタル44およびゲートフィンガー5は、内蔵抵抗21が配置された領域においてはp⁻型部分に対向しているが、それ以外の大部分の領域においては、p⁺型部分に対向している。また、p⁺型領域33およびp⁻型領域34は、それぞれ、ソースメタル43の下方まで延びるように形成されており、ソースメタル43（この実施形態では、ソースパッド6よりも外方部分）の下方において、p⁺型ボディコンタクト領域31およびp⁻型ボディ領域29に一体的に繋がっている。なお、図3では、パッド周辺部12（ゲートフィンガー5）に沿うランジスタセル18のp⁺型ボディコンタクト領域31とp⁺型領域33とを、ハッチングを付した領域で表している。実用上、p⁺型ボディコンタクト領域31がソースメタル43と共にグランド電位に固定され、これによってp⁺型領域33が0Vで安定する。そのため、この実施形態のように、ゲートメタル44およびゲートフィンガー5の大部分はp⁺型領域33に対向させておくことが好ましい。

[0081] p⁺型領域33およびp⁻型領域34は、それぞれ、p⁺型ボディコンタクト領域31およびp⁻型ボディ領域29と同一の工程で形成され、その不純物濃度および深さも同じである。

[0082] SiCエピタキシャル層28の表面には、ゲート絶縁膜35が形成されて

いる。ゲート絶縁膜 35 は、酸化シリコン等の絶縁材料からなり、たとえば、 $0.001\ \mu\text{m}\sim 1\ \mu\text{m}$ の厚さを有している。ゲート絶縁膜 35 は、ゲート電極 19 および内蔵抵抗 21 を SiC エピタキシャル層 28 から絶縁するための共通の絶縁膜である。

[0083] ゲート絶縁膜 35 上には、ゲート電極 19 および内蔵抵抗 21 が形成されている。ゲート電極 19 は、各トランジスタセル 18 のチャネル領域 32 に、ゲート絶縁膜 35 を挟んで対向するように形成されている。一方、内蔵抵抗 21 は、p⁻型領域 34 の露出 p⁻型部分に、ゲート絶縁膜 35 を挟んで対向するように形成されている。

[0084] ゲート電極 19 および内蔵抵抗 21 は、いずれも、p 型のポリシリコンからなり、同一工程で形成されてもよい。この実施形態では、ゲート電極 19 および内蔵抵抗 21 は、p 型不純物として B（ホウ素）を含んでいる。B（ホウ素）含有ポリシリコンは、Si 半導体装置で一般的に使用されるリン（P）含有ポリシリコンに対する比抵抗値が大きい。したがって、ホウ素含有ポリシリコン（内蔵抵抗 21）は、同じ抵抗値を実現する場合でも、リン含有ポリシリコンよりも小さな面積で済む。そのため、SiC エピタキシャル層 28 上における内蔵抵抗 21 の占有面積を小さくできるので、スペースの有効利用を図ることができる。

[0085] ポリシリコンに含まれる p 型不純物の濃度は、ゲート電極 19 および内蔵抵抗 21 それぞれの設計抵抗値に合わせて適宜変更できる。当該濃度は、この実施形態では、内蔵抵抗 21 のシート抵抗が $10\ \Omega/\square$ 以上となるように設定されている。実用上、内蔵抵抗 21 のシート抵抗が $10\ \Omega/\square$ 以上であれば、内蔵抵抗 21 の面積を大きくしなくても、内蔵抵抗 21 全体の抵抗値を、複数の半導体装置 1 間の抵抗値のばらつきよりも簡単に大きくすることができる。たとえば、抵抗値のばらつきが $0.1\ \Omega\sim 20\ \Omega$ である場合に、小さな面積で、内蔵抵抗 21 の抵抗値を $2\ \Omega\sim 40\ \Omega$ とすることができる。その結果、SiC エピタキシャル層 28 上の領域のうち、内蔵抵抗 21 のために犠牲になる領域の面積を小さくできるので、他の要素のレイアウトへの

影響が少なく済む。また、この場合、ゲート電極 19 の抵抗値および内蔵抵抗 21 の抵抗値を合計した抵抗値は、 $4\ \Omega \sim 50\ \Omega$ であることが好ましい。

[0086] また、ゲート電極 19 および内蔵抵抗 21 の厚さは、 $2\ \mu\text{m}$ 以下であることが好ましい。内蔵抵抗 21 の厚さを $2\ \mu\text{m}$ 以下にすることによって、内蔵抵抗 21 全体の抵抗値を、複数の半導体装置 1 間の抵抗値のばらつきよりも簡単に大きくすることができる。逆に、内蔵抵抗 21 が厚すぎると、その抵抗値が低くなり過ぎるため好ましいとは言えない。

[0087] SiC エピタキシャル層 28 上には、さらに、絶縁膜 47 が形成されている。絶縁膜 47 は、酸化シリコン (SiO_2)、窒化シリコン (SiN) 等の絶縁材料からなり、たとえば、 $1\ \mu\text{m} \sim 5\ \mu\text{m}$ の厚さを有している。特に、 $1\ \mu\text{m}$ 以上の厚さを有する BPSG (Boron Phosphorus Silicon Glass) 膜を使用することが好ましい。

[0088] 絶縁膜 47 は、ゲート電極 19 および内蔵抵抗 21 を覆うように形成された層間膜 36 を含む。層間膜 36 は、ゲート絶縁膜 35 上の領域のうち、ゲート電極 19 および内蔵抵抗 21 が配置されていない領域 (第 1 領域) に入り込むように形成されている。これにより、内蔵抵抗 21 が配置されていない領域において、SiC エピタキシャル層 28 とゲートメタル 44 との距離 (絶縁膜の厚さ T) を大きくできるので、これらの間の容量を低減することができる。

[0089] この層間膜 36 を貫通するように、パッド側コンタクト 22 およびセル側コンタクト 23 が形成されている。パッド側コンタクト 22 およびセル側コンタクト 23 は、それぞれ、ゲートメタル 44 およびゲートフィンガー 5 (パッド周辺部 12) と一体的に形成されたメタルビアからなる。

[0090] また、層間膜 36 には、 n^+ 型ソース領域 30 および p^+ 型ボディコンタクト領域 31 に対してソースメタル 43 からコンタクトをとるためのソースコンタクト 46 が貫通して形成されている。ソースコンタクト 46 は、ソースメタル 43 と一体的に形成されたメタルビアからなる。

- [0091] 層間膜36上には、ゲートメタル44、ゲートフィンガー5およびソースメタル43が、互いに間隔を空けて形成されている。
- [0092] そして、ゲートメタル44、ゲートフィンガー5およびソースメタル43を覆うように、パッシベーション膜40が層間膜36上に形成されている。パッシベーション膜40には、ゲートメタル44およびソースメタル43の一部を露出させる開口41、42が形成されている。
- [0093] 以上のように、半導体装置1によれば、図3および図4に示すように、ゲートメタル44とゲートフィンガー5（パッド周辺部12）との間にポリシリコン抵抗（内蔵抵抗21）が介在している。つまり、外部から複数のトランジスタセル18へ続く電流経路の途中に、内蔵抵抗21が介在している。
- [0094] この内蔵抵抗21の抵抗値を調節することによって、ゲート電極19の抵抗値および内蔵抵抗21の抵抗値を合計した抵抗値（ゲート抵抗）において、内蔵抵抗21の抵抗値を支配的にすることができる。そのため、ゲート電極19の抵抗値にばらつきのある複数の半導体装置1を並列に接続して使用する場合でも、内蔵抵抗21の抵抗値を当該ばらつきよりも大きくしておくことによって、相対的にゲート電極19の抵抗値が低い半導体装置1に対する電流の流れ込みを制限することができる。その結果、当該使用時のノイズの発生を低減することができる。
- [0095] しかも、内蔵抵抗21を構成するポリシリコンは、不純物の注入等によって簡単に抵抗値を制御できる材料であり、また、その加工に関しても、従来の半導体製造技術によって確立されている。したがって、内蔵抵抗21の導入に当たって、半導体装置1自体およびこれを備えるモジュールの構造が複雑になることを回避することもできる。
- [0096] なお、内蔵抵抗21に関しても、ゲート電極19と同様に、半導体装置1を製造する際の加工精度（エッチング寸法等）のばらつきによって、大きさや厚さにばらつきが生じる場合があるが、ゲート電極19に比べて加工寸法が小さいものである。したがって、内蔵抵抗21ばらつきが、ノイズ発生のきっかけになることは、ほとんどない。

- [0097] また、内蔵抵抗21がゲートメタル44の下方でゲートメタル44に接続されているため、外部から複数のトランジスタセル18へ続く電流経路の入り口部でゲート電流の流れ込みを制限することができる。これにより、特定のトランジスタセル18にだけ突入電流が流れることを防止することができる。
- [0098] たとえば、図2において、内蔵抵抗21がゲートフィンガー5の第1フィンガー13や第2フィンガー14の途中部に、これらのフィンガー13、14の迂回路として形成されている場合を考える。この場合、当該内蔵抵抗21よりもゲートメタル44に近い側では、内蔵抵抗21に到達する前に、フィンガー13、14からゲートコンタクト20を介してゲート電極19に突入電流が流れる場合がある。これに対し、この実施形態のように、電流経路の入り口部でゲート電流を制限できれば、複数のトランジスタセル18間におけるスイッチング速度のばらつきを低減することができる。
- [0099] さらに、図2に示すように、内蔵抵抗21が対称性を持って配置されている。この特徴によっても、複数のトランジスタセル18間におけるスイッチング速度のばらつきを低減することができる。
- [0100] また、図3および図4に示すように、SiCエピタキシャル層28において、内蔵抵抗21に対向する領域が、 $1 \times 10^{19} \text{ cm}^{-3}$ 以下の不純物濃度を有するp-型領域34である。そのため、ゲート絶縁膜35の絶縁破壊を良好に抑制することができる。さらに、p-型領域は、n型領域に比べてキャリアを蓄積し難いため、ゲート絶縁膜35を挟んで互いに対向する内蔵抵抗21とp-型領域34との間の容量を低減することもできる。
- [0101] また、図3および図4に示すように、ゲートメタル44と内蔵抵抗21とは、メタルビアからなるパッド側コンタクト22で接続されている。そのため、パッド側コンタクト22の位置をSiCエピタキシャル層28の表面に沿って変更する加工やビアの径を変更する加工等で、外部から複数のトランジスタセル18へ続く電流経路において、内蔵抵抗21が寄与する抵抗値を簡単に調節することができる。

- [0102] たとえば、図4に破線で示すパッド側コンタクト37のように、パッド側コンタクト22よりもパッド周辺部12に近づけるだけで、内蔵抵抗21に対するコンタクト位置からパッド周辺部12までの距離を D_1 から D_2 へと簡単に短くすることができる。これにより、内蔵抵抗21の抵抗値を小さくすることができる。逆に、パッド周辺部12から遠ざければ、内蔵抵抗21の抵抗値を大きくすることができる。また、図3に破線で示すパッド側コンタクト38のように、パッド側コンタクト22よりもビア径を小さくするだけで、内蔵抵抗21へ向かう電流経路の抵抗値を大きくすることができる。逆に、ビア径を大きくすれば、当該経路の抵抗値を小さくすることができる。
- [0103] しかも、これらの加工は、パッド側コンタクト22（ビア）を形成する際、距離設計やビア径設計に合わせたマスクを使用するだけでよいので、製造工程が複雑になることを防止することもできる。
- [0104] 図5は、図2の二点鎖線Vで囲まれた領域の拡大図である。図6は、図5の切断線VI-VIで半導体装置を切断したときの断面図である。なお、図5および図6では、明瞭化のため、各構成要素の縮尺が図1～図4とは異なる場合があり、図5と図6との間でも各構成要素の縮尺が異なる場合がある。また、図5および図6では、明瞭化のため、実際の平面視では半導体装置1の最表面に露出していない要素の一部を実線で示している。
- [0105] 次に、半導体装置1のアクティブ領域2の周縁部および外周領域3のより詳細な構成を、半導体装置1の断面構造と共に説明する。
- [0106] 前述したように、アクティブ領域2の周縁部に形成された外側セル領域45には、複数のトランジスタセル18が、平面視で行列状に配列されている。各トランジスタセル18の構成は、図3および図4で説明した構成と同様である。
- [0107] 外側セル領域45の外側には、SiCエピタキシャル層28の表面部にp⁻型領域51が形成されている。p⁻型領域51の表面部には、p⁺型領域52が形成されている。p⁻型領域51は、アクティブ領域2の周縁に沿って直線状に形成されており、（最も外側の）複数のトランジスタセル18のp⁻型ボ

ディ領域 29 と一体化している。なお、p⁻型領域 51 は、図 5 では、外側セル領域 45 に隣り合う部分のみが示されているが、実際には、アクティブ領域 2 の全周に沿ってセル領域（内側セル領域 7 および外側セル領域 45）を取り囲んでいてもよい。p⁺型領域 52 は、p⁻型領域 51 の内方領域（p⁻型領域 51 の周縁から間隔を空けた領域）において、長手方向に延びる直線状に形成されている。なお、p⁻型領域 51 および p⁺型領域 52 は、それぞれ、p⁻型ボディ領域 29 および p⁺型ボディコンタクト領域 31 と同一の工程で形成され、その不純物濃度および深さも同じである。

[0108] アクティブ領域 2 の周縁部には、さらに、セル領域（内側セル領域 7 および外側セル領域 45）を取り囲むように、本発明の終端構造の一例としての複数のガードリング 53 が形成されている。複数のガードリング 53 は、SiC エピタキシャル層 28 においてソースメタル 43 と同電位にされる領域のうち最も外側の領域（この実施形態では、p⁻型領域 51）から所定幅（G）のガードリング領域に配置されている。所定幅（G）は、この実施形態では、5 μm ~ 100 μm（たとえば、28 μm）である。ガードリング 53 は、p⁻型ボディ領域 29 と同一の工程で形成される場合は、その不純物濃度および深さも同じである。別の工程で形成される場合は、不純物濃度は、たとえば、 $1 \times 10^{14} \text{ cm}^{-3} \sim 1 \times 10^{19} \text{ cm}^{-3}$ であり、深さは 0.1 μm ~ 2 μm である。

[0109] 一方、外周領域 3 には、SiC エピタキシャル層 28 の表面部に p⁻型領域 55 が形成され、p⁻型領域 55 の表面部に p⁺型領域 56 が形成されている。p⁻型領域 55 および p⁺型領域 56 は、p⁻型領域 51 および p⁺型領域 52 と同様に、p⁻型ボディ領域 29 および p⁺型ボディコンタクト領域 31 と同一の工程で形成される領域である（不純物濃度および深さが同じ）。ただし、p⁻型領域 55 および p⁺型領域 56 は、p⁺型領域 56 が p⁻型領域 55 の表面部の全域に形成されていることで、積層構造を形成している。

[0110] 外周領域 3 における p⁻型領域 55 および p⁺型領域 56 の形成箇所は、SiC エピタキシャル層 28 の端部に設定されたダイシング領域 54 である。

ダイシング領域54は、図7Aおよび図7Bに示すように、ウエハ57において隣り合う半導体装置1の境界に設定されたダイシングライン58を含む所定幅の領域である。各半導体装置1は、ウエハ57をダイシングライン58に沿って切断することによって個片化される。この際、ダイシングソーの位置ずれを考慮して所定幅のマージンを設けておく必要があり、このマージン部分が、個片化後にダイシング領域54として残ることになる。

[0111] p⁻型領域55およびp⁺型領域56（p型領域）は、ダイシング領域54において、SiCエピタキシャル層28の端面59に露出するように配置されている。当該露出面（端面59）を基準としたp⁻型領域55およびp⁺型領域56の幅（F）は、この実施形態では、5μm～100μm（たとえば、20μm）である。この幅（F）は、たとえば、ダイシング領域54の幅（D）と、ガードリング53から延びる空乏層60の幅（E）の2倍との差以上の範囲で設定してもよい。幅（F）の設計において、ダイシング領域54の幅（D）は、この実施形態では、SiCエピタキシャル層28の端面59からパッシベーション膜40の端縁までの距離（たとえば、13μm）を使用することができる。一方、空乏層60の幅（E）は、下記の式（1）によって算出された値を使用することができる。

[0112] [数1]

$$\text{幅(E)} = W (\mu\text{m}) = \sqrt{\frac{2\varepsilon_s V_{bi}}{qN_B}} \dots (1)$$

[0113] （ただし、 ε_s ：SiCの誘電率、 V_{bi} ：p型ガードリング53とn型SiCエピタキシャル層28とのpn接合のビルトインポテンシャル、 q ：電荷の絶対値、 N_B ：n型SiCエピタキシャル層28のドナー濃度である。）

絶縁膜47は、層間膜36に加え、さらに、本発明の電極下絶縁膜の一例としてのメタル下絶縁膜61および端部絶縁膜62を含む。絶縁膜47には、p⁺型領域52を露出させるコンタクトホール63が形成されており、このコンタクトホール63を境に内側の部分が層間膜36であり、ゲート絶縁膜

35上に形成されている。一方、コンタクトホール63を挟んで層間膜36に隣り合う外側の部分がメタル下絶縁膜61である。

[0114] ソースメタル43は、コンタクトホール63を介してp⁺型領域52に接続されている。また、ソースメタル43は、メタル下絶縁膜61に重なるように横方向外側に引き出されたオーバーラップ部64を有している。オーバーラップ部64は、メタル下絶縁膜61を挟んでガードリング53に対向している。この実施形態では、オーバーラップ部64は、ガードリング53が形成された領域（幅（G）のガードリング領域）を部分的に覆うように設けられており、その端部が当該ガードリング領域の外側端部よりも内側に配置されている。オーバーラップ部64は、ガードリング領域の全体を覆っていてもよいが、その端部の位置は、図6の距離（B）が40 μ m以上（たとえば、45 μ m～180 μ m）となるように決定される。距離（B）は、メタル下絶縁膜61上のソースメタル43とSiCエピタキシャル層28との横方向の長さである。この実施形態では、距離（B）は、オーバーラップ部64の端縁からメタル下絶縁膜61の端縁までの長さである。また、距離（B）は、空乏層60の幅（E）の2倍以上であってもよい。

[0115] また、ソースメタル43は、前述のように、Ti/TiN/Al-Cuで表される積層構造からなることが好ましい。たとえば、この実施形態では、ソースメタル43は、SiCエピタキシャル層28側から順に積層されたTi/TiN膜65（バリア膜）と、Al-Cu膜66とを含む。なお、図4では、Ti/TiN膜65およびAl-Cu膜66の図示を省略している。

[0116] メタル下絶縁膜61の外側には、距離（A）に亘ってSiCエピタキシャル層28のSiC表面が露出するn型領域67（第1導電型領域）が形成されている。n型領域67は、メタル下絶縁膜61の外側（この実施形態では、メタル下絶縁膜61と端部絶縁膜62との間）に形成された開口68から露出するSiCエピタキシャル層28の一部である。開口68は、図5に示すように、たとえば、アクティブ領域2と外周領域3との境界に沿って直線状に形成されている。n型領域67の距離（A）は、40 μ m以上（たとえ

ば、 $45\ \mu\text{m}\sim 180\ \mu\text{m}$) であるが、距離 (B) との合計で、 $180\ \mu\text{m}$ 以下であることが好ましい。距離 (A) および距離 (B) の合計を $180\ \mu\text{m}$ 以下にすることによって、半導体装置 1 のチップサイズを程よい大きさに留めることができる。

[0117] 端部絶縁膜 62 は、SiC エピタキシャル層 28 のダイシング領域 54 を覆うように形成されている。具体的には、端部絶縁膜 62 は、SiC エピタキシャル層 28 の端面 59 から横方向に、ダイシング領域 54 を超えてさらに内方の領域まで延びている。当該端面 59 を基準とした端部絶縁膜 62 の幅 (H) は、この実施形態では、 $10\ \mu\text{m}\sim 105\ \mu\text{m}$ (たとえば、 $22\ \mu\text{m}$) である。これにより、 p^- 型領域 55 および p^+ 型領域 56 (p 型領域) は、端部絶縁膜 62 によって覆われている。

[0118] パッシベーション膜 40 は、絶縁膜 47 と共に本発明の絶縁物の一例であり、有機絶縁物からなる。使用され得る有機絶縁物は、たとえば、ポリイミド系の素材、ポリベンゾオキサゾール系の素材、アクリル系の素材等である。つまり、この実施形態では、パッシベーション膜 40 は、有機パッシベーション膜として構成されている。また、パッシベーション膜 40 の厚さは、たとえば、 $0.2\ \mu\text{m}\sim 20\ \mu\text{m}$ である。

[0119] パッシベーション膜 40 は、絶縁膜 47 を覆うように形成されている。この実施形態では、SiC エピタキシャル層 28 の端部を覆っていない (言い換えれば、パッシベーション膜 40 がダイシング領域 54 を区画している) ことを除いて、パッシベーション膜 40 は、SiC エピタキシャル層 28 のほぼ全域に亘って形成されている。したがって、パッシベーション膜 40 は、絶縁膜 47 の開口 68 において、 $40\ \mu\text{m}$ 以上の距離 (A) に亘って SiC エピタキシャル層 28 の n 型領域 67 に接している。

[0120] パッシベーション膜 40 は、SiC エピタキシャル層 28 の端部を覆ってはいないが、端部絶縁膜 62 の一部に重なるオーバーラップ部 69 を有している。このオーバーラップ部 69 によって、SiC エピタキシャル層 28 の SiC 表面が外部に露出しないようになっている。また、オーバーラップ部

69と端部絶縁膜62との重なり幅(C)は、この実施形態では、5 μ m以上(たとえば、9 μ m)である。また、この実施形態では、オーバーラップ部69は、平面視において、p型領域(p⁻型領域55およびp⁺型領域56)に対して内側に離れて形成されている。これにより、オーバーラップ部69は、端部絶縁膜62を挟んでSiCエピタキシャル層28のn型部分に対向しており、当該p型領域には対向していない。

[0121] 以上のように、半導体装置1によれば、図5および図6に示すように、距離(A)が40 μ m以上であるため、有機パッシベーション膜40とSiCエピタキシャル層28(n型領域67)との接触面積を十分に確保することができる。これにより、SiCエピタキシャル層28に対する有機パッシベーション膜40の密着性を向上させることができる。それに加えて、距離(B)が40 μ m以上であるか、もしくは、空乏層60の幅(E)の2倍以上であるため、高温高湿高電圧試験(たとえば、85 $^{\circ}$ C、85%RH、960V印加の条件に連続1000時間)にも耐えることができる。距離(A)および距離(B)を上記の範囲にすることは、SiC半導体装置では全く新しい知見である。SiCでは、空乏層60の横方向への広がりSiに比べて小さいため、従来は距離(A)および距離(B)を長くしてチップサイズを大きくする必要がなかった。チップサイズを大きくしなくても空乏層60がチップ端面59に到達する可能性が低い上、チップサイズの拡大は、チップ面積単位のオン抵抗の上昇の要因となるおそれがあったからである。このような背景のもと、本願発明者らは、距離(A)および距離(B)を敢えて40 μ m以上にすることで、高温高湿高電圧試験に対する耐性を向上できることを見出したものである。

[0122] さらにこの実施形態では、SiCエピタキシャル層28にp型領域(p⁻型領域55およびp⁺型領域56)が形成され、さらに当該p型領域が端部絶縁膜62によって覆われている。したがって、図7Aに示すダイシング前に、ウエハ57の状態の半導体装置1の電気特性を試験するとき、ダイシング領域54ーソースメタル43(開口42から露出する部分)間における大気中

にかかる電圧 V_a の負担を軽くすることができる。

[0123] 試験では、たとえば、一つの半導体装置1のソースメタル43を0Vとし、ウエハ57の裏面を1000V以上（たとえば、1700V）にする。これにより、ソースメタル43－ウエハ57間に1000V以上の電位差を発生させる最大印加電圧（BV）が印加されて、各MOSFETの耐圧が測定される。この際、ダイシング領域54の一部（p⁻型領域55およびp⁺型領域56以外の部分）を含め、ウエハ57のn型部分は1000V以上の電位に固定されるので、ダイシング領域54とソースメタル43との間には、1000V以上の電位差が生じることとなる。このような場合でも、この実施形態によれば、ダイシング領域54に沿ってp型領域（p⁻型領域55およびp⁺型領域56）が形成され、さらにダイシング領域54が端部絶縁膜62で覆われている。そのため、ダイシング領域54－ソースメタル43間にかかる1000V以上の最大印加電圧（BV）を、端部絶縁膜62およびp型領域（p⁻型領域55およびp⁺型領域56）の2段階で緩和することができる。これにより、ダイシング領域54－ソースメタル43間における大気中にかかる電圧 V_a の負担を軽くすることができる。この結果、降伏電圧値（BV）が1000V以上の半導体装置1を実現することができる。

[0124] また、メタル下絶縁膜61の厚さを1 μ m以上とすることで、メタル下絶縁膜61に1000V以上の電圧が印加されても絶縁破壊を防止することができる。また、絶縁膜47がBPSGであれば、リフローによって、メタル下絶縁膜61および端部絶縁膜62を容易に平坦化できると共に、絶縁膜61、62の角部を丸く（滑らかに）仕上げることができる。その結果、絶縁膜61、62に対するパッシベーション膜40の密着性を向上させることができる。

[0125] また、ダイシング領域54がパッシベーション膜40で覆われていないので、ウエハ57bの状態の半導体装置1を容易に分割（ダイシング）することができる。

[0126] 図8～図14は、それぞれ、本発明の一実施形態に係る半導体装置の模式

的な断面図である。図8～図14において、前述の図6との間で互いに対応する要素には同一の参照符号を付して示す。

[0127] 次に、本発明の他の実施形態について、前述の実施形態の半導体装置1と異なる点を主に説明する。

[0128] 図8の半導体装置72では、パッシベーション膜40のオーバーラップ部69が、端部絶縁膜62を介してp型領域（p⁻型領域55およびp⁺型領域56）を選択的に覆うように形成されている。これにより、オーバーラップ部69は、当該p型領域に対して重なり部分を有している。

[0129] 図9の半導体装置73では、端部絶縁膜62が形成されておらず、代わりに、パッシベーション膜40がSiCエピタキシャル層28を端面59に至るまで覆っている。この場合、ダイシング領域54は、端面59から適切な幅（D）で設定すればよい。また、距離（A）は、メタル下絶縁膜61の端縁からSiCエピタキシャル層28の端面59までの長さで規定すればよい。

[0130] 図10の半導体装置74は、ダイシング領域54にp⁻型領域55およびp⁺型領域56（p型領域）が形成されていることを除いて、図9の半導体装置73と同じ構成を有している。この場合、距離（A）は、メタル下絶縁膜61の端縁から当該p型領域までの長さで規定すればよい。つまり、距離（A）は、SiCエピタキシャル層28のn型部分にパッシベーション膜40が接している区間に関して40μm以上であればよい。

[0131] 図11の半導体装置75では、絶縁膜47のメタル下絶縁膜61の外側に、少なくとも2つの開口68が形成されている。この実施形態では、メタル下絶縁膜61と外側絶縁膜79との間、および外側絶縁膜79とSiCエピタキシャル層28の端面59との間に、それぞれ、開口68が形成されている。パッシベーション膜40は、各開口68において、距離（A₁）および距離（A₂）に亘ってSiCエピタキシャル層28のn型領域67に接している。この場合、パッシベーション膜40がn型領域67に接している区間の距離は、複数のn型領域67それぞれにおける接触区間の距離（A₁）および距

離 (A_2) のトータルで $40\ \mu\text{m}$ 以上であればよい。

[0132] 図12の半導体装置76は、n型領域67に選択的に凹部80が形成されていることを除いて、図9の半導体装置73と同じ構成を有している。凹部80では、パッシベーション膜40は、凹部80の内面（底面および両側面）においてn型領域67に接している。この場合、パッシベーション膜40がn型領域67に接している区間の距離は、凹部80以外の領域での接触距離 (A_5) と、凹部80の底面および両側面のそれぞれにおける接触区間の距離 (A_3) および距離 (A_4) とを含めたトータルで $40\ \mu\text{m}$ 以上であればよい。

[0133] 図13の半導体装置77では、トランジスタセル18がトレンチゲート構造のMOSFETセルで構成されている。この場合、ゲート電極19は、複数のトランジスタセル18の各間に形成されたゲートトレンチ39に、ゲート絶縁膜35を介して埋設されている。

[0134] 図14の半導体装置78では、アクティブ領域2にショットキーバリアダイオード81が形成されている。つまり、ソースメタル43に代えて、SiCエピタキシャル層28との間にショットキー接合を形成するショットキーメタル82が設けられている。

[0135] 以上のように、上記の実施形態の半導体装置72～78はいずれも、(1) 距離(A)が $40\ \mu\text{m}$ 以上である、(2) 距離(B)が $40\ \mu\text{m}$ 以上であるか、もしくは空乏層60の幅(E)の2倍以上である、および(3) SiCエピタキシャル層28の端部が絶縁物（端部絶縁膜62またはパッシベーション膜40）で覆われているという3つの特徴を有している。したがって、これらの実施形態によっても、図1～図6に示した実施形態と同様に、ウエハ状態で実施される電気特性試験中の放電を防止できると共に、高温高湿高電圧試験に耐えることができるSiC半導体装置を提供することができる。

[0136] 以上、本発明の実施形態について説明したが、本発明はさらに他の形態で実施することもできる。

- [0137] たとえば、トランジスタセル18は、プレーナゲート構造もしくはトレンチゲート構造のIGBTセルであってもよい。この場合、図4および図13において、n⁺型SiC基板27に代えて、p⁺型SiC基板27を用いればよい。その他、各種半導体素子構造を、アクティブ領域2に形成してもよい。
- [0138] また、ソースメタル43やショットキーメタル82等の表面電極は、金属製である必要はなく、たとえば、ポリシリコン等の半導体電極であってもよい。
- [0139] また、内蔵抵抗21は、ゲートメタル44の下方の層間膜36に埋め込まれている必要はなく、たとえば、層間膜36の表面に、ゲートメタル44とゲートフィンガー5と接続するポリシリコン配線を内蔵抵抗として形成してもよい。
- [0140] また、内蔵抵抗21の材料として、ポリシリコンに代えて、ゲートメタル44およびゲートフィンガー5と同じかそれよりも大きい抵抗値を有する材料（たとえば、Al（アルミニウム）、AlCu（アルミニウム-銅合金）、Cu（銅）等のメタル配線）を用いてもよい。内蔵抵抗21がメタルであっても、ゲートメタル44とゲートフィンガー5との間の距離を長くできるので、ゲート電極19の抵抗値および内蔵抵抗21の抵抗値を合計した抵抗値を大きくすることができる。
- [0141] また、内蔵抵抗21は、ゲートメタル44の下方に形成されている必要はなく、たとえば、ゲートフィンガー5の下方に形成されていてもよい。
- [0142] また、内蔵抵抗21は、ゲートメタル44の周縁部24の一部に沿う直線状であってもよいし、ゲートメタル44の周縁部24の全周に沿う環状であってもよい。
- [0143] また、前述の半導体装置1の各半導体部分の導電型を反転した構成が採用されてもよい。たとえば、半導体装置1において、p型の部分がn型であり、n型の部分がp型であってもよい。
- [0144] その他、請求の範囲に記載された事項の範囲で種々の設計変更を施すこと

が可能である。

[0145] 本出願は、2014年5月16日に日本国特許庁に提出された特願2014-102699号に対応しており、この出願の全開示はここに引用により組み込まれるものとする。

符号の説明

- [0146]
- 1 半導体装置
 - 2 アクティブ領域
 - 18 トランジスタセル
 - 19 ゲート電極
 - 27 SiC基板
 - 28 SiCエピタキシャル層
 - 29 p-型ボディ領域
 - 30 n+型ソース領域
 - 31 p+型ボディコンタクト領域
 - 32 チャネル領域
 - 35 ゲート絶縁膜
 - 36 層間膜
 - 39 ゲートトレンチ
 - 40 パッシベーション膜
 - 43 ソースメタル
 - 44 ゲートメタル
 - 47 絶縁膜
 - 51 p-型領域
 - 52 p+型領域
 - 53 ガードリング
 - 54 ダイシング領域
 - 55 p-型領域
 - 56 p+型領域

- 57 ウエハ
- 58 ダイシングライン
- 59 端面
- 60 空乏層
- 61 メタル下絶縁膜
- 62 端部絶縁膜
- 63 コンタクトホール
- 64 オーバーラップ部
- 65 Ti/TiN膜
- 66 Al-Cu膜
- 67 n型領域
- 68 開口
- 69 オーバーラップ部
- 72 半導体装置
- 73 半導体装置
- 74 半導体装置
- 75 半導体装置
- 76 半導体装置
- 77 半導体装置
- 78 半導体装置
- 79 半導体装置
- 80 凹部
- 81 ショットキーバリアダイオード
- 82 ショットキーメタル

請求の範囲

- [請求項1] 第1導電型のSiC層と、
前記SiC層上に選択的に形成された電極と、
前記SiC層上に形成され、前記SiC層の端部に設定されたダイシング領域に達している絶縁物とを含み、
前記絶縁物は、前記電極の下方に配置された電極下絶縁膜および当該電極下絶縁膜を覆うように配置された有機絶縁層を含み、
前記有機絶縁層が前記SiC層に接している区間の距離(A)は40 μ m以上であり、
前記電極下絶縁膜上の前記電極と前記SiC層との横方向の距離(B)は40 μ m以上である、半導体装置。
- [請求項2] 前記ダイシング領域に形成された第2導電型領域をさらに含み、
前記距離(A)は、前記SiC層の第1導電型領域に前記有機絶縁層が接している区間に関して40 μ m以上である、請求項1に記載の半導体装置。
- [請求項3] 前記有機絶縁層は、前記ダイシング領域を覆うように形成され、当該ダイシング領域において前記第2導電型領域に接している、請求項2に記載の半導体装置。
- [請求項4] 前記有機絶縁層は、前記ダイシング領域を覆っておらず、
前記絶縁物は、前記電極下絶縁膜と同一層の膜からなり、前記ダイシング領域を覆うと共に前記有機絶縁層と部分的に重なる端部絶縁膜をさらに含み、
前記有機絶縁層と前記端部絶縁膜との重なり幅(C)は5 μ m以上である、請求項1または2に記載の半導体装置。
- [請求項5] 前記絶縁物は、前記電極下絶縁膜と同一層の膜からなり、前記ダイシング領域を覆う端部絶縁膜をさらに含み、
前記有機絶縁層は、前記端部絶縁膜を介して前記第2導電型領域を選択的に覆うように前記端部絶縁膜に重なっており、

前記有機絶縁層と前記端部絶縁膜との重なり幅（C）は $5\mu\text{m}$ 以上である、請求項1または2に記載の半導体装置。

[請求項6] 前記端部絶縁膜は、前記電極下絶縁膜と同じ厚さを有している、請求項4または5に記載の半導体装置。

[請求項7] 前記距離（A）は、 $45\mu\text{m}\sim 180\mu\text{m}$ である、請求項1～6のいずれか一項に記載の半導体装置。

[請求項8] 前記距離（B）は、 $45\mu\text{m}\sim 180\mu\text{m}$ である、請求項1～7のいずれか一項に記載の半導体装置。

[請求項9] 前記距離（A）および前記距離（B）の合計は、 $180\mu\text{m}$ 以下である、請求項1～6のいずれか一項に記載の半導体装置。

[請求項10] 降伏電圧値（BV）は、 1000V 以上である、請求項1～9のいずれか一項に記載の半導体装置。

[請求項11] 前記SiC層の第1導電型の不純物濃度は $1\times 10^{16}\text{cm}^{-3}$ 以下であり、前記SiC層の厚さは $5\mu\text{m}$ 以上である、請求項1～10のいずれか一項に記載の半導体装置。

[請求項12] 前記SiC層において前記電極よりも外方に形成された不純物領域からなる第2導電型の終端構造をさらに含み、

前記第2導電型領域の幅（F）は、前記ダイシング領域の幅（D）と前記終端構造から延びる空乏層の幅（E）の2倍との差以上である、請求項2または3に記載の半導体装置。

[請求項13] 前記電極は、Ti/TiN/Al-Cuで表される積層構造からなる、請求項1～12のいずれか一項に記載の半導体装置。

[請求項14] 前記電極下絶縁膜は、 $1\mu\text{m}$ 以上の厚さを有する SiO_2 膜からなる、請求項1～13のいずれか一項に記載の半導体装置。

[請求項15] 前記 SiO_2 膜は、リン（P）を含んでいる、請求項14に記載の半導体装置。

[請求項16] 前記 SiO_2 膜は、ボロン（B）を含んでいる、請求項14または15に記載の半導体装置。

- [請求項17] 前記電極下絶縁膜は、 $1\ \mu\text{m}$ 以上の厚さを有するSiN膜からなる、請求項1～13のいずれか一項に記載の半導体装置。
- [請求項18] 前記有機絶縁層は、ポリイミド系の素材からなる、請求項1～17のいずれか一項に記載の半導体装置。
- [請求項19] 前記有機絶縁層は、ポリベンゾオキサゾール系の素材からなる、請求項1～17のいずれか一項に記載の半導体装置。
- [請求項20] 前記有機絶縁層は、アクリル系の素材からなる、請求項1～17のいずれか一項に記載の半導体装置。
- [請求項21] 前記SiC層には半導体素子構造としてMOSFETが形成されており、
前記電極は、前記MOSFETのソースに電氣的に接続されたソース電極を含む、請求項1～20のいずれか一項に記載の半導体装置。
- [請求項22] 前記MOSFETは、プレーナゲート構造を有している、請求項21に記載の半導体装置。
- [請求項23] 前記MOSFETは、トレンチゲート構造を有している、請求項21に記載の半導体装置。
- [請求項24] 前記SiC層には半導体素子構造としてショットキーバリアダイオードが形成されており、
前記電極は、前記ショットキーバリアダイオードの一部を構成するショットキー電極を含む、請求項1～20のいずれか一項に記載の半導体装置。
- [請求項25] 前記SiC層には半導体素子構造としてIGBTが形成されており、
前記電極は、前記IGBTのソースに電氣的に接続されたソース電極を含む、請求項1～20のいずれか一項に記載の半導体装置。
- [請求項26] 前記有機絶縁層は、複数の領域において前記SiC層に接しており、
前記距離(A)は、当該複数の領域それぞれにおける接触区間の距

離のトータルで $40\ \mu\text{m}$ 以上である、請求項 1～25 のいずれか一項に記載の半導体装置。

[請求項27] 前記 SiC 層に選択的に形成され、前記有機絶縁層で満たされた凹部をさらに含み、

前記距離 (A) は、前記凹部の内面における前記有機絶縁層の接触区間を含めたトータルで $40\ \mu\text{m}$ 以上である、請求項 1～26 のいずれか一項に記載の半導体装置。

[請求項28] 第 1 導電型の SiC 層と、

前記 SiC 層上に選択的に形成された電極と、

前記 SiC 層上に形成され、前記 SiC 層の端部に設定されたダイシング領域に達している絶縁物と、

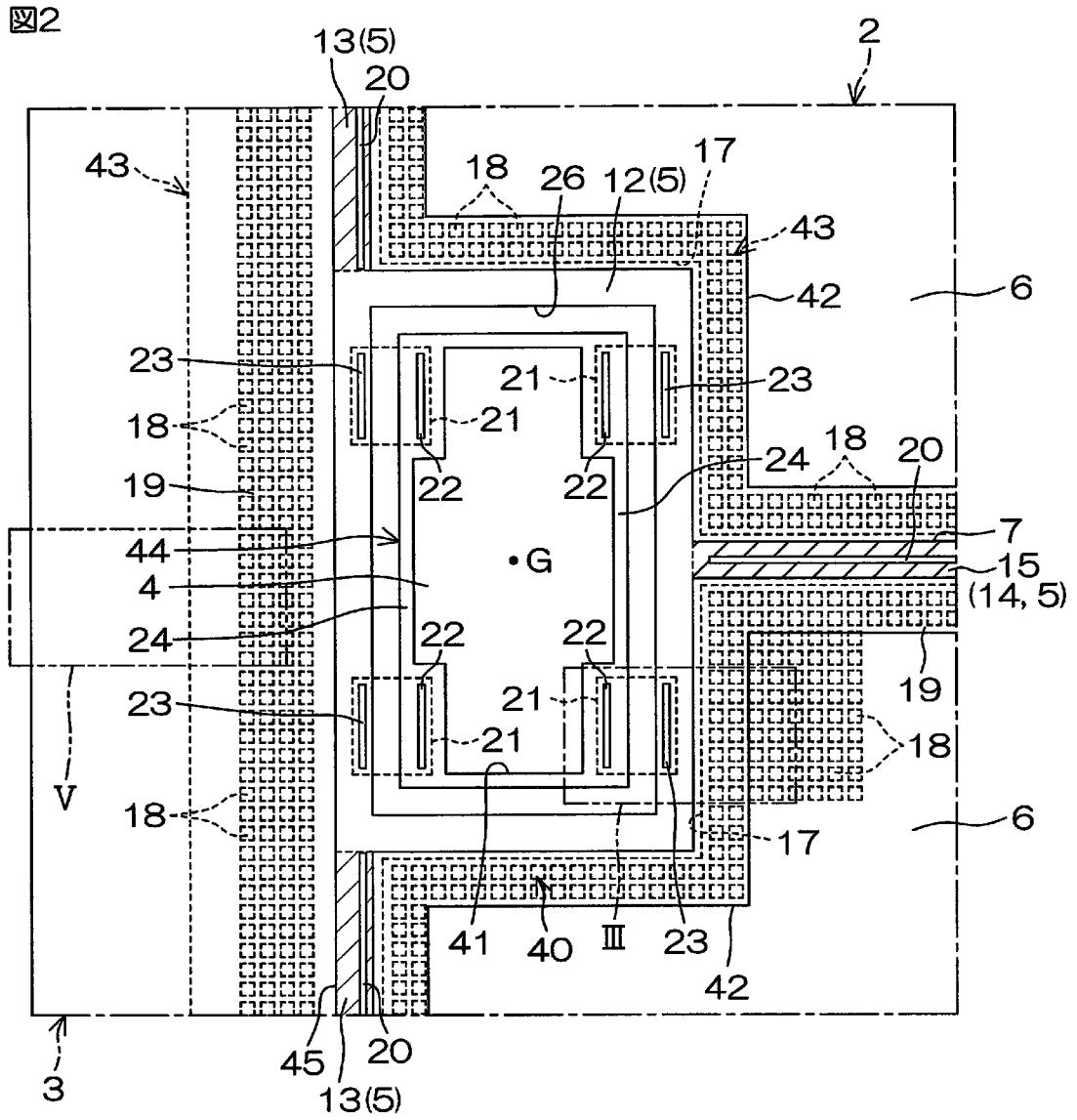
前記 SiC 層において前記電極よりも外方に形成された不純物領域からなる第 2 導電型の終端構造とを含み、

前記絶縁物は、前記電極の下方に配置された電極下絶縁膜および当該電極下絶縁膜を覆うように配置された有機絶縁層を含み、

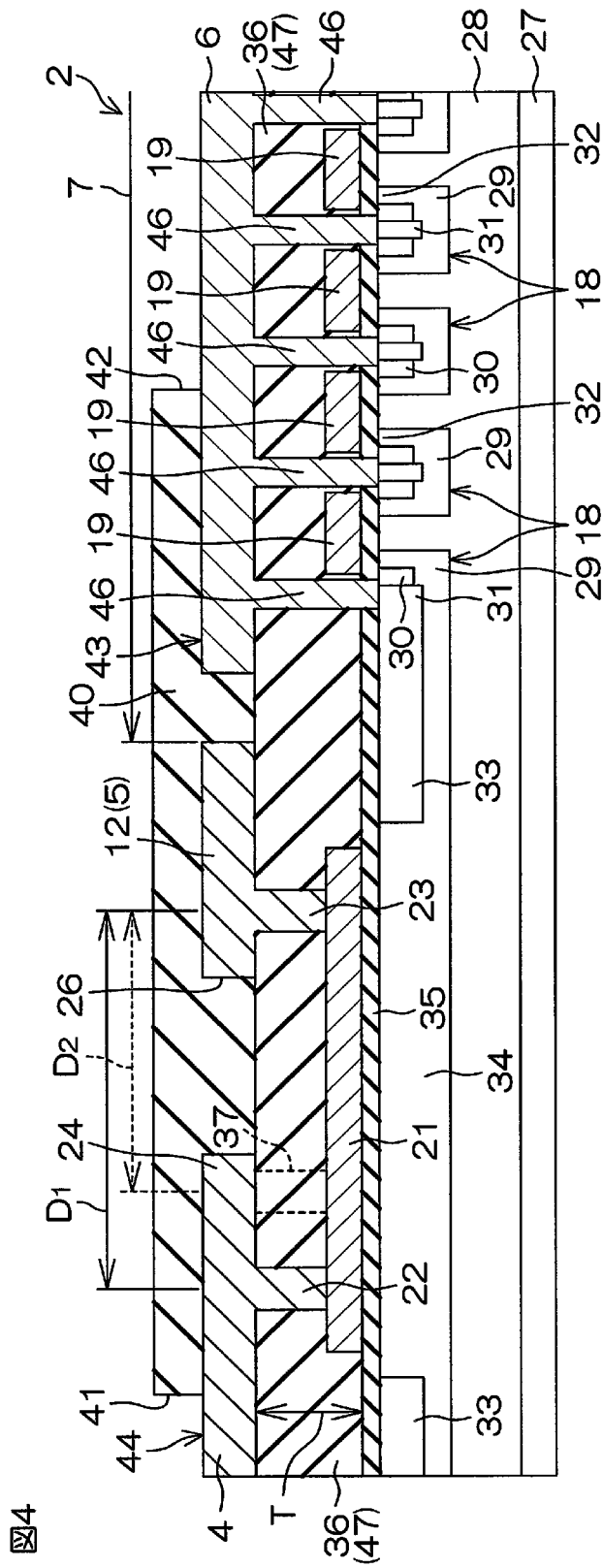
前記有機絶縁層が前記 SiC 層に接している区間の距離 (A) は $40\ \mu\text{m}$ 以上であり、

前記電極下絶縁膜上の前記電極と前記 SiC 層との横方向の距離 (B) は、前記終端構造から延びる空乏層の幅 (E) の 2 倍以上である、半導体装置。

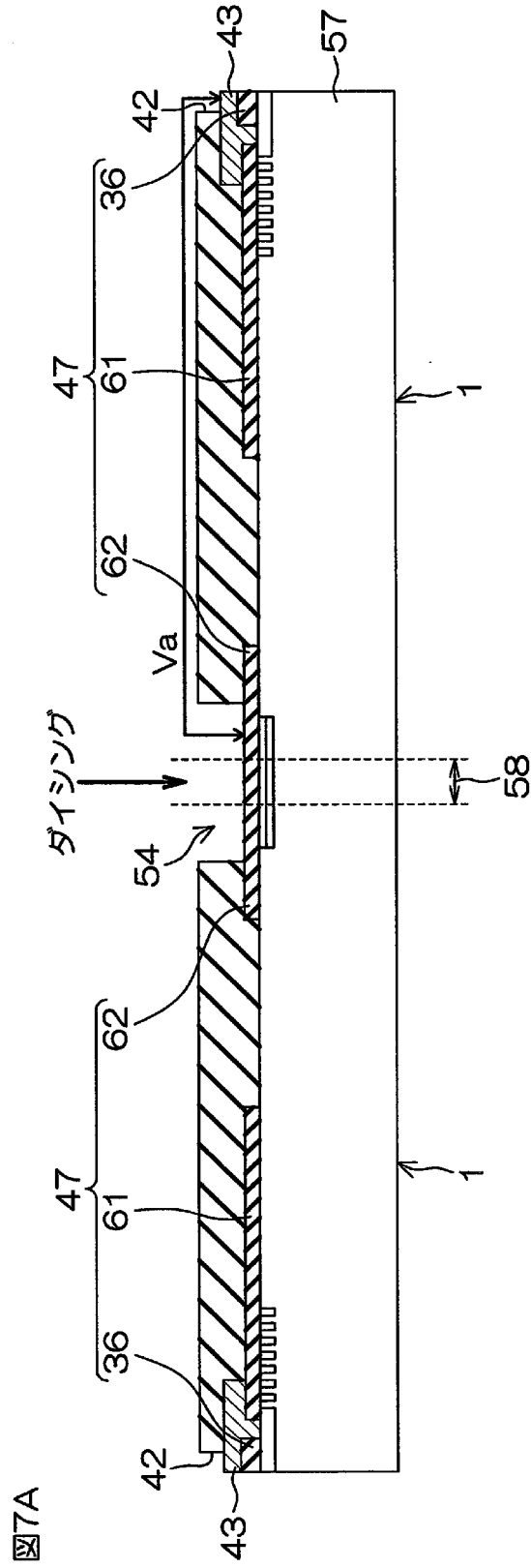
[図2]



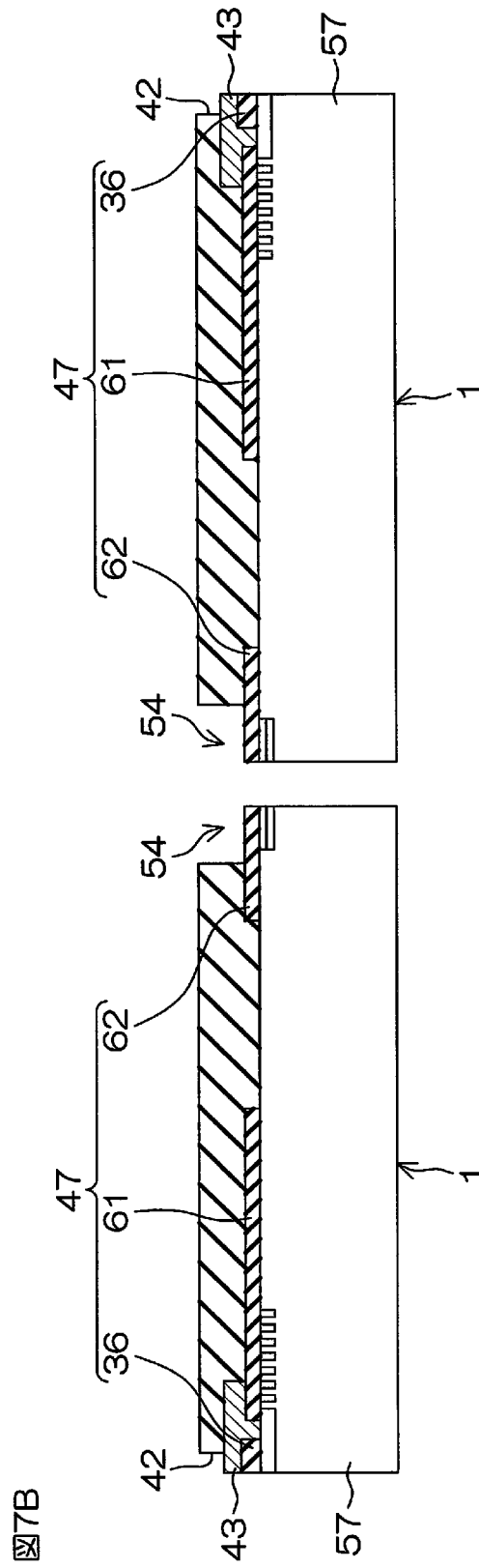
[図4]



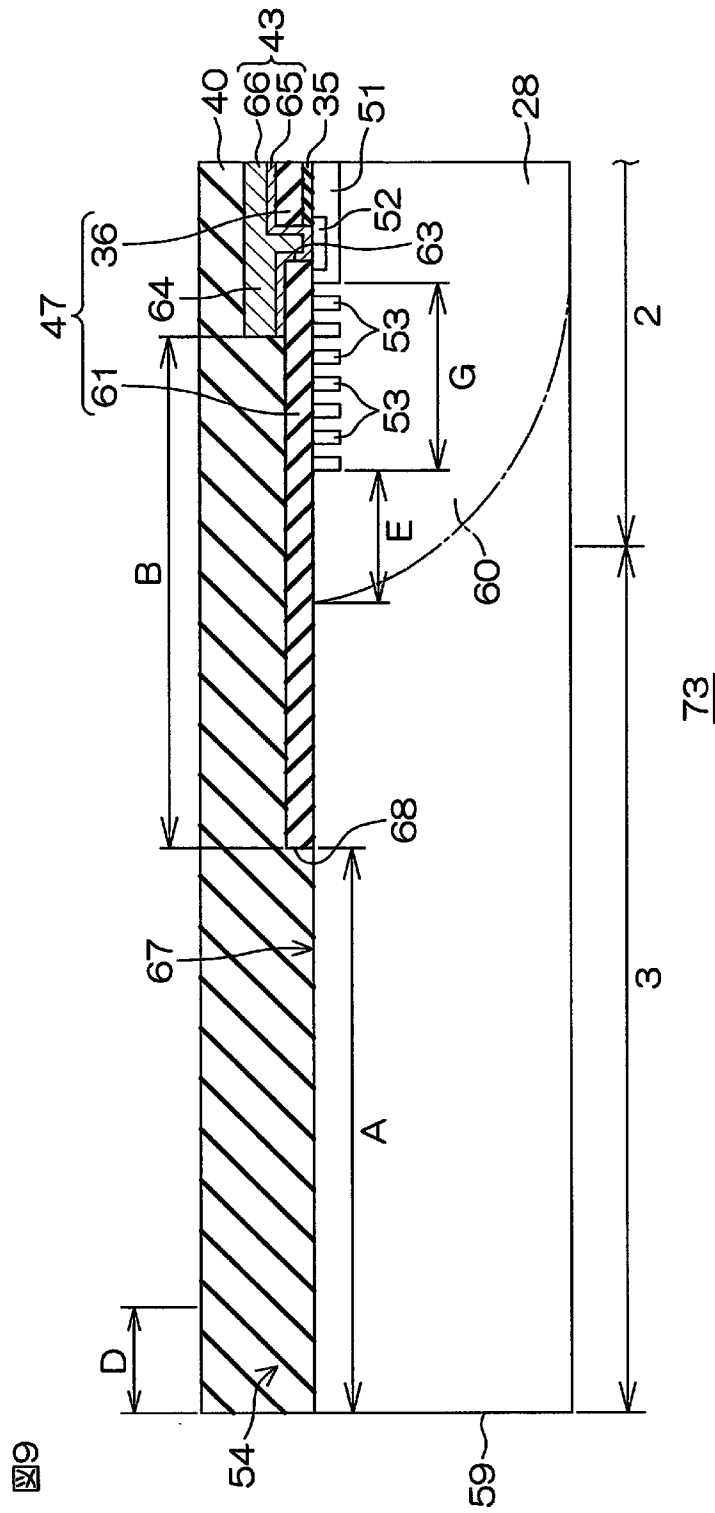
[図7A]



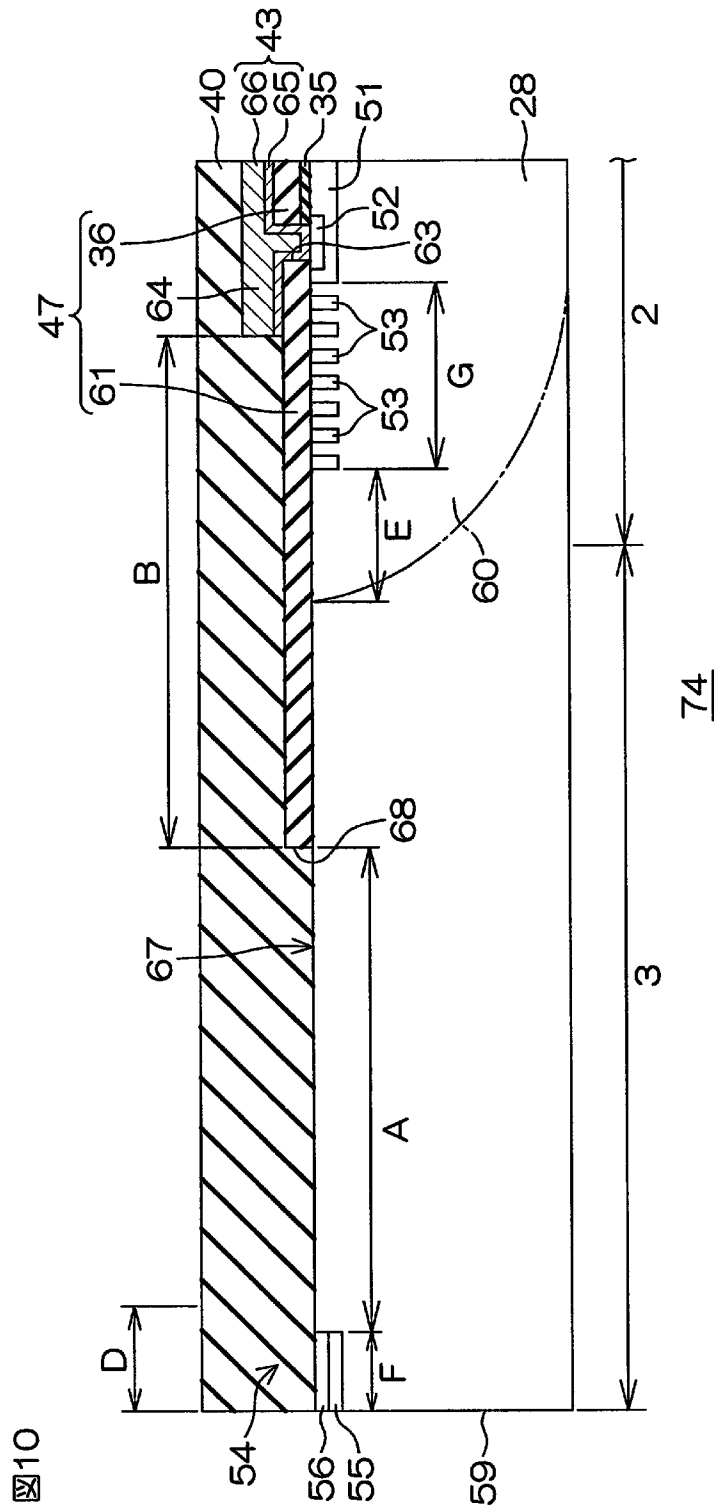
[図7B]



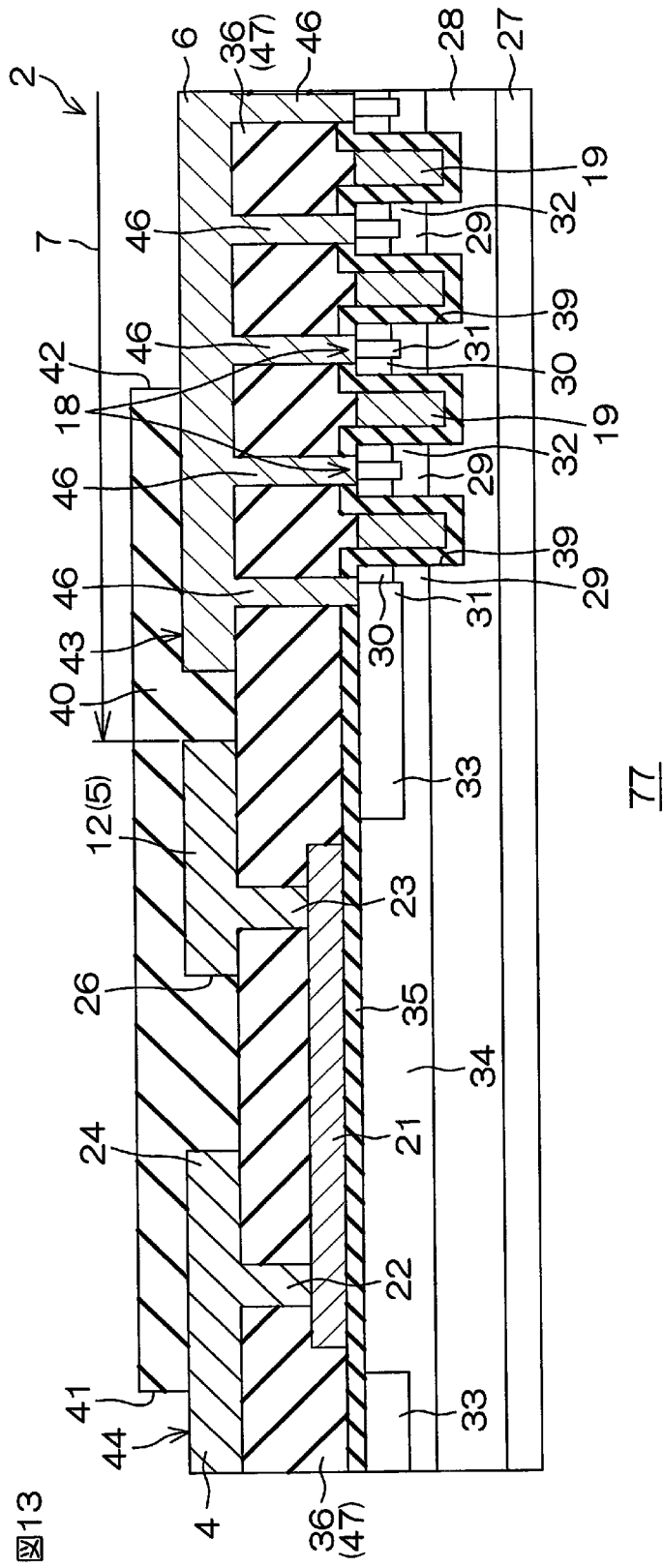
[図9]



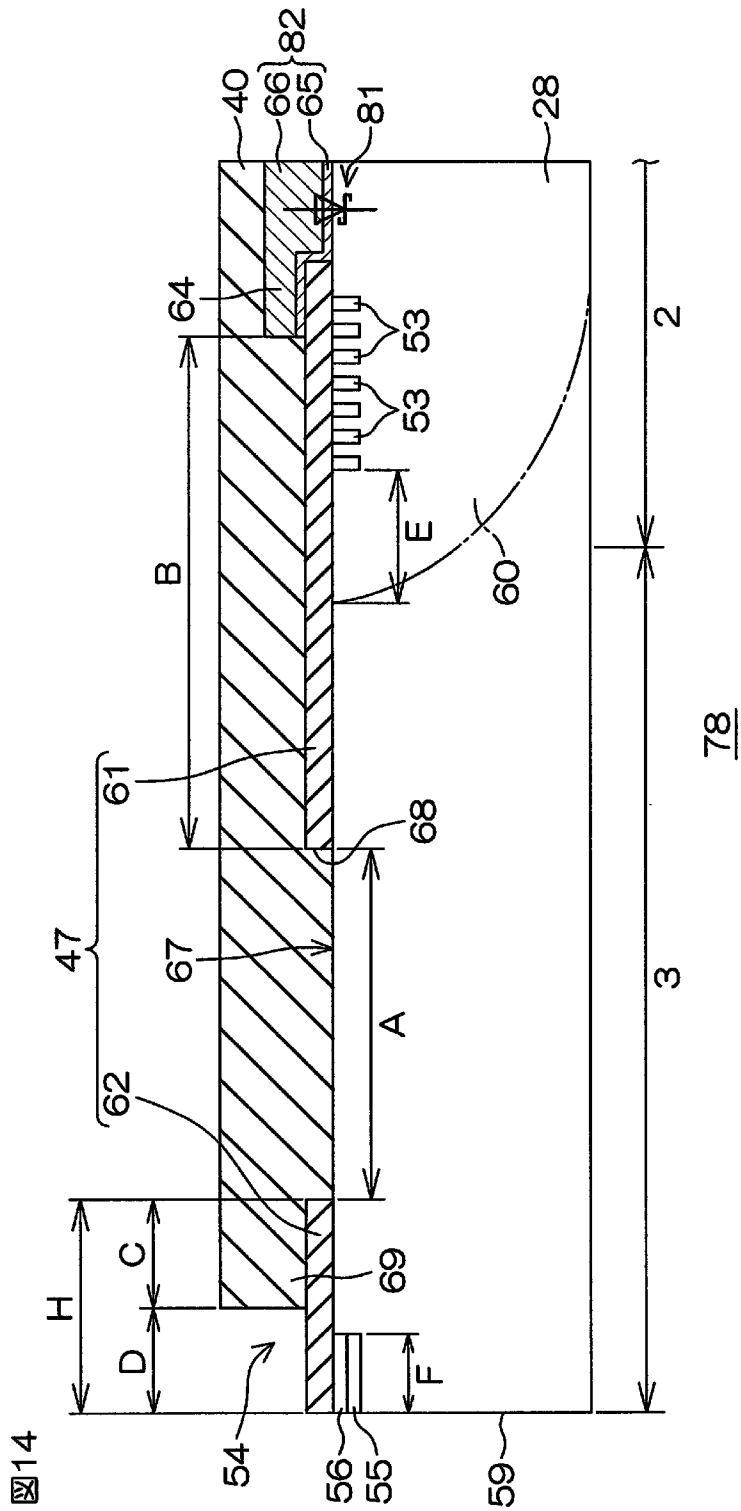
[図10]



[圖13]



[圖14]



INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2015/064102

A. CLASSIFICATION OF SUBJECT MATTER
H01L29/78(2006.01)i, H01L29/06(2006.01)i, H01L29/12(2006.01)i, H01L29/47(2006.01)i, H01L29/739(2006.01)i, H01L29/872(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
 H01L29/78, H01L29/06, H01L29/12, H01L29/47, H01L29/739, H01L29/872

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2015
Kokai Jitsuyo Shinan Koho	1971-2015	Toroku Jitsuyo Shinan Koho	1994-2015

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2013-191632 A (Rohm Co., Ltd.), 26 September 2013 (26.09.2013), fig. 7, 10, 11	1, 2, 4-12, 14-18, 21-26, 28
Y A	& US 2015/0041828 A1 & WO 2013/137177 A1	3, 13, 19, 20 27
Y	JP 2009-32951 A (Renesas Technology Corp.), 13 February 2009 (13.02.2009), fig. 8 & US 2009/0026535 A1	3
Y	JP 2014-27076 A (Renesas Electronics Corp.), 06 February 2014 (06.02.2014), paragraphs [0020], [0025] (Family: none)	13

Further documents are listed in the continuation of Box C. See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier application or patent but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 26 June 2015 (26.06.15)	Date of mailing of the international search report 07 July 2015 (07.07.15)
--	---

Name and mailing address of the ISA/ Japan Patent Office 3-4-3, Kasumigaseki, Chiyoda-ku, Tokyo 100-8915, Japan	Authorized officer Telephone No.
--	---

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2015/064102

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2013-134998 A (Denso Corp.), 08 July 2013 (08.07.2013), paragraph [0070] (Family: none)	19
Y	WO 2010/147032 A1 (Sharp Corp.), 23 December 2010 (23.12.2010), paragraph [0114] & US 2012/0087460 A1 & EP 2445011 A1 & CN 102804388 A	20
A	WO 2013/172140 A1 (Fuji Electric Co., Ltd.), 21 November 2013 (21.11.2013), fig. 6 & US 2015/0001688 A1 & CN 104380470 A	1-28
A	JP 2011-171374 A (Sumitomo Electric Industries, Ltd.), 01 September 2011 (01.09.2011), fig. 1 & US 2012/0097980 A1 & WO 2011/102254 A1 & EP 2538444 A1 & CN 102484126 A & TW 201140838 A & KR 10-2012-0138734 A	1-28
A	JP 2006-344802 A (Rohm Co., Ltd.), 21 December 2006 (21.12.2006), fig. 2 (Family: none)	1-28

A. 発明の属する分野の分類（国際特許分類（IPC））
 Int.Cl. H01L29/78(2006.01)i, H01L29/06(2006.01)i, H01L29/12(2006.01)i, H01L29/47(2006.01)i, H01L29/739(2006.01)i, H01L29/872(2006.01)i

B. 調査を行った分野
 調査を行った最小限資料（国際特許分類（IPC））
 Int.Cl. H01L29/78, H01L29/06, H01L29/12, H01L29/47, H01L29/739, H01L29/872

最小限資料以外の資料で調査を行った分野に含まれるもの
 日本国実用新案公報 1922-1996年
 日本国公開実用新案公報 1971-2015年
 日本国実用新案登録公報 1996-2015年
 日本国登録実用新案公報 1994-2015年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X Y A Y	JP 2013-191632 A（ローム株式会社）2013.09.26, 図7, 図10, 図11 & US 2015/0041828 A1 & WO 2013/137177 A1 JP 2009-32951 A（株式会社ルネサステクノロジ）2009.02.13, 図8 & US 2009/0026535 A1	1, 2, 4-12, 14-18, 21-26, 28 3, 13, 19, 20 27 3

C欄の続きにも文献が列挙されている。 パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー
 「A」特に関連のある文献ではなく、一般的技術水準を示すもの
 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
 「O」口頭による開示、使用、展示等に言及する文献
 「P」国際出願日前で、かつ優先権の主張の基礎となる出願日の後に公表された文献
 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
 「&」同一パテントファミリー文献

国際調査を完了した日 26.06.2015	国際調査報告の発送日 07.07.2015
--------------------------	--------------------------

国際調査機関の名称及びあて先 日本国特許庁（ISA/J P） 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号	特許庁審査官（権限のある職員） 須原 宏光 電話番号 03-3581-1101 内線 3516	5 F	9057
--	---	-----	------

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2014-27076 A (ルネサスエレクトロニクス株式会社) 2014.02.06, [0020], [0025] (ファミリーなし)	13
Y	JP 2013-134998 A (株式会社デンソー) 2013.07.08, [0070] (フ ァミリーなし)	19
Y	WO 2010/147032 A1 (シャープ株式会社) 2010.12.23, [0114] & US 2012/0087460 A1 & EP 2445011 A1 & CN 102804388 A	20
A	WO 2013/172140 A1 (富士電機株式会社) 2013.11.21, 図6 & US 2015/0001688 A1 & CN 104380470 A	1-28
A	JP 2011-171374 A (住友電気工業株式会社) 2011.09.01, 図1 & US 2012/0097980 A1 & WO 2011/102254 A1 & EP 2538444 A1 & CN 102484126 A & TW 201140838 A & KR 10-2012-0138734 A	1-28
A	JP 2006-344802 A (ローム株式会社) 2006.12.21, 図2 (ファミリ ーなし)	1-28