

公告本

申請日期	88. 10. 6
案 號	88117236
類 別	H04N 3/5

A4
C4

(以上各欄由本局填註)

466875

發明專利說明書

一、發明 新穎 名稱	中 文	具有相關聯雙採樣的三電晶體主動像素感測器架構
	英 文	"THREE TRANSISTOR ACTIVE PIXEL SENSOR ARCHITECTURE WITH CORRELATED DOUBLE SAMPLING"
二、發明人 創作	姓 名	羅勃特 M. 積達許
	國 籍	美國
	住、居所	美國紐約州羅徹斯特市史谷特街343號
三、申請人	姓 名 (名稱)	美商柯達公司
	國 籍	美國
	住、居所 (事務所)	美國紐約州羅徹斯特市史谷特街343號
	代 表 人 姓 名	威利 許赫

裝

訂

線

經濟部智慧財產局員工消費合作社印製

466875

(由本局填寫)

承辦人代碼：
大類：
IPC分類：

A6
B6

本案已向：

國(地區) 申請專利, 申請日期: 案號: , 有 無主張優先權

美國 1998年11月20日 09/197,364 有 無主張優先權

有關微生物已寄存於: , 寄存日期: , 寄存號碼:

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

經濟部中央標準局員工消費合作社印製

五、發明說明(1)

發明範圍

本發明關於固態光電感測器及被稱為具有與每個像素相結合之有源電路元件之主動像素感測器(APS)之影像器之領域，及更特別關於使用相關聯雙採樣(CDS)之固態影像器。

發明背景

主動像素感測器(APS)皆係固態影像器，其中每一像素包含將一光電感測裝置，重設裝置，一電荷至電壓轉換裝置，及另外一放大器之全部或部分包括在內之典型固態像素元件。被收集在像素內之光電荷係如像是由Eric Fossum所著1993年7月SPIE卷1900-08-8194-1133之"主動像素感測器：皆係電荷耦合裝置(CCD)之恐龍?"。APS裝置業已以一種方式予以操作，在此方式中影像器之每一列或行係予以選擇及然後用一如由E. Fossum在1993年7月SPIE卷1900-08-8194-1133之"主動像素感測器：皆係CCD之恐龍?"及由R. H. Nixon, S. E. Kemeny, C.O. Staller, 及E. R. Fossum在SPIE之學報卷2415，電荷耦合裝置及固態光感測器V，論文34(1995)之"具有機載時序，控制及信號連鎖電子之128×128 CMOS光二極體型式主動像素感測器"中所討論之一直行選擇信號予以讀出。一主動像素感測器內之列及行之選擇係與記憶體裝置中之文字與位元之選擇相類似。在此，一整排之選擇將會類似於選擇一字及主動像素感測器之諸行之一之讀出將會類似於選擇或起動該字內一單位元線。習用先前技藝裝置則教導使用三電晶體設計之架構，其中三電晶體通常皆係列選擇，重設定，及源極輸出放大

(請先閱讀背面之注意事項再填寫本頁)

表

訂

線

五、發明說明(2)

器電晶體。雖然此架構提供具有一合理高像素填充因數之屈服性APS裝置之優點，但並不提供易於實施相關聯雙採樣(CDS)之能力。CDS係一種提供一像素之信號位準之參考給該像素之重設位準之技術。爲了實施CDS起見，像素首先必須予以重設及像素之重設位準則在像素內之整合或光電荷收集前讀出。下一入射光則導致係在導致一累積在像素內之信號電荷之光偵測器內所產生之光電子，而此光電子然後可被讀出。這結果因爲光偵測器亦係一至電壓轉換裝置。當光偵測器係予以重設時，光偵測器中之電荷係經由像素供應電壓予以移除及不能予以恢復。此項技術在減少感測器之瞬間雜訊，提供一較高之訊號雜訊比及較佳之影像品質。

實施應用基於三電晶體像素之CDS之先前技藝裝置通常首先讀出及儲存一包括感測器上每一像素之一重設位準之影像框。其次信號框係俘獲及讀出。儲存在記憶器中之重設位準然後必須自每個像素上之信號框減去以提供一在整合前指的是像素重設位準之像素信號位準。使用4個電晶體像素之先前技藝設計業已被想出起動CDS而無需俘獲及儲存一單獨重設框，但四電晶體單元具有包括一較低填充因數及比三電晶體像素爲低之靈敏度之缺點。

另外，先前技藝4T像素設計可產生一稱爲影像滯後之人工因素，在其中全部光電子不能在一單框中讀出，及表現爲次一框中之一幻像或殘餘影像。4T中之信號擺動亦係予以限制且係由於在讀出期間共享於光電偵測器及浮動

(請先閱讀背面之注意事項再填寫本頁)

表

訂

線

五、發明說明(3)

傳播間之電荷之防止之限制而小於3T像素設計之信號擺動。

典型先前技藝APS像素係示於圖1a及1b中。圖1a中之像素係一先前技藝三電晶體像素，該3T像素包括一可為一光電二極體(PD)或一光電閘(PG)之光電偵測器(PDET)，具有一重設閘(RG)之重設電晶體；具有一行選擇閘(RSG)之行選擇電晶體；及一源極耦合器輸入信號電晶體(SIG)。圖1b中之像素係一先前技藝四電晶體像素及包括一可為一光電二極體(PD)或光電閘(PG)之光電偵測器(PDET)；一轉換閘(TG)；一浮動傳播(FD)；具有一重設閘(RG)之重設電晶體；具有行選擇閘(RSG)之行選擇電晶體；及源極耦合器輸入信號電晶體(SIG)。如以上所述，實施使用先前技藝三電晶體像素架構之CDS係不容易的事。光電偵測器亦係用作至先前技藝三電晶體像素內之電壓轉換節點之電荷。為了在信號整合前獲得像素重設位準起見，整個框之重設位準在開始整合前必須予以讀出及儲存在記憶體。如果人係在整合前來重設光電偵測器，讀取重設位準，然後整合及讀取信號位準時，整體順序將會必須一次完成一行。因此如果理想之整合時間係30微秒時，每行則必須予以獨立地及分離地整合30微秒。如果有1000行在影像感測器中時，一具有30微秒整合時間之框將花費30秒來俘獲。此外，30秒內之景像中景物照明或物件之移動之任何變化將會產生一種形成影像撕裂，模糊及發暗黑斑之不需要影像人工因素。

(請先閱讀背面之注意事項再填寫本頁)

訂 線

五、發明說明(4)

在四電晶體像素中，因光電偵測器係由另一電晶體予以和至電壓轉換節點(浮動傳播)之電荷分開，故浮動傳播可予以重設，及浮動傳播之重設位準可在將信號轉變成浮動傳播前予以立即讀取。因此，沒有個個行之分開及非重疊整合時段CDS亦可能被完成。然而，與三電晶體像素比較，實施四電晶體所需之面積則減少像素之填充因數。

應輕易明瞭在技藝內仍有一種需要以提供一具有高填充因數，無滯後，大影像信號擺動，及實施CDS無需俘獲及儲存影像資料之全體框之替代像素架構以便能自每一信號位準框減去一單獨重設框，或具有感測器之每行之分開及非重疊整合時段。

發明概要

本發明提供一裝置以在三電晶體主動像素架構內實施相關聯雙採樣。此係藉將光電偵測器信號AC耦合於像素中之源極耦合器之輸入，及提供一裝置以箝位源極耦合器之輸入至一參考信號予以完成。

本發明在藉提供一主動像素感測器陳述先前技藝內之需要，該主動像素感測器則具有被設計具有一可操作地被連接於一信號耦合電容器上之一第一電節點與被連接於一第二電節點之信號耦合電容器之對邊之光電偵測器及一在一重設時施加預定電位至第一及第二電節點之重設組態之像素之多個像素。較佳具體實例在一重設時施加一電源電壓至這些節點及使被連接於光電偵測器之第一節點上之電壓在跟隨重設之時段期間積聚電荷。第二電節點係被允許浮

(請先閱讀背面之注意事項再填寫本頁)

訂
線

五、發明說明(5)

動以後之重設，這樣積聚之電荷係儲存在與所預定之電位有關之電容器上。一放大器係可操作地被連接於第二電節點以自第二電節點感測及讀出信號。在較佳具體實例中，一具有被連接於各自第一及第二電節點之重設電晶體係予以使用，然而，兩重設電晶體亦可實施相同功能。信號電容器最好藉重疊一部分具有放大器閘電極之延伸之光電偵測器予以形成。

發明之有利效果

本發明提供使用導致一較高填充因數之僅三電晶體之正確相關聯雙採樣。所獲得之優點為高填充因數，較低瞬時雜訊，無滯後，及大信號擺動，與深次- μ CMOS中之電壓比率。無預見之缺點。

圖示簡述

圖1a係一三電晶體主動像素感測器像素之一先前技藝架構；

圖1b係一四電晶體主動像素感測器像素之一先前技藝架構；

圖2係一三電晶體主動像素感測器像素之三電晶體架構；

圖3係一例示圖2中所示之像素之操作之計時圖；

圖4a係圖2中像素之實體具體實例之一頂視圖；及

圖4b係沿圖4a中之像素之B-B'之一橫斷面圖。

詳細敘述

圖2係一如由本發明所構想之主動像素感測器(APS)之三電晶體像素架構之一概略例示。圖2中所示之具體實例則

(請先閱讀背面之注意事項再填寫本頁)

訂 線

五、發明說明(6)

構想為發明者所知之最佳模式。其他實體具體實例可實行者係如以下將再予討論之圖2中所示之具體實例之明顯變化。圖2中所示之像素10係一具有許多行列之陣列像素內之一單一像素。

如圖2中所見，像素10包括：一可被構成使用一光電二極體或一光電閘之光電偵測器(PDET)；一具有一重設閘極15(RG)之重設電晶體14；一具有一行選擇閘極(RSG)25行選擇電晶體24；一源極耦合器輸入信號電晶體21(SIG)。及一像素信號耦合電容器23(Cps)。重設電晶體14除了兩單獨源極16，17外尚有一單一閘極15及汲極18。源極17係如Cps 23之"a"邊上之PDET 12被連接於相同電節點，及另一源極16係輸入至Cps 23之"b"邊上SIG 21之間極。

參照圖3，此圖係一用來敘述圖2中所示之三電晶體像素之操作，圖2之新像素之操作將會予以敘述。本文中所述之具體實例將係光電偵測器12為一光電二極體(PD)之情況下。應予瞭解者，所述之像素操作則為一整行像素10舉行。最初，連接於節點"a"之光電偵測器12及為源極耦合器信號電晶體21之輸入節點之節點"b"皆藉施加一"啟動電壓"至重設電晶體14之閘極15，(RG變高)。此則重設被用作為光電偵測器12之光電二極體及將位於Cps 23之節點"b"上之源極耦合器輸入箝位至一必然等於VDD(此係電源電壓)之一電位位準。位於節點"a"之電壓係PD 12之重設位準，稱為Vrst。位於節點"a"之電壓在計時圖上係被標籤為Vpixa及位於節點"b"上之電壓係示為Vpixb。在重設

(請先閱讀背面之注意事項再填寫本頁)

表

訂

線

五、發明說明(7)

信號係自重設閘極移除以後，節點"b"係離開浮動，及通過Cps 23之電壓係VDD-Vrst。Vrst應非常接近VDD之值，但因為其他電晶體中之熱燥聲，可能有些光偏差。

然後重設閘極15係予以關閉(RG變低)，及光電偵測器12之積分週期則開始。雖然重設電晶體14之重設閘極15被關閉，但光電子開始填充光電偵測器12。結果，被連接於節點"a"之光電偵測器12上之電壓Vpixa則按照與入射光，積分週期，及光電二極體之電容之數量成正比之若干量之 ΔV 自其重設位準減少。因為連接於節點"b"電容器Cps 23之邊係在重設閘極15被斷開後離開浮動，故所儲存在被連接於節點"b"之電容器Cps 23之板極上之電荷不能變化及跨過Cps 23之被稱像素重設位準Vrst之電壓必須保持恆定。因此，節點"b"(Vpixb)之電位亦將按照 ΔV 變化。此 ΔV 係與本文中被稱為Vsig之信號有關之該數值。節點"b"上之電壓然後變成(VDD-Vsig)。行選擇電晶體24係藉引導行選擇閘極25變高在整合時段之終了時予以接通及當積分週期在列電容器Cs 45上被讀出及儲存期間容許已被積聚在光電偵測器12內之信號位準。電容器Cs 45內之積體信號之儲存係藉閃控樣本及保持信號SHS 44(SHS變高然後變低)予以控制之。

如以上所討論者，此信號位準係(VDD-Vsig)。因此，被儲存Cs 45上之信號位準係在開始積分前被稱為光電二極體12之重設位準且係於於 $[A_v(VDD-Vsig+Voffset)]$ 。Voffset係源極耦合器之補償電壓，及 A_v 係源極耦合器之電壓增益。

(請先閱讀背面之注意事項再填寫本頁)

表

訂

線

五、發明說明(8)

其次，重設閘極15係再予啓動以將源極耦合器輸入箝位至VDD及重設光電二極體(PD)12。雖然重設閘極15係仍然開啓及至像素源極耦合器之輸入係被箝位至VDD，但輸出信號位準係藉閃控樣本及保持重設(SHR)46予以儲存列電容器Cr 47。儲存在Cr 47上之此信號係(VDD+Voffset)。至重設電晶體14之重設閘極15然後係予以斷開以便開始下一框之該行之積分。儲存在Cs 45上之初始信號位準然後係經由以被儲存在Cr 47上所箝位之位準為準之差動放大器32予以差動式讀出以便取消像素源極耦合器補償電壓。
$$V_{out}=[A_v(VDD-V_{sig}+V_{offset})]-[A_v(VDD+V_{offset})]=A_v(-V_{sig})$$

從所提供操作之敘述可證明此像素架構提供真實CDS輸出信號而無需儲存一重設框，及無需獨立及分開積分週期供每行用。又，因為除重設位準外信號係予以整合及為了讀出信號位準起見則不自光電偵測器傳送信號電荷，故此像素將沒衰減滯後。

圖4a係圖2中像素之實體具體實例之一頂視圖。如在圖2中，圖4中之像素10包括：一可用一光電二極體或一光電閘極予以構成之光電偵測器12(PDET)；一具有一重設閘極15(RG)之重設電晶體14，一具有行選擇閘極(RSG)25之行選擇電晶體24，一源極耦合器輸入信號電晶體21(SIG)，及一像素信號耦合電容器23(Cps)。重設電晶體14除了兩單獨源極16，17外尚有一單閘極15及汲極18。源極17係像Cps 23之"a"邊上之PDET 12一樣連接於相同電節點，及另一源極16係輸入至Cps 23之"b"邊上SIG 21之閘

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明(9)

極。為圖示之簡易起見，金屬互聯層業已自圖4a予以省略，但卻易於自圖2中之像素簡圖及圖4中之頂視圖佈局發現之。

仍然參照圖4a，信號電容器(Cps) 23係在PDET 12上方可以看到。此乃例示較佳具體實例，在其中底板，或Cps 23之邊"a"係由光電偵測器予以形成，及頂板或Cps 23之邊"b"係藉延伸超過光電偵測器予以形成，多晶矽閘極則包括源極耦合器輸入閘極。Cps 23之兩邊皆由SIG 21及PDET 12間之閘氧化物層66予以分開。此像素佈局之填充因數係可與標準先前技藝3T像素架構之填充因數相比。

現參照圖4b，此圖係一沿圖4a中之像素之B-B'之橫斷面圖。Cps 23係藉延伸用來在至少一部分PDET 12上方形成SIG 21之閘極予以形成。茲由較佳具體實例予構想者為層43應是用來在標準高容量次- μm CMOS方法中形成閘電極之多晶矽材料。閘極氧化物層66亦可能由氧化銦錫(ITO)，或係在可見之光譜中完全透明之其他閘電極材料形成，以與多晶矽之閘電極材料相比提供較佳之藍色傳輸。

上面敘述則詳述由發明人所喜愛之具體實例。精於本技藝之人員將輕易明瞭這些具體實例之變化。因此，本發明之範圍應由所附之申請專利範圍予以衡量。

(請先閱讀背面之注意事項再填寫本頁)

訂 線

五、發明說明(10)

零件表

- 10 像素
- 14 重設電晶體
- 15 重設閘極
- 16 重設源極
- 17 重設源極
- 18 重設汲極
- 21 源極耦合器電晶體
- 23 電容器
- 24 行選擇電晶體
- 25 行選擇閘極
- 32 差動放大器
- 44 SHS 樣本保持信號電晶體
- 45 CS 信號儲存電晶體
- 46 SHR 樣本保持重設電晶體
- 47 CR 重設儲存電容器
- 66 閘極氧化物層

(請先閱讀背面之注意事項再填寫本頁)

表

訂

線

四、中文發明摘要(發明之名稱：

具有相關聯雙採樣的三電晶體主動像素感測器
架構)

一種具有包括至少一個像素之多個像素的主動像素感測器，包括：一可操作地連接於第一電節點之光電檢測器；一耦合具有連接於第一電節點之一第一邊及連接於第二電節點之一第二邊之電容器之像素信號；一具有一被連接在第一電節點上之第一源極及一被連接在第二節點上之第二源極之重設電晶體；一連接於一重設控制匯流排之一重設電晶體上之重設閘極及一連接於電源供給匯流排之重設電晶體上之汲極；一可操作地連接於第二電節點之放大器；及一可操作地耦合於放大器之選擇電晶體。本發明之較佳具體實例具有一在光電偵測器之至少一部分上所形成之閘電極層及具有亦作為電晶體放大器之閘極之功能。閘電極層應為皆係通常用作閘電極材料之材料之多晶矽或氧化銦錫(ITO)(indium tin oxide)乃係由較佳具體實例予以構想之。

英文發明摘要(發明之名稱：

"THREE TRANSISTOR ACTIVE PIXEL SENSOR
ARCHITECTURE WITH CORRELATED DOUBLE
SAMPLING")

An active pixel sensor having a plurality of pixels with at least one pixel comprising: a photodetector operatively connected to a first electrical node; a pixel signal coupling capacitor having a first side connected to the first electrical node and a second side connected to a second electrical node; a reset transistor having a first source that is connected on the first electrical node and a second source that it connected to the second electrical node; a reset gate on the reset transistor connected to a reset control buss and a drain on the reset transistor connected to a voltage supply buss; an amplifier operatively connected to the second electrical node; and a select transistor operatively coupled to the amplifier. The preferred embodiment of the invention has a gate electrode layer formed over at least a portion of the photodetector and functions also as the gate of the transistor amplifier. It is envisioned by the preferred embodiment that the gate electrode layer be either polysilicon or indium tin oxide (ITO) which are materials typically used as gate electrode materials.

六、申請專利範圍

1. 一種具有包括至少一個像素之多個像素之主動像素感測器，包括：
 - 一可操作地連接於一第一電節點之光電偵測器；
 - 一具有連接於第一電節點之一第一邊及連接於第二電節點之一第二邊的像素信號耦合電容器；
 - 一具有一連接於第一電節點之第一源極及一連接於第二電節點之第二源極的重設電晶體；
 - 一在被連接於一重設控制匯流排之重設電晶體上的重設閘極及一在被連接於一電源供匯流排之重設電晶體上的汲極；及
 - 一可操作地連接於第二電節點之放大器。
2. 如申請專利範圍第1項之主動像素感測器，其中放大器係一被耦合於一選擇電晶體之源極耦合器放大器致使選擇電晶體能提供相當於至一輸出信號匯流排上之第二電節點電壓之數值之源極耦合器輸出信號。
3. 如申請專利範圍第1項之主動像素感測器，其中更包括一選擇電晶體為一提供相當於至一輸出信號匯流排上之第二電節點電壓之數值之放大器輸出信號之行選擇電晶體。
4. 如申請專利範圍第1項之主動像素感測器，其中施加至重設閘極之一預定信號則重設第一電節點及光電偵測器至一預定第一電位，第二電節點至一預定第二電位，及施加一第二預定信號至重設閘極使在第二電節點上之電容器之第二邊浮動而連接於第一電節點之光電偵測器係被

(請先閱讀背面之注意事項再填寫本頁)

訂

六、申請專利範圍

允許搜集電荷。

5. 如申請專利範圍第4項之主動像素感測器，其中電容器之第一邊及第二邊在施加第二預定信號至重設閘極後儲存電位中之任何電荷。
6. 如申請專利範圍第1項之主動像素感測器，其中具有第一源極及第二源極之重設電晶體係用一具有第一源極之第一重設電晶體及一具有第二源極之第二重設電晶體予以替代。
7. 如申請專利範圍第1項之主動像素感測器，其中信號耦合電容器係由光電偵測器，及一重疊至少一部分偵測器，且用一電介質層與光電偵測器相隔開之多晶矽層予以形成。
8. 如申請專利範圍第1項之主動像素感測器，更包括一可操作連接於光電偵測器之氧化銦錫(ITO)電極以控制光電偵測器電位位準。
9. 如申請專利範圍第1項之主動像素感測器，其中信號耦合電容器係由光電偵測器，及一重疊至少一部分光電偵測器，且用一電介質層與光電偵測器相隔開之氧化銦錫(ITO)層予以形成。
10. 一種具有包括至少一個像素之多個像素之主動像素感測器，包括：
 - 一具有可操作地連接至位於一第一電節點上之一電容器之一第一邊之重設機構之光電偵測器；
 - 一可操作地耦合至位於一第二電節點之一第一邊之電

(請先閱讀背面之注意事項再填寫本頁)

訂

六、申請專利範圍

容器之第二邊；

用以啟動重設機構之裝置致使第一及第二電節點皆調節至各自第一及第二電位；及

一可操作地連接於第二電節點之放大器。

11. 如申請專利範圍第10項之主動像素感測器，其中重設裝置更包括：

一具有一連接在第一電節點上之第一源極及一連接於第二電節點之第二源極之重設電晶體；及

一在被連接於一重設控制匯流排之重設電晶體上之重設閘極及一在被連接於一電源供給匯流排之重設電晶體上之汲極。

12. 如申請專利範圍第10項之主動像素感測器，其中放大器係一耦合於一選擇裝置之源極耦合器放大器，該選擇裝置則包括一使選擇電晶體能提供相當於至一輸出信號匯流排上之第二電節點電壓之數值之源極耦合器輸出信號之選擇電晶體。

13. 如申請專利範圍第12項之主動像素感測器，更包括為一行選擇電晶體之一選擇電晶體，而該行選擇電晶體則提供相當於一列輸出信號匯流排上之第二節點電壓之數值之源極耦合器輸出信號。

14. 如申請專利範圍第10項之主動像素感測器，其中施加至重設閘極之一預定信號重設第一電節點及光電偵測器至一預定第一電位，及施加至重設閘之一預定第二預定信號使在第二電節點上之電容器之第二邊浮動而被連接於

(請先閱讀背面之注意事項再填寫本頁)

訂

六、申請專利範圍

第一電節點之光電偵測器係被允許收集電荷。

15. 如申請專利範圍第14項之主動像素感測器，其中電容器之第一邊及第二邊在施加至重設閘極之第二預定信號後儲存電位中之任何電位改變。
16. 如申請專利範圍第10項之主動像素感測器，其中信號耦合電容器係由光電偵測器，及一重疊至少一部分光電偵測器，且用一電介質與光電偵測器相隔開之多晶矽層予以形成。
17. 如申請專利範圍第10項之主動像素感測器，更包括一可操作連接於光電偵測器之氧化銦錫(ITO)電極以控制光電偵測器電位位準。
18. 如申請專利範圍第10項之主動像素感測器，其中信號耦合電容器係由光電偵測器，及一重疊至少一部分光電偵測器，且用一電介質層與光電偵測器相隔開之氧化銦錫(ITO)層予以形成。
19. 如申請專利範圍第10項之主動像素感測器，其中重設機構更包括分別耦合於第一及第二電節點之一第一電晶體及一第二電晶體。
20. 一種製作一主動像素感測器之方法：

提供一具有一可操作地耦合於重設裝置及放大裝置之光電偵測元件的像素；

用一電氣連接該重設裝置於電容元件之兩邊上之電容元件交流耦合光電偵測元件及放大裝置，致使電容元件之每邊係在一分離之電節點上；

(請先閱讀背面之注意事項再填寫本頁)

訂

六、申請專利範圍

形成用以重設電容元件之兩邊至相應電位的裝置；及
建立用以放大被儲存在電容元件上之電位的裝置。

21. 如申請專利範圍第20項之方法，其中形成步驟更包括形成一具有一被連接於電容元件之一第一邊之第一源極及一被連接於電容元件之一第二邊之第二源極之重設電晶體。
22. 如申請專利範圍第20項之方法，其中更包括置放一在一部分光電偵測元件上方，用一電介質與光電偵測元件相隔開，及連接於放大裝置之多晶矽層。
23. 如申請專利範圍第20項之方法，其中更包括置放一在至少一部分光電偵測元件上方，用一電介質與光電偵測元件相隔開，及連接於放大裝置之ITO層。

(請先閱讀背面之注意事項再填寫本頁)

訂

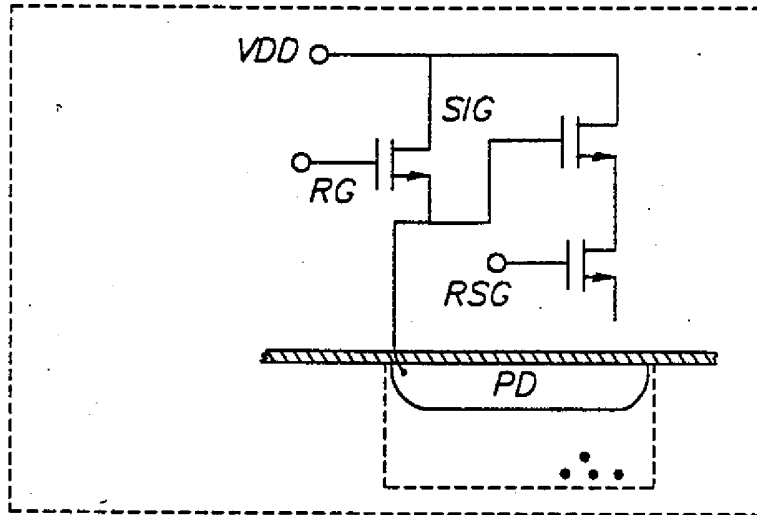


圖 1a
(先前技藝)

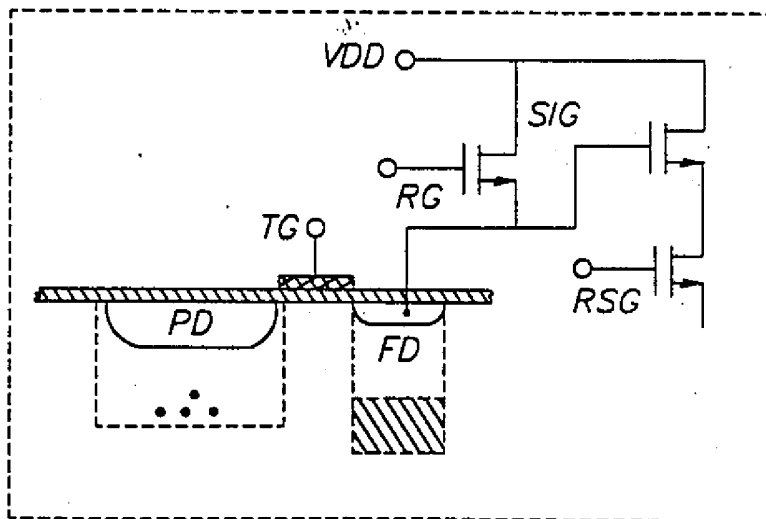


圖 1b
(先前技藝)

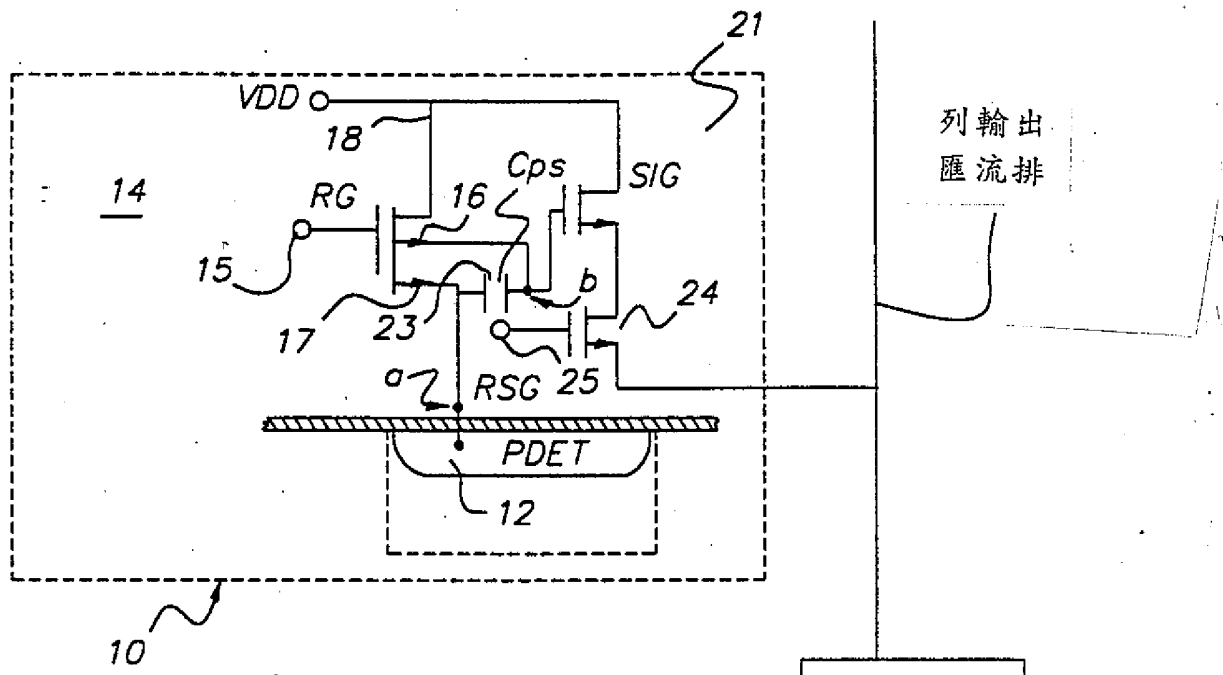


圖 2

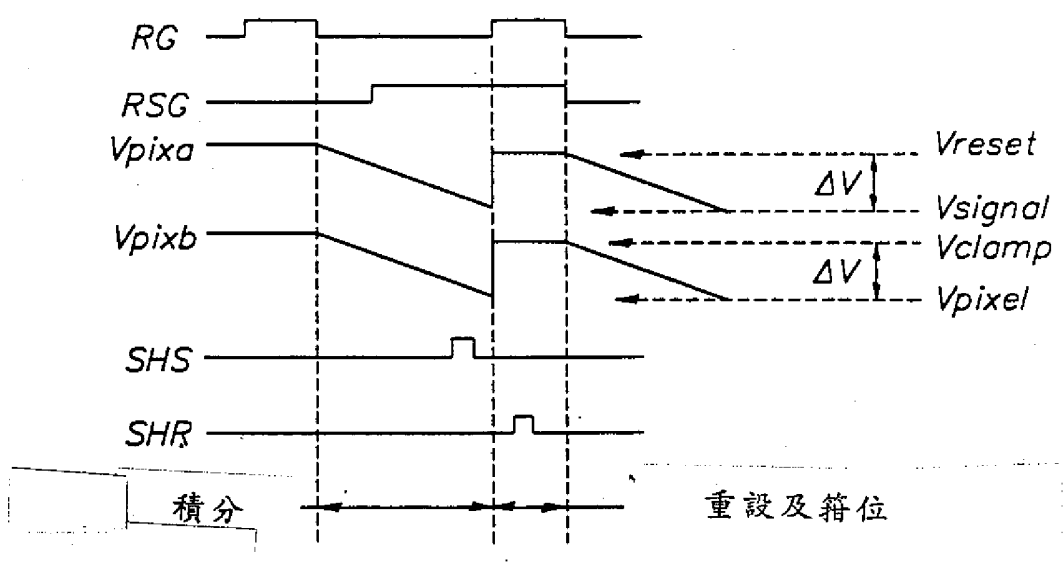
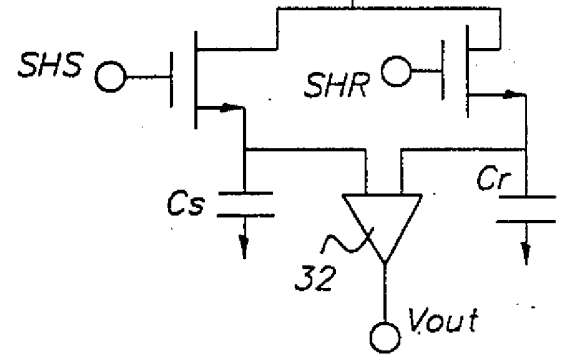


圖 3

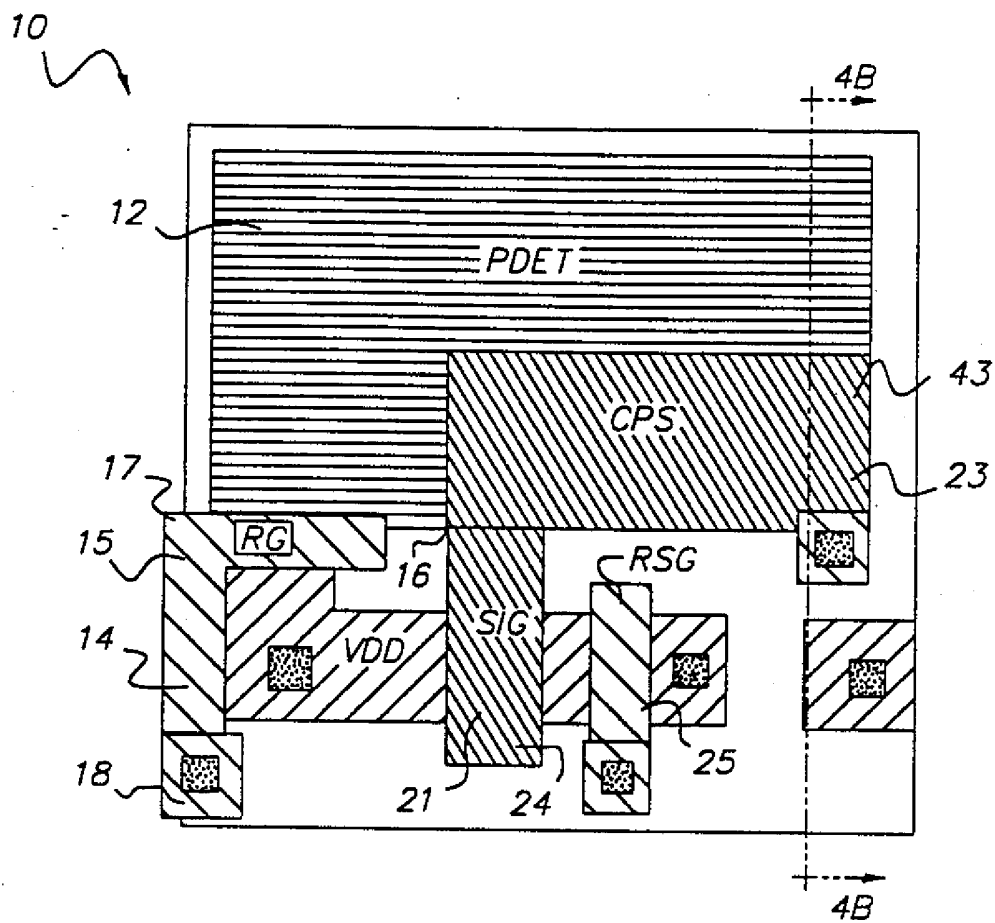


圖 4a

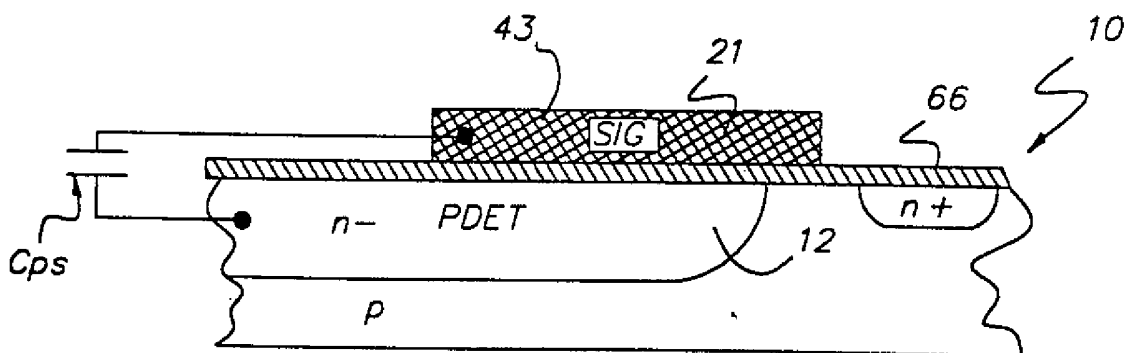


圖 4b

六、申請專利範圍

1. 一種具有包括至少一個像素之多個像素之主動像素感測器，包括：
 - 一可操作地連接於一第一電節點之光電偵測器；
 - 一具有連接於第一電節點之一第一邊及連接於第二電節點之一第二邊的像素信號耦合電容器；
 - 一具有一連接於第一電節點之第一源極及一連接於第二電節點之第二源極的重設電晶體；
 - 一在被連接於一重設控制匯流排之重設電晶體上的重設閘極及一在被連接於一電源供匯流排之重設電晶體上的汲極；及
 - 一可操作地連接於第二電節點之放大器。
2. 如申請專利範圍第1項之主動像素感測器，其中放大器係一被耦合於一選擇電晶體之源極耦合器放大器致使選擇電晶體能提供相當於至一輸出信號匯流排上之第二電節點電壓之數值之源極耦合器輸出信號。
3. 如申請專利範圍第1項之主動像素感測器，其中更包括一選擇電晶體為一提供相當於至一輸出信號匯流排上之第二電節點電壓之數值之放大器輸出信號之行選擇電晶體。
4. 如申請專利範圍第1項之主動像素感測器，其中施加至重設閘極之一預定信號則重設第一電節點及光電偵測器至一預定第一電位，第二電節點至一預定第二電位，及施加一第二預定信號至重設閘極使在第二電節點上之電容器之第二邊浮動而連接於第一電節點之光電偵測器係被

(請先閱讀背面之注意事項再填寫本頁)

訂

六、申請專利範圍

允許搜集電荷。

5. 如申請專利範圍第4項之主動像素感測器，其中電容器之第一邊及第二邊在施加第二預定信號至重設閘極後儲存電位中之任何電荷。
6. 如申請專利範圍第1項之主動像素感測器，其中具有第一源極及第二源極之重設電晶體係用一具有第一源極之第一重設電晶體及一具有第二源極之第二重設電晶體予以替代。
7. 如申請專利範圍第1項之主動像素感測器，其中信號耦合電容器係由光電偵測器，及一重疊至少一部分偵測器，且用一電介質層與光電偵測器相隔開之多晶矽層予以形成。
8. 如申請專利範圍第1項之主動像素感測器，更包括一可操作連接於光電偵測器之氧化銦錫(ITO)電極以控制光電偵測器電位位準。
9. 如申請專利範圍第1項之主動像素感測器，其中信號耦合電容器係由光電偵測器，及一重疊至少一部分光電偵測器，且用一電介質層與光電偵測器相隔開之氧化銦錫(ITO)層予以形成。
10. 一種具有包括至少一個像素之多個像素之主動像素感測器，包括：
 - 一具有可操作地連接至位於一第一電節點上之一電容器之一第一邊之重設機構之光電偵測器；
 - 一可操作地耦合至位於一第二電節點之一第一邊之電

(請先閱讀背面之注意事項再填寫本頁)

訂

六、申請專利範圍

容器之第二邊；

用以啟動重設機構之裝置致使第一及第二電節點皆調節至各自第一及第二電位；及

一可操作地連接於第二電節點之放大器。

11. 如申請專利範圍第10項之主動像素感測器，其中重設裝置更包括：

一具有一連接在第一電節點上之第一源極及一連接於第二電節點之第二源極之重設電晶體；及

一在被連接於一重設控制匯流排之重設電晶體上之重設閘極及一在被連接於一電源供給匯流排之重設電晶體上之汲極。

12. 如申請專利範圍第10項之主動像素感測器，其中放大器係一耦合於一選擇裝置之源極耦合器放大器，該選擇裝置則包括一使選擇電晶體能提供相當於至一輸出信號匯流排上之第二電節點電壓之數值之源極耦合器輸出信號之選擇電晶體。

13. 如申請專利範圍第12項之主動像素感測器，更包括為一行選擇電晶體之一選擇電晶體，而該行選擇電晶體則提供相當於一列輸出信號匯流排上之第二節點電壓之數值之源極耦合器輸出信號。

14. 如申請專利範圍第10項之主動像素感測器，其中施加至重設閘極之一預定信號重設第一電節點及光電偵測器至一預定第一電位，及施加至重設閘之一預定第二預定信號使在第二電節點上之電容器之第二邊浮動而被連接於

(請先閱讀背面之注意事項再填寫本頁)

訂

六、申請專利範圍

第一電節點之光電偵測器係被允許收集電荷。

15. 如申請專利範圍第14項之主動像素感測器，其中電容器之第一邊及第二邊在施加至重設閘極之第二預定信號後儲存電位中之任何電位改變。
16. 如申請專利範圍第10項之主動像素感測器，其中信號耦合電容器係由光電偵測器，及一重疊至少一部分光電偵測器，且用一電介質與光電偵測器相隔開之多晶矽層予以形成。
17. 如申請專利範圍第10項之主動像素感測器，更包括一可操作連接於光電偵測器之氧化銦錫(ITO)電極以控制光電偵測器電位位準。
18. 如申請專利範圍第10項之主動像素感測器，其中信號耦合電容器係由光電偵測器，及一重疊至少一部分光電偵測器，且用一電介質層與光電偵測器相隔開之氧化銦錫(ITO)層予以形成。
19. 如申請專利範圍第10項之主動像素感測器，其中重設機構更包括分別耦合於第一及第二電節點之一第一電晶體及一第二電晶體。
20. 一種製作一主動像素感測器之方法：

提供一具有一可操作地耦合於重設裝置及放大裝置之光電偵測元件的像素；

用一電氣連接該重設裝置於電容元件之兩邊上之電容元件交流耦合光電偵測元件及放大裝置，致使電容元件之每邊係在一分離之電節點上；

(請先閱讀背面之注意事項再填寫本頁)

訂

六、申請專利範圍

形成用以重設電容元件之兩邊至相應電位的裝置；及
建立用以放大被儲存在電容元件上之電位的裝置。

21. 如申請專利範圍第20項之方法，其中形成步驟更包括形成一具有一被連接於電容元件之一第一邊之第一源極及一被連接於電容元件之一第二邊之第二源極之重設電晶體。
22. 如申請專利範圍第20項之方法，其中更包括置放一在一部分光電偵測元件上方，用一電介質與光電偵測元件相隔開，及連接於放大裝置之多晶矽層。
23. 如申請專利範圍第20項之方法，其中更包括置放一在至少一部分光電偵測元件上方，用一電介質與光電偵測元件相隔開，及連接於放大裝置之ITO層。

(請先閱讀背面之注意事項再填寫本頁)

訂