

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2012 年 3 月 15 日(15.03.2012)

PCT

(10) 国際公開番号
WO 2012/033136 A1

- (51) 国際特許分類:
H01F 17/00 (2006.01) H01F 27/00 (2006.01)
- (21) 国際出願番号: PCT/JP2011/070399
- (22) 国際出願日: 2011 年 9 月 7 日(07.09.2011)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2010-201959 2010 年 9 月 9 日(09.09.2010) JP
- (71) 出願人 (米国を除く全ての指定国について): TDK 株式会社 (TDK Corporation) [JP/JP]; 〒1038272 東京都中央区日本橋一丁目 1 3 番 1 号 Tokyo (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 木村 一成 (KIMURA Kazunari) [JP/JP]; 〒1030027 東京都中央区日本橋一丁目 1 3 番 1 号 TDK-EP C株式会社 内 Tokyo (JP). 戸蒔 重光(TOMA-KI Shigemitsu) [JP/JP]; 〒1030027 東京都中央区日本橋一丁目 1 3 番 1 号 TDK-EP C株式会社 内 Tokyo (JP). 田端 美咲(TABATA Misaki) [JP/JP]; 〒1030027 東京都中央区日本橋一丁目 1 3 番 1 号 TDK-EP C株式会社 内 Tokyo (JP). 阿部 勇雄 (ABE Isao) [JP/JP]; 〒

1030027 東京都中央区日本橋一丁目 1 3 番 1 号 TDK-EP C株式会社 内 Tokyo (JP).

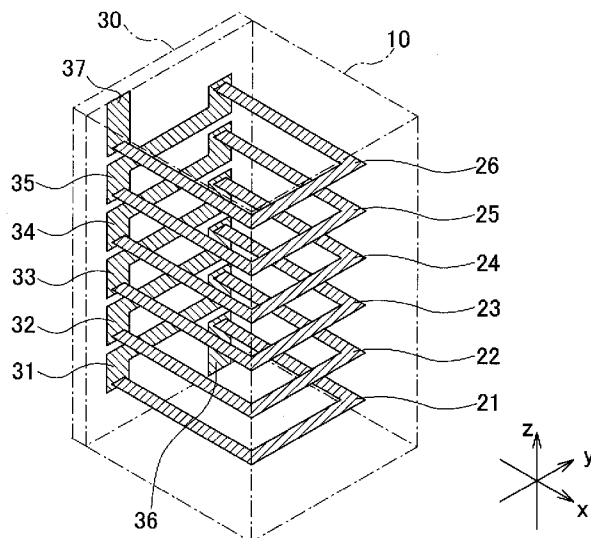
- (74) 代理人: 増子 尚道 (MASHIKO Naomichi); 〒1020092 東京都千代田区隼町 2 番 1 2 号藤和半蔵門コープ 406号 Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ユーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

[続葉有]

(54) Title: LAMINATED ELECTRONIC COMPONENT EQUIPPED WITH INDUCTOR

(54) 発明の名称: インダクタを含む積層型電子部品

[図2]



(57) Abstract: A laminated electronic component comprising a first laminate and a second laminate that has a surface wiring layer and is bonded to the first laminate, wherein the first laminate and the wiring layer in the second laminate are orthogonal to each other, the first laminate has a first inductor conductor arranged on a first wiring layer and a second inductor conductor arranged on a second wiring layer, and the second laminate has a connecting conductor for electrically connecting an end part of the first inductor conductor to an end part of the second inductor conductor on a surface that is bonded to the first laminate in such a manner the first inductor conductor and the second inductor conductor can together form a coil-shaped inductor.

(57) 要約: 第一積層体と、表面配線層を備えかつ第一積層体に接合した第二積層体とを含む積層型電子部品で、第一積層体と第二積層体の配線層は互いに直交し、第一積層体は、第一配線層に配した第

ーインダクタ用導体と、第二配線層に配した第二インダクタ用導体とを有し、第二積層体は、第一インダクタ用導体と第二インダクタ用導体がコイル状のインダクタを形成するように第一積層体との接合面において第一インダクタ用導体の端部と第二インダクタ用導体の端部を電氣的に接続する接続導体を有する。



添付公開書類:

— 国際調査報告 (条約第 21 条(3))

明 細 書

発明の名称： インダクタを含む積層型電子部品

技術分野

[0001] 本発明は、インダクタを含む積層型電子部品に係り、特に、スルーホールのような絶縁層を貫通する接続導体を使用せずに積層体内部にインダクタを形成する技術に関する。

背景技術

[0002] 高周波LCフィルタ回路や共振回路、インピーダンスマッチングなど様々な用途にインダクタは使用される。また、電子部品の小型薄型化ならびに高機能化の要請に応えるため、セラミック積層体の内部にインダクタを形成し、各種の電子部品や電子モジュールを構成する場合がある。

[0003] 図28～図29は、このような積層体の内部に形成した従来のインダクタの一例を示すものである。これらの図に示すように複数の配線層に亘って形成した導体パターンによりインダクタを形成する場合には従来、積層体の内部配線層の各々に形成した導体パターン2a, 2b, 2c, 2d, 2e, 2f, 2gをスルーホール等の貫通型の接続導体Vで接続し、これにより全体として螺旋形状を有するインダクタを積層体内部に形成している。各配線層の導体パターン2a～2gは、例えばセラミックグリーンシート1b～1hの表面に導電ペーストを印刷することにより形成し、これら複数のグリーンシート1b～1hを積層してチップ化した後、焼成することにより電子部品を得る。

[0004] また、このようなインダクタを含む積層型電子部品を開示するものとして下記特許文献がある。

先行技術文献

特許文献

[0005] 特許文献1：特開平10-106838号公報

特許文献2：特開2009-170737号公報

発明の概要

- [0006] ところで従来、インダクタを積層体の内部に備えるには、前記図 28～図 29 に示し、また特許文献に示されるように各配線層に印刷したインダクタ導体同士を、セラミック層（グリーンシート）を貫通するスルーホールで電氣的に接続する必要がある。このため、インダクタの形成を印刷工程のみで行うことが出来ず、スルーホールの穴あけ加工やホール内に導電ペーストを充填する工程が別途必要となり、製造工程が複雑となる難がある。
- [0007] また、従来のスルーホールを用いたコイル状のインダクタは、インダクタを構成する上下の導体パターンとこれらを接続するスルーホールとからなり、インダクタ用導体（パターン導体）としてはこれらが不連続でスルーホールとパターン導体との接続点が存在するから、高 Q と低損失化の点で不利な面があり、電子部品のより一層の特性向上を図るうえでスルーホールを使用せずに導体パターンのみでインダクタを構成できる新たなインダクタ構造の提供が望まれる。特に近年、電子機器の多機能・高機能化の進展が著しく、これに対応可能な高 Q ならびに低損失のインダクタの実現が求められる。
- [0008] したがって、本発明の目的は、スルーホールのような絶縁層貫通型の接続導体を使用せずに積層体の内部に複数層に亘ってインダクタを形成することを可能とすることにより、インダクタを含む積層型電子部品の製造工程を簡略化し、電気特性を更に向上させる点にある。
- [0009] 前記課題を解決し目的を達成するため、本発明に係る第一の積層型電子部品は、絶縁層を介して積層した 2 層以上の配線層を有する第一積層体と、少なくとも 1 層の絶縁層とその表面に形成した配線層とを備えかつ前記第一積層体に接合した第二積層体とを含む積層型電子部品であって、前記第一積層体の配線層と、前記第二積層体の配線層とは互いに略直交し、前記第一積層体は、前記 2 層以上の配線層のうちの第一の配線層に配した第一インダクタ用導体と、前記 2 層以上の配線層のうちの第二の配線層に配した第二インダクタ用導体とを有し、前記第二積層体は、前記第一インダクタ用導体および前記第二インダクタ用導体がコイル状のインダクタを形成するように前記第

一積層体との接合面において前記第一インダクタ用導体の端部と前記第二インダクタ用導体の端部とを電氣的に接続する接続導体を有する。

[0010] 本発明の積層型電子部品では、積層体（第一積層体）内部の異なる配線層に配置した複数のインダクタ用導体を電氣的に接続してコイル状のインダクタを構成するが、当該インダクタ用導体同士を従来のようにスルーホール等の絶縁層を貫通する層間接続導体で接続するのではなく、当該積層体（第一積層体）の配線層と配線層が略直交するように当該第一積層体に接合する第二積層体によってインダクタ用導体同士を接続する。

[0011] この第二積層体は、第一積層体との接合面となる表面に配線層を備えており、この配線層にインダクタ用導体同士を接続する前記接続導体（パターン導体）を形成しておく。そして、この接続導体に前記第一インダクタ用導体の端部と前記第二インダクタ用導体の端部をそれぞれ接続することにより、これら第一インダクタ用導体と第二インダクタ用導体とを接続導体を介して電氣的に接続する。

[0012] 第二積層体に備える上記接続導体は、例えば導電ペーストを印刷する方法によって形成すれば良く、このような構造を有する本発明によれば、従来必要であったスルーホールの穴あけ加工やホール内への導電ペーストの充填作業等が不要となる。また、絶縁層の表面に形成した導体パターンのみによってインダクタを構成することができ、高Qおよび低損失のインダクタを積層体の内部に備えることが可能となる。

[0013] また、上記第一の積層型電子部品ではその一態様として、前記第一積層体が直方体の全体形状を有し、前記第一インダクタ用導体は、前記第一の配線層においてループ状に形成されて一端部および他端部が前記第二積層体との接合面にそれぞれ露出し、前記第二インダクタ用導体は、前記第二の配線層において前記第一インダクタ用導体と略重なるようにループ状に形成されて、一端部が前記第二積層体との接合面に露出するとともに前記第一積層体の積層方向に関し（第一積層体の各配線層に直交する方向から見たときに／以下同様）前記第一インダクタ用導体の一端部と略重なる位置に配置され、か

つ、他端部が前記第二積層体との接合面に露出するとともに前記第一積層体の積層方向に関し前記第一インダクタ用導体の他端部と略重なる位置に配置され、前記接続導体は、前記第一インダクタ用導体の他端部と、前記第二インダクタ用導体の一端部とを電氣的に接続する。

[0014] なお、上記電子部品においては、第一インダクタ用導体および第二インダクタ用導体に加えて更に多くのインダクタ用導体を備え、これらを前記第一インダクタ用導体および第二インダクタ用導体と同様に接続導体で接続することにより全体として1つのインダクタを構成することが可能である（後に述べる第二から第四の電子部品についても同様）。

[0015] また、本発明の第二の積層型電子部品は、絶縁層を介して積層した4層以上の配線層を有しかつ直方体の全体形状を有する第一積層体と、少なくとも1層の絶縁層とその表面に形成した配線層とを備えかつ前記第一積層体に接合した第二積層体と、少なくとも1層の絶縁層とその表面に形成した配線層とを備えかつ前記第一積層体に接合した第三積層体とを備える。またこの第二の積層型電子部品では、前記第二積層体の配線層および前記第三積層体の配線層はともに、前記第一積層体の配線層と略直交し、前記第一積層体の表面のうち、前記第二積層体が接合される面を第一接合面としたときに、前記第三積層体は、当該第一接合面に対向又は隣接する第一積層体の表面である第二接合面に接合され、前記第一積層体に含まれる4層の配線層をより上層に位置する配線層から順に、第一配線層、第二配線層、第三配線層および第四配線層としたときに、前記第一積層体は、第一配線層に配した第一インダクタ用導体と、第二配線層に配した第二インダクタ用導体と、第三配線層に配した第三インダクタ用導体と、第四配線層に配した第四インダクタ用導体とを有する。さらに、前記第一インダクタ用導体は、前記第一の配線層においてループ状に形成されて一端部および他端部が前記第一接合面にそれぞれ露出し、前記第二インダクタ用導体は、前記第二の配線層において前記第一インダクタ用導体と略重なるようにループ状に形成されて一端部および他端部が前記第二接合面にそれぞれ露出し、前記第三インダクタ用導体は、前記

第三の配線層において前記第一インダクタ用導体および前記第二インダクタ用導体と略重なるようにループ状に形成されて、一端部が前記第一接合面に露出するとともに前記第一積層体の積層方向に関し前記第一インダクタ用導体の一端部と略重なる位置に配置され、かつ、他端部が前記第一接合面に露出するとともに前記第一積層体の積層方向に関し前記第一インダクタ用導体の他端部と略重なる位置に配置され、前記第四インダクタ用導体は、前記第四の配線層において前記第一インダクタ用導体、前記第二インダクタ用導体および前記第三インダクタ用導体と略重なるようにループ状に形成されて、一端部が前記第二接合面に露出するとともに前記第一積層体の積層方向に関し前記第二インダクタ用導体の一端部と略重なる位置に配置され、かつ、他端部が前記第二接合面に露出するとともに前記第一積層体の積層方向に関し前記第二インダクタ用導体の他端部と略重なる位置に配置され、前記第二積層体は、前記第一インダクタ用導体および前記第三インダクタ用導体がコイル状のインダクタを形成するように前記第一接合面において当該第一インダクタ用導体の他端部と当該第三インダクタ用導体の一端部とを電氣的に接続する第一接続導体を有し、前記第三積層体は、前記第二インダクタ用導体および前記第四インダクタ用導体がコイル状のインダクタを形成するように前記第二接合面において当該第二インダクタ用導体の他端部と当該第四インダクタ用導体の一端部とを電氣的に接続する第二接続導体を有する。

[0016] 上記第二の積層型電子部品構造によれば、積層体の内部に二重螺旋形態のインダクタを形成することが出来る。具体的には、第一積層体の第一配線層に配した第一インダクタ用導体と第三配線層に配した第三インダクタ用導体とにより形成される螺旋状のインダクタと、第二配線層に配した第二インダクタ用導体と第四配線層に配した第四インダクタ用導体とにより形成される螺旋状のインダクタとが平面から見たときに（第一積層体の積層方向、言い換えれば、第一積層体の各配線層に直交する方向から見たときに）互いに重なり合い、かつ交互に差し込まれるように積層される。第一から第四の各インダクタ用導体は、ループ状の形状を有しており、第一インダクタ用導体と

第三インダクタ用導体により形成される螺旋状の導体と、第二インダクタ用導体と第四インダクタ用導体により形成される螺旋状の導体とが交互に差し込まれるように組み合わせられ、全体として二重螺旋のループを形成する。

[0017] さらに、本発明の第三の積層型電子部品は、絶縁層を介して積層した3層以上の配線層を有しかつ直方体の全体形状を有する第一積層体と、少なくとも1層の絶縁層とその表面に形成した配線層を備えかつ前記第一積層体に接合した第二積層体と、少なくとも1層の絶縁層とその表面に形成した配線層を備えかつ前記第一積層体に接合した第三積層体とを備える。またこの第三の積層型電子部品では、前記第二積層体の配線層および前記第三積層体の配線層はともに、前記第一積層体の配線層と略直交し、前記第一積層体の表面のうち、前記第二積層体が接合される面を第一接合面としたときに、前記第三積層体は、当該第一接合面に対向する第一積層体の表面である第二接合面に接合され、前記第一積層体に含まれる3層の配線層をより上層に位置する配線層から順に、第一配線層、第二配線層、および第三配線層としたときに、前記第一積層体は、一端部が前記第一接合面に露出するとともに他端部が前記第二接合面に露出しかつ前記第一接合面から前記第二接合面まで延在するように前記第一配線層に形成した第一インダクタ用導体と、一端部が前記第一接合面に露出するとともに他端部が前記第二接合面に露出しかつ前記第一接合面から前記第二接合面まで延在するように前記第二配線層に形成した第二インダクタ用導体と、一端部が前記第一接合面に露出するとともに他端部が前記第二接合面に露出しかつ前記第一接合面から前記第二接合面まで延在するように前記第三配線層に形成した第三インダクタ用導体とを有する。さらに、前記第一インダクタ用導体と前記第三インダクタ用導体とは、前記第一積層体の積層方向から見たときに略重なるように配置される一方、前記第一インダクタ用導体および前記第三インダクタ用導体と、前記第二インダクタ用導体とは、前記第一積層体の積層方向から見たときに互いに間隔を隔てて配置され、前記第二積層体は、前記第一インダクタ用導体および前記第二インダクタ用導体がコイル状のインダクタを形成するように前記第一接合

面において前記第一インダクタ用導体の一端部と前記第二インダクタ用導体の一端部とを電氣的に接続する第一接続導体を有し、前記第三積層体は、前記第二インダクタ用導体および前記第三インダクタ用導体がコイル状のインダクタを形成するように前記第二接合面において前記第二インダクタ用導体の他端部と前記第三インダクタ用導体の他端部とを電氣的に接続する第二接続導体を有する。

[0018] この第三の積層型電子部品では、各インダクタ用導体は、典型的には、第一接合面と第二接合面との間に延びる直線状（長方形または短冊状）の電極とすることが出来るが、例えば折れ曲がっていたり弧を描くなど、インダクタ用導体の形状はそのほかにも様々な形状であって良い。

[0019] さらに、本発明の第四の積層型電子部品は、絶縁層を介して積層した2層以上の配線層を有しかつ直方体の全体形状を有する第一積層体と、絶縁層を介して積層した2層以上の配線層を有しかつ直方体の全体形状を有する第二積層体と、表面に形成した表面配線層と裏面に形成した裏面配線層とを有して前記第一積層体と前記第二積層体との間に介在され、前記表面配線層が前記第一積層体に当接するとともに前記裏面配線層が前記第二積層体に当接するように前記第一積層体と前記第二積層体とに接合された第三積層体とを備え、前記第三積層体の表面配線層は、前記第一積層体の配線層と略直交し、前記第三積層体の裏面配線層は、前記第二積層体の配線層と略直交する。またこの第四の電子部品では、前記第一積層体は、当該第一積層体の前記2層以上の配線層のうちの第一の配線層に配した第一インダクタ用導体と、当該第一積層体の前記2層以上の配線層のうちの第二の配線層に配した第二インダクタ用導体とを有し、前記第二積層体は、当該第二積層体の前記2層以上の配線層のうちの第一の配線層に配した第三インダクタ用導体と、当該第二積層体の前記2層以上の配線層のうちの第二の配線層に配した第四インダクタ用導体とを有し、前記第三積層体は、前記第一インダクタ用導体と前記第二インダクタ用導体とがコイル状のインダクタを形成するように前記第一積層体との接合面において前記第一インダクタ用導体の端部と前記第二インダ

クタ用導体の端部とを電氣的に接続する第一接続導体を前記表面配線層に有するとともに、前記第三インダクタ用導体と前記第四インダクタ用導体とがコイル状のインダクタを形成するように前記第二積層体との接合面において前記第三インダクタ用導体の端部と前記第四インダクタ用導体の端部とを電氣的に接続する第二接続導体を前記裏面配線層に有する。

[0020] なお、この第四の電子部品では、上記インダクタ用導体（第一インダクタ用導体、第二インダクタ用導体、第三インダクタ用導体および第四インダクタ用導体）は、前記第一の積層型電子部品の一態様のようにループ形状を有していても良いし、前記第三の電子部品において述べたような直線状の（当該積層体の互いに対向する一方の面から他方の面まで延びる）電極であっても良い。また、このような直線状の電極により当該インダクタ用導体を形成する場合には前記第三の電子部品と同様に、上記第一積層体および第二積層体のそれぞれについて、第三積層体との接合面とは反対側（当該接合面に対向する面）の面に、接続導体を備えた積層体を更に接合させて当該対向面（第三積層体との接合面とは反対側の面）においてインダクタ用導体の端部同士を電氣的に接続すれば良い。

[0021] 上記本発明に係る各電子部品において、インダクタ用導体を含む積層体は、例えばセラミックグリーンシートを積層することにより形成することが可能である。インダクタ用導体および接続導体は、例えば印刷法（例えばスクリーン印刷）により形成することが出来る。

[0022] 一方、接続導体を備えインダクタ用導体を含む積層体に対し接合される積層体、具体的には、前記第一の積層型電子部品における第二積層体、前記第二および第三の積層型電子部品における第二積層体および第三積層体、ならびに前記第四の積層型電子部品における第三積層体は、後に述べる実施形態のように典型的には、表面および裏面のいずれか一方又は双方のみに配線層を備えたシート状の構造体により構成することが出来るが、このような構造体に限らず、例えば上記インダクタ用導体を含む積層体と同様に内部にも配線層を備え、当該内部配線層に本発明に言う接続導体以外の回路素子や導体

パターンを備えるものとすることも可能である。

[0023] また、上記インダクタ用導体を含む積層体と接続導体を備えた積層体とを接合するには、例えば、セラミックグリーンシートからなる両積層体を加熱しながら圧着することにより一体化し、その後焼成することによって行うことが可能であり、当該焼成により両積層体は連続した焼結体となって強固に接合されることとなる。なお、このような接合工程を含む本発明に係る電子部品の製造は、本出願人による先の提案（特願2010-165398）を好ましく適用することが出来る。この製造方法については、後の実施形態の説明において図面を参照しつつ更に説明する。

[0024] また、本発明に言う「積層型電子部品」は、インダクタのみを備える単体部品（チップインダクタ）であっても良いが、キャパシタや抵抗その他の受動素子、あるいは、トランジスタやFETのような能動素子、ICのような能動素子を含む集積回路などインダクタ以外の様々な回路素子を含む複合電子部品であって良い。

[0025] また本発明に言う積層型電子部品を機能面（部品の種類）から捉えた場合には、例えば、バンドパスフィルタ、ローパスフィルタ及びハイパスフィルタ等のフィルタ、デュプレクサ、ダイプレクサ、パワーアンプモジュール、高周波重畳モジュール、アイソレータ、センサなど様々な電子部品や電子モジュールが本発明に言う積層型電子部品に含まれる。

[0026] なお、本発明はスルーホールのような絶縁層貫通型の接続導体を本発明に係る電子部品に含めることを禁止するものではなく、例えば外部接続端子や他の回路素子等との接続において使用するなど貫通型接続導体を含むものであっても良い。

発明の効果

[0027] 本発明によれば、スルーホールのような絶縁層貫通型の接続導体を使用せずに積層体の内部に複数層に亘ってコイル状のインダクタを形成することが可能となり、コイル状のインダクタを含む積層型電子部品の製造工程を簡略化することが出来るとともに、当該電子部品の電気特性を向上させることが

出来る。

[0028] 本発明の他の目的、特徴および利点は、図面に基づいて述べる以下の本発明の実施の形態の説明により明らかにする。なお、本発明は下記の実施形態に限定されるものではなく、特許請求の範囲に記載の範囲内で種々の変更を行うことができることは当業者に明らかである。また、各図中、同一の符号は、同一又は相当部分を示す。

図面の簡単な説明

[0029] [図1]図1は、本発明の第一の実施形態に係る積層型インダクタの外観を示す斜視図である。

[図2]図2は、前記第一実施形態に係る積層型インダクタの導体パターンを示す斜視図である。

[図3]図3は、前記第一実施形態に係る積層型インダクタの分解斜視図である。

[図4]図4は、本発明の第二の実施形態に係る積層型インダクタの外観を示す斜視図である。

[図5]図5は、前記第二実施形態に係る積層型インダクタの導体パターンを示す斜視図である。

[図6]図6は、前記第二実施形態に係る積層型インダクタの分解斜視図である。

[図7]図7は、本発明の第三の実施形態に係る積層型インダクタの内部構造を透視状態で示す斜視図である。

[図8]図8は、前記第三実施形態に係る積層型インダクタの分解斜視図である。

[図9]図9は、前記第三実施形態に係る積層型インダクタのQ値を従来の積層型インダクタと比較して示す線図である。

[図10]図10は、本発明の第四の実施形態に係る積層型バンドパスフィルタの等価回路図である。

[図11]図11は、前記第四実施形態に係る積層型バンドパスフィルタの内部

構造を透視状態で示す斜視図である。

[図12]図 1 2 は、前記第四実施形態に係る積層型バンドパスフィルタの分解斜視図である。

[図13]図 1 3 は、前記第四実施形態に係る積層型バンドパスフィルタの周波数特性を示す線図である。

[図14]図 1 4 は、本発明に係る積層型電子部品を製造するのに好適な製造方法の一工程を模式的に示す斜視図である。

[図15]図 1 5 は、前記製造方法における一工程を模式的に示す斜視図である。
。

[図16]図 1 6 は、前記製造方法における一工程を模式的に示す斜視図である。
。

[図17]図 1 7 は、前記製造方法における一工程を模式的に示す斜視図である。
。

[図18]図 1 8 は、前記製造方法における一工程を模式的に示す斜視図である。
。

[図19]図 1 9 は、前記製造方法における一工程を模式的に示す斜視図である。
。

[図20]図 2 0 は、前記製造方法における一工程を模式的に示す斜視図である。
。

[図21]図 2 1 は、前記製造方法における一工程を模式的に示す斜視図である。
。

[図22]図 2 2 は、前記製造方法における一工程を模式的に示す斜視図である。
。

[図23]図 2 3 は、前記製造方法における一工程を模式的に示す斜視図である。
。

[図24]図 2 4 は、前記製造方法における一工程を模式的に示す斜視図である。
。

[図25]図 2 5 は、前記製造方法における再編積層シートの断面（図 2 4 の B

ーB断面)を模式的に示す図である。

[図26]図26は、前記製造方法における一工程を模式的に示す斜視図である。

[図27]図27は、前記製造方法における一工程を模式的に示す斜視図である。

[図28]図28は、従来の積層型インダクタの内部構造を透視状態で示す斜視図である。

[図29]図29は、前記従来の積層型インダクタの分解斜視図である。

発明を実施するための最良の形態

[0030] [第1実施形態]

本発明の第一の実施形態に係る電子部品は、図1から図3に示すように、複数(図示の例の場合6層)の内部配線層を備えるようにセラミックシート11、12、13、14、15、16、17を積層した第一積層体10と、セラミックシートの表面に配線層を備えた第二積層体30とを、第一積層体10と第二積層体30の積層方向が互いに直交するように(第一積層体10の配線層と第二積層体30の配線層とが互いに90°の角度をなすように)接合したものである。

[0031] 第一積層体10の各内部配線層には、略コ字状(略U字状)の平面形状を有するインダクタ用導体21、22、23、24、25、26を形成しており、これら各配線層に配したインダクタ用導体21～26は平面から見たときに(図1から図3のz軸方向から見たときに)ちょうど重なり合うように配置してある。また、これら各インダクタ用導体21～26の両端部(各一端部21a～26aおよび各他端部21b～26b)は、第二積層体30に備える接続導体との電氣的接続が可能となるように第二積層体30が接合される第一積層体10の側面に露出している。

[0032] なお、以下の説明では、第一積層体10の内部配線層を下から順に、第1層、第2層、・・・とし、最上層の内部配線層を第6層と称する。また、第1層に形成したインダクタ用導体21を第1インダクタ用導体、第2層に形

成したインダクタ用導体 2 2 を第 2 インダクタ用導体とし、以降、第 3 層から第 6 層にそれぞれ形成したインダクタ用導体 2 3 ～ 2 6 を、第 3 インダクタ用導体、第 4 インダクタ用導体、第 5 インダクタ用導体、第 6 インダクタ用導体とそれぞれ称する（後に述べる実施形態についても同様）。また、積層数（インダクタ用導体の数）は特にこの例（6 層又は 6 つ）に限られるものではなくこれより少なくても多くても良い。

[0033] 第二積層体 3 0 の表面配線層には、上記第 1 から第 6 の各インダクタ用導体 2 1 ～ 2 6 が全体としてインダクタとして機能するように当該インダクタ用導体 2 1 ～ 2 6 を電氣的に接続する複数の接続導体 3 1, 3 2, 3 3, 3 4, 3 5 を形成する。

[0034] 具体的には、第一積層体 1 0 の側面に露出した第 2 インダクタ用導体 2 2 の一端部 2 2 a が当接する一端部 3 1 a と、第 1 インダクタ用導体 2 1 の他端部 2 1 b が当接する他端部 3 1 b とを有する第 1 接続導体 3 1 を、第一積層体 1 0 との接合面となる第二積層体 3 0 の表面に形成してこの第 1 接続導体 3 1 により第 1 インダクタ用導体 2 1 と第 2 インダクタ用導体 2 2 とを電氣的に接続する。

[0035] 同様に、第一積層体 1 0 の側面に露出した第 3 インダクタ用導体 2 3 の一端部 2 3 a が当接する一端部 3 2 a と、第 2 インダクタ用導体 2 2 の他端部 2 2 b が当接する他端部 3 2 b とを有する第 2 接続導体 3 2 を第二積層体 3 0 の表面に形成してこの第 2 接続導体 3 2 により第 2 インダクタ用導体 2 2 と第 3 インダクタ用導体 2 3 とを電氣的に接続する。以下、同様に設けた第 3 接続導体 3 3、第 4 接続導体 3 4 および第 5 接続導体 3 5 により、第 3 インダクタ用導体 2 3 から第 6 インダクタ用導体 2 6 を順に接続して行き、第 1 から第 6 までの各インダクタ用導体 2 1 ～ 2 6 が第一積層体 1 0 の内部で螺旋状になるようにインダクタを形成する。

[0036] なお、第一積層体 1 0 の上面および下面にはそれぞれ、外部接続用の端子電極（図示せず）を備えたり、あるいは更にセラミックシートを積層し配線層を設けて他の回路素子を備えることも可能であり、これらの端子電極や他

の回路素子と上記インダクタとを接続するには、前記接続導体と同様に第二積層体 30 の表面の上端部および下端部にそれぞれ接続導体 36, 37 を設け、これらの接続導体 36, 37 によって端子電極や他の回路素子との接続を行えば良い。

[0037] 〔第 2 実施形態〕

本発明の第二の実施形態に係る電子部品は、前記第一実施形態のインダクタと同様に、セラミック積層体の各配線層にインダクタ用導体を備えた第一積層体と、これらのインダクタ用導体をインダクタを形成するように接続する接続導体を備えた積層体とを有するものであるが、前記第一実施形態と異なり、図 4 から図 6 に示すように第一積層体 40 の対向する一对の側面にそれぞれ第二積層体 80 と第三積層体 90 を接合し、インダクタが二重螺旋構造を有する。

[0038] 具体的には、第一積層体 40 の各配線層には、前記第一実施形態と同様に略コ字状（略 U 字状）の平面形状を有するインダクタ用導体 61～70 を備えるが、これらインダクタ用導体 61～70 の向きを一層ごとに互い違いとなるように積層する。すなわち、内部配線層の第 2 層に形成した第 2 インダクタ用導体 62 と、第 4 層に形成した第 4 インダクタ用導体 64 と、第 6 層に形成した第 6 インダクタ用導体 66 と、第 8 層に形成した第 8 インダクタ用導体 68 と、第 10 層に形成した第 10 インダクタ用導体 70（以下、これらを「偶数層インダクタ用導体」と言う／後の第三実施形態でも同様）は、それらの両端部が、前記第一実施形態と同様に第二積層体 80 との接合面となる第一積層体 40 の側面（第一接合面）に露出するように配置してある。

[0039] 一方、第 1 層に形成した第 1 インダクタ用導体 61 と、第 3 層に形成した第 3 インダクタ用導体 63 と、第 5 層に形成した第 5 インダクタ用導体 65 と、第 7 層に形成した第 7 インダクタ用導体 67 と、第 9 層に形成した第 9 インダクタ用導体 69（以下、これらを「奇数層インダクタ用導体」と言う／後の第三実施形態でも同様）は、それらの両端部が前記側面（第一接合面

）とは反対側の（対向する）側面（第二接合面）に露出するように反対向きに（水平面内あるいは $x-y$ 平面内で 180° 回転させた状態となるように）配置してある。そしてこの対向する側面（第二接合面）には、第三積層体 90 を接合する。

[0040] また、上記第 1 から第 10 のインダクタ用導体 $61\sim70$ は、接続導体 $81\sim84$ 、 $91\sim94$ に接続する端部を除いて平面から見たときに重なって配置してあり、奇数層インダクタ用導体 61 、 63 、 65 、 67 、 69 により形成されるインダクタと偶数層インダクタ用導体 62 、 64 、 66 、 68 、 70 により形成されるインダクタとが二重螺旋を形成して全体として一つのインダクタを構成する。第二積層体 80 および第三積層体 90 には、それらの表面（第一積層体 40 との接合面）に前記第一実施形態と同様の接続導体 $81\sim84$ 、 $91\sim94$ を備え、これらにより第一積層体 40 の各インダクタ用導体 $61\sim70$ を接続してそれぞれ螺旋状のインダクタを形成する。

[0041] なお、本実施形態では、第二積層体 80 と第三積層体 90 の接合面を第一積層体 40 の対向する側面としたが、隣接する側面としても同様に二重螺旋構造のインダクタを構成することが可能である。この場合、奇数層インダクタ用導体 61 、 63 、 65 、 67 、 69 と偶数層インダクタ用導体 62 、 64 、 66 、 68 、 70 とが平面から見て互いに 90° の角度をなすように配置すれば良い。さらに本実施形態を適用すれば、三重ないし四重の螺旋構造を有するインダクタを同様に構成することも可能である。

[0042] [第3実施形態]

本発明の第三の実施形態に係る電子部品は、図 7 から図 8 に示すように、前記第一および第二実施形態と同様にセラミック積層体の各配線層にインダクタ用導体 111 、 112 、 113 、 114 、 115 、 116 、 117 を備えた第一積層体 100 と、これらのインダクタ用導体 $111\sim117$ を接続する接続導体 121 、 122 、 123 、 131 、 132 、 133 を備えた積層体（第二積層体 120 および第三積層体 130 ）とを有するものであるが、前記実施形態と異なり、各インダクタ用導体 $111\sim117$ が第一積層体

１００の対向する一対の側面の間に亘って延びる直線状の電極であり、これらの電極を、インダクタを形成するように第二積層体１２０に設けた接続導体１２１～１２３と第三積層体１３０に設けた接続導体１３１～１３３とで接続する。

[0043] より具体的には、第一積層体１００は前後方向（ y 軸方向）にセラミックシート１０１～１０９を積層してなり、この第一積層体１００の一方の側面（第一接合面）に第二積層体１２０を、第一積層体１００の配線層と第二積層体１２０の配線層とが互いに直交するように接合するとともに、当該第一積層体１００の他方の側面（第二接合面）に第三積層体１３０を、第一積層体１００の配線層と第三積層体１３０の配線層とが互いに直交するように接合する。

[0044] 第一積層体１００の内部配線層の第１層から第７層には、一端部が前記第一接合面に、他端部が前記第二接合面にそれぞれ露出する短冊状のインダクタ電極（第１から第７インダクタ用導体）１１１～１１７を形成する。ただし、これらのインダクタ用導体１１１～１１７のうち奇数層に形成したインダクタ用導体、すなわち、第１層に形成した第１インダクタ用導体１１１と、第３層に形成した第３インダクタ用導体１１３と、第５層に形成した第５インダクタ用導体１１５と、第７層に形成した第７インダクタ用導体１１７は、第一積層体１００の底面に近い各配線層の下部に水平に延在するように形成する。

[0045] 一方、偶数層に形成したインダクタ用導体、すなわち、第２層に形成した第２インダクタ用導体１１２と、第４層に形成した第４インダクタ用導体１１４と、第６層に形成した第６インダクタ用導体１１６は、第一積層体１００の天面に近い各配線層の上部に水平に延在するように形成する。

[0046] また第一積層体１００を正面から（積層方向から／ y 軸方向から）見たときに、奇数層インダクタ用導体（第１インダクタ用導体１１１、第３インダクタ用導体１１３、第５インダクタ用導体１１５および第７インダクタ用導体１１７）同士が重なり合い、偶数層インダクタ用導体（第２インダクタ用

導体 1 1 2、第 4 インダクタ用導体 1 1 4 および第 6 インダクタ用導体 1 1 6) 同士が重なり合う。さらに同様に正面から見たときに、これら奇数層インダクタ用導体 1 1 1, 1 1 3, 1 1 5, 1 1 7 と偶数層インダクタ用導体 1 1 2, 1 1 4, 1 1 6 とは、互いに一定の間隔を隔てて平行かつ水平に延びるように配置してある。

[0047] そして、前記第一接合面において、第 2 インダクタ用導体 1 1 2 の一端部 1 1 2 a と第 3 インダクタ用導体 1 1 3 の一端部 1 1 3 a とを第二積層体 1 2 0 の表面に設けた接続導体 1 2 1 により接続し、第 4 インダクタ用導体 1 1 4 の一端部 1 1 4 a と第 5 インダクタ用導体 1 1 5 の一端部 1 1 5 a とを第二積層体 1 2 0 の表面に設けた接続導体 1 2 2 により接続し、第 6 インダクタ用導体 1 1 6 の一端部 1 1 6 a と第 7 インダクタ用導体 1 1 7 の一端部 1 1 7 a とを第二積層体 1 2 0 の表面に設けた接続導体 1 2 3 により接続する。

[0048] 同様に、前記第二接合面において、第 1 インダクタ用導体 1 1 1 の他端部 1 1 1 b と第 2 インダクタ用導体 1 1 2 の他端部 1 1 2 b とを第三積層体 1 3 0 の表面に設けた接続導体 1 3 1 により接続し、第 3 インダクタ用導体 1 1 3 の他端部 1 1 3 b と第 4 インダクタ用導体 1 1 4 の他端部 1 1 4 b とを第三積層体 1 3 0 の表面に設けた接続導体 1 3 2 により接続し、第 5 インダクタ用導体 1 1 5 の他端部 1 1 5 b と第 6 インダクタ用導体 1 1 6 の他端部 1 1 6 b とを第三積層体 1 3 0 の表面に設けた接続導体 1 3 3 により接続する。

[0049] これにより、第 1 インダクタ用導体から第 7 インダクタ用導体が順に電氣的に接続され、第一積層体の内部に積層方向（前後方向／y 軸方向）に延びる螺旋状のインダクタを形成することが出来る。

[0050] なお、第一積層体 1 0 0 の前面と後面には、外部接続用の端子電極（図示せず）を設けることができ、当該前面側の端子電極と第 1 インダクタ用導体 1 1 1 の一端部 1 1 1 a とを接続するためにスルーホール V を、また当該後面側の端子電極と第 7 インダクタ用導体 1 1 7 の他端部 1 1 7 b とを接続す

るためにスルーホールVをそれぞれ形成しているが、これらの接続は、前記第二実施形態と同様に第二積層体120の表面と第三積層体130の表面にそれぞれ設けた接続導体により行うことも可能である。

[0051] 図9は本実施形態のインダクタのQ値と、前記図28～図29に示した従来のインダクタのQ値とを比較して示すものであり、図中実線が本実施形態、一点鎖線が従来構造である。この図から明らかなように本実施形態によれば、スルーホールを使用してインダクタを形成した従来構造より高いQ値を得ることが出来ることが分かる。

[0052] [第4実施形態]

本発明の第四の実施形態に係る電子部品は、図10に示すように共振器を2段、すなわち、インダクタL1とキャパシタC1からなるLC共振器143と、インダクタL2とキャパシタC2からなるLC共振器144とを入出力端子141、142間に備えることにより通過帯域を形成したバンドパスフィルタである。

[0053] 積層構造としては、図11から図12に示すように、1段目の共振器（第1段共振器）143を内蔵させた第一積層体150と、2段目の共振器（第2段共振器）144を内蔵させた第二積層体160と、これらの積層体150、160の間に介在するように第一積層体150の後面と第二積層体160の前面に接合させた第三積層体170と、当該第三積層体170との接合面に対向する（反対側の）第一積層体150の面（前面）に接合させた第四積層体180と、第三積層体170との接合面に対向する（反対側の）第二積層体160の面（後面）に接合させた第五積層体190とからなる。

[0054] また、第一積層体150の配線層と第二積層体160の配線層とは互いに平行であり、第三積層体170と第四積層体180と第五積層体190の各配線層は互いに平行である。また、第一積層体150および第二積層体160の各配線層と、第三積層体170、第四積層体180および第五積層体190の各配線層とは互いに直交する。

[0055] 本フィルタの具体的な積層構造についてさらに述べれば、第一積層体15

0および第二積層体160は、4層の内部配線層を有するように5枚のセラミックシート151, 152, 153, 154, 155; 161, 162, 163, 164, 165を垂直方向(z軸方向)にそれぞれ積層したセラミック積層体であり、第四積層体180と第五積層体190は、前記第三実施形態の第二積層体120および第三積層体130と同様に表面に接続導体を備え、第三積層体170は接続導体171, 172; 173, 174を表裏両面に備えている。

[0056] そして、第一積層体の第1層から第3層にはインダクタ用導体201, 202, 203を備え、第4層にはキャパシタ電極220を備える。第二積層体160も同様にインダクタ用導体211, 212, 213とキャパシタ電極220を備えている。これらのインダクタ用導体201~203, 211~213は、前記第三実施形態と同様に短冊状の電極で、第四積層体180との接合面である第一積層体150の前面に一端部201a, 202a, 203aが露出し、第三積層体170との接合面である第一積層体150の後面に他端部201b, 202b, 203bが露出するように前後方向(y軸方向)に直線状に延在する(第二積層体160も同様)。

[0057] また、奇数層インダクタ用導体(第1層の第1インダクタ用導体201と第3層の第3インダクタ用導体203)は平面から見たときに重なり合い、偶数層インダクタ用導体(第2層の第2インダクタ用導体202)は当該奇数層インダクタ用導体201, 203と一定の間隔を隔てて平行に配置されている。そして、これら第1インダクタ用導体201、第2インダクタ用導体202および第3インダクタ用導体203を、第三積層体170の表面(前面)に備えた接続導体171, 172と、第四積層体180の表面に備えた接続導体181とにより順に接続することにより、第一積層体150の内部に垂直方向(z軸方向)に延びる螺旋状のインダクタを形成する(第二積層体160も同様)。

[0058] また、インダクタ用導体とキャパシタ電極との接続も、インダクタ用導体同士と同様に行うことが出来る。すなわち、第一積層体150の第3インダ

クタ用導体 203 とキャパシタ電極 220 との接続は第三積層体 170 の表面（前面）に設けた接続導体 172 により、第二積層体 160 の第 3 インダクタ用導体 213 とキャパシタ電極 220 との接続は第三積層体 170 の裏面（後面）に設けた接続導体 174 によりそれぞれ行えば良い。なお、これらのキャパシタ電極 220 は、第一積層体 150 および第二積層体 160 の天面に形成したグラウンド電極 221 と対向することにより各共振器 143, 144 のキャパシタ C1, C2 を構成する。

[0059] さらに、第一積層体 150 の底面の前側端部には、入力端子電極（図示せず）を設け、スルーホール V を介してこの入力端子電極と第 1 インダクタ用導体 201 の一端部 201 a とを接続する。また、第二積層体 160 の底面の後側端部には、出力端子電極（図示せず）を設け、スルーホール V を介してこの出力端子電極と第 1 インダクタ用導体 211 の他端部 211 b とを接続する。また、これら入力端子電極と出力端子電極との間には、第一積層体 150、第三積層体 170 および第二積層体 160 の各底面に亘ってグラウンド電極（図示せず）を形成することができ、このグラウンド電極と、前記第一積層体 150 および第二積層体 160 上面に形成したグラウンド電極 221 とを、第一積層体 150、第三積層体 170 および第二積層体 160 の側面に広がるように形成した表面電極により接続することが可能である。

[0060] 図 13 は本実施形態のバンドパスフィルタの周波数特性を示すものであり、実線は通過特性を、破線は遮断特性をそれぞれ示している。同図に示すように本実施形態のバンドパスフィルタによれば、高速伝送を可能とする無線 LAN 規格の一つである 5 GHz 帯において略 1.0 dB の通過特性を実現することが可能である。

[0061] [製造方法]

本発明に係る電子部品を製造する方法としては、これに限定されるわけではないが、本出願人による先の提案（特願 2010-165398）を好ましく適用することが出来る。以下、この方法について図 14 から図 27 を参照し、前記第四実施形態のバンドパスフィルタを例にとって簡潔に説明する

。

[0062] (1) 積層シート・積層スティックの作製

図14に示すようにまず、セラミック材料により形成した未焼成のグリーンシートを用意し、その表面に導電性ペーストを塗布して第一積層体150、160の各配線層に対応した所定の導体パターンを印刷することによりセラミックシート301、302、303、304、305を作製する。これらセラミックシート301～305の各々に印刷する導体パターン311は、作製するチップの数に対応した数だけ縦方向と横方向とにマトリックス状に配列するように形成する。なお、図14（図15から図27についても同様）に示した各導体パターン311は、当該製造方法の概念を示すためのものであって、前記実施形態の導体形状を正確に表すことを意図するものではない。

[0063] 次に、上記セラミックシート301～305を位置合わせしつつ所定の順序で重ね合わせ、これらを熱圧着して一体化することにより、図15に示すように第一積層シート312を得る。

[0064] そして、図16に示すように上記第一積層シート312を短冊状に切断し、第一積層スティック313を作製する。この第一積層スティック313の長手方向（縦方向）には、第一積層体150を構成する導体パターンの組が積層された状態で複数配列されている。また、第二積層体160についても同様の工程を経て、第二積層体160を構成する導体パターンの組が長さ方向に複数配列された第二積層スティック323を作製する。

[0065] 同様に、第三積層スティックの作製を行う。図17に示すように、前記第一積層シート作製時と同様に未焼成のグリーンシートを用意し、その表面に導電性ペーストを塗布することにより第三積層体170の表面および裏面に対応した所定の導体パターンを印刷したセラミックシート401、402を作製する。これら各セラミックシート401、402の各々に形成した導体パターンは、前記第一積層シートと同様に、縦方向と横方向とにそれぞれマトリックス状に配列する。

[0066] 次に、当該セラミックシート401、402を位置合わせしつつ重ね合わせ、これらを熱圧着して一体化することにより、図18に示すように第三積層シート412を作製する。その後、図19に示すように第三積層シート412を短冊状に切断し、第三積層スティック413を得る。

[0067] また、第四積層体180および第五積層体190についても同様の工程を経て、当該第四積層体180および第五積層体190を構成する導体パターン181、191の組が長手方向にそれぞれ複数配列された第四積層スティック423を作製する。この第四積層スティックには、表裏両面のうち一方の面に第四積層体180の導体パターン（接続導体181）が、他方の面に第五積層体190の導体パターン（接続導体191）が形成されたものとする。

[0068] なお、この第四積層スティック423を作製するにあたっては、後のチップ化の工程で当該第四積層スティック423を切断するときの切断しろを確保するため（図25～図26の切断線510参照）、第四積層体180の導体パターンを形成した一方の面側のセラミックシートと第五積層体190の導体パターンを形成した他方の面側のセラミックシートとの間に介在させるように更にセラミックシートを積層しておけば良い。

[0069] （2） 積層シートの再編

図20から図21に示すように第三積層スティック413および第四積層スティック423を、それらの配線層（表裏面）が垂直に立つように当該積層スティック413、423の長手方向の周りに90°回転させる。

[0070] そして、図22に示すように、第一積層スティック313と第二積層スティック323を交互に配列させ、かつこれら第一積層スティック313と第二積層スティック323との間に、前記90°回転させた第三積層スティック413又は第四積層スティック423を挟み込むように配置した後、図23に示すようにこれら第一から第四の各積層スティック313、323、413、423を熱圧着して一体化する。これにより、図24に示す再編積層シート512を得る。

[0071] この再編積層シート 5 1 2 は、図 2 5 に示すように隣り合う第四積層スティック 4 2 3（第四積層体 1 8 0）と、第一積層スティック 3 1 3（第一積層体 1 5 0）と、第三積層スティック 4 1 3（第三積層体 1 7 0）と、第二積層スティック 3 2 3（第二積層体 1 6 0）と、第四積層スティック 4 2 3（第五積層体 1 9 0）とがそれぞれ接合され、各隣接する積層スティックに含まれる導体同士が電氣的に接続されている。

[0072] (3) チップ化および焼成

図 2 6 に示すように切断線 5 1 0（図 2 5 も参照）において第三積層シート 5 1 2 を縦方向と横方向とに方眼状（さいの目状）に切断し、図 2 7 に示すようにチップ 5 2 2 を得る。その後、個々のチップ 5 2 2 を焼成する。これにより、第一から第五の各積層体 1 5 0, 1 6 0, 1 7 0, 1 8 0, 1 9 0 のセラミック層が焼結して連続したひとつの焼結体となる。なお、焼成後には、チップ 5 2 2 の外表面に外部電極（端子電極）を適宜形成すれば良い。

[0073] このようにして前記第四実施形態のフィルタチップを製造することが出来る。上記製造方法によれば、本発明に係る電子部品を量産性良く製造することが可能となる。なお、他の実施形態に係る電子部品についても同様に上記製造方法を適用することが可能である。

符号の説明

[0074] C1, C2 キャパシタ

L1, L2 インダクタ

V スルーホール

1 a, 1 b, 1 c, 1 d, 1 e, 1 f, 1 g, 1 h, 1 1, 1 2, 1 3, 1 4, 1 5, 1 6, 1 7, 1 0 1, 1 0 2, 1 0 3, 1 0 4, 1 0 5, 1 0 6, 1 0 7, 1 0 8, 1 0 9, 1 5 1, 1 5 2, 1 5 3, 1 5 4, 1 5 5, 1 6 1, 1 6 2, 1 6 3, 1 6 4, 1 6 5, 3 0 1, 3 0 2, 3 0 3, 3 0 4, 3 0 5, 4 0 1, 4 0 2 セラミックグリーンシート

2 a, 2 b, 2 c, 2 d, 2 e, 2 f, 2 g, 2 1, 2 2, 2 3, 2 4,

25, 26, 61, 62, 63, 64, 65, 66, 67, 68, 69, 70, 111, 112, 113, 114, 115, 116, 117, 201, 202, 203, 211, 212, 213 インダクタ用導体

10, 40, 100, 150 第一積層体

21a, 22a, 23a, 24a, 25a, 26a, 61a, 62a, 63a, 64a, 65a, 66a, 67a, 68a, 69a, 70a, 111a, 112a, 113a, 114a, 115a, 116a, 117a, 201a, 202a, 203a, 211a, 212a, 213a インダクタ用導体の一端部

21b, 22b, 23b, 24b, 25b, 26b, 61b, 62b, 63b, 64b, 65b, 66b, 67b, 68b, 69b, 70b, 111b, 112b, 113b, 114b, 115b, 116b, 117b, 201b, 202b, 203b, 211b, 212b, 213b インダクタ用導体の他端部

30, 80, 120, 160 第二積層体

31, 32, 33, 34, 35, 36, 37, 81, 82, 83, 84, 91, 92, 93, 94, 121, 122, 123, 131, 132, 133, 171, 172, 173, 174, 181, 191 接続導体

31a, 32a, 33a, 34a, 35a, 81a, 82a, 83a, 84a, 91a, 92a, 93a, 94a 接続導体の一端部

31b, 32b, 33b, 34b, 35b, 81b, 82b, 83b, 84b, 91b, 92b, 93b, 94b 接続導体の他端部

90, 130, 170 第三積層体

141 入力端子

142 出力端子

143 第1段LC共振器

144 第2段LC共振器

180 第四積層体

- 1 9 0 第五積層体
- 2 2 0 キャパシタ電極
- 2 2 1 グランド電極
- 3 1 1, 4 1 1 導体パターン
- 3 1 2 第一積層シート
- 3 1 3 第一積層スティック
- 3 2 3 第二積層スティック
- 4 1 2 第三積層シート
- 4 1 3 第三積層スティック
- 4 2 3 第四積層スティック
- 5 1 0 切断線
- 5 1 2 再編積層シート
- 5 2 2 フィルタチップ

請求の範囲

[請求項1]

絶縁層を介して積層した2層以上の配線層を有する第一積層体と、
少なくとも1層の絶縁層とその表面に形成した配線層とを備えかつ
前記第一積層体に接合した第二積層体と
を含む積層型電子部品であって、
前記第一積層体の配線層と、前記第二積層体の配線層とは互いに略
直交し、
前記第一積層体は、
前記2層以上の配線層のうちの第一の配線層に配した第一インダク
タ用導体と、
前記2層以上の配線層のうちの第二の配線層に配した第二インダク
タ用導体と、
を有し、
前記第二積層体は、
前記第一インダクタ用導体および前記第二インダクタ用導体がコイル
状のインダクタを形成するように前記第一積層体との接合面において
前記第一インダクタ用導体の端部と前記第二インダクタ用導体の端
部とを電氣的に接続する接続導体
を有する
ことを特徴とするコイル状のインダクタを含む積層型電子部品。

[請求項2]

前記第一積層体は、直方体の全体形状を有し、
前記第一インダクタ用導体は、前記第一の配線層においてループ状
に形成されて一端部および他端部が前記第二積層体との接合面にそれ
ぞれ露出し、
前記第二インダクタ用導体は、前記第二の配線層において前記第一
インダクタ用導体と略重なるようにループ状に形成されて、一端部が
前記第二積層体との接合面に露出するとともに前記第一積層体の積層
方向に関し前記第一インダクタ用導体の一端部と略重なる位置に配置

され、かつ、他端部が前記第二積層体との接合面に露出するとともに前記第一積層体の積層方向に関し前記第一インダクタ用導体の他端部と略重なる位置に配置され、

前記接続導体は、前記第一インダクタ用導体の他端部と、前記第二インダクタ用導体の一端部とを電氣的に接続する

請求項 1 に記載の積層型電子部品。

[請求項3]

絶縁層を介して積層した4層以上の配線層を有しかつ直方体の全体形状を有する第一積層体と、

少なくとも1層の絶縁層とその表面に形成した配線層とを備えかつ前記第一積層体に接合した第二積層体と、

少なくとも1層の絶縁層とその表面に形成した配線層とを備えかつ前記第一積層体に接合した第三積層体と

を備えた積層型電子部品であって、

前記第二積層体の配線層および前記第三積層体の配線層はともに、前記第一積層体の配線層と略直交し、

前記第一積層体の表面のうち、前記第二積層体が接合される面を第一接合面としたときに、前記第三積層体は、当該第一接合面に対向又は隣接する第一積層体の表面である第二接合面に接合され、

前記第一積層体に含まれる4層の配線層をより上層に位置する配線層から順に、第一配線層、第二配線層、第三配線層、および第四配線層としたときに、前記第一積層体は、

第一配線層に配した第一インダクタ用導体と、

第二配線層に配した第二インダクタ用導体と、

第三配線層に配した第三インダクタ用導体と、

第四配線層に配した第四インダクタ用導体と、

を有し、

前記第一インダクタ用導体は、前記第一の配線層においてループ状に形成されて一端部および他端部が前記第一接合面にそれぞれ露出し

、

前記第二インダクタ用導体は、前記第二の配線層において前記第一インダクタ用導体と略重なるようにループ状に形成されて一端部および他端部が前記第二接合面にそれぞれ露出し、

前記第三インダクタ用導体は、前記第三の配線層において前記第一インダクタ用導体および前記第二インダクタ用導体と略重なるようにループ状に形成されて、一端部が前記第一接合面に露出するとともに前記第一積層体の積層方向に関し前記第一インダクタ用導体の一端部と略重なる位置に配置され、かつ、他端部が前記第一接合面に露出するとともに前記第一積層体の積層方向に関し前記第一インダクタ用導体の他端部と略重なる位置に配置され、

前記第四インダクタ用導体は、前記第四の配線層において前記第一インダクタ用導体、前記第二インダクタ用導体および前記第三インダクタ用導体と略重なるようにループ状に形成されて、一端部が前記第二接合面に露出するとともに前記第一積層体の積層方向に関し前記第二インダクタ用導体の一端部と略重なる位置に配置され、かつ、他端部が前記第二接合面に露出するとともに前記第一積層体の積層方向に関し前記第二インダクタ用導体の他端部と略重なる位置に配置され、

前記第二積層体は、前記第一インダクタ用導体および前記第三インダクタ用導体がコイル状のインダクタを形成するように前記第一接合面において当該第一インダクタ用導体の他端部と当該第三インダクタ用導体の一端部とを電氣的に接続する第一接続導体を有し、

前記第三積層体は、前記第二インダクタ用導体および前記第四インダクタ用導体がコイル状のインダクタを形成するように前記第二接合面において当該第二インダクタ用導体の他端部と当該第四インダクタ用導体の一端部とを電氣的に接続する第二接続導体を有する

ことを特徴とするコイル状のインダクタを含む積層型電子部品。

[請求項4]

絶縁層を介して積層した3層以上の配線層を有しかつ直方体の全体

形状を有する第一積層体と、

少なくとも1層の絶縁層とその表面に形成した配線層を備えかつ前記第一積層体に接合した第二積層体と、

少なくとも1層の絶縁層とその表面に形成した配線層を備えかつ前記第一積層体に接合した第三積層体と

を備えた積層型電子部品であって、

前記第二積層体の配線層および前記第三積層体の配線層はともに、前記第一積層体の配線層と略直交し、

前記第一積層体の表面のうち、前記第二積層体が接合される面を第一接合面としたときに、前記第三積層体は、当該第一接合面に対向する第一積層体の表面である第二接合面に接合され、

前記第一積層体に含まれる3層の配線層をより上層に位置する配線層から順に、第一配線層、第二配線層、および第三配線層としたときに、前記第一積層体は、

一端部が前記第一接合面に露出するとともに他端部が前記第二接合面に露出しかつ前記第一接合面から前記第二接合面まで延在するように前記第一配線層に形成した第一インダクタ用導体と、

一端部が前記第一接合面に露出するとともに他端部が前記第二接合面に露出しかつ前記第一接合面から前記第二接合面まで延在するように前記第二配線層に形成した第二インダクタ用導体と、

一端部が前記第一接合面に露出するとともに他端部が前記第二接合面に露出しかつ前記第一接合面から前記第二接合面まで延在するように前記第三配線層に形成した第三インダクタ用導体と、

を有し、

前記第一インダクタ用導体と前記第三インダクタ用導体とは、前記第一積層体の積層方向から見たときに略重なるように配置される一方、

前記第一インダクタ用導体および前記第三インダクタ用導体と、前

記第二インダクタ用導体とは、前記第一積層体の積層方向から見たときに互いに間隔を隔てて配置され、

前記第二積層体は、

前記第一インダクタ用導体および前記第二インダクタ用導体がコイル状のインダクタを形成するように前記第一接合面において前記第一インダクタ用導体の一端部と前記第二インダクタ用導体の一端部とを電氣的に接続する第一接続導体

を有し、

前記第三積層体は、

前記第二インダクタ用導体および前記第三インダクタ用導体がコイル状のインダクタを形成するように前記第二接合面において前記第二インダクタ用導体の他端部と前記第三インダクタ用導体の他端部とを電氣的に接続する第二接続導体

を有する

ことを特徴とするコイル状のインダクタを含む積層型電子部品。

[請求項5]

絶縁層を介して積層した2層以上の配線層を有しかつ直方体の全体形状を有する第一積層体と、

絶縁層を介して積層した2層以上の配線層を有しかつ直方体の全体形状を有する第二積層体と、

表面に形成した表面配線層と裏面に形成した裏面配線層とを有して前記第一積層体と前記第二積層体との間に介在され、前記表面配線層が前記第一積層体に当接するとともに前記裏面配線層が前記第二積層体に当接するように前記第一積層体と前記第二積層体とに接合された第三積層体と

を備え、

前記第三積層体の表面配線層は、前記第一積層体の配線層と略直交し、

前記第三積層体の裏面配線層は、前記第二積層体の配線層と略直交

する

積層型電子部品であって、

前記第一積層体は、

当該第一積層体の前記2層以上の配線層のうちの第一の配線層に配した第一インダクタ用導体と、

当該第一積層体の前記2層以上の配線層のうちの第二の配線層に配した第二インダクタ用導体と、

を有し、

前記第二積層体は、

当該第二積層体の前記2層以上の配線層のうちの第一の配線層に配した第三インダクタ用導体と、

当該第二積層体の前記2層以上の配線層のうちの第二の配線層に配した第四インダクタ用導体と、

を有し、

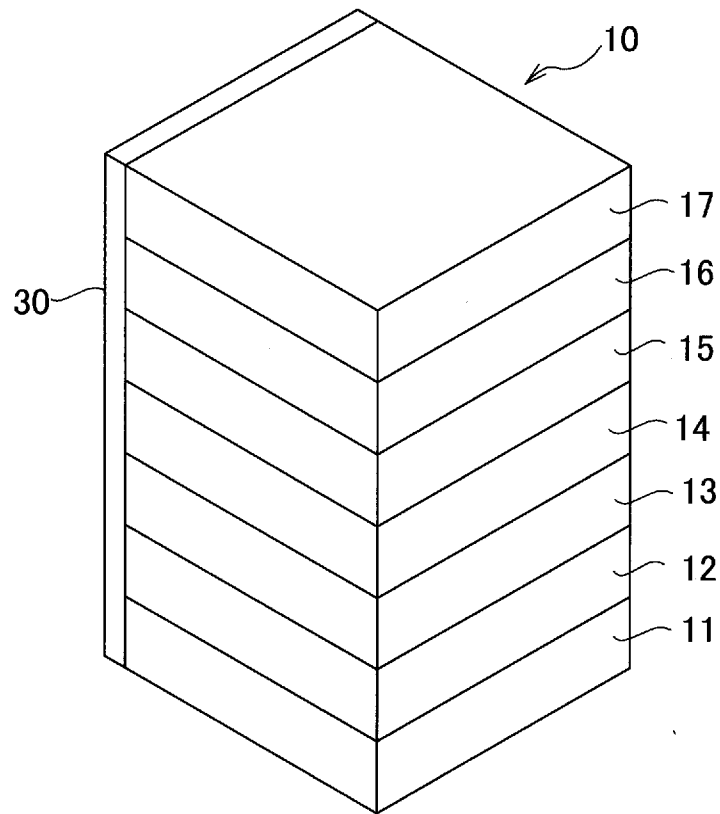
前記第三積層体は、

前記第一インダクタ用導体と前記第二インダクタ用導体とがコイル状のインダクタを形成するように前記第一積層体との接合面において前記第一インダクタ用導体の端部と前記第二インダクタ用導体の端部とを電氣的に接続する第一接続導体を前記表面配線層に有するとともに、

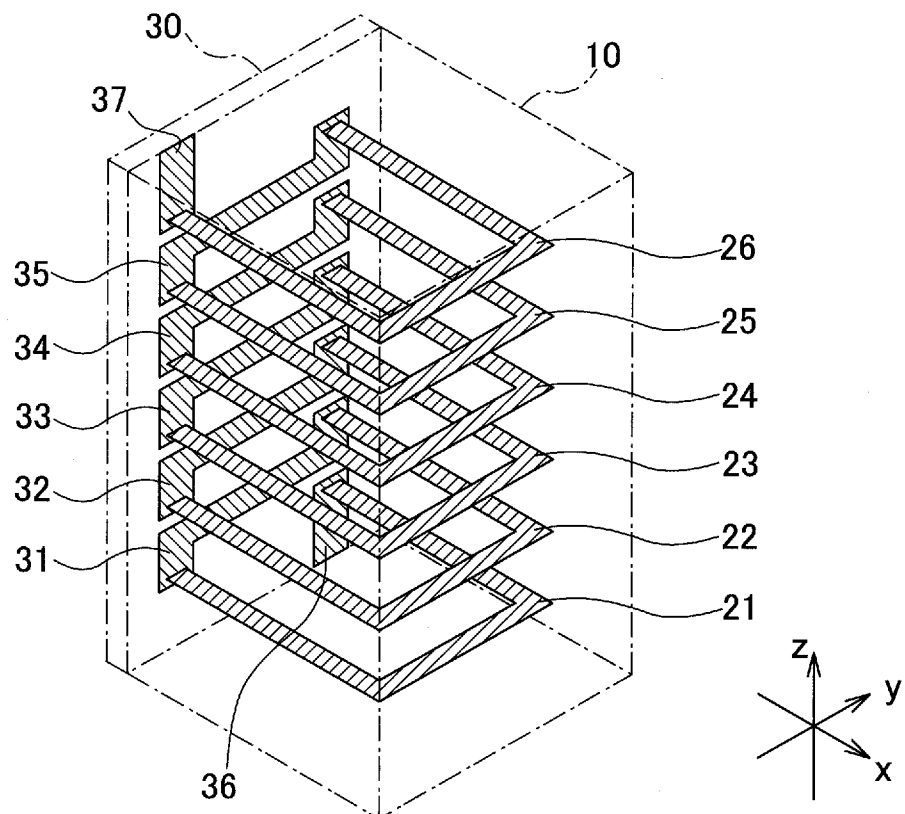
前記第三インダクタ用導体と前記第四インダクタ用導体とがコイル状のインダクタを形成するように前記第二積層体との接合面において前記第三インダクタ用導体の端部と前記第四インダクタ用導体の端部とを電氣的に接続する第二接続導体を前記裏面配線層に有する

ことを特徴とするコイル状のインダクタを含む積層型電子部品。

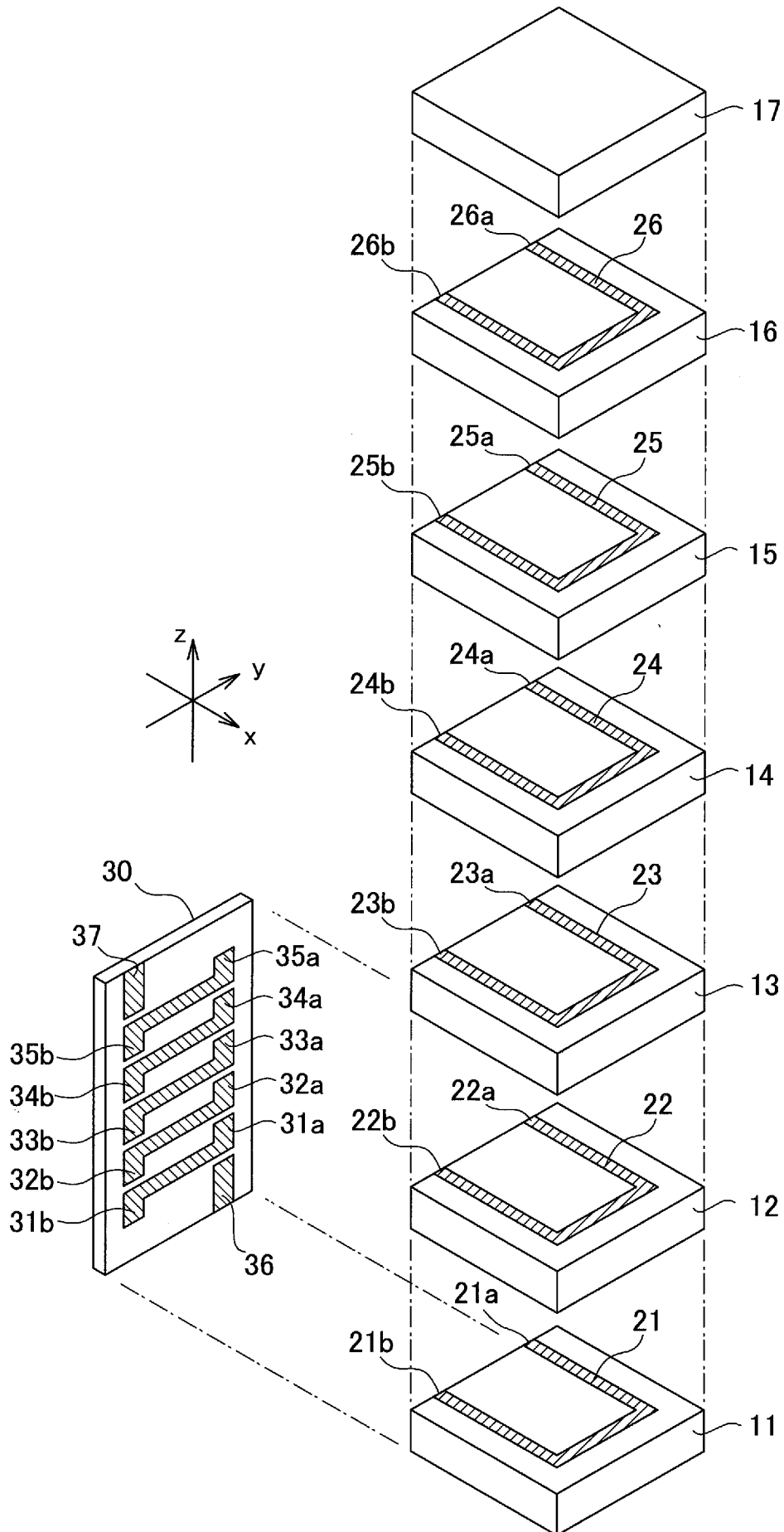
[図1]



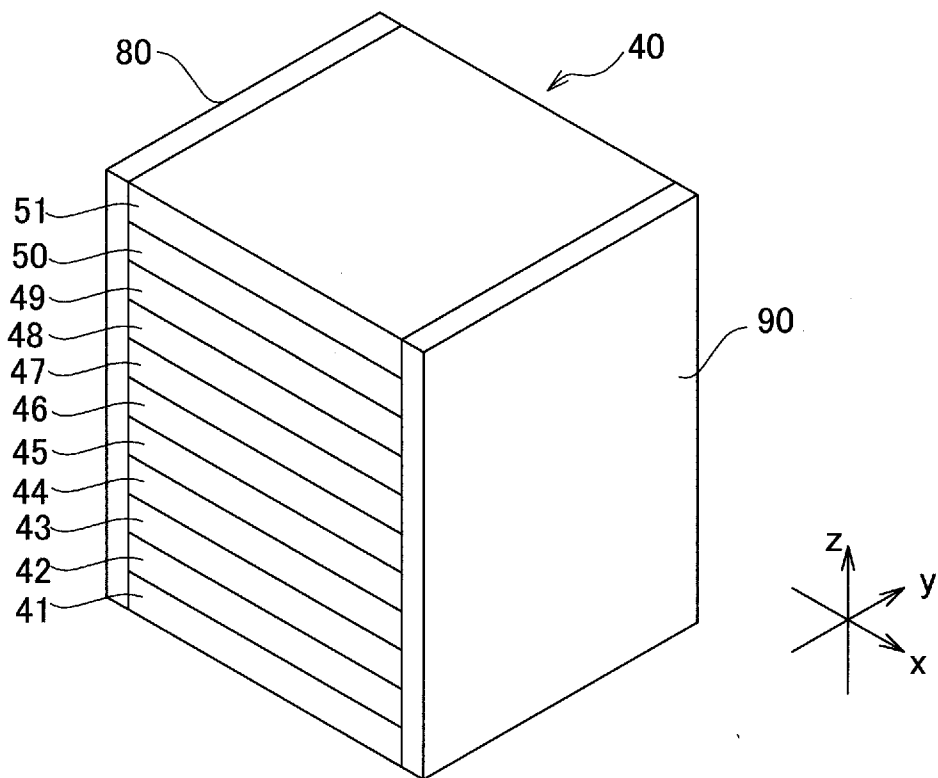
[図2]



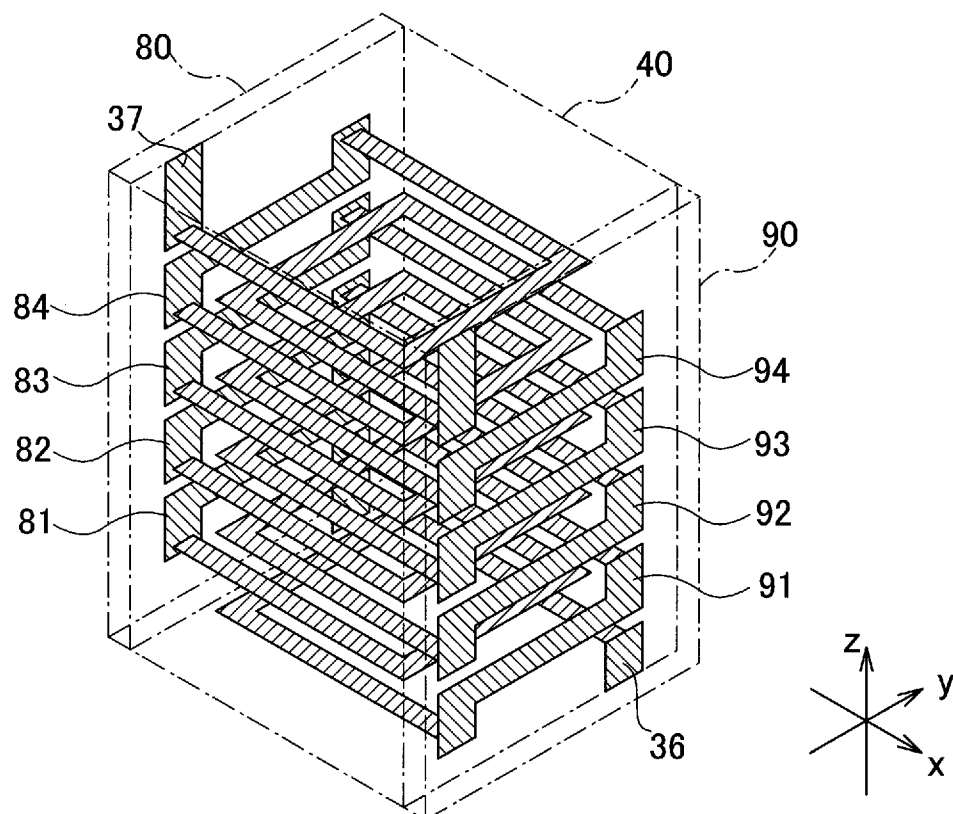
[図3]



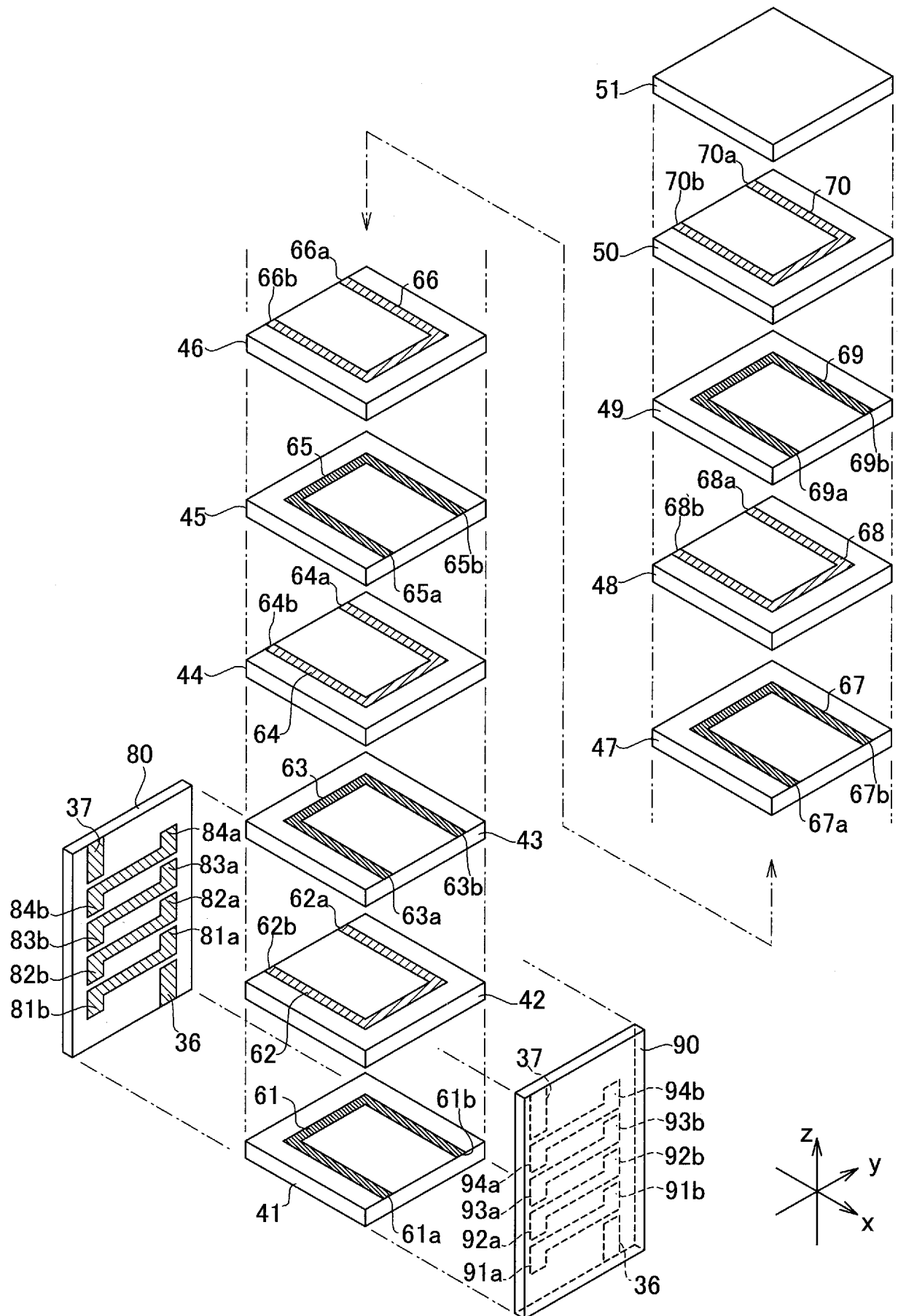
[図4]



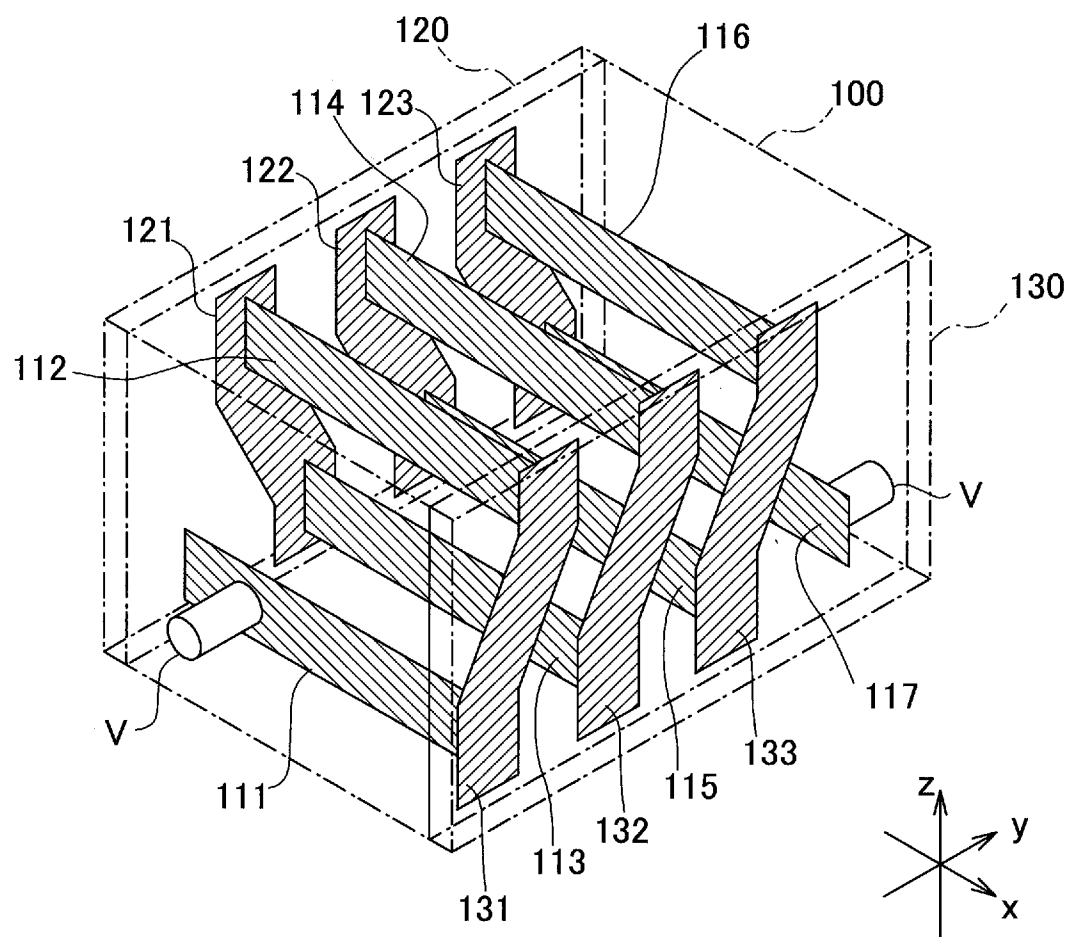
[図5]



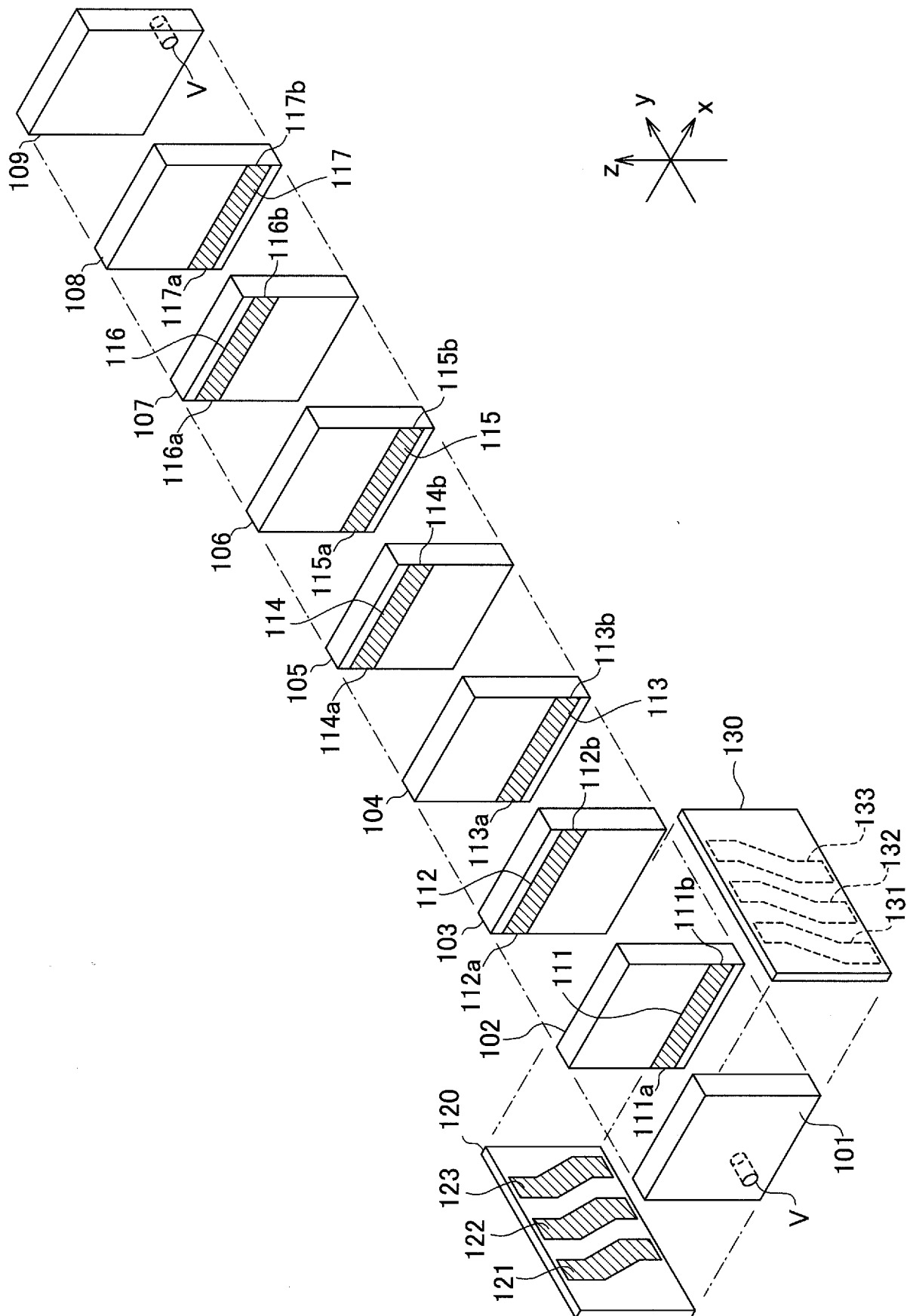
[図6]



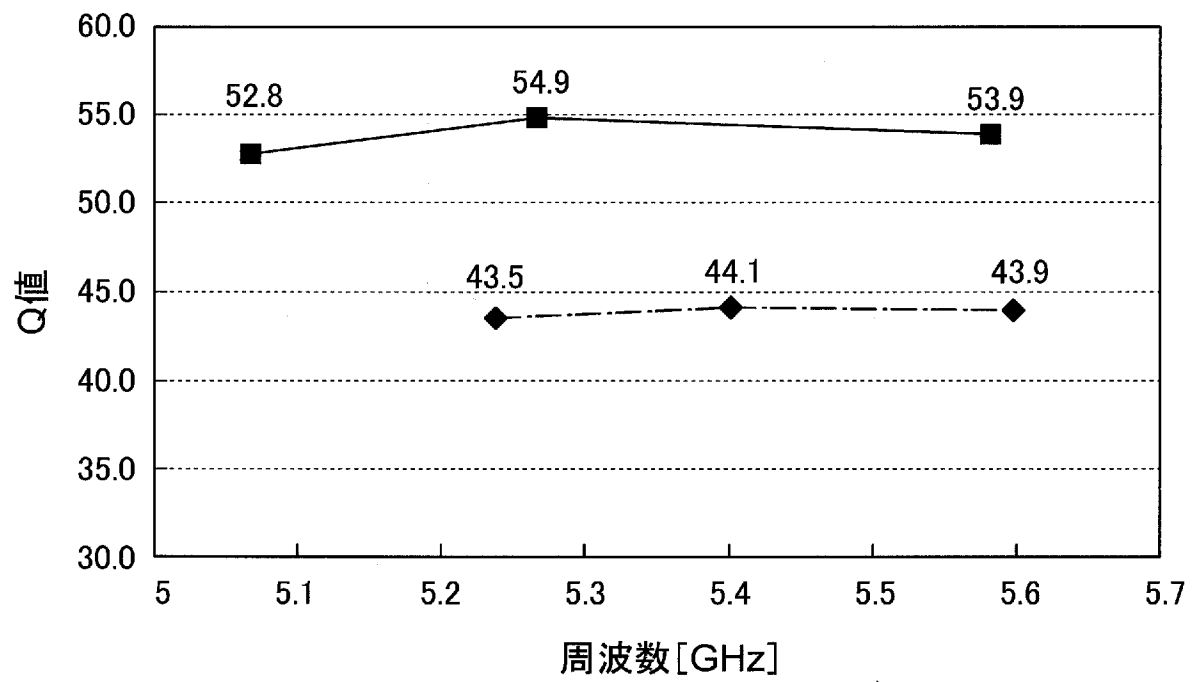
[図7]



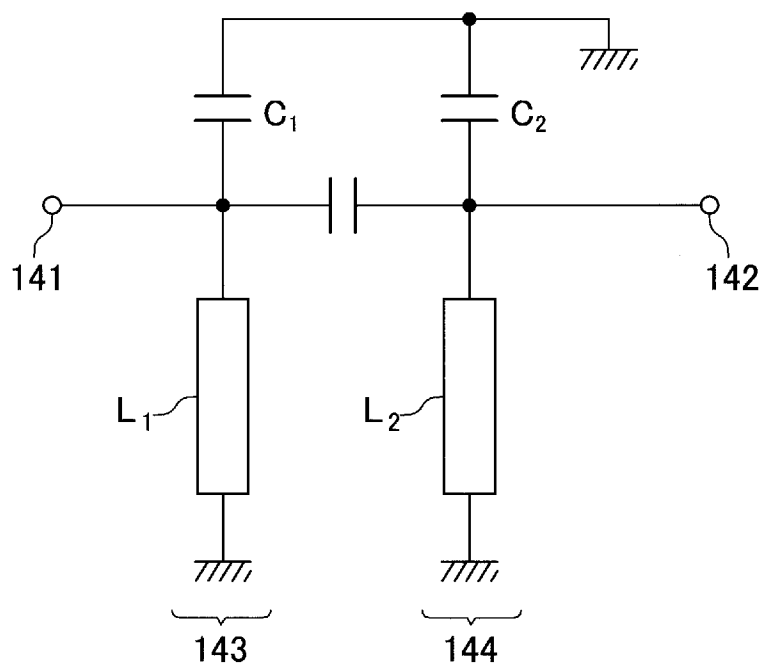
[図8]



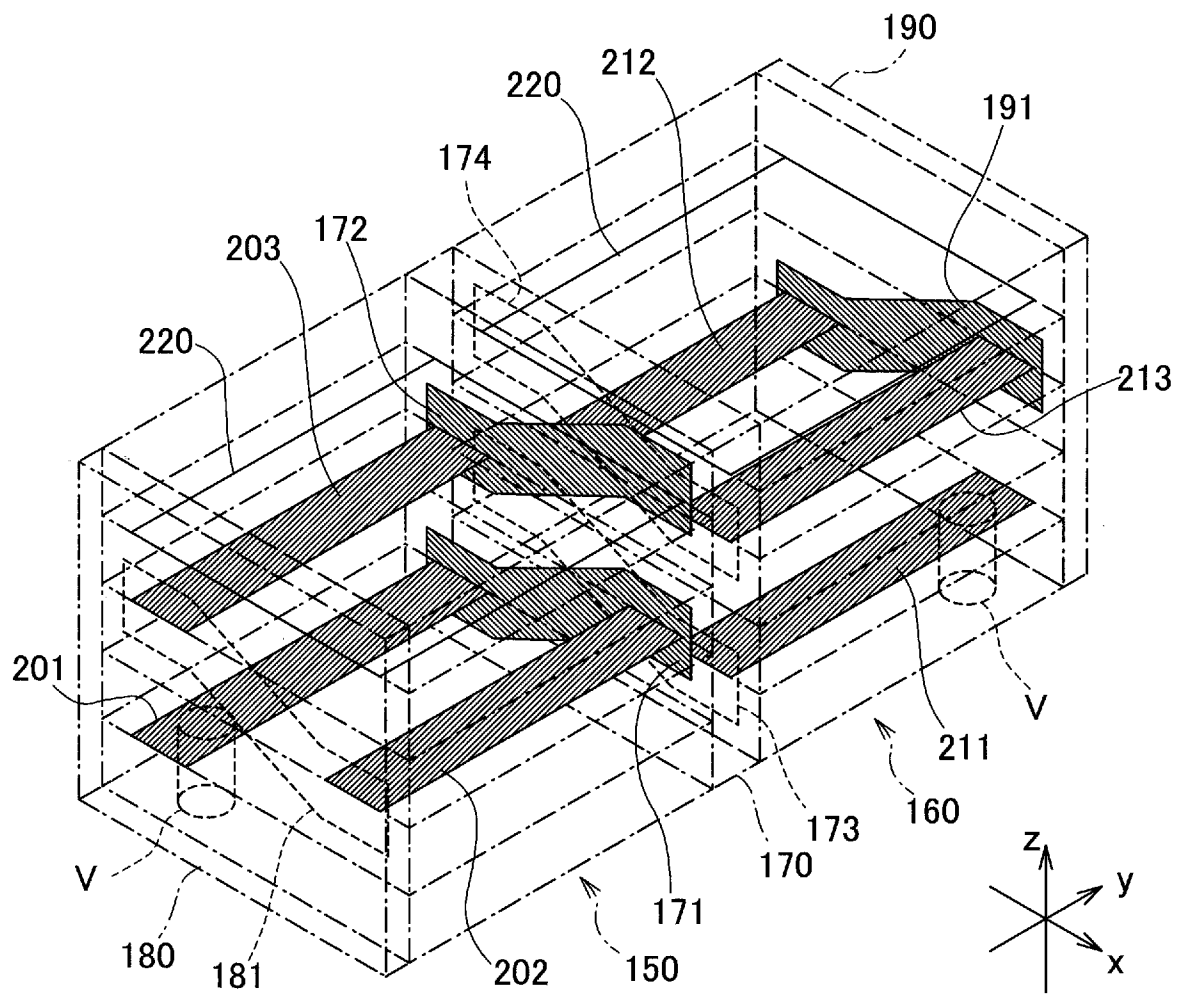
[図9]



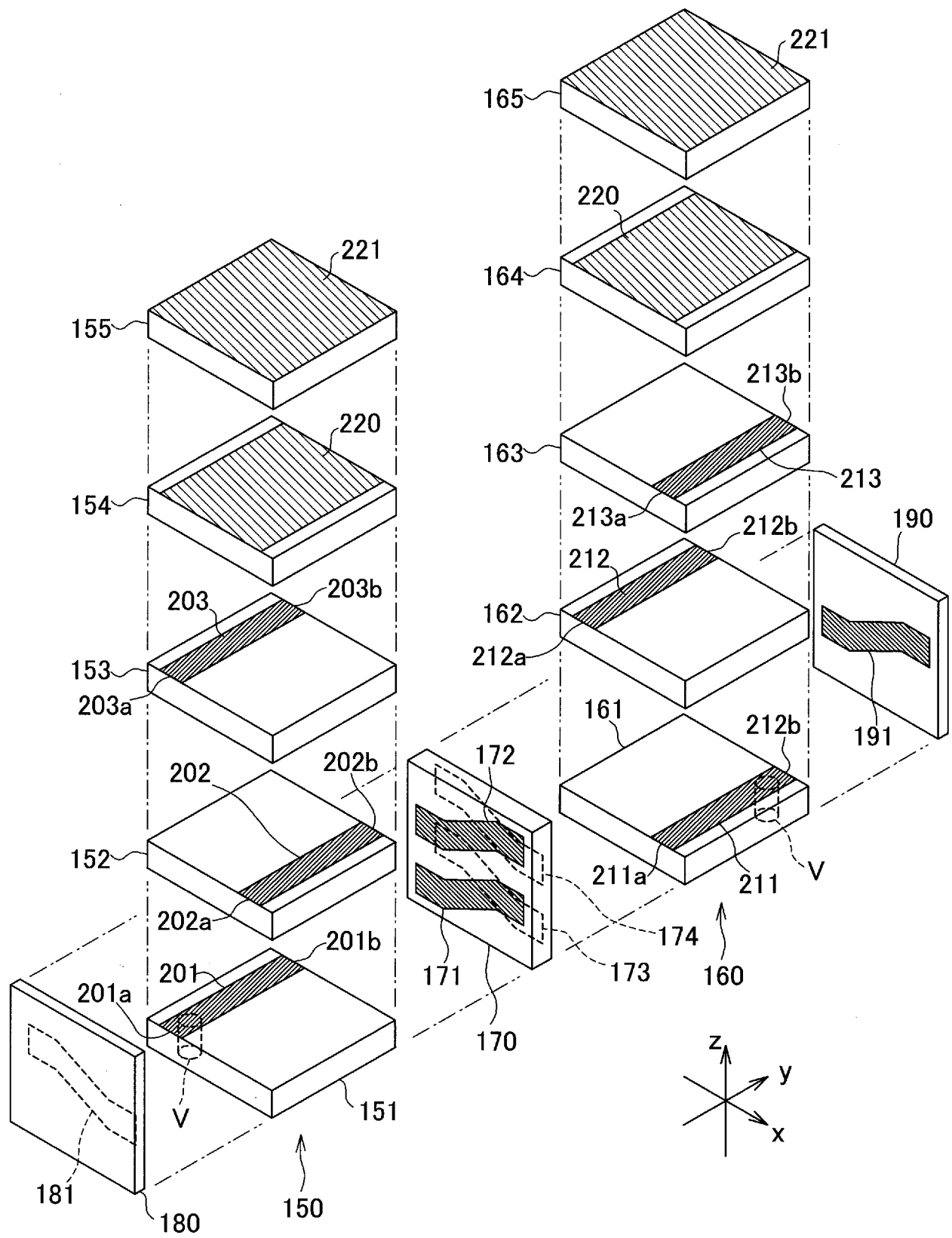
[図10]



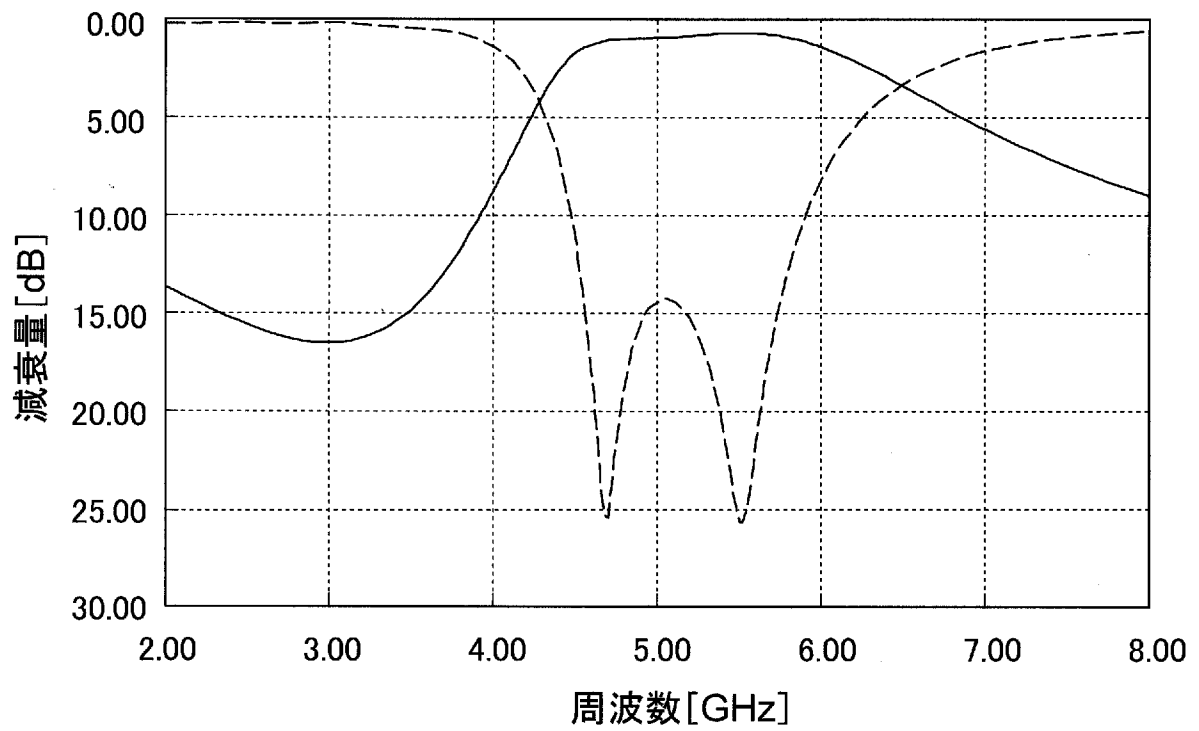
[図11]



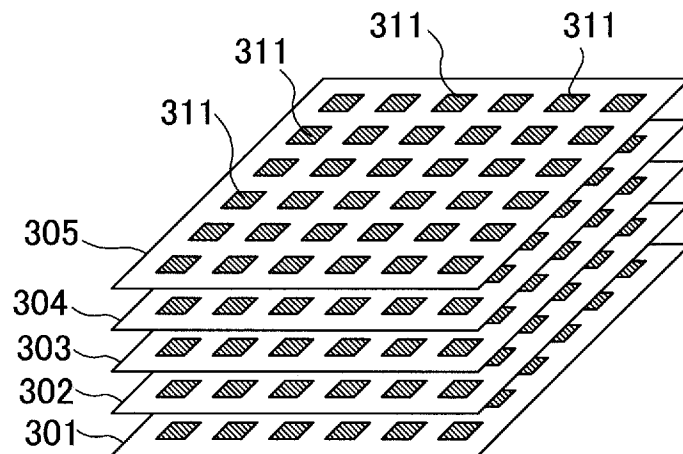
[図12]



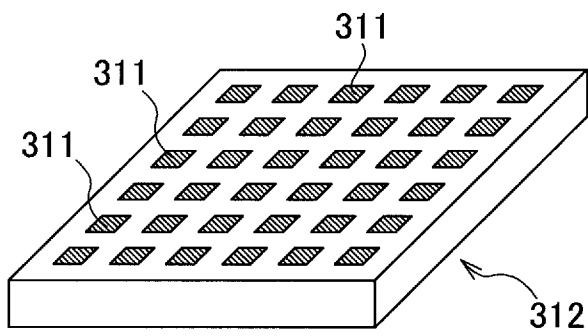
[図13]



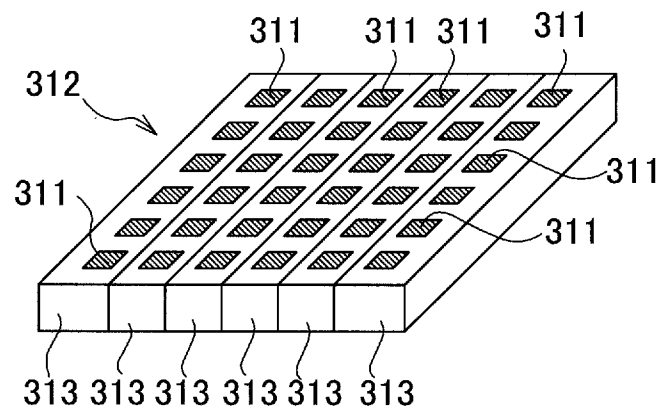
[図14]



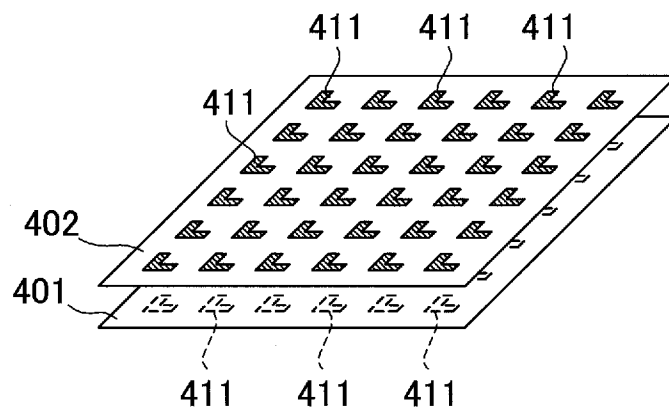
[図15]



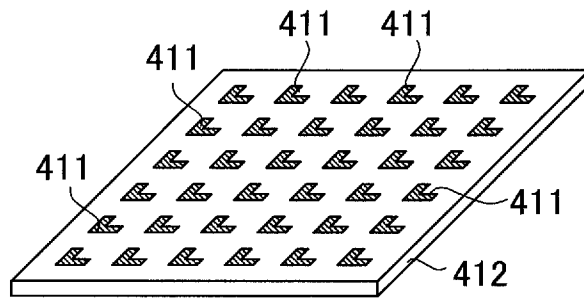
[図16]



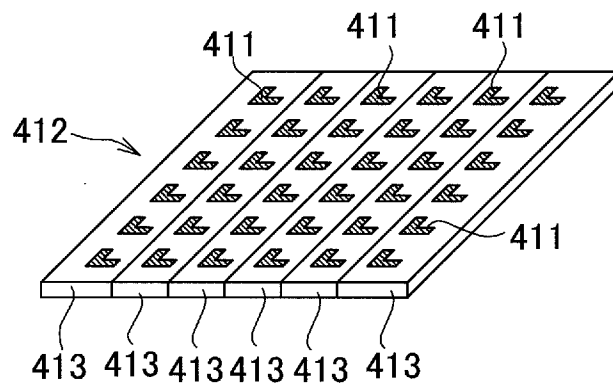
[図17]



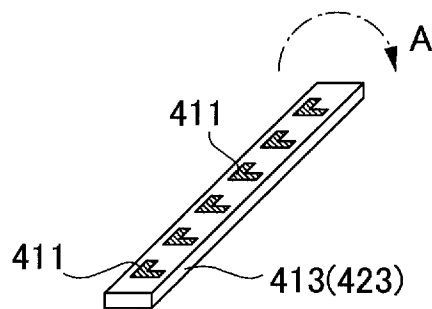
[図18]



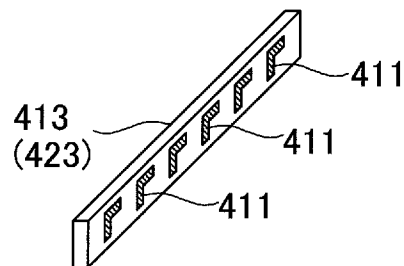
[図19]



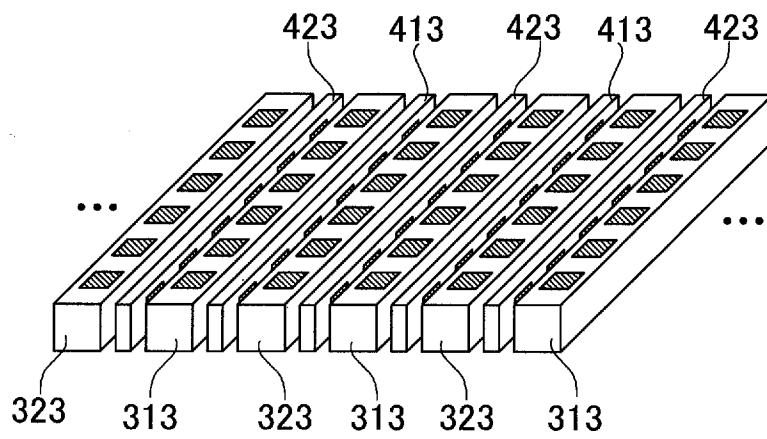
[図20]



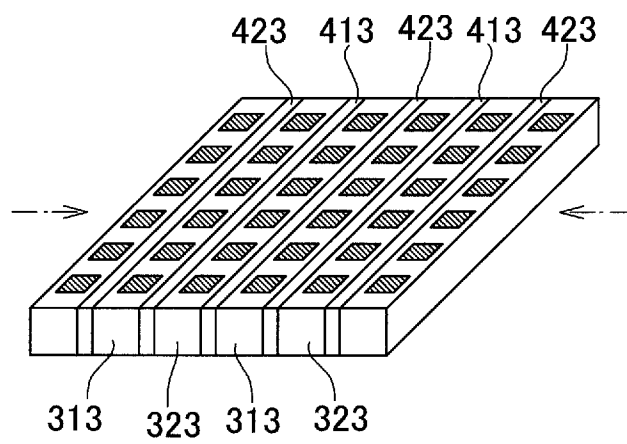
[図21]



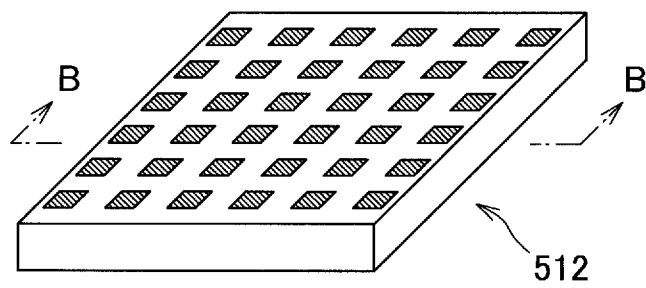
[図22]



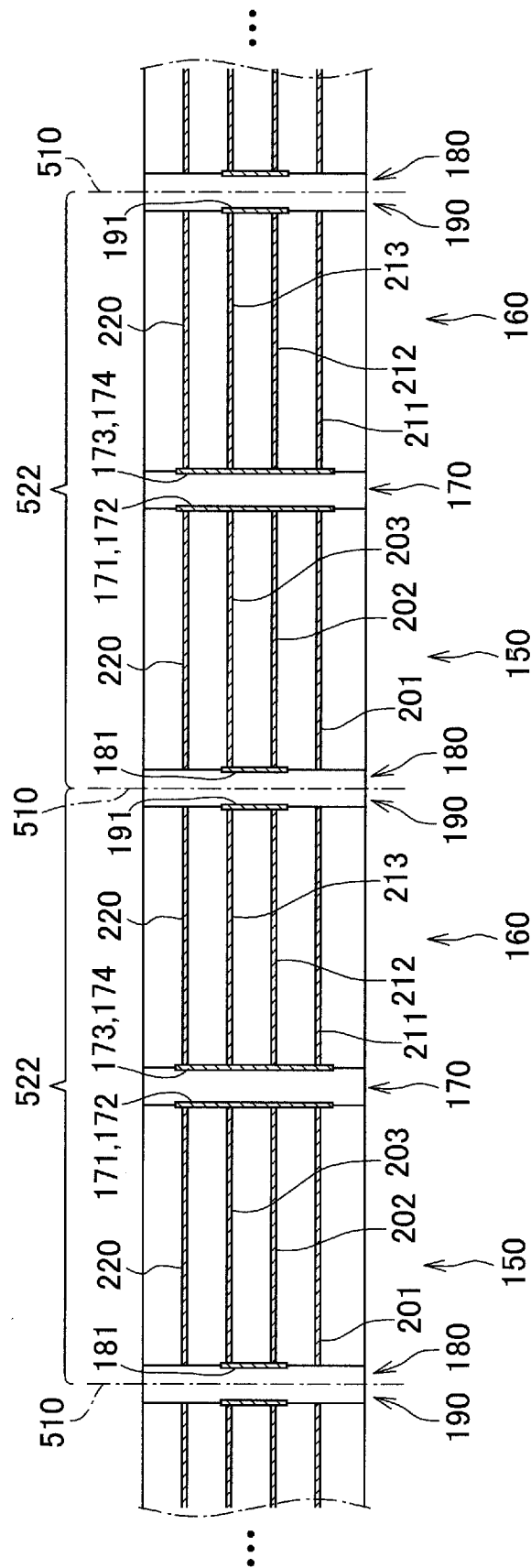
[図23]



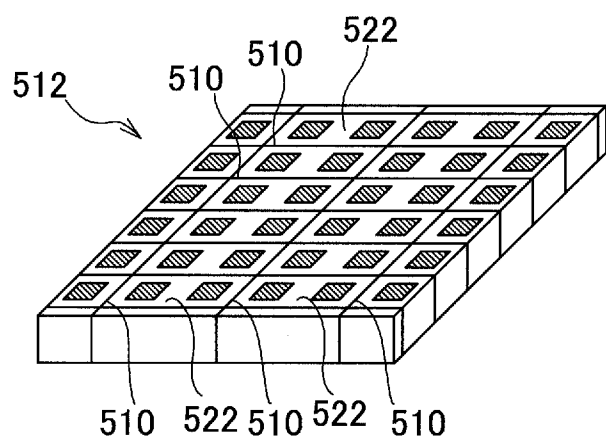
[図24]



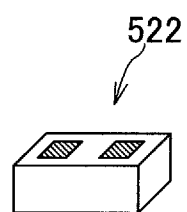
[図25]



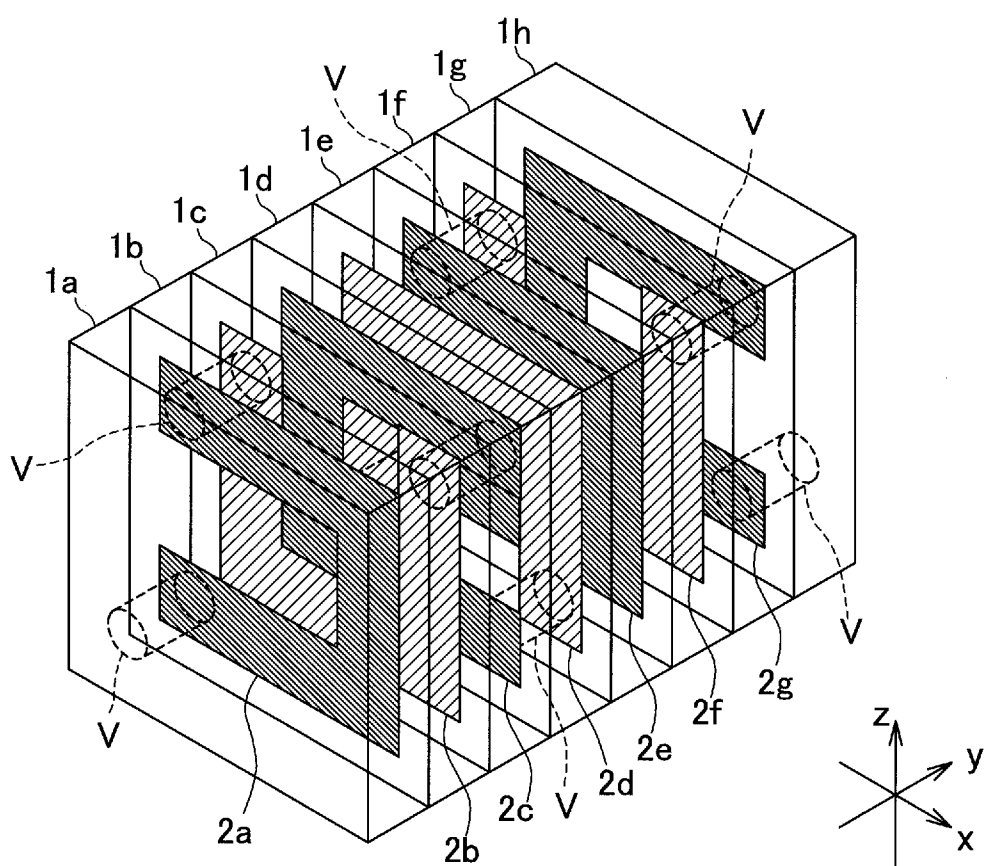
[図26]



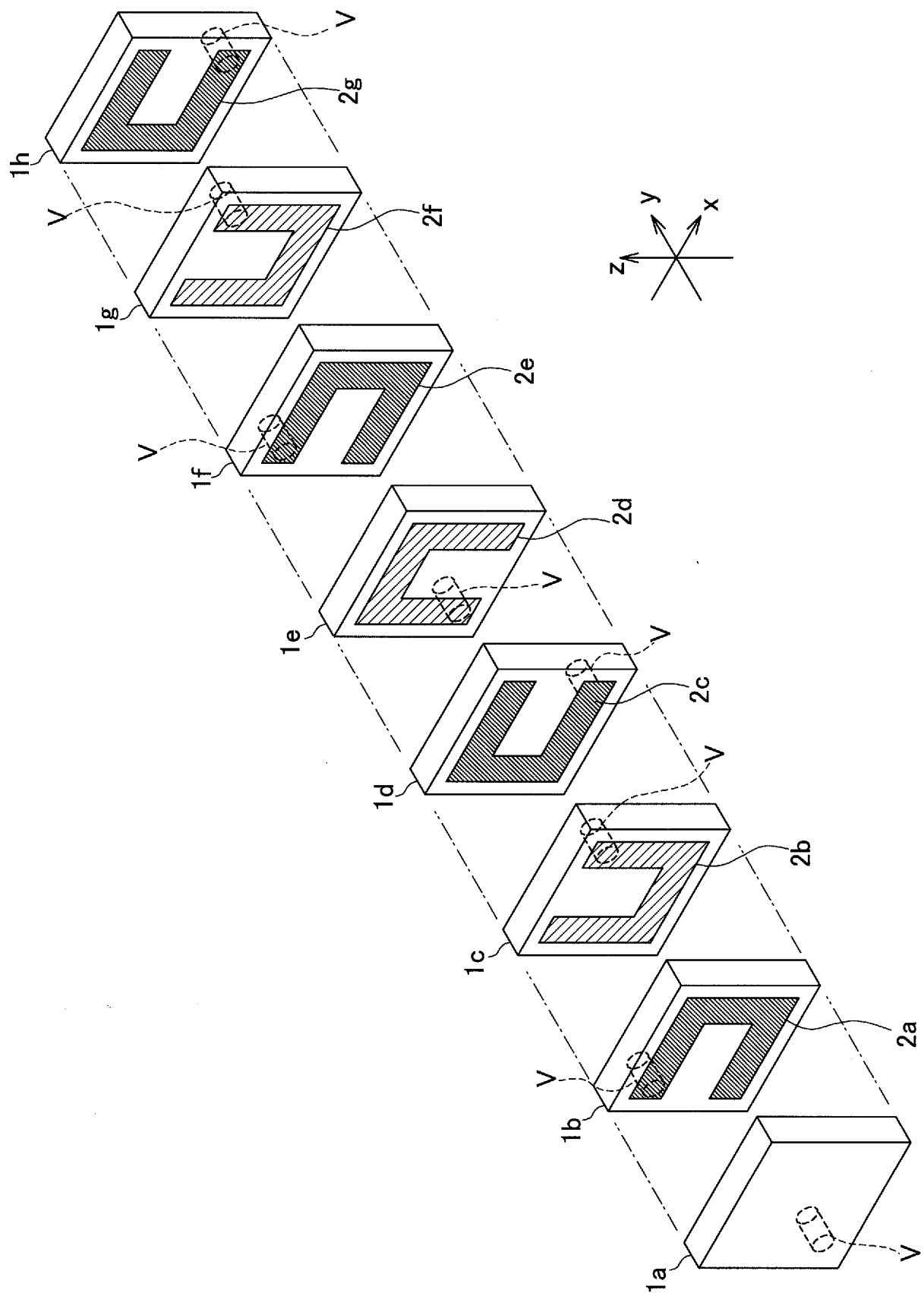
[図27]



[図28]



[図29]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2011/070399

A. CLASSIFICATION OF SUBJECT MATTER

H01F17/00(2006.01)i, H01F27/00(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01F17/00-21/12, H01F27/00-27/02, H01F27/06-27/08, H01F27/29, H01F27/36, H01F27/42, H01F30/00, H01F38/42

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2011
Kokai Jitsuyo Shinan Koho	1971-2011	Toroku Jitsuyo Shinan Koho	1994-2011

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 6-236817 A (Hitachi Zosen Corp.), 23 August 1994 (23.08.1994), paragraphs [0008] to [0020]; fig. 1 to 2 (Family: none)	1-5
X	JP 2008-66592 A (Fuji Electric Holdings Co., Ltd.), 21 March 2008 (21.03.2008), paragraphs [0016] to [0044]; fig. 1 to 3, 7 to 9 (Family: none)	1-5



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
05 December, 2011 (05.12.11)Date of mailing of the international search report
13 December, 2011 (13.12.11)Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2011/070399

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2008-66671 A (Fuji Electric Device Technology Co., Ltd.), 21 March 2008 (21.03.2008), paragraphs [0019] to [0045]; fig. 1 to 3, 7 to 9 (Family: none)	1-5

A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. H01F17/00(2006.01)i, H01F27/00(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. H01F17/00-21/12, H01F27/00-27/02, H01F27/06-27/08, H01F27/29, H01F27/36, H01F27/42, H01F30/00, H01F38/42

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 1 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 1 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 1 年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X	JP 6-236817 A（日立造船株式会社）1994.08.23, 段落【0008】 －【0020】、【図1】－【図2】（ファミリーなし）	1-5
X	JP 2008-66592 A（富士電機ホールディングス株式会社）2008.03.21, 段落【0016】－【0044】、【図1】－【図3】、【図7】－【図9】 （ファミリーなし）	1-5
X	JP 2008-66671 A（富士電機デバイステクノロジー株式会社） 2008.03.21, 段落【0019】－【0045】、【図1】－【図3】、 【図7】－【図9】（ファミリーなし）	1-5

C欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

0 5 . 1 2 . 2 0 1 1

国際調査報告の発送日

1 3 . 1 2 . 2 0 1 1

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

田中 純一

5 R

9 0 7 4

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 5 6 5