

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2018年9月7日(07.09.2018)



(10) 国際公開番号

WO 2018/159126 A1

(51) 国際特許分類:
H01L 27/088 (2006.01) H01L 27/144 (2006.01)
H01L 21/762 (2006.01) H01L 27/146 (2006.01)

(21) 国際出願番号: PCT/JP2018/001143

(22) 国際出願日: 2018年1月17日(17.01.2018)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2017-040702 2017年3月3日(03.03.2017) JP

(71) 出願人: ソニーセミコンダクタソリューションズ株式会社(SONY SEMICONDUCTOR SOLUTIONS CORPORATION) [JP/JP]; 〒2430014

神奈川県厚木市旭町四丁目14番1号 Kanagawa (JP).

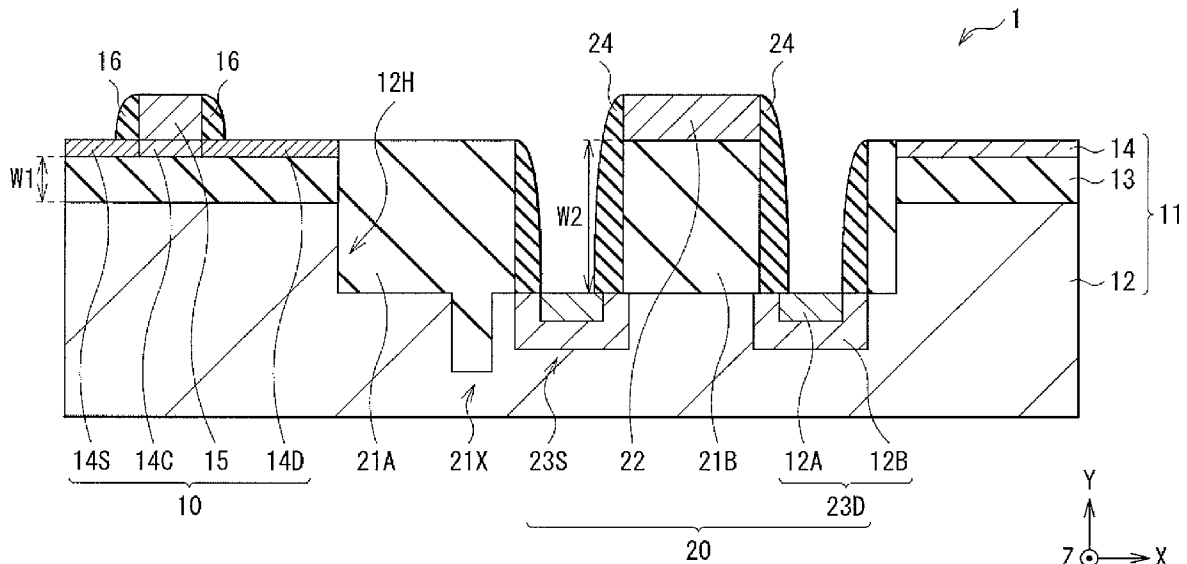
(72) 発明者: 牛腸 哲雄(GOCHO, Tetsuo); 〒2430014
神奈川県厚木市旭町四丁目14番1号
ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP).

(74) 代理人: 特許業務法人つばさ国際特許事務所 (TSUBASA PATENT PROFESSIONAL CORPORATION); 〒1600022 東京都新宿区新宿1丁目15番9号さわだビル3階 Tokyo (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH,

(54) Title: SEMICONDUCTOR DEVICE, METHOD FOR MANUFACTURING SEMICONDUCTOR DEVICE, AND ELECTRONIC DEVICE

(54) 発明の名称: 半導体装置および半導体装置の製造方法並びに電子機器



(57) Abstract: A semiconductor device according to an embodiment of the present invention comprises: an SOI substrate on which a silicon substrate layer, a first insulating layer, and a semiconductor layer are laminated in the stated order; a first transistor provided on the semiconductor layer; a second transistor having a higher withstand voltage than does the first transistor, the second transistor being provided on the silicon substrate layer; and an element isolation film provided between the first transistor and the second transistor, the element isolation film being configured from a second insulating layer that is buried in an opening that passes through the semiconductor layer and the first insulating layer and reaches the inside of the silicon substrate layer, and a portion of the second insulating layer constituting a gate insulation film

CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO,
DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT,
HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH,
KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY,
MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ,
NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT,
QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,
SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA,
UG, US, UZ, VC, VN, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

- 国際調査報告(条約第21条(3))

of the second transistor.

(57) 要約: 本開示の一実施形態の半導体装置は、シリコン基板層、第1の絶縁層、および半導体層がこの順に積層されたSOI基板と、半導体層上に設けられた第1のトランジスタと、シリコン基板層上に設けられ、第1のトランジスタよりも高耐圧な第2のトランジスタと、第1のトランジスタと第2のトランジスタとの間に設けられた素子分離膜とを備え、素子分離膜は、半導体層および第1の絶縁層を貫通してシリコン基板層内に達する開口に埋設された第2の絶縁層によって構成され、第2の絶縁層の一部は、第2のトランジスタのゲート絶縁膜を構成している。

明 細 書

発明の名称：

半導体装置および半導体装置の製造方法並びに電子機器

技術分野

[0001] 本開示は、耐圧電圧の異なる複数のトランジスタを備えた半導体装置およびその製造方法並びに電子機器に関する。

背景技術

[0002] 近年、医療応用や3次元イメージング等を目的として、さまざまな機能を有するイメージセンサが開発されている。このようなイメージセンサでは、耐圧電圧の異なるトランジスタが搭載されている。例えば、SPAD (Single Photon Avalanche Diode) を用いた測距イメージセンサでは、例えば1V程度以下の電圧で動作する先端トランジスタ（例えばFD (Fully Depleted) -SOIトランジスタ）と、例えば数十V以上の高電圧を受けられるトランジスタ（高耐圧トランジスタ）とが用いられている。前者は、例えばロジック回路に用いられており、後者は、フォトンカウンティングセンサに用いられている。これら耐圧電圧の異なるトランジスタは、通常、異なる基板に形成されている。

[0003] これに対して、例えば、特許文献1、2では、耐圧電圧の異なるトランジスタを同一基板上に設けた半導体装置が開示されている。特許文献1に記載の半導体装置では、高耐圧トランジスタは、SOI基板の半導体層上に設けられている。特許文献2に記載の半導体装置では、高耐圧トランジスタは、SOI基板のシリコン基板層上に設けられており、埋め込み酸化膜をゲート絶縁膜として用いている。

先行技術文献

特許文献

[0004] 特許文献1：特開2006-324415号公報

特許文献2：特開2008-085138号公報

発明の概要

- [0005] ところで、数十V以上の高電圧を受けられる高耐圧トランジスタでは、信頼線の観点から、ゲート絶縁膜は約50nm以上の膜厚が求められる。
- [0006] 耐圧電圧の異なるトランジスタを同一基板上に有し、高い信頼性を備えた半導体装置および半導体装置の製造方法並びに電子機器を提供することが望ましい。
- [0007] 本開示の一実施形態の半導体装置は、シリコン基板層、第1の絶縁層、および半導体層がこの順に積層されたSOI基板と、半導体層上に設けられた第1のトランジスタと、シリコン基板層上に設けられ、第1のトランジスタよりも高耐圧な第2のトランジスタと、第1のトランジスタと第2のトランジスタとの間に設けられた素子分離膜とを備えたものであり、素子分離膜は、半導体層および第1の絶縁層を貫通してシリコン基板層内に達する開口に埋設された第2の絶縁層によって構成され、第2の絶縁層の一部は、第2のトランジスタのゲート絶縁膜を構成している。
- [0008] 本開示の一実施形態の半導体装置の製造方法は、シリコン基板層、第1の絶縁層、および半導体層がこの順に積層されたSOI基板に、半導体層および第1の絶縁層を貫通してシリコン基板層内に達する開口を形成し、開口内に第2の絶縁層を埋設して素子分離膜を形成し、半導体層上に第1のトランジスタを形成し、第2の絶縁層の一部をゲート絶縁膜とし、素子分離膜を間にして、第1のトランジスタより高耐圧な第2のトランジスタをシリコン基板上に形成する。
- [0009] 本開示の一実施形態の電子機器は、上記本開示の一実施形態の半導体装置を備えたものである。
- [0010] 本開示の一実施形態の半導体装置および一実施形態の半導体装置の製造方法並びに一実施形態の電子機器では、第1のトランジスタと、第1のトランジスタよりも高耐圧な第2のトランジスタを有するSOI基板に、SOI基板を構成する半導体層および第1の絶縁層を貫通し、シリコン基板層まで達する開口を設け、この開口を第2の絶縁層によって埋設して素子分離膜を形

成した。さらに、第2の絶縁層の一部を、第2のトランジスタのゲート絶縁膜として用いるようにした。これにより、より高耐圧な第2のトランジスタのゲート絶縁膜の厚みを十分に確保することが可能となる。

[0011] 本開示の一実施形態の半導体装置および一実施形態の半導体装置の製造方法並びに一実施形態の電子機器によれば、SOI基板を構成する第1の絶縁層よりも膜厚の厚い素子分離膜を設け、その素子分離膜を構成する第2の絶縁層の一部を、高耐圧な第2のトランジスタのゲート絶縁膜として用いるようにしたので、SOI基板上に、十分な耐圧性能を有する第2のトランジスタを形成することが可能となる。よって、耐圧電圧の異なるトランジスタを同一基板上に有し、高い信頼性を備えた半導体装置およびこれを備えた電子機器を提供することが可能となる。

[0012] なお、ここに記載された効果は必ずしも限定されるものではなく、本開示中に記載されたいずれの効果であってもよい。

図面の簡単な説明

[0013] [図1]本開示の第1の実施の形態に係る半導体装置の断面構成を表す模式図である。

[図2A]図1に示した半導体装置の製造方法の製造方法を説明するための断面模式図である。

[図2B]図2Aに続く工程を表す断面模式図である。

[図2C]図2Bに続く工程を表す断面模式図である。

[図2D]図2Cに続く工程を表す断面模式図である。

[図3A]図2Dに続く工程を表す断面模式図である。

[図3B]図3Aに続く工程を表す断面模式図である。

[図3C]図3Bに続く工程を表す断面模式図である。

[図4A]図3Cに続く工程を表す断面模式図である。

[図4B]図4Aに続く工程を表す断面模式図である。

[図4C]図4Bに続く工程を表す断面模式図である。

[図5A]図4Cに続く工程を表す断面模式図である。

[図5B]図5 Aに続く工程を表す断面模式図である。

[図5C]図5 Bに続く工程を表す断面模式図である。

[図6A]図5 Cに続く工程を表す断面模式図である。

[図6B]図6 Aに続く工程を表す断面模式図である。

[図7A]一般的なS i O₂膜の厚膜化を説明する断面模式図である。

[図7B]図7 Aに続く工程を表す断面模式図である。

[図7C]図7 Bに続く工程を表す断面模式図である。

[図8A]本開示の第2の実施の形態に係る半導体装置の製造方法を説明するための断面模式図である。

[図8B]図8 Aに続く工程を表す断面模式図である。

[図8C]図8 Bに続く工程を表す断面模式図である。

[図8D]図8 Cに続く工程を表す断面模式図である。

[図9]本開示の変形例1に係る半導体装置の断面構成を表す模式図である。

[図10A]本開示の変形例2に係る半導体装置の製造方法を説明するための断面模式図である。

[図10B]図10 Aに続く工程を表す断面模式図である。

[図10C]図10 Bに続く工程を表す断面模式図である。

[図11A]図10 Cに続く工程を表す断面模式図である。

[図11B]図11 Aに続く工程を表す断面模式図である。

[図11C]図11 Bに続く工程を表す断面模式図である。

[図12A]図11 Cに続く工程を表す断面模式図である。

[図12B]図12 Aに続く工程を表す断面模式図である。

[図12C]図12 Bに続く工程を表す断面模式図である。

[図13A]図12 Cに続く工程を表す断面模式図である。

[図13B]図13 Aに続く工程を表す断面模式図である。

[図13C]図13 Bに続く工程を表す断面模式図である。

[図14A]図13 Cに続く工程を表す断面模式図である。

[図14B]図14 Aに続く工程を表す断面模式図である。

[図14C]図 1 4 B に続く工程を表す断面模式図である。

[図15A]本開示の変形例 3 に係る半導体装置の製造方法を説明するための断面模式図である。

[図15B]図 1 5 A に続く工程を表す断面模式図である。

[図15C]図 1 5 B に続く工程を表す断面模式図である。

[図16A]図 1 5 C に続く工程を表す断面模式図である。

[図16B]図 1 6 A に続く工程を表す断面模式図である。

[図17]図 1 等 に示した半導体装置を備えた撮像素子を画素として用いた撮像装置の構成を表すブロック図である。

[図18]図 1 1 に示した撮像装置を用いた電子機器（カメラ）の一例を表す機能ブロック図である。

[図19]体内情報取得システムの概略的な構成の一例を示すブロック図である。

[図20]車両制御システムの概略的な構成例を示すブロック図である。

[図21]撮像部の設置位置の一例を示す説明図である。

発明を実施するための形態

[0014] 以下、本開示における実施の形態について、図面を参照して詳細に説明する。なお、説明は以下の順序で行う。

1. 第 1 の実施の形態（BOX 層よりも膜厚の厚い素子分離膜を形成し、その一部を高耐圧トランジスタのゲート絶縁膜とした例）

1-1. 半導体装置の構成

1-2. 半導体装置の製造方法

1-3. 作用・効果

2. 第 2 の実施の形態（レジスト膜のみでゲート電極を形成する例）

3. 変形例

3-1. 変形例 1（素子分離膜部分とゲート絶縁膜部分とで深さの異なる開口を設けた例）

3-2. 変形例 2（第 1 の実施の形態の変形例）

3-3. 変形例3（第2の実施の形態の変形例）

4. 適用例

[0015] <1. 第1の実施の形態>

図1は、本開示の第1の実施の形態に係る半導体装置（半導体装置1）の断面構成を表したものである。半導体装置1は、同一基板上に、耐圧電圧の異なるトランジスタ（第1のトランジスタおよび第2のトランジスタ）を有するものであり、例えば、SPAD（Single Photon Avalanche Diode）を用いた測距イメージセンサやマイクロコンピュータ等に用いられるものである。半導体装置1は、例えば22nm世代以降の先端トランジスタ（トランジスタ10）と、例えば数十V以上の高電圧を受けられるトランジスタ（トランジスタ20）がSOI基板11上に混載されたものである。SOI基板11は、シリコン基板層12、絶縁層13（第1の絶縁層）および半導体層14がこの順に積層されたものである。本実施の形態では、トランジスタ10は、SOI基板11を構成する半導体層14上に設けられ、トランジスタ20は、SOI基板11を構成するシリコン基板層12上に設けられている。トランジスタ10とトランジスタ20との間には、絶縁層13よりもY軸方向の膜厚（以下、単に厚みという）が厚い素子分離膜21Aが設けられており、素子分離膜21Aを構成する絶縁層21（例えば、図3C参照）の一部がトランジスタ20のゲート絶縁膜21Bとして用いられた構成を有する。

[0016]（1-1. 半導体装置の構成）

半導体装置1は、上記のように、SOI基板11上に、素子分離膜21Aを間に、先端トランジスタであるトランジスタ10と、例えば数十V以上の高電圧を受けられるトランジスタ20とが設けられた構成を有する。

[0017] SOI基板11は、バルクシリコンからなるシリコン基板層12上に絶縁層13および半導体層14がこの順に積層されたものである。絶縁層13は、いわゆるBOX層と呼ばれるものであり、例えば20nm以下のシリコン酸化膜（SiO₂膜）により構成されている。半導体層14は、例えば6nm以下のシリコン単結晶層により構成されている。

[0018] トランジスタ 10 は、上記のように、22 nm 世代以降の先端トランジスタであり、例えば完全空乏型シリコン・オン・インシュレータ（FD-SOI）トランジスタである。トランジスタ 10 は、プレーナ型のトランジスタ構造を有する。トランジスタ 10 は、半導体層 14 上にゲート電極 15 を有する。なお、ゲート電極 15 と半導体層 14 との間には、図示していないが、例えば酸化ハフニウム（ HfO_2 ）等よりなるゲート絶縁膜が設けられている。ゲート電極 15 の側面には、例えば窒化シリコン膜よりなるサイドウォール 16 が設けられている。ゲート電極 15 に対向する半導体層 14 には、チャネル領域 14C が設けられている。チャネル領域 14C の両側には、不純物が拡散してなるソース領域 14S およびドレイン領域 14D が設けられている。一例として、トランジスタ 10 が NMOS トランジスタである場合には、ソース領域 14S およびドレイン領域 14D には、例えばイオン注入ドーズ量 $1 \times 10^{18} \sim 1 \times 10^{19} / \text{cm}^2$ のリン（P）が拡散される。トランジスタ 10 が例えば PMOS トランジスタである場合には、ソース領域 14S およびドレイン領域 14D には、例えば $1 \times 10^{18} \sim 1 \times 10^{19} / \text{cm}^2$ のホウ素（B）が拡散される。

[0019] トランジスタ 20 は、上記のように、例えば十数 V $\sim$ 20 V 以上の高電圧を受けられる、いわゆる高耐圧トランジスタである。トランジスタ 20 は、シリコン・プレーナ型のトランジスタであり、例えば、ゲート電極 22 と、シリコン基板層 12 上に設けられたソース領域 23S およびドレイン領域 23D と、シリコン基板層 12 とゲート電極 22 との間に設けられたゲート絶縁膜 21B とを有している。

[0020] ゲート電極 22 は、シリコン基板層 12 上に設けられている。但し、ゲート電極 22 とシリコン基板層 12 との間には、上記のように、ゲート絶縁膜 21B が設けられている。このゲート絶縁膜 21B は、例えば SiO_2 膜等よりなり、その厚み（W2）は、SOI 基板 11 の BOX 層（絶縁層 13）の厚み（W1）よりも厚い。ゲート電極 22 の側面には、例えば窒化シリコンよりなるサイドウォール 24 が設けられている。なお、サイドウォール 24

は、シリコン基板層 1 2 上に設けられており、ゲート電極 2 2 およびゲート絶縁膜 2 1 B の側面に連続して形成されている。

[0021] ソース領域 2 3 S およびドレイン領域 2 3 D は、ゲート電極 2 2 と対向するチャネル領域の両側に、不純物がシリコン基板層 1 2 に拡散してなるものである。ソース領域 2 3 S およびドレイン領域 2 3 D は、例えば、不純物の拡散濃度の高い高濃度拡散領域 1 2 A と、高濃度拡散領域 1 2 A の周囲に設けられ、高濃度拡散領域 1 2 A よりも不純物の拡散濃度の低い低濃度拡散領域 1 2 B とから構成されている。高濃度拡散領域 1 2 A および低濃度拡散領域 1 2 B は、例えば以下の構成を有する。例えばトランジスタ 2 0 が NMOS トランジスタである場合には、高濃度拡散領域 1 2 A には、例えばイオン注入ドーズ量 $1 \text{ E } 17 \sim 18 / \text{cm}^2$ のリン (P) が拡散されており、低濃度拡散領域 1 2 B には、例えば $1 \text{ E } 14 \sim 15 / \text{cm}^2$ のリン (P) が拡散されている。また、例えばトランジスタ 2 0 が例えば PMOS トランジスタである場合には、高濃度拡散領域 1 2 A には、例えば $1 \text{ E } 17 \sim 18 / \text{cm}^2$ のホウ素 (B) が拡散されており、低濃度拡散領域 1 2 B には、例えば $1 \text{ E } 14 \sim 15 / \text{cm}^2$ のホウ素 (B) が拡散されている。

[0022] 素子分離膜 2 1 A は、トランジスタ 1 0 とトランジスタ 2 0 との間に設けられた、例えば SiO_2 よりなるものである。素子分離膜 2 1 A の厚みは、SOI 基板 1 1 の BOX 層 (絶縁層 1 3) よりも厚い。素子分離膜 2 1 A は、詳細は後述するが、例えば、SOI 基板 1 1 の半導体層 1 4 および絶縁層 1 3 を貫通すると共に、底面がシリコン基板層 1 2 内に存在する開口 1 2 H を埋設する絶縁層 2 1 (第 2 の絶縁層) によって構成されたものである。また、素子分離膜 2 1 A の底面の一部には、シリコン基板層 1 2 に突出する凸部 2 1 X が設けられている。この凸部 2 1 X は、先端トランジスタ (トランジスタ 1 0) と高耐圧トランジスタ (トランジスタ 2 0) とが十分に離れて配置されている (例えば $10 \mu\text{m}$ 以上) 場合には必ずしも設ける必要はない。但し、例えば先端トランジスタおよび高耐圧トランジスタを SOI 基板上に複数設け、複数の高耐圧トランジスタ (トランジスタ 2 0) が隣接配置され

た場合には、その間に設けられる素子分離膜 2 1 A の底面に上記凸部 2 1 X を設けることが好ましい。これにより、高耐圧トランジスタ間の絶縁性が向上し、高耐圧トランジスタ間の距離を、例えば 1 μ m に近接して配置できるようになり、チップ面積を縮小化することが可能となる。

[0023] 絶縁層 2 1 は、例えば図 5 C に示したように、開口 2 1 H 1 および開口 2 1 H 2 によって分割されており、開口 2 1 H によって分割された絶縁層 2 1 が素子分離膜 2 1 A を構成している。また、開口 2 1 H 1 および開口 2 1 H 2 によって分割された絶縁層 2 1 がトランジスタ 2 0 のゲート絶縁膜 2 1 B を構成している。なお、本実施の形態では、絶縁層 2 1 を開口 2 1 H 1 および開口 2 1 H 2 によって 3 つに分割した例を示したが、これに限らない。例えば開口 2 1 H 1 によって 2 つに分割し、一方を素子分離膜 2 1 A として、他方をゲート絶縁膜 2 1 B として用いるようにしてもよい。但し、上記のように、S O I 基板 1 1 上に複数のトランジスタを設ける場合には、本実施の形態のように 3 つに分割することで、残りの絶縁層 2 1 の部分を、隣りに配置されたトランジスタとの素子分離膜として用いることができる。

[0024] (1 - 2. 半導体装置の製造方法)

本実施の形態の半導体装置 1 は、例えば、次のようにして製造することができる。

[0025] まず、図 2 A に示したように、シリコン基板層 1 2、絶縁層 1 3 および半導体層 1 4 がこの順に積層された S O I 基板 1 1 を用意する。続いて、図 2 B に示したように、S O I 基板 1 1 上（具体的には、半導体層 1 4 の表面）に、例えば熱酸化により、例えば 1 n m の酸化膜 3 1 を形成したのち、酸化膜 3 1 上に、例えば L P C V D (Low Pressure Chemical Vapor Deposition) 法を用いて、例えば 3 0 n m の窒化シリコン膜 (S i N 膜) 3 2 を形成する。

[0026] 次に、図 2 C に示したように、S i N 膜 3 2 上にレジスト膜 3 3 を形成したのち、パターンニングして開口 3 3 H を形成する。続いて、図 2 D に示したように、例えばエッチング法により、凸部 2 1 X となる、シリコン基板層 1

2内に到達する開口11Hを形成する。

[0027] 次に、レジスト膜33を除去したのち、図3Aに示したように、SiN膜32上に、開口11Hを含む開口34Hを有するレジスト膜34をパターンニングする。続いて、図3Bに示したように、例えばエッチング法により、シリコン基板層12内に到達する開口12Hを形成する。次に、図3Cに示したように、レジスト膜34を除去したのち、例えばHDP-CVD (High-Density Plasma Chemical Vapor Deposition) 法を用いて、開口12Hに、例えば酸化シリコン膜 (SiO₂膜、絶縁層21) を埋設する。続いて、例えばCMP (Chemical Mechanical Polishing) 法により、絶縁層21の表面を平坦化する。

[0028] 次に、図4Aに示したように、例えばウェットエッチング法を用いて絶縁層21をエッチングして任意の厚さに調整する。本実施の形態では、例えば半導体層14と同一面を形成する厚みまでエッチングする。続いて、図4Bに示したように、SiN膜32および酸化膜31を除去したのち、図示していないが、SOI基板11上の全面に、例えばトランジスタ10のゲート絶縁膜となる、例えばハフニウム酸化膜 (HfO₂膜) を、例えば2nmの厚みで形成する。次に、図4Cに示したように、SOI基板11の半導体層14および絶縁層21上 (実際には、HfO₂膜上) に、例えばCVD法を用いてポリシリコン (Si) 膜15Aを成膜する。なお、ポリSi膜15Aを形成する際には、HfO₂膜がトランジスタ10の形成領域のみにパターンニングされていてもよいが、HfO₂膜の有無は、トランジスタ20の特性に特に影響がないため、SOI基板11の全面に形成された状態でもよい。

[0029] 続いて、図5Aに示したように、ポリSi膜15A上に、例えばCVD法を用いてSiN膜35を成膜したのち、SiN膜35上にレジスト膜36をパターンニングする。次に、図5Bに示したように、例えばエッチング法によりSiN膜35およびポリSi膜15Aをエッチングする。これにより、トランジスタ10およびトランジスタ20のゲート電極15, 22がHfO₂膜上に一括で形成される。続いて、レジスト膜36を除去したのち、SOI基

板 1 1 上に、トランジスタ 2 0 のゲート電極 2 2 を含む開口を有するレジスト膜 3 7 をパターニングする。次に、図 5 C に示したように、例えばエッチング法を用いて、レジスト膜 3 7 の開口内の絶縁層 2 1 をエッチングする。このときゲート電極 2 2 上の S i N 膜 3 5 がエッチングマスクとなり、絶縁層 2 1 には、開口 2 1 H 1 および開口 2 1 H 2 が形成される。これにより、絶縁層 2 1 は、3 つに分割され、ゲート電極 2 2 の下方の絶縁層 2 1 はトランジスタ 2 0 のゲート絶縁膜 2 1 B となり、トランジスタ 1 0 側に分割された絶縁層 2 1 は、トランジスタ 1 0 とトランジスタ 2 0 とを電氣的に分離する素子分離膜 2 1 A となる。続いて、レジスト膜 3 7 を除去する。

[0030] 次に、トランジスタ 1 0 のゲート電極 1 5 の両側の半導体層 1 4 に、例えばイオン注入法を用いて、ソース領域 1 4 S およびドレイン領域 1 4 D を形成したのち、図 6 A に示したように、開口 2 1 H 1, 2 1 H 2 内のシリコン基板層 1 2 に、例えばイオン注入法を用いて低濃度拡散領域 1 2 B を形成する。続いて、例えば C V D 法を用いて例えば S i N 膜を成膜したのち、エッチバックを行いトランジスタ 1 0 のゲート電極 1 5 の側面およびトランジスタ 2 0 のゲート電極 2 2 およびゲート絶縁膜 2 1 B の連続する側面にサイドウォール 1 6, 2 4 をそれぞれ形成する。このとき、開口 2 1 H 1, 2 1 H 2 を構成する素子分離膜 2 1 A の側面およびゲート絶縁膜 2 1 B を挟んだ反対側の絶縁層 2 1 の側面にも、サイドウォール 2 4 と同様の形状を有する S i N 膜が形成される。次に、開口 2 1 H 1, 2 1 H 2 内のシリコン基板層 1 2 に、例えばイオン注入法を用いて高濃度拡散領域 1 2 A を形成する。このとき、サイドウォール 2 4 および素子分離膜 2 1 A の側面およびゲート絶縁膜 2 1 B を挟んだ反対側の絶縁層 2 1 の側面に形成された S i N 膜がマスクとなって、高濃度拡散領域 1 2 A は、先に形成した低濃度拡散領域 1 2 B の内部に形成される。これにより、図 1 に示した半導体装置 1 が完成する。

[0031] なお、本実施の形態の半導体装置 1 は、上記のように、例えば測距イメージセンサ等に用いられる。例えば図 1 7 に示した撮像装置 4 では、図 1 に示した半導体装置 1 上に光電変換部を有する画素部 5 0 が配設される。画素部

50には、複数の単位画素Pがマトリクス上に配置されており、例えば、単位画素Pにそれぞれ、トランジスタ10およびトランジスタ20が配設される。その場合には、図6Bに示したように、半導体装置1上に、例えばシリコン酸化膜やリンやボロンを含んだシリコン酸化膜等からなる層間絶縁層41を例えばCVD法を用いて形成したのち、層間絶縁層41内に、コンタクトプラグP1、P2、P3、P4、P5、P6を形成する。コンタクトプラグP1、P2、P3、P4、P5、P6の一端は、図6Bに示したように、それぞれトランジスタ10のゲート電極15、ソース領域14Sおよびドレイン領域14D、トランジスタ20のゲート電極22、ソース領域23Sおよびドレイン領域23Dと電氣的に接続されている。他端は、単位画素Pの所定の部位に接続されている。

[0032] (1-3. 作用・効果)

同一基板上に耐圧電圧の異なるトランジスタを設ける場合、一般的には、マルチオキサイドプロセスを用いて低電圧動作トランジスタおよび高電圧動作トランジスタのゲート絶縁膜を作り分けている。具体的には、まず、図7Aに示したようにシリコン基板101を厚膜酸化してSiO₂膜102を形成したのち、図7Bに示したように、所定の領域（例えば低電圧動作トランジスタを形成する領域）のSiO₂膜102を除去する。こののち、図7Cに示したようにシリコン基板101を薄膜酸化することで、シリコン基板101上に異なる厚みのSiO₂膜102が形成される。

[0033] ところで、例えばSPADを用いた測距イメージセンサでは、前述したように、例えば22nm世代以降の先端トランジスタ（例えば、FD-SOIトランジスタ）と、数十V以上の高電圧を受けられるトランジスタ（高耐圧トランジスタ）とが用いられている。FD-SOIトランジスタは、シリコン基板上に絶縁層（BOX層）を介して薄いSi層が設けられたSOI基板に形成されている。高耐圧トランジスタを、上記方法を用いてこのSOI基板上に混載しようとした場合、厚膜酸化時にSi層が全て酸化されてしまう。

[0034] また、前述したように、SOI基板のBOX層を高耐圧トランジスタのゲート絶縁膜として用いる方法が考えられている。しかしながら、数十V以上の高電圧を受けられる高耐圧トランジスタでは、信頼性の観点から、ゲート絶縁膜は例えば50nm以上の厚みが求められており、通常20nm程度のBOX層では、高耐圧トランジスタのゲート絶縁膜としては耐圧不足となる。そこで、BOX層の厚みを厚く（例えば50nm程度）することも考えられるが、その場合には、FD-SOIトランジスタで行われているバックバイアス制御ができなくなってしまう。

[0035] この他、LOCOS (local oxidation of silicon) 法を用いてBOX層を部分的に厚膜化する方法が考えられる。しかしながら、LOCOS法を用いてBOX層を厚膜化した場合、その近傍は局所的熱酸化による堆積膨張が生じ、SOI基板の表面には段差が形成される。ところで、微細化が進んだ半導体装置では、リソグラフィ工程における焦点深度 (Depth of Focus ; DOF) は小さくなる。このため、リソグラフィ工程により形成されたレジスト膜の線幅にばらつきが生じやすくなり、このばらつきを抑制するためには、レジスト膜を形成する下地の段差は小さくすることが望ましい。これに対して、LOCOS法の局所的熱酸化によって生じるSOI基板の表面の段差は、レジスト膜の線幅のばらつきの一因となる。

[0036] 本実施の形態では、SOI基板11に、素子分離膜21Aとして、SOI基板11を構成する半導体層14および絶縁層13を貫通し、シリコン基板層12まで達する開口12Hを形成し、その開口12Hに絶縁層21を埋設し、その一部を高耐圧トランジスタ（トランジスタ20）のゲート絶縁膜21Bとして用いるようにした。絶縁層21の厚みは、開口12Hの深さを調整することで任意に設定することができる。これにより、先端トランジスタであるトランジスタ10の動作や、製造工程に影響を与えることなく、高耐圧なトランジスタ20のゲート絶縁膜21Bの厚みを十分に確保することが可能となる。

[0037] 以上、本実施の形態の半導体装置1では、FD-SOIトランジスタであ

るトランジスタ 10 と、高耐圧トランジスタであるトランジスタ 20 との間に、SOI 基板 11 を構成する絶縁層 13 よりも膜厚の大きな素子分離膜 21A を設け、その素子分離膜 21A を構成する絶縁層 21 の一部を、トランジスタ 20 のゲート絶縁膜として用いるようにした。具体的には、SOI 基板 11 に、半導体層 14 および絶縁層 13 を貫通し、シリコン基板層 12 内まで達する開口 12H を設け、その開口 12H を絶縁層 21 で埋設し、この絶縁層 21 を分割して、一方を素子分離膜 21A として、他方をトランジスタ 20 のゲート絶縁膜として用いるようにした。これにより、高耐圧トランジスタであるトランジスタ 20 のゲート絶縁膜として、十分な耐圧性能を有するゲート絶縁膜 21B が形成される。よって、耐圧電圧の異なるトランジスタを同一基板上に有し、高い信頼性を備えた半導体装置 1 を提供することが可能となる。

[0038] また、素子分離膜 21A の底面に、シリコン基板層 12 に突出する凸部 21X を設けるようにしたので、トランジスタ 10 とトランジスタ 20 との間の電気的な絶縁性が向上し、トランジスタ 10 とトランジスタ 20 との距離を削減することが可能となる。また、複数のトランジスタ 20 が隣接配置される場合には、その間に凸部 21X を設けることにより、トランジスタ 20 間の距離を削減することが可能となる。よって、チップ面積を縮小化することが可能となる。

[0039] 以下、本開示の第 2 の実施の形態および変形例 1 ～ 3 について説明する。
なお、上記第 1 の実施の形態と同一の構成要素については同一の符号を付し説明を省略する。

[0040] < 2. 第 2 の実施の形態 >

図 8A ～ 8B は、本開示の第 2 の実施の形態に係る半導体装置 1 の製造方法の他の例を模式的に表したものである。

[0041] 本実施の形態の製造方法では、上記第 1 の実施の形態において説明した方法を用いて、図 8A に示したように、SOI 基板 11 上にポリ Si 膜 15A を形成したのち、図 8B に示したように、SiN 膜 35 を形成することなく

、S i 膜 1 5 A 上にレジスト膜 3 6 をパターニングする。続いて、図 8 C に示したように、レジスト膜 3 6 をマスクとして、ポリ S i 膜 1 5 A をエッチングし、トランジスタ 1 0 のゲート電極 1 5 およびトランジスタ 2 0 のゲート電極 2 2 を形成する。こののち、レジスト膜 3 6 を除去する。次に、図 8 D に示したように、S O i 基板 1 1 の半導体層 1 4 および絶縁層 2 1 上に、レジスト膜 3 8 をパターニングしたのち、第 1 の実施の形態と同様の方法を用いて絶縁層 2 1 をエッチングする。これにより、絶縁層 2 1 内に開口 2 1 H 1 および開口 2 1 H 2 が形成され、絶縁層 2 1 が 3 つに分割される。以降、第 1 の実施の形態と同様の方法を用いることにより、図 1 に示した半導体装置 1 が完成する。

[0042] 本実施の形態では、開口 2 1 H 1 および開口 2 1 H 2 を形成する絶縁層 2 1 のエッチングの際のマスクとなる S i N 膜 3 5 を形成することなく、半導体装置 1 を形成するようにした。これにより、上記第 1 の実施の形態における半導体装置 1 の製造方法と比較して、製造工程数を削減することが可能となる。

[0043] < 3. 変形例 >

(3 - 1. 変形例 1)

図 9 は、本開示の変形例 1 に係る半導体装置（半導体装置 2）の断面構成を表したものである。本変形例の半導体装置 2 は、複数（ここでは、3 種）の深さを有する開口 1 2 H を形成し、底面に段差を有する絶縁層 2 1 を設けたものである。具体的には、第 1 の実施の形態において説明した凸部 2 1 X を挟んで、素子分離膜 2 1 A がゲート絶縁膜 2 1 B よりも厚くなるようにした。このように、素子分離膜 2 1 A およびゲート絶縁膜 2 1 B の厚みは、適宜調整することができる。

[0044] (3 - 2. 変形例 2)

図 1 0 A ~ 図 1 4 C は、上記第 1 の実施の形態の変形例としての半導体装置（半導体装置 3、図 1 4 C 参照）の製造方法を表したものである。本変形例の半導体装置 3 は、トランジスタ 1 0 およびトランジスタ 2 0 が、S O i

基板 1 1 上に複数（本変形例では、それぞれ 2 個ずつ、トランジスタ 1 0 X, 1 0 Y およびトランジスタ 2 0 X, 2 0 Y）設けられたものである。このような半導体装置 3 は、例えば、次のようにして製造することができる。

- [0045] まず、例えば、第 1 の実施の形態と同様の方法を用いて、S O I 基板 1 1 上に酸化膜 3 1 および S i N 膜 3 2 を形成する。続いて、図 1 0 A に示したように、S i N 膜 3 2 上にレジスト膜 3 3 を形成したのち、パターニングして、例えば 4 つの開口 3 3 H 1 ~ 3 3 H 4 を形成する。続いて、図 1 0 B に示したように、例えばエッチング法により、シリコン基板層 1 2 内に到達する開口 1 1 H 1 ~ 1 1 H 4 を形成する。次に、レジスト膜 3 3 を除去したのち、図 1 0 C に示したように、S i N 膜 3 2 上に、トランジスタ 2 0 X, 2 0 Y の形成領域 2 0 R に開口を有するレジスト膜 3 4 をパターニングする。
- [0046] 次に、図 1 1 A に示したように、例えばエッチング法により、シリコン基板層 1 2 内に到達する開口 1 2 H を形成する。続いて、レジスト膜 3 4 を除去したのち、図 1 1 B に示したように、例えば H D P - C V D 法を用いて開口 1 1 H 1, 1 1 H 2 内および開口 1 1 H 3, 1 1 H 4 を含む開口 1 2 H 内並びに S i N 膜 3 2 上に、例えば S i O₂ 膜（絶縁層 2 1）を成膜する。次に、図 1 1 C に示したように、例えば C M P 法により、絶縁層 2 1 の表面を平坦化する。これにより、最終的に隣接配置されるトランジスタ 1 0 X, 1 0 Y およびトランジスタ 2 0 X, 2 0 Y をそれぞれ電氣的に絶縁する凸部 2 1 X 1, 2 1 X 2, 2 1 X 3, 2 1 X 4 が形成される。
- [0047] 続いて、図 1 2 A に示したように、例えばウェットエッチング法を用いて絶縁層 2 1 を任意の厚さに調整したのち、S i N 膜 3 2 および酸化膜 3 1 を除去する。次に、第 1 の実施の形態と同様に、図示していないが、S O I 基板 1 1 上の全面に、例えばトランジスタ 1 0 のゲート絶縁膜となる、例えば H f O₂ 膜を、例えば 2 n m の厚みで形成したのち、図 1 2 B に示したように、例えば C V D 法を用いてポリシリコン（S i）膜 1 5 A および S i N 膜 3 5 をこの順に成膜する。続いて、図 1 2 C に示したように、S i N 膜 3 5 上にレジスト膜 3 6 をパターニングする。

[0048] 次に、図13Aに示したように、例えばエッチング法により、レジスト膜36をマスクとしてSiN膜35およびポリSi膜15Aをエッチングする。これにより、トランジスタ10X、10Yおよびトランジスタ20X、20Yのゲート電極15X、15Y、22X、22Yが一括で形成される。続いて、レジスト膜36を除去したのち、図13Bに示したように、SOI基板11の半導体層14および絶縁層21上にレジスト膜37をパターニングする。次に、例えばエッチング法を用いて、絶縁層21をエッチングする。このとき、レジスト膜37と共に、ゲート電極22上のSiN膜35がエッチングマスクとなり、開口21H1、21H2、21H3、21H4が形成される。これにより、開口12H内の絶縁層21は、5つに分割され、それぞれ、トランジスタ20X、20Yのゲート絶縁膜21B1、21B2、トランジスタ10とトランジスタ20とを電氣的に分離する素子分離膜21A、トランジスタ20Xとトランジスタ20Yとの間を電氣的に絶縁する素子分離膜（絶縁膜21B3）および例えば、図示していないがトランジスタ20Yのトランジスタ20Xとは反対側に別のトランジスタが形成された際の素子分離膜（絶縁膜21B4）となる。続いて、図13Cに示したように、レジスト膜37および各ゲート電極15X、15Y、22X、22Y上に設けられたSiN膜35を除去する。

[0049] 次に、トランジスタ10X、10Yの両側の半導体層14に、例えばイオン注入法を用いて、ソース領域14S1、14S2およびドレイン領域14D1、14D2を形成する。こののち、図14Aに示したように、トランジスタ10X、10Yを含む半導体層14上および素子分離膜21A上にレジスト膜39を形成する。続いて、開口21H1、21H2および開口21H3、21H4内のシリコン基板層12に、例えばイオン注入法を用いて、それぞれ低濃度拡散領域12B1、12B2を形成する。次に、レジスト膜39を除去したのち、図14Bに示したように、例えばCVD法を用いて例えばSiN膜を成膜し、エッチバックを行ってトランジスタ10X、10Yのゲート電極15X、15Yの側面およびトランジスタ20X、20Yのゲー

ト電極 22X とゲート絶縁膜 21B1 およびゲート電極 22Y とゲート絶縁膜 21B2 の連続する側面にサイドウォール 16, 24 をそれぞれ形成する。このとき、素子分離膜 21A および各トランジスタ間の素子分離膜となる絶縁膜 21B3, 21B4 の側面にもサイドウォールと同様の形状を有する SiN 膜が形成される。続いて、再度、トランジスタ 10X, 10Y を含む半導体層 14 上および素子分離膜 21A 上にレジスト膜 40 を形成する。次に、図 14C に示したように、開口 21H1, 21H2, 21H3, 21H4 内のシリコン基板層 12 に例えばイオン注入法を用いて高濃度拡散領域 12A1, 12A2 を形成する。このとき、サイドウォール 24 と、素子分離膜 21A および絶縁膜 21B3, 21B4 の側面に形成される SiN 膜とがマスクとなって、高濃度拡散領域 12A1, 12A2 は、先に形成した低濃度拡散領域 12B1, 12B2 の内部に形成される。最後に、レジスト膜 40 を除去することにより、隣り合うトランジスタ 10X とトランジスタ 10Y との間、トランジスタ 10Y とトランジスタ 20X との間、トランジスタ 20X とトランジスタ 20Y との間にそれぞれ凸部 21X1, 21X2, 21X3, 21X4 を有する半導体装置 3 が完成する。

[0050] なお、ここでは、トランジスタ 10Y とトランジスタ 20X との間に 2 つの凸部 21X2, 21X3 を設けた例を示したが、先端トランジスタ（トランジスタ 10Y）と高耐圧トランジスタ（トランジスタ 20X）との間には、少なくとも凸部の先端がより深い位置にある凸部 21X3 を形成すれば、凸部 21X2 は省略してもかまわない。

[0051] （3-3. 変形例 3）

図 15A～図 16B は、上記第 2 の実施の形態の変形例としての半導体装置 3 の製造方法を表したものである。本変形例では、半導体装置 3 は、例えば次のようにして製造することができる。

[0052] まず、変形例 1 と同様の方法を用いて、凸部 21X1, 21X2, 21X3, 21X4 を形成したのち、図 15A に示したように、SOI 基板 11 の半導体層 14 および絶縁層 21 上（実際には、HfO₂膜上）に、例えば CV

D法を用いてポリシリコン（Si）膜15Aを成膜する。続いて、図15Bに示したように、Si膜15A上にレジスト膜36をパターニングする。続いて、図15Cに示したように、レジスト膜36をマスクとしてポリSi膜15Aをエッチングし、それぞれ、トランジスタ10X、10Yのゲート電極15X、15Yおよびトランジスタ20X、20Yのゲート電極22X、22Yを形成する。

[0053] 次に、レジスト膜36を除去したのち、SOI基板11の半導体層14および絶縁層21上に、レジスト膜38をパターニングしたのち、第1の実施の形態と同様の方法を用いて絶縁層21をエッチングし、図16Bに示したように、開口21H1、21H2、21H3、21H4を形成する。以降、変形例1と同様の方法を用いることにより、図14Cに示した半導体装置3が完成する。

[0054] <4. 適用例>

（適用例1）

図17は、上記第1の実施の形態（または変形例）に示した半導体装置（半導体装置1、2）を備えた撮像素子を各单位画素Pに用いた撮像装置（撮像装置4）の全体構成を表したものである。この撮像装置4は、CMOSイメージセンサであり、例えば、SOI基板11上に、撮像エリアとしての画素部50を有すると共に、この画素部50の周辺領域に、例えば、行走査部131、水平選択部133、列走査部134およびシステム制御部132からなる周辺回路部130を有している。

[0055] 画素部50は、例えば、行列状に2次元配置された複数の単位画素P（撮像素子に相当）を有している。この単位画素Pには、例えば、画素行ごとに画素駆動線Lread（具体的には行選択線およびリセット制御線）が配線され、画素列ごとに垂直信号線Lsigが配線されている。画素駆動線Lreadは、画素からの信号読み出しのための駆動信号を伝送するものである。画素駆動線Lreadの一端は、行走査部131の各行に対応した出力端に接続されている。

[0056] 行走査部 131 は、シフトレジスタやアドレスデコーダ等によって構成され、画素部 50 の各単位画素 P を、例えば、行単位で駆動する画素駆動部である。行走査部 131 によって選択走査された画素行の各単位画素 P から出力される信号は、垂直信号線 Lsig の各々を通して水平選択部 133 に供給される。水平選択部 133 は、垂直信号線 Lsig ごとに設けられたアンプや水平選択スイッチ等によって構成されている。

[0057] 列走査部 134 は、シフトレジスタやアドレスデコーダ等によって構成され、水平選択部 133 の各水平選択スイッチを走査しつつ順番に駆動するものである。この列走査部 134 による選択走査により、垂直信号線 Lsig の各々を通して伝送される各画素の信号が順番に水平信号線 135 に出力され、当該水平信号線 135 を通して SOI 基板 11 の外部へ伝送される。

[0058] 行走査部 131、水平選択部 133、列走査部 134 および水平信号線 135 からなる回路部分は、SOI 基板 11 上に直に形成されていてもよいし、あるいは外部制御 IC に配設されたものであってもよい。また、それらの回路部分は、ケーブル等により接続された他の基板に形成されていてもよい。

[0059] システム制御部 132 は、SOI 基板 11 の外部から与えられるクロックや、動作モードを指令するデータ等を受け取り、また、撮像装置 4 の内部情報等のデータを出力するものである。システム制御部 132 はさらに、各種のタイミング信号を生成するタイミングジェネレータを有し、当該タイミングジェネレータで生成された各種のタイミング信号を基に行走査部 131、水平選択部 133 および列走査部 134 等の周辺回路の駆動制御を行う。

[0060] (適用例 2)

上記撮像装置 4 は、例えば、デジタルスチルカメラやビデオカメラ等のカメラシステムや、撮像機能を有する携帯電話等、撮像機能を備えたあらゆるタイプの電子機器に適用することができる。図 18 に、その一例として、電子機器 5 (カメラ) の概略構成を示す。この電子機器 5 は、例えば、静止画または動画を撮影可能なビデオカメラであり、撮像装置 4 と、光学系 (光学

レンズ) 310と、シャッタ装置311と、撮像装置4およびシャッタ装置311を駆動する駆動部313と、信号処理部312とを有する。

[0061] 光学系310は、被写体からの像光(入射光)を撮像装置4の画素部50へ導くものである。この光学系310は、複数の光学レンズから構成されていてもよい。シャッタ装置311は、撮像装置4への光照射期間および遮光期間を制御するものである。駆動部313は、撮像装置4の転送動作およびシャッタ装置311のシャッタ動作を制御するものである。信号処理部312は、撮像装置4から出力された信号に対し、各種の信号処理を行うものである。信号処理後の映像信号Doutは、メモリ等の記憶媒体に記憶されるか、あるいは、モニタ等へ出力される。

[0062] 更に、上記撮像装置4は、下記電子機器(カプセル型内視鏡10100および車両等の移動体)にも適用することが可能である。

[0063] (適用例3)

＜体内情報取得システムへの応用例＞

図19は、本開示に係る技術(本技術)が適用され得る、カプセル型内視鏡を用いた患者の体内情報取得システムの概略的な構成の一例を示すブロック図である。

[0064] 体内情報取得システム10001は、カプセル型内視鏡10100と、外部制御装置10200とから構成される。

[0065] カプセル型内視鏡10100は、検査時に、患者によって飲み込まれる。カプセル型内視鏡10100は、撮像機能および無線通信機能を有し、患者から自然排出されるまでの間、胃や腸等の臓器の内部を蠕動運動等によって移動しつつ、当該臓器の内部の画像(以下、体内画像ともいう)を所定の間隔で順次撮像し、その体内画像についての情報を体外の外部制御装置10200に順次無線送信する。

[0066] 外部制御装置10200は、体内情報取得システム10001の動作を統括的に制御する。また、外部制御装置10200は、カプセル型内視鏡10100から送信されてくる体内画像についての情報を受信し、受信した体内

画像についての情報に基づいて、表示装置（図示せず）に当該体内画像を表示するための画像データを生成する。

[0067] 体内情報取得システム１０００１では、このようにして、カプセル型内視鏡１０１００が飲み込まれてから排出されるまでの間、患者の体内の様子を撮像した体内画像を随時得ることができる。

[0068] カプセル型内視鏡１０１００と外部制御装置１０２００の構成および機能についてより詳細に説明する。

[0069] カプセル型内視鏡１０１００は、カプセル型の筐体１０１０１を有し、その筐体１０１０１内には、光源部１０１１１、撮像部１０１１２、画像処理部１０１１３、無線通信部１０１１４、給電部１０１１５、電源部１０１１６、および制御部１０１１７が収納されている。

[0070] 光源部１０１１１は、例えばＬＥＤ（light emitting diode）等の光源から構成され、撮像部１０１１２の撮像視野に対して光を照射する。

[0071] 撮像部１０１１２は、撮像素子、および当該撮像素子の前段に設けられる複数のレンズからなる光学系から構成される。観察対象である体組織に照射された光の反射光（以下、観察光という）は、当該光学系によって集光され、当該撮像素子に入射する。撮像部１０１１２では、撮像素子において、そこに入射した観察光が光電変換され、その観察光に対応する画像信号が生成される。撮像部１０１１２によって生成された画像信号は、画像処理部１０１１３に提供される。

[0072] 画像処理部１０１１３は、ＣＰＵ（Central Processing Unit）やＧＰＵ（Graphics Processing Unit）等のプロセッサによって構成され、撮像部１０１１２によって生成された画像信号に対して各種の信号処理を行う。画像処理部１０１１３は、信号処理を施した画像信号を、ＲＡＷデータとして無線通信部１０１１４に提供する。

[0073] 無線通信部１０１１４は、画像処理部１０１１３によって信号処理が施された画像信号に対して変調処理等の所定の処理を行い、その画像信号を、アンテナ１０１１４Ａを介して外部制御装置１０２００に送信する。また、無

線通信部１０１１４は、外部制御装置１０２００から、カプセル型内視鏡１０１００の駆動制御に関する制御信号を、アンテナ１０１１４Ａを介して受信する。無線通信部１０１１４は、外部制御装置１０２００から受信した制御信号を制御部１０１１７に提供する。

[0074] 給電部１０１１５は、受電用のアンテナコイル、当該アンテナコイルに発生した電流から電力を再生する電力再生回路、および昇圧回路等から構成される。給電部１０１１５では、いわゆる非接触充電の原理を用いて電力が生成される。

[0075] 電源部１０１１６は、二次電池によって構成され、給電部１０１１５によって生成された電力を蓄電する。図１９では、図面が煩雑になることを避けるために、電源部１０１１６からの電力の供給先を示す矢印等の図示を省略しているが、電源部１０１１６に蓄電された電力は、光源部１０１１１、撮像部１０１１２、画像処理部１０１１３、無線通信部１０１１４、および制御部１０１１７に供給され、これらの駆動に用いられ得る。

[0076] 制御部１０１１７は、ＣＰＵ等のプロセッサによって構成され、光源部１０１１１、撮像部１０１１２、画像処理部１０１１３、無線通信部１０１１４、および、給電部１０１１５の駆動を、外部制御装置１０２００から送信される制御信号に従って適宜制御する。

[0077] 外部制御装置１０２００は、ＣＰＵ、ＧＰＵ等のプロセッサ、又はプロセッサとメモリ等の記憶素子が混載されたマイクロコンピュータ若しくは制御基板等で構成される。外部制御装置１０２００は、カプセル型内視鏡１０１００の制御部１０１１７に対して制御信号を、アンテナ１０２００Ａを介して送信することにより、カプセル型内視鏡１０１００の動作を制御する。カプセル型内視鏡１０１００では、例えば、外部制御装置１０２００からの制御信号により、光源部１０１１１における観察対象に対する光の照射条件が変更され得る。また、外部制御装置１０２００からの制御信号により、撮像条件（例えば、撮像部１０１１２におけるフレームレート、露出値等）が変更され得る。また、外部制御装置１０２００からの制御信号により、画像処

理部 10113 における処理の内容や、無線通信部 10114 が画像信号を送信する条件（例えば、送信間隔、送信画像数等）が変更されてもよい。

[0078] また、外部制御装置 10200 は、カプセル型内視鏡 10100 から送信される画像信号に対して、各種の画像処理を施し、撮像された体内画像を表示装置に表示するための画像データを生成する。当該画像処理としては、例えば現像処理（デモザイク処理）、高画質化処理（帯域強調処理、超解像処理、NR（Noise reduction）処理および／又は手ブレ補正処理等）、並びに／又は拡大処理（電子ズーム処理）等、各種の信号処理を行うことができる。外部制御装置 10200 は、表示装置の駆動を制御して、生成した画像データに基づいて撮像された体内画像を表示させる。あるいは、外部制御装置 10200 は、生成した画像データを記録装置（図示せず）に記録させたり、印刷装置（図示せず）に印刷出力させてもよい。

[0079] 以上、本開示に係る技術が適用され得る体内情報取得システムの一例について説明した。本開示に係る技術は、以上説明した構成のうち、例えば、撮像部 10112 に適用され得る。これにより、精細な術部画像を得ることができるため、検査の精度が向上する。

[0080] （適用例 4）

＜移動体への応用例＞

本開示に係る技術（本技術）は、様々な製品へ応用することができる。例えば、本開示に係る技術は、自動車、電気自動車、ハイブリッド電気自動車、自動二輪車、自転車、パーソナルモビリティ、飛行機、ドローン、船舶、ロボット等のいずれかの種類の移動体に搭載される装置として実現されてもよい。

[0081] 図 20 は、本開示に係る技術が適用され得る移動体制御システムの一例である車両制御システムの概略的な構成例を示すブロック図である。

[0082] 車両制御システム 12000 は、通信ネットワーク 12001 を介して接続された複数の電子制御ユニットを備える。図 20 に示した例では、車両制御システム 12000 は、駆動系制御ユニット 12010、ボディ系制御ユ

ニット１２０２０、車外情報検出ユニット１２０３０、車内情報検出ユニット１２０４０、および統合制御ユニット１２０５０を備える。また、統合制御ユニット１２０５０の機能構成として、マイクロコンピュータ１２０５１、音声画像出力部１２０５２、および車載ネットワークＩ／Ｆ（interface）１２０５３が図示されている。

[0083] 駆動系制御ユニット１２０１０は、各種プログラムにしたがって車両の駆動系に関連する装置の動作を制御する。例えば、駆動系制御ユニット１２０１０は、内燃機関又は駆動用モータ等の車両の駆動力を発生させるための駆動力発生装置、駆動力を車輪に伝達するための駆動力伝達機構、車両の舵角を調節するステアリング機構、および、車両の制動力を発生させる制動装置等の制御装置として機能する。

[0084] ボディ系制御ユニット１２０２０は、各種プログラムにしたがって車体に装備された各種装置の動作を制御する。例えば、ボディ系制御ユニット１２０２０は、キーレスエントリシステム、スマートキーシステム、パワーウィンドウ装置、あるいは、ヘッドランプ、バックランプ、ブレーキランプ、ウinker又はフォグランプ等の各種ランプの制御装置として機能する。この場合、ボディ系制御ユニット１２０２０には、鍵を代替する携帯機から発信される電波又は各種スイッチの信号が入力され得る。ボディ系制御ユニット１２０２０は、これらの電波又は信号の入力を受け付け、車両のドアロック装置、パワーウィンドウ装置、ランプ等を制御する。

[0085] 車外情報検出ユニット１２０３０は、車両制御システム１２０００を搭載した車両の外部の情報を検出する。例えば、車外情報検出ユニット１２０３０には、撮像部１２０３１が接続される。車外情報検出ユニット１２０３０は、撮像部１２０３１に車外の画像を撮像させるとともに、撮像された画像を受信する。車外情報検出ユニット１２０３０は、受信した画像に基づいて、人、車、障害物、標識又は路面上の文字等の物体検出処理又は距離検出処理を行ってもよい。

[0086] 撮像部１２０３１は、光を受光し、その光の受光量に応じた電気信号を出

力する光センサである。撮像部１２０３１は、電気信号を画像として出力することもできるし、測距の情報として出力することもできる。また、撮像部１２０３１が受光する光は、可視光であっても良いし、赤外線等の非可視光であっても良い。

[0087] 車内情報検出ユニット１２０４０は、車内の情報を検出する。車内情報検出ユニット１２０４０には、例えば、運転者の状態を検出する運転者状態検出部１２０４１が接続される。運転者状態検出部１２０４１は、例えば運転者を撮像するカメラを含み、車内情報検出ユニット１２０４０は、運転者状態検出部１２０４１から入力される検出情報に基づいて、運転者の疲労度合い又は集中度合いを算出してもよいし、運転者が居眠りをしていないかを判別してもよい。

[0088] マイクロコンピュータ１２０５１は、車外情報検出ユニット１２０３０又は車内情報検出ユニット１２０４０で取得される車内外の情報に基づいて、駆動力発生装置、ステアリング機構又は制動装置の制御目標値を演算し、駆動系制御ユニット１２０１０に対して制御指令を出力することができる。例えば、マイクロコンピュータ１２０５１は、車両の衝突回避あるいは衝撃緩和、車間距離に基づく追従走行、車速維持走行、車両の衝突警告、又は車両のレーン逸脱警告等を含むＡＤＡＳ（Advanced Driver Assistance System）の機能実現を目的とした協調制御を行うことができる。

[0089] また、マイクロコンピュータ１２０５１は、車外情報検出ユニット１２０３０又は車内情報検出ユニット１２０４０で取得される車両の周囲の情報に基づいて駆動力発生装置、ステアリング機構又は制動装置等を制御することにより、運転者の操作に拠らずに自律的に走行する自動運転等を目的とした協調制御を行うことができる。

[0090] また、マイクロコンピュータ１２０５１は、車外情報検出ユニット１２０３０で取得される車外の情報に基づいて、ボディ系制御ユニット１２０２０に対して制御指令を出力することができる。例えば、マイクロコンピュータ１２０５１は、車外情報検出ユニット１２０３０で検知した先行車又は対向

車の位置に応じてヘッドランプを制御し、ハイビームをロービームに切り替える等の防眩を図ることを目的とした協調制御を行うことができる。

[0091] 音声画像出力部 12052 は、車両の搭乗者又は車外に対して、視覚的又は聴覚的に情報を通知することが可能な出力装置へ音声および画像のうちの少なくとも一方の出力信号を送信する。図 20 の例では、出力装置として、オーディオスピーカ 12061、表示部 12062 およびインストルメントパネル 12063 が例示されている。表示部 12062 は、例えば、オンボードディスプレイおよびヘッドアップディスプレイの少なくとも一つを含んでいてもよい。

[0092] 図 21 は、撮像部 12031 の設置位置の例を示す図である。

[0093] 図 21 では、撮像部 12031 として、撮像部 12101、12102、12103、12104、12105 を有する。

[0094] 撮像部 12101、12102、12103、12104、12105 は、例えば、車両 12100 のフロントノーズ、サイドミラー、リアバンパ、バックドアおよび車室内のフロントガラスの上部等の位置に設けられる。フロントノーズに備えられる撮像部 12101 および車室内のフロントガラスの上部に備えられる撮像部 12105 は、主として車両 12100 の前方の画像を取得する。サイドミラーに備えられる撮像部 12102、12103 は、主として車両 12100 の側方の画像を取得する。リアバンパ又はバックドアに備えられる撮像部 12104 は、主として車両 12100 の後方の画像を取得する。車室内のフロントガラスの上部に備えられる撮像部 12105 は、主として先行車両又は、歩行者、障害物、信号機、交通標識又は車線等の検出に用いられる。

[0095] なお、図 21 には、撮像部 12101 ないし 12104 の撮影範囲の一例が示されている。撮像範囲 12111 は、フロントノーズに設けられた撮像部 12101 の撮像範囲を示し、撮像範囲 12112、12113 は、それぞれサイドミラーに設けられた撮像部 12102、12103 の撮像範囲を示し、撮像範囲 12114 は、リアバンパ又はバックドアに設けられた撮像

部 1 2 1 0 4 の撮像範囲を示す。例えば、撮像部 1 2 1 0 1 ないし 1 2 1 0 4 で撮像された画像データが重ね合わせられることにより、車両 1 2 1 0 0 を上方から見た俯瞰画像が得られる。

[0096] 撮像部 1 2 1 0 1 ないし 1 2 1 0 4 の少なくとも 1 つは、距離情報を取得する機能を有していてもよい。例えば、撮像部 1 2 1 0 1 ないし 1 2 1 0 4 の少なくとも 1 つは、複数の撮像素子からなるステレオカメラであってもよいし、位相差検出用の画素を有する撮像素子であってもよい。

[0097] 例えば、マイクロコンピュータ 1 2 0 5 1 は、撮像部 1 2 1 0 1 ないし 1 2 1 0 4 から得られた距離情報を基に、撮像範囲 1 2 1 1 1 ないし 1 2 1 1 4 内における各立体物までの距離と、この距離の時間的变化（車両 1 2 1 0 0 に対する相対速度）を求めることにより、特に車両 1 2 1 0 0 の進行路上にある最も近い立体物で、車両 1 2 1 0 0 と略同じ方向に所定の速度（例えば、0 k m / h 以上）で走行する立体物を先行車として抽出することができる。さらに、マイクロコンピュータ 1 2 0 5 1 は、先行車の手前に予め確保すべき車間距離を設定し、自動ブレーキ制御（追従停止制御も含む）や自動加速制御（追従発進制御も含む）等を行うことができる。このように運転者の操作に拠らずに自律的に走行する自動運転等を目的とした協調制御を行うことができる。

[0098] 例えば、マイクロコンピュータ 1 2 0 5 1 は、撮像部 1 2 1 0 1 ないし 1 2 1 0 4 から得られた距離情報を元に、立体物に関する立体物データを、2 輪車、普通車両、大型車両、歩行者、電柱等その他の立体物に分類して抽出し、障害物の自動回避に用いることができる。例えば、マイクロコンピュータ 1 2 0 5 1 は、車両 1 2 1 0 0 の周辺の障害物を、車両 1 2 1 0 0 のドライバが視認可能な障害物と視認困難な障害物とに識別する。そして、マイクロコンピュータ 1 2 0 5 1 は、各障害物との衝突の危険度を示す衝突リスクを判断し、衝突リスクが設定値以上で衝突可能性がある状況であるときには、オーディオスピーカ 1 2 0 6 1 や表示部 1 2 0 6 2 を介してドライバに警報を出力することや、駆動系制御ユニット 1 2 0 1 0 を介して強制減速や回

避操舵を行うことで、衝突回避のための運転支援を行うことができる。

[0099] 撮像部 12101 ないし 12104 の少なくとも 1 つは、赤外線を検出する赤外線カメラであってもよい。例えば、マイクロコンピュータ 12051 は、撮像部 12101 ないし 12104 の撮像画像中に歩行者が存在するかどうかを判定することで歩行者を認識することができる。かかる歩行者の認識は、例えば赤外線カメラとしての撮像部 12101 ないし 12104 の撮像画像における特徴点を抽出する手順と、物体の輪郭を示す一連の特徴点にパターンマッチング処理を行って歩行者か否かを判別する手順によって行われる。マイクロコンピュータ 12051 が、撮像部 12101 ないし 12104 の撮像画像中に歩行者が存在すると判定し、歩行者を認識すると、音声画像出力部 12052 は、当該認識された歩行者に強調のための方形輪郭線を重畳表示するように、表示部 12062 を制御する。また、音声画像出力部 12052 は、歩行者を示すアイコン等を所望の位置に表示するように表示部 12062 を制御してもよい。

[0100] 以上、第 1、第 2 の実施の形態および変形例 1～3 を挙げて説明したが、本開示内容はこれらの実施の形態等に限定されず、種々の変形が可能である。

[0101] なお、本開示の半導体装置およびその製造方法並びに電子機器は、以下のような構成であってもよい。

(1)

シリコン基板層、第 1 の絶縁層、および半導体層がこの順に積層された SOI 基板と、

前記半導体層上に設けられた第 1 のトランジスタと、

前記シリコン基板層上に設けられ、前記第 1 のトランジスタよりも高耐圧な第 2 のトランジスタと、

前記第 1 のトランジスタと前記第 2 のトランジスタとの間に設けられた素子分離膜とを備え、

前記素子分離膜は、前記半導体層および前記第 1 の絶縁層を貫通して前記

シリコン基板層内に達する開口に埋設された第２の絶縁層によって構成され、

前記第２の絶縁層の一部は、前記第２のトランジスタのゲート絶縁膜を構成している

半導体装置。

(２)

前記第２の絶縁層の積層方向の厚みは、前記第１の絶縁層よりも厚い、前記(１)に記載の半導体装置。

(３)

前記素子分離膜は、前記シリコン基板層内に突出する凸部を有する、前記(１)または(２)に記載の半導体装置。

(４)

前記第１のトランジスタは、完全空乏型のトランジスタである、前記(１)乃至(３)のうちのいずれかに記載の半導体装置。

(５)

前記第１のトランジスタのゲート電極と、前記第２のトランジスタのゲート電極とは、同一層に形成されている、前記(１)乃至(４)のうちのいずれかに記載の半導体装置。

(６)

シリコン基板層、第１の絶縁層、および半導体層がこの順に積層されたＳＯＩ基板に、前記半導体層および前記第１の絶縁層を貫通して前記シリコン基板層内に達する開口を形成し、

前記開口内に第２の絶縁層を埋設して素子分離膜を形成し、

前記半導体層上に第１のトランジスタを形成し、

前記第２の絶縁層の一部をゲート絶縁膜とし、前記素子分離膜を間にして、前記第１のトランジスタより高耐圧な第２のトランジスタを前記シリコン基板層上に形成する

半導体装置の製造方法。

(7)

前記第2の絶縁層を形成したのち、前記半導体層および前記第2の絶縁層上に、前記第1のトランジスタのゲート電極および前記第2のトランジスタのゲート電極を一括で形成する、前記(6)に記載の半導体装置の製造方法。

(8)

前記SOI基板に前記開口を形成する前に、前記開口の形成領域内に、前期シリコン基板層側へ突出する凸部を形成する、前記(6)または(7)に記載の半導体装置の製造方法。

(9)

前記第1のトランジスタのゲート電極および前記第2のトランジスタのゲート電極を形成したのち、前記第2のトランジスタを分離して前記素子分離膜および前記第2のトランジスタのゲート絶縁膜を形成する、前記(7)または(8)に記載の半導体装置の製造方法。

(10)

半導体装置を備え、

前記半導体装置は、

シリコン基板層、第1の絶縁層、および半導体層がこの順に積層されたSOI基板と、

前記半導体層上に設けられた第1のトランジスタと、

前記シリコン基板層上に設けられた第2のトランジスタと、

前記第1のトランジスタと前記第2のトランジスタとの間に設けられた素子分離膜とを備え、

前記素子分離膜は、前記半導体層および前記第1の絶縁層を貫通して前記シリコン基板層内に達する開口に埋設された第2の絶縁層によって構成され、

前記第2の絶縁層の一部は、前記第2のトランジスタのゲート絶縁膜を構成している

電子機器。

[0102] 本出願は、日本国特許庁において2017年3月3日出願された日本特許出願番号2017-040702号を基礎として優先権を主張するものであり、この出願の全ての内容を参照によって本出願に援用する。

[0103] 当業者であれば、設計上の要件や他の要因に応じて、種々の修正、コンビネーション、サブコンビネーション、および変更を想到し得るが、それらは添付の請求の範囲やその均等物の範囲に含まれるものであることが理解される。

請求の範囲

- [請求項1] シリコン基板層、第1の絶縁層、および半導体層がこの順に積層されたSOI基板と、
- 前記半導体層上に設けられた第1のトランジスタと、
- 前記シリコン基板層上に設けられ、前記第1のトランジスタよりも高耐圧な第2のトランジスタと、
- 前記第1のトランジスタと前記第2のトランジスタとの間に設けられた素子分離膜とを備え、
- 前記素子分離膜は、前記半導体層および前記第1の絶縁層を貫通して前記シリコン基板層内に達する開口に埋設された第2の絶縁層によって構成され、
- 前記第2の絶縁層の一部は、前記第2のトランジスタのゲート絶縁膜を構成している
- 半導体装置。
- [請求項2] 前記第2の絶縁層の積層方向の厚みは、前記第1の絶縁層よりも厚い、請求項1に記載の半導体装置。
- [請求項3] 前記素子分離膜は、前記シリコン基板層内に突出する凸部を有する、請求項1に記載の半導体装置。
- [請求項4] 前記第1のトランジスタは、完全空乏型のトランジスタである、請求項1に記載の半導体装置。
- [請求項5] 前記第1のトランジスタのゲート電極と、前記第2のトランジスタのゲート電極とは、同一層に形成されている、請求項1に記載の半導体装置。
- [請求項6] シリコン基板層、第1の絶縁層、および半導体層がこの順に積層されたSOI基板に、前記半導体層および前記第1の絶縁層を貫通して前記シリコン基板層内に達する開口を形成し、
- 前記開口内に第2の絶縁層を埋設して素子分離膜を形成し、
- 前記半導体層上に第1のトランジスタを形成し、

前記第2の絶縁層の一部をゲート絶縁膜とし、前記素子分離膜を間にして、前記第1のトランジスタより高耐圧な第2のトランジスタを前記シリコン基板層上に形成する

半導体装置の製造方法。

[請求項7] 前記第2の絶縁層を形成したのち、前記半導体層および前記第2の絶縁層上に、前記第1のトランジスタのゲート電極および前記第2のトランジスタのゲート電極を一括で形成する、請求項6に記載の半導体装置の製造方法。

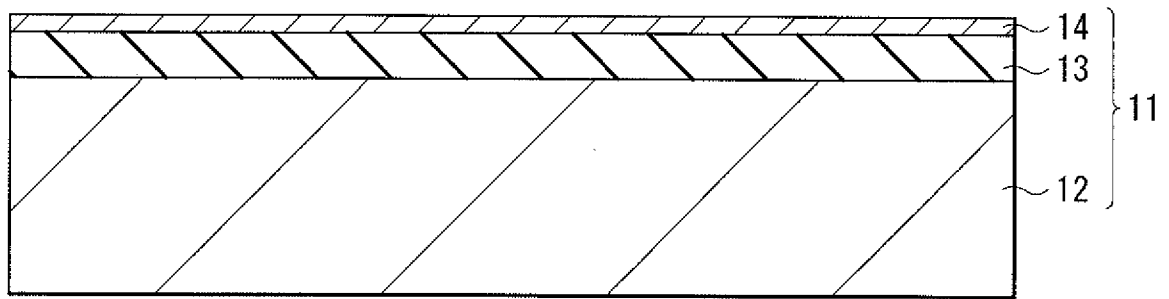
[請求項8] 前記SOI基板に前記開口を形成する前に、前記開口の形成領域内に、前期シリコン基板層側へ突出する凸部を形成する、請求項6に記載の半導体装置の製造方法。

[請求項9] 前記第1のトランジスタのゲート電極および前記第2のトランジスタのゲート電極を形成したのち、前記第2のトランジスタを分離して前記素子分離膜および前記第2のトランジスタのゲート絶縁膜を形成する、請求項7に記載の半導体装置の製造方法。

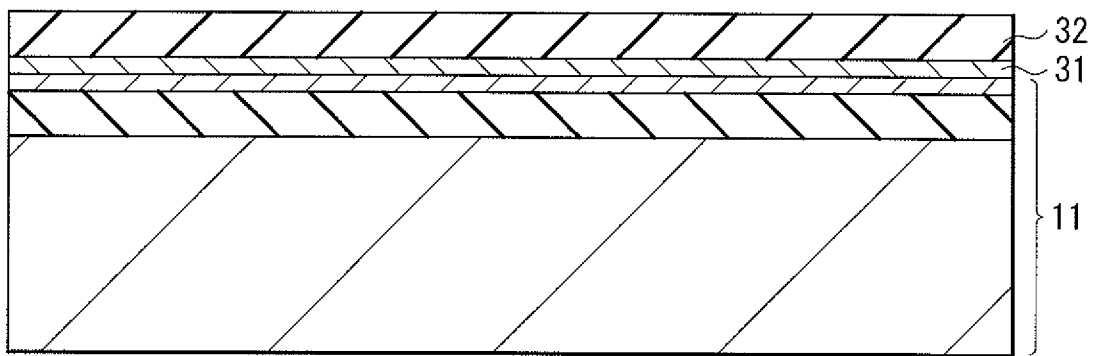
[請求項10] 半導体装置を備え、
前記半導体装置は、
シリコン基板層、第1の絶縁層、および半導体層がこの順に積層されたSOI基板と、
前記半導体層上に設けられた第1のトランジスタと、
前記シリコン基板層上に設けられた第2のトランジスタと、
前記第1のトランジスタと前記第2のトランジスタとの間に設けられた素子分離膜とを備え、
前記素子分離膜は、前記半導体層および前記第1の絶縁層を貫通して前記シリコン基板層内に達する開口に埋設された第2の絶縁層によって構成され、
前記第2の絶縁層の一部は、前記第2のトランジスタのゲート絶縁膜を構成している

電子機器。

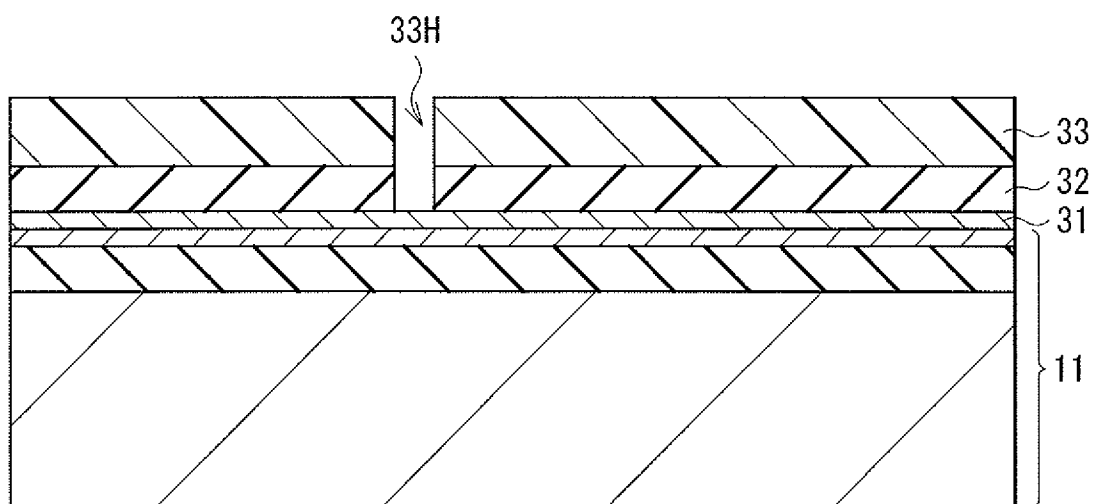
[図2A]



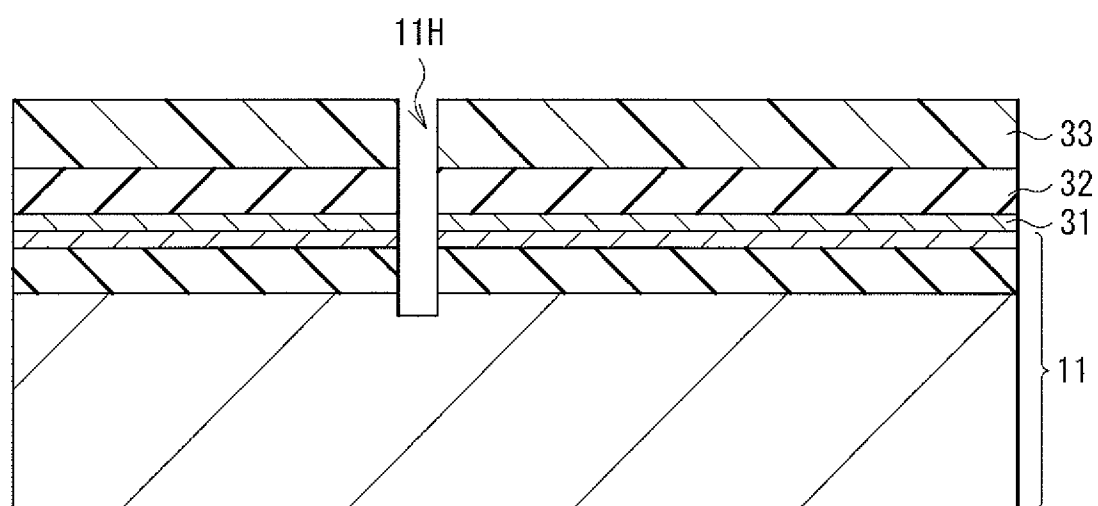
[図2B]



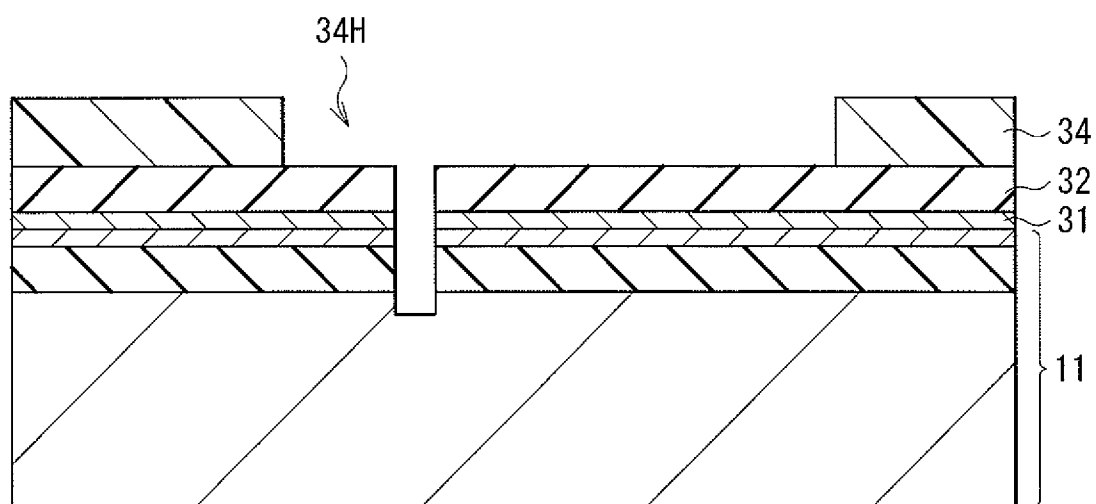
[図2C]



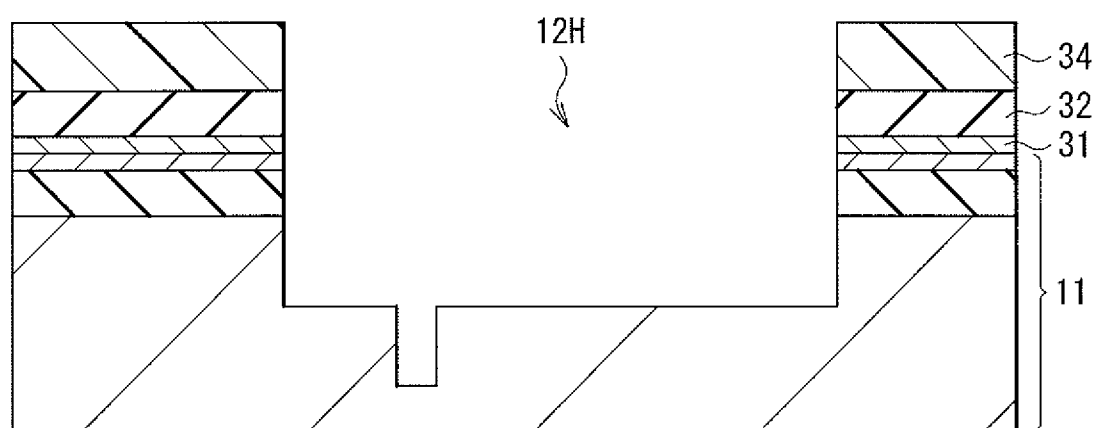
[図2D]



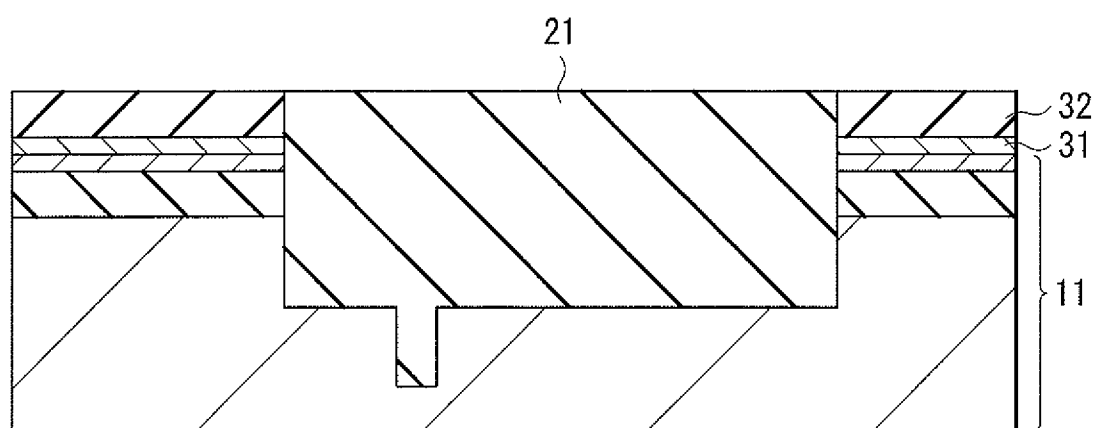
[図3A]



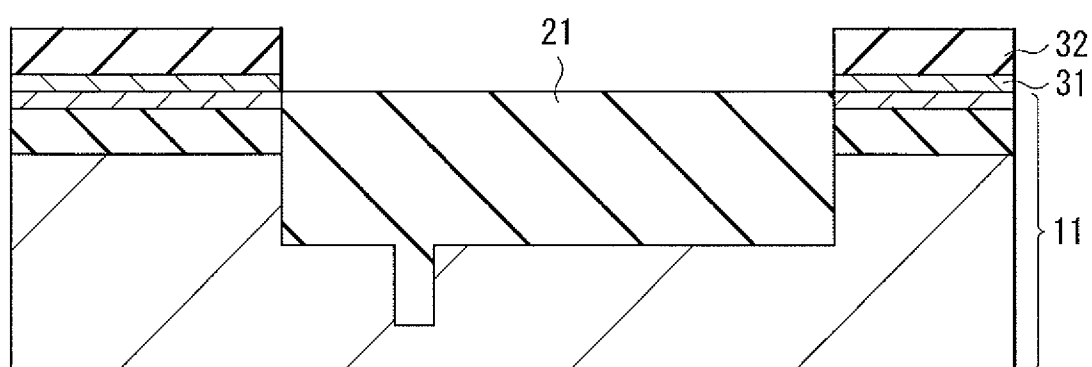
[図3B]



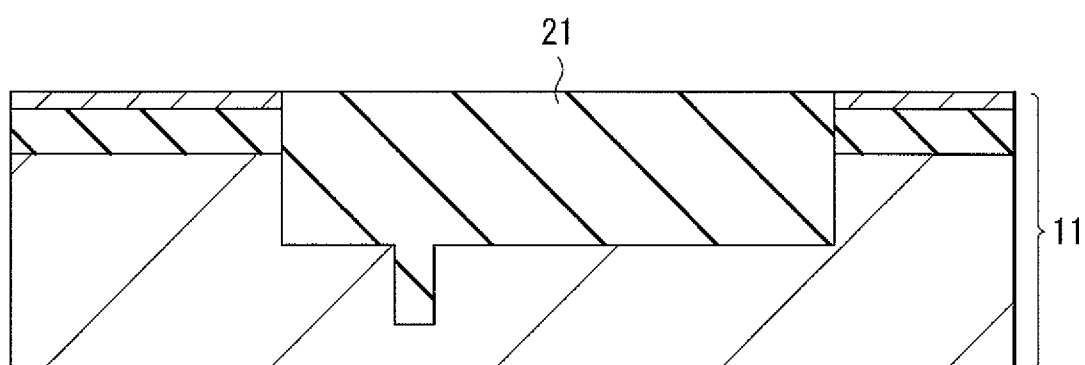
[図3C]



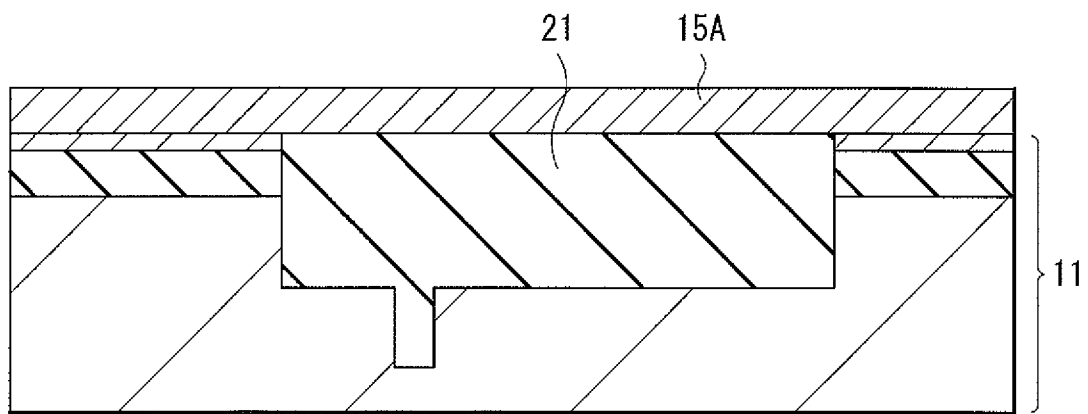
[図4A]



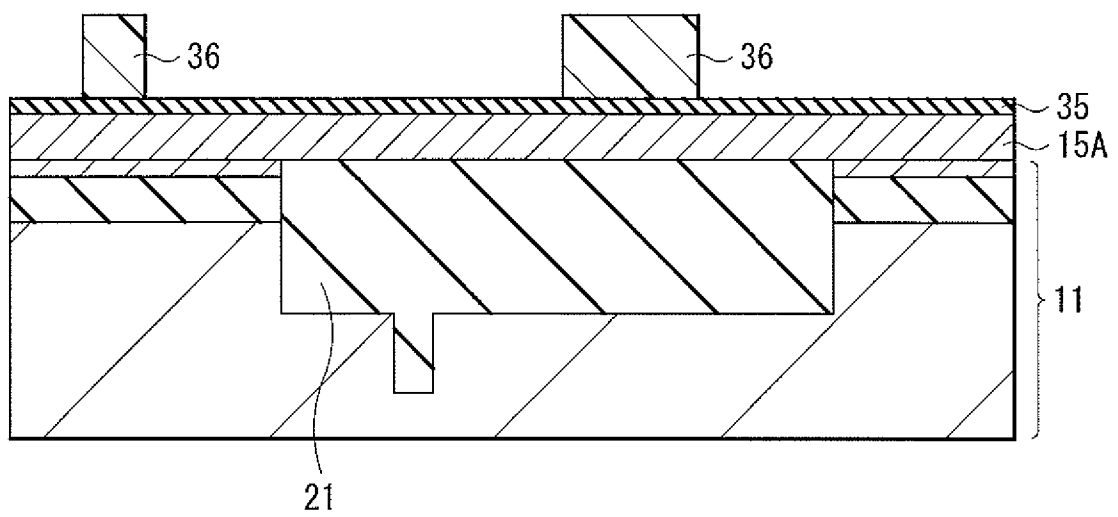
[図4B]



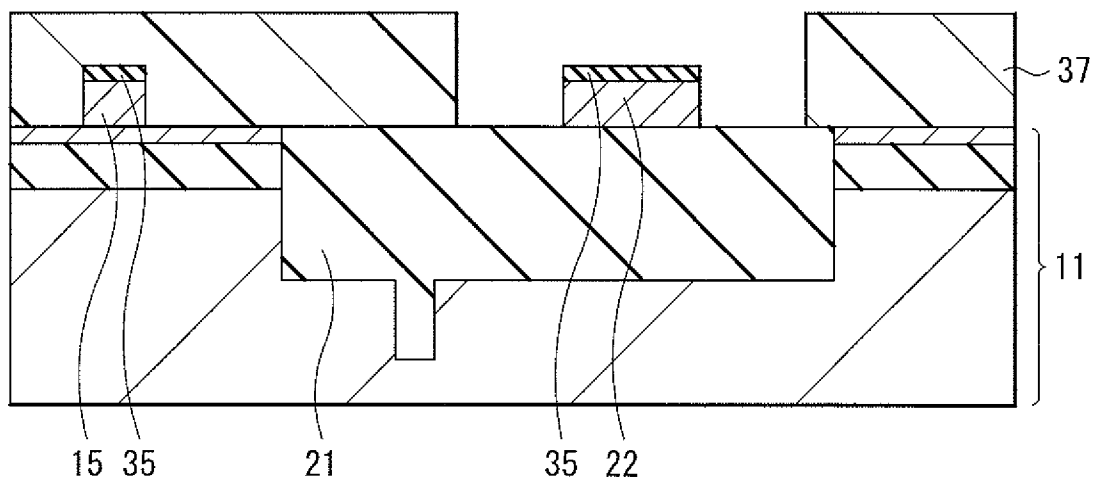
[図4C]



[図5A]



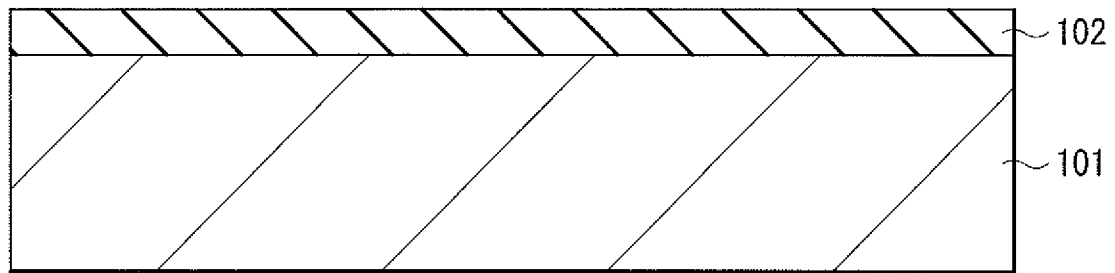
[図5B]



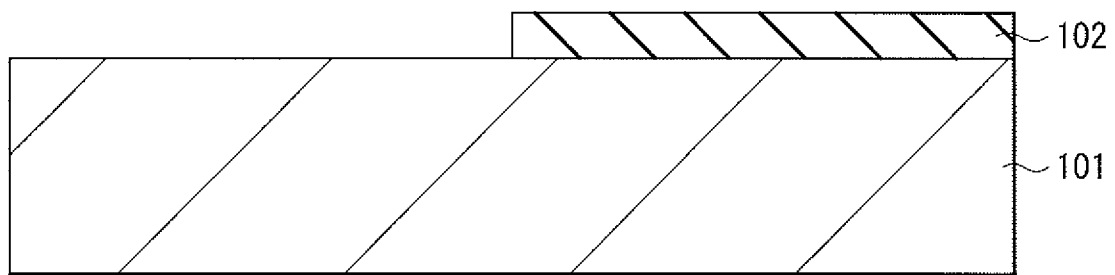
[illegible]

Fig. 1 is a cross-sectional view of a semiconductor device. The device includes a substrate 10 with a top layer 14S and a bottom layer 14D. A central region 20 contains two vertical structures 21H1 and 21H2, each with a top layer 24 and a bottom layer 22. The structures are separated by a gap 23D. The device is surrounded by a protective layer 11.

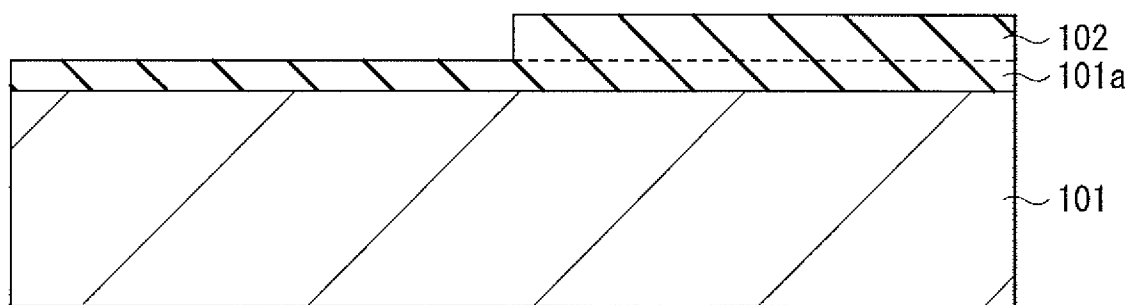
[図7A]



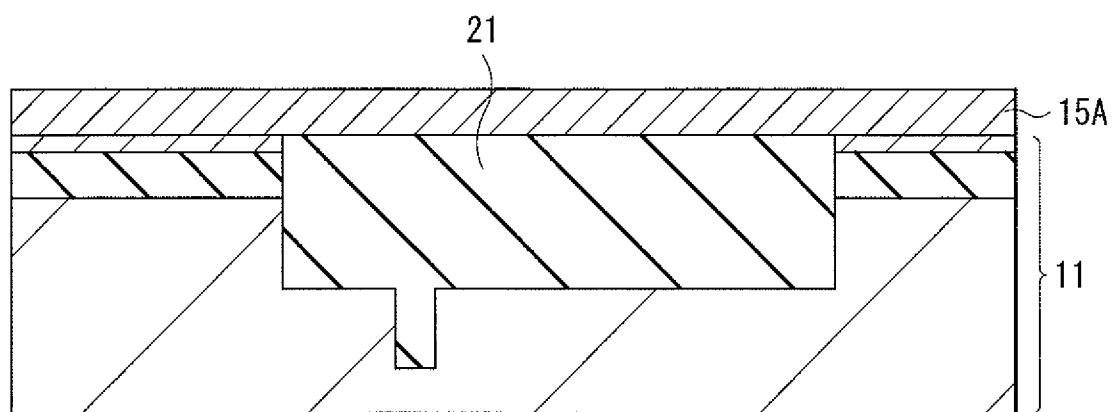
[図7B]



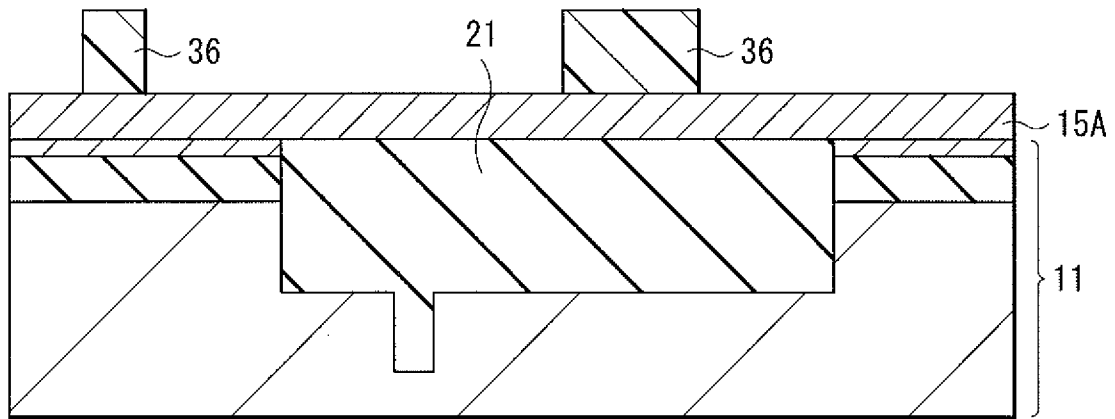
[図7C]



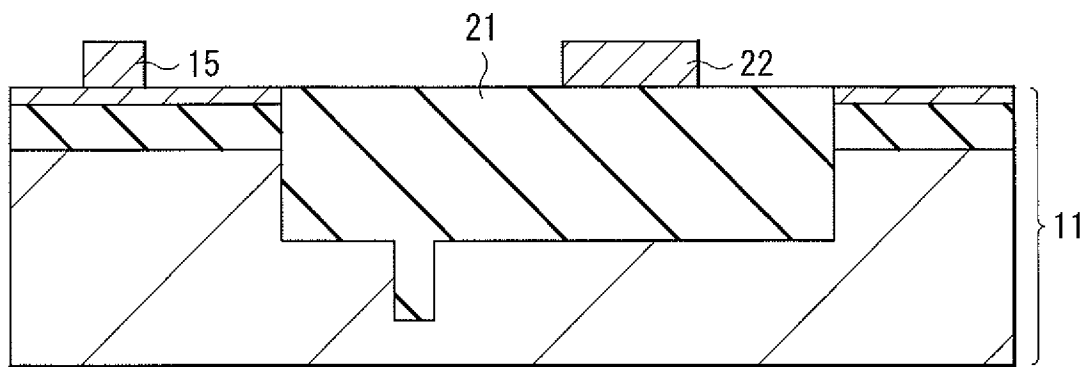
[図8A]



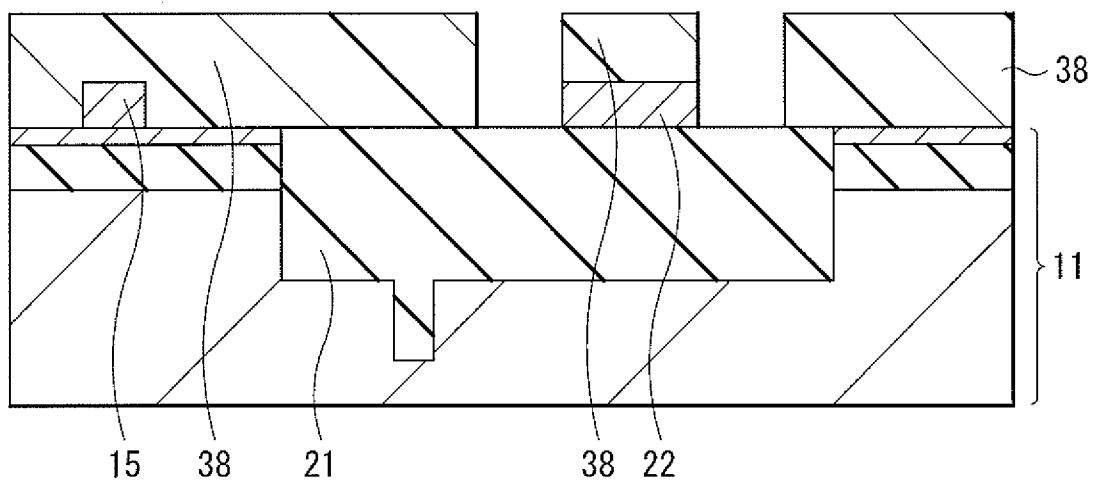
[図8B]



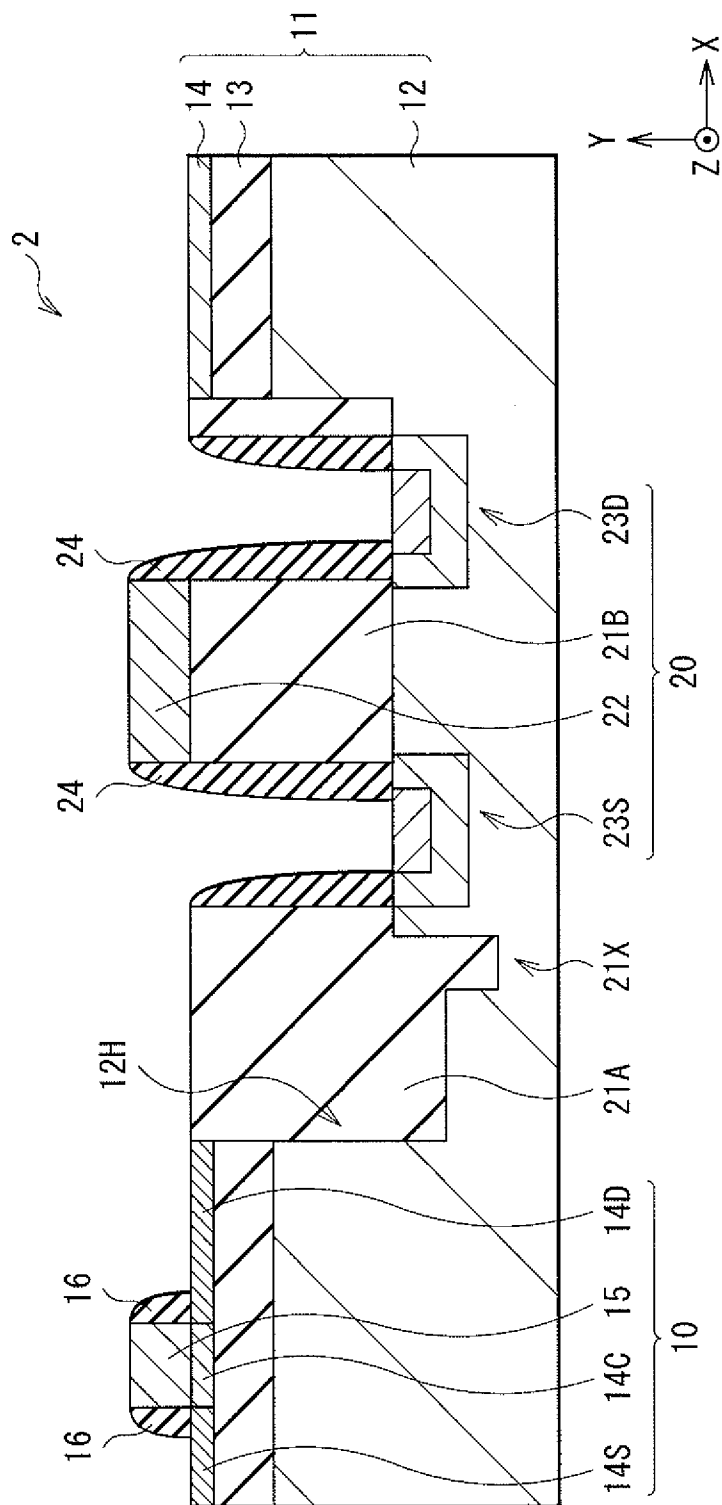
[図8C]



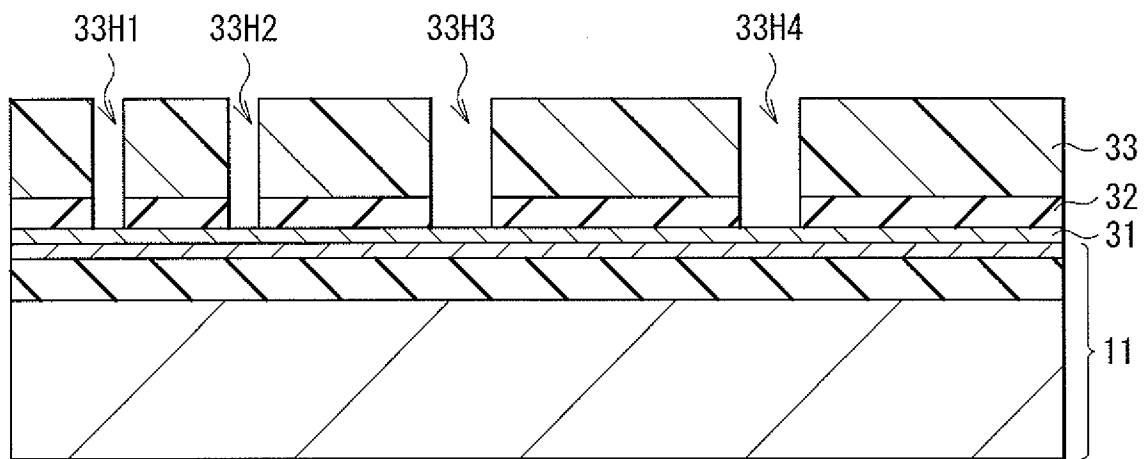
[図8D]



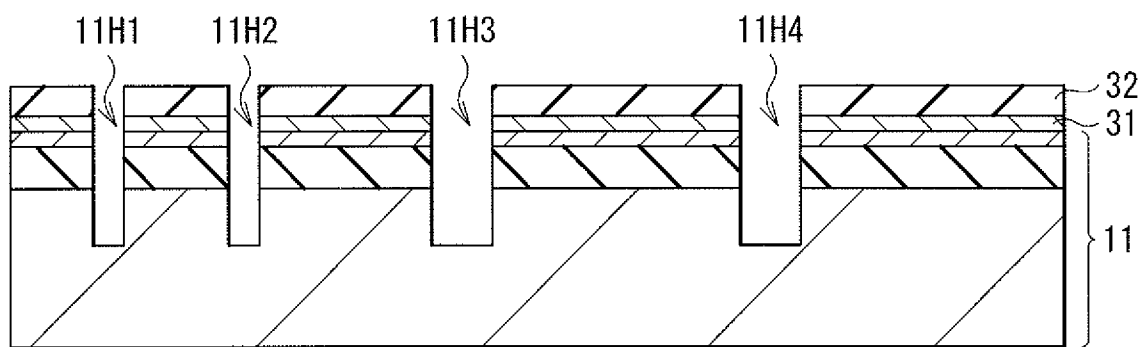
[図9]



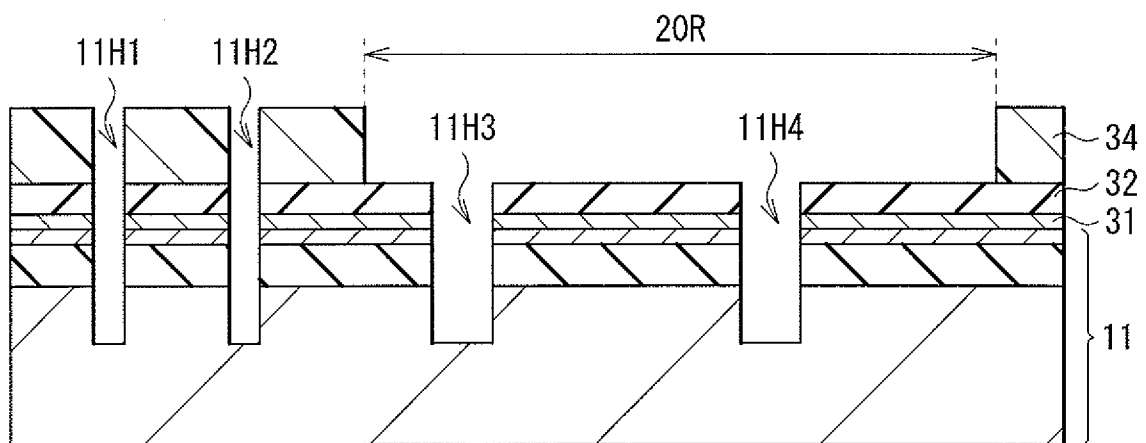
[図10A]



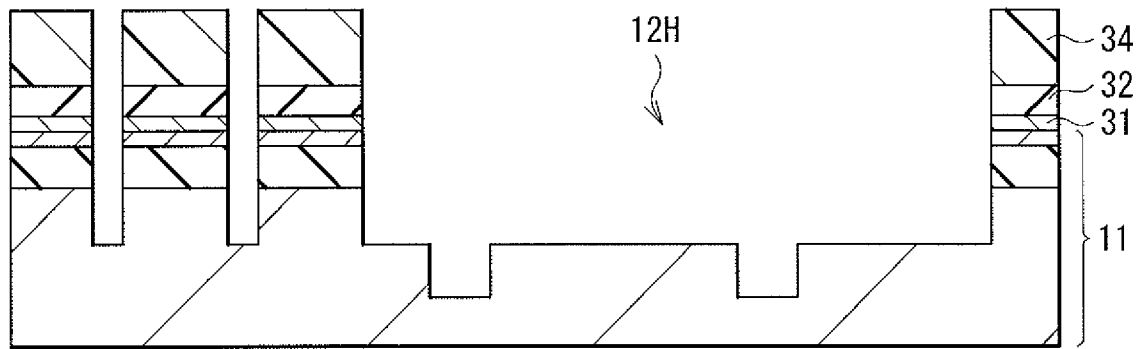
[図10B]



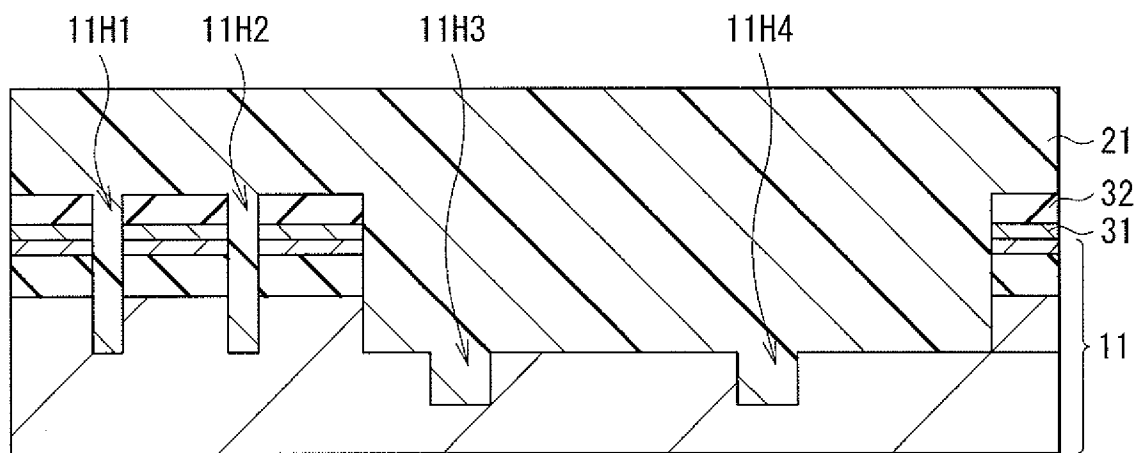
[図10C]



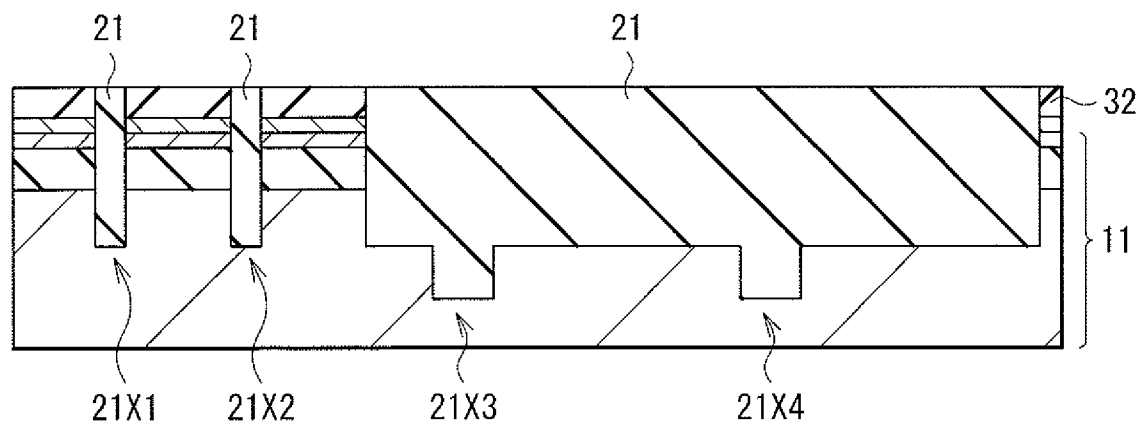
[図11A]



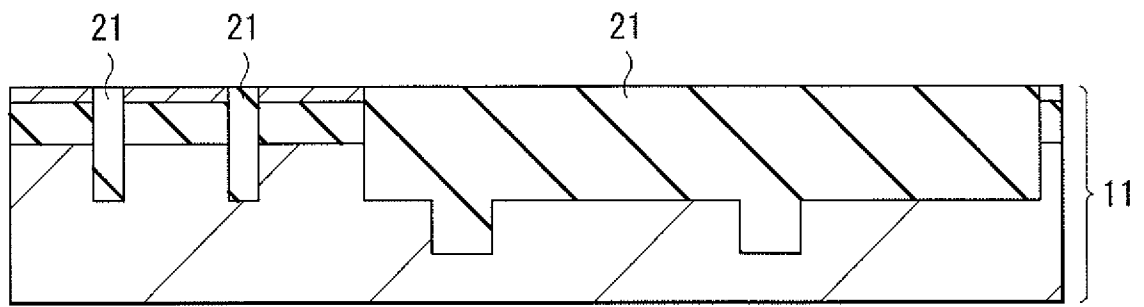
[図11B]



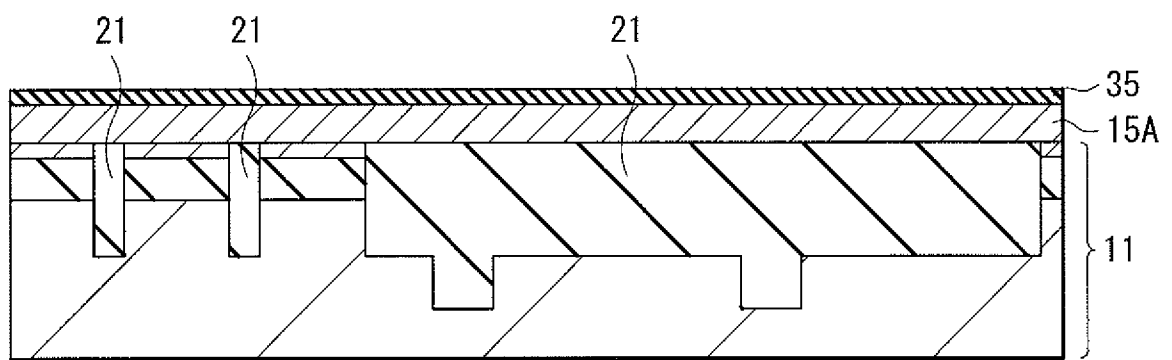
[図11C]



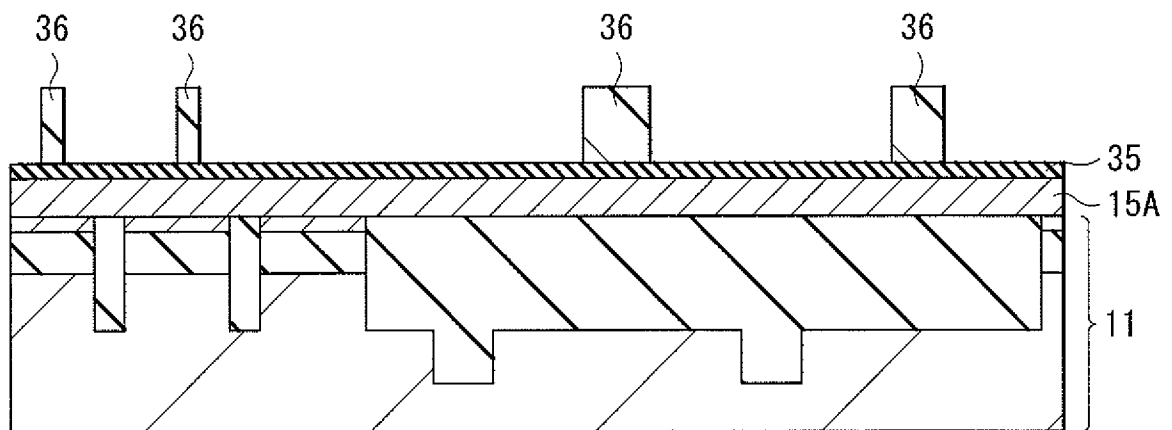
[図12A]



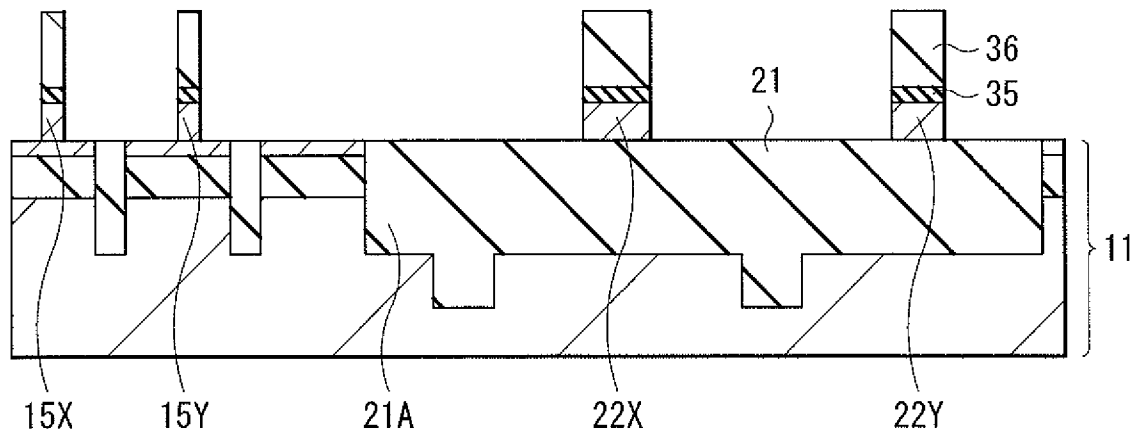
[図12B]



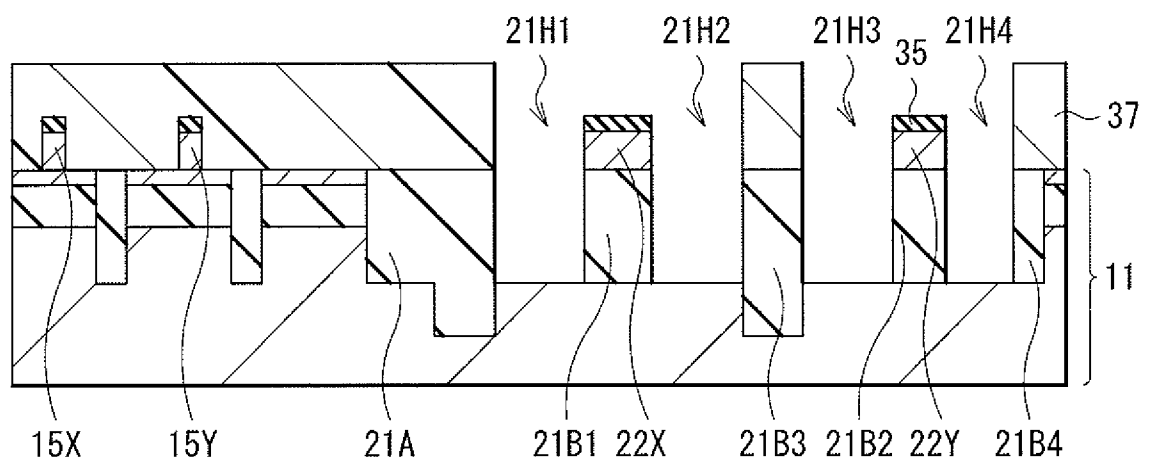
[図12C]



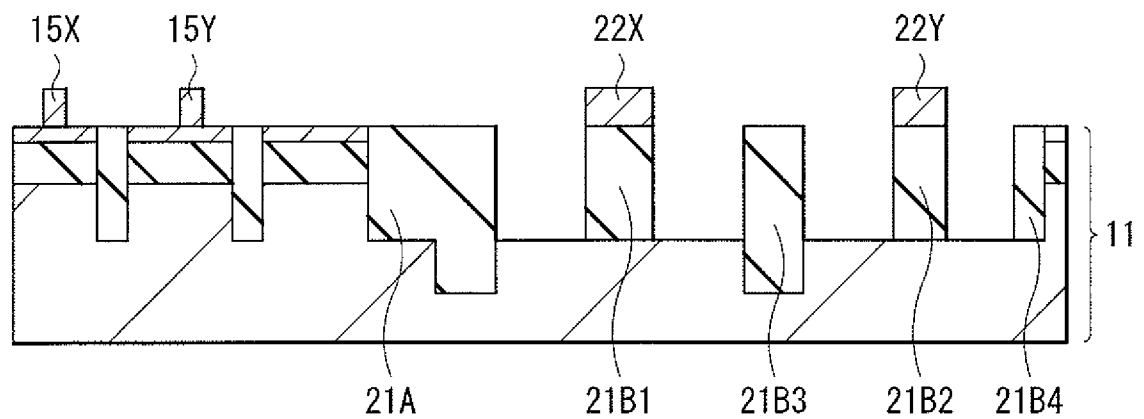
[図13A]



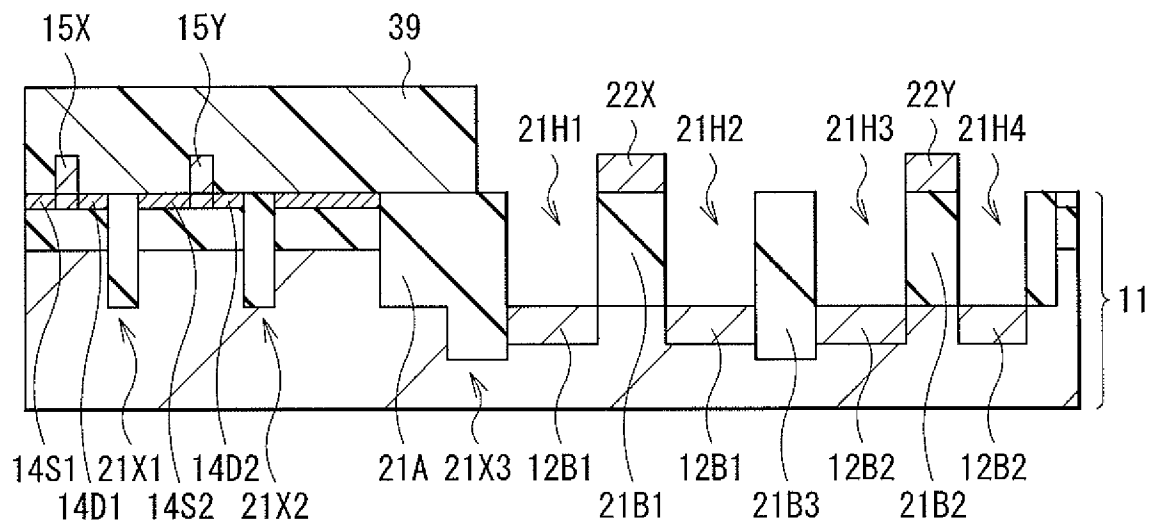
[図13B]



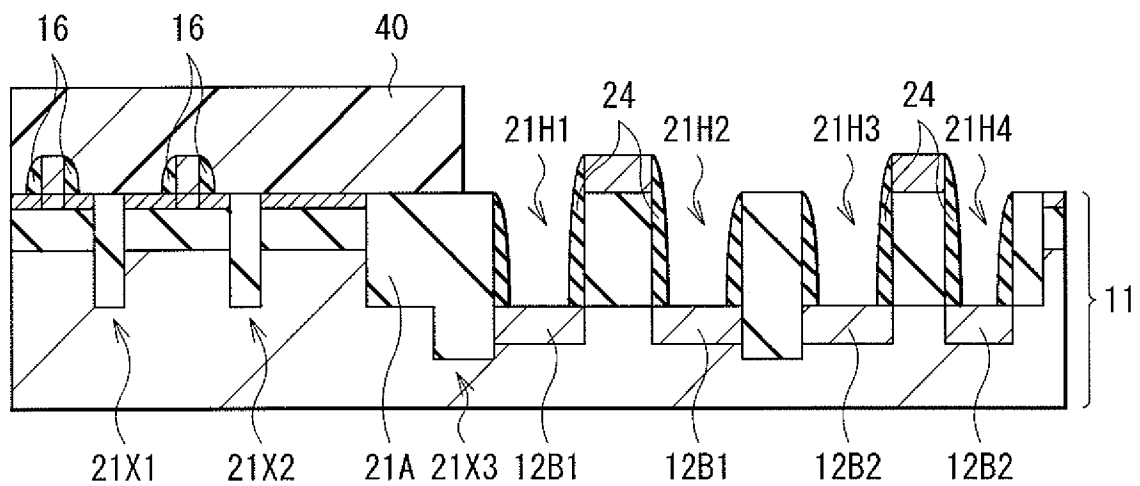
[図13C]



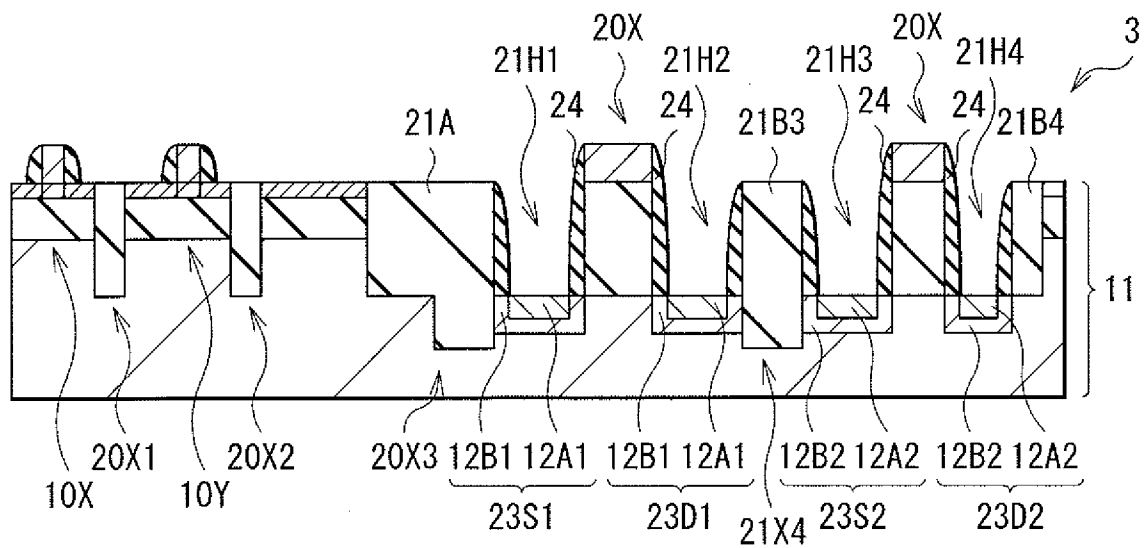
[図14A]



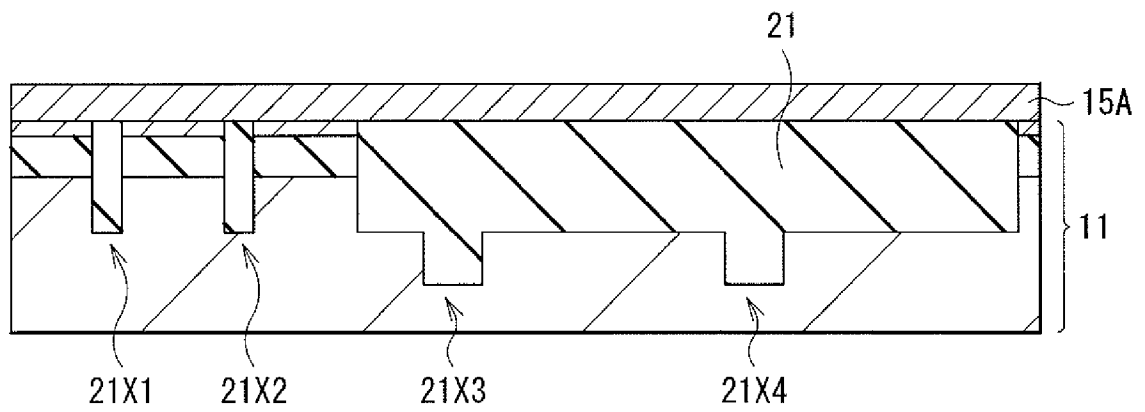
[図14B]



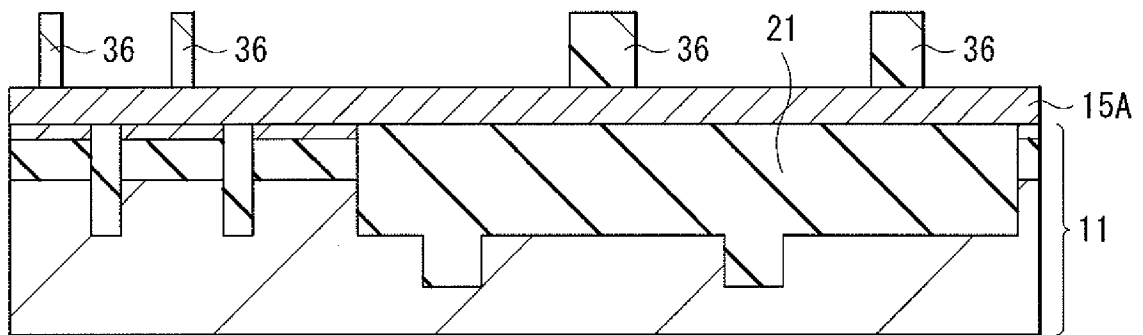
[図14C]



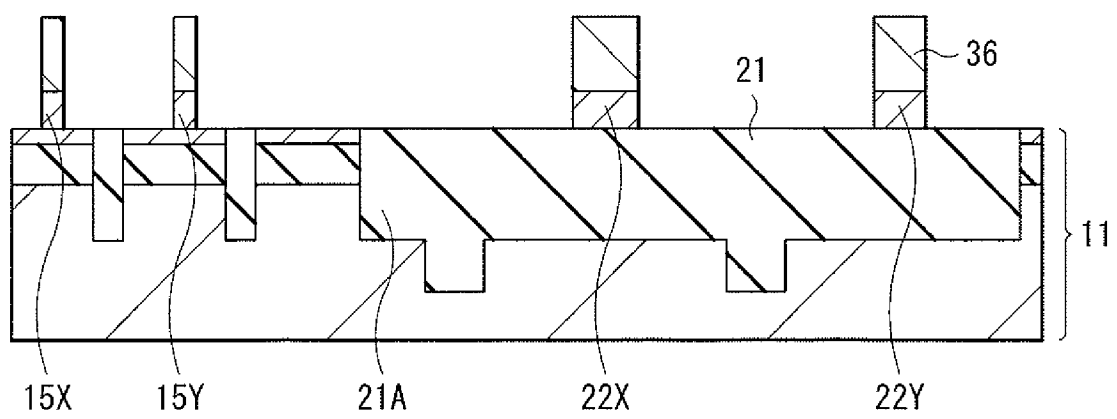
[図15A]



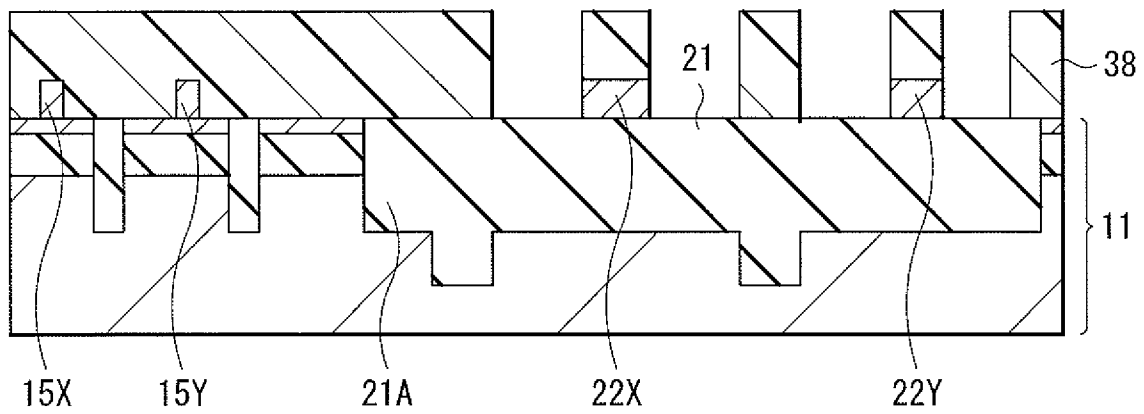
[図15B]



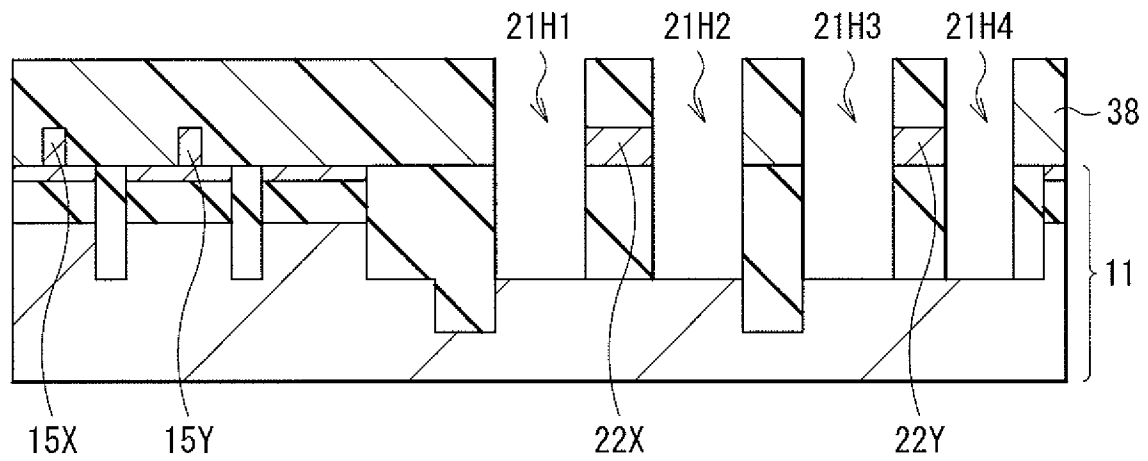
[図15C]



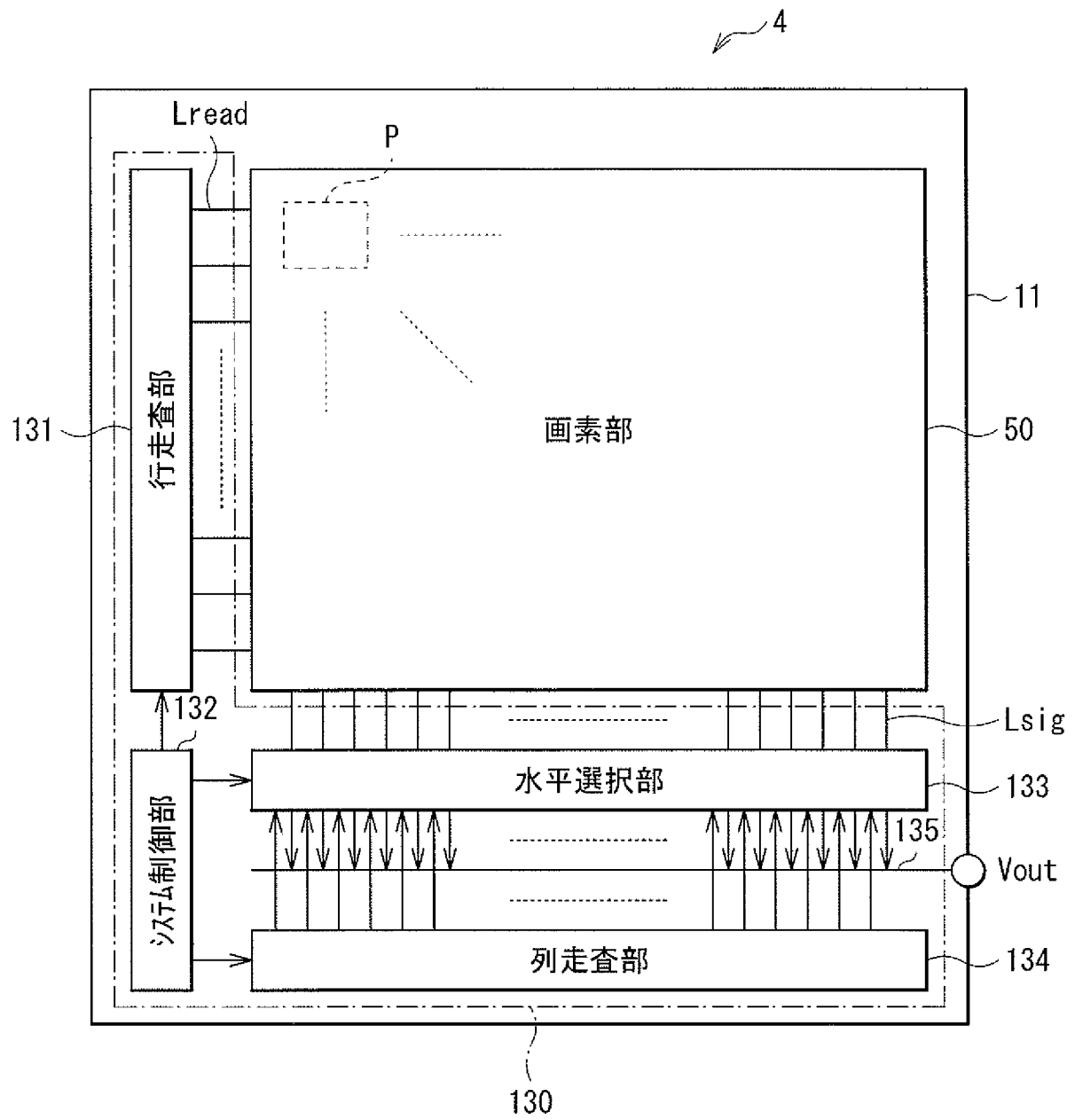
[図16A]



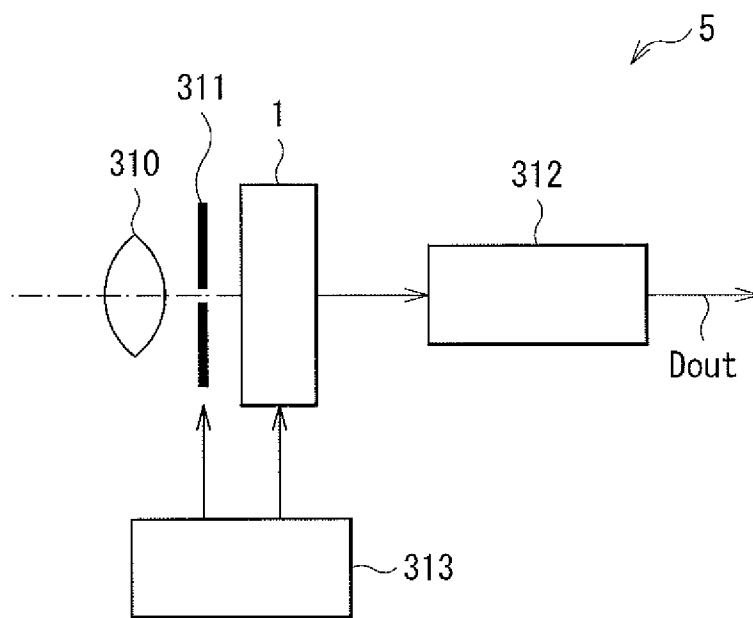
[図16B]



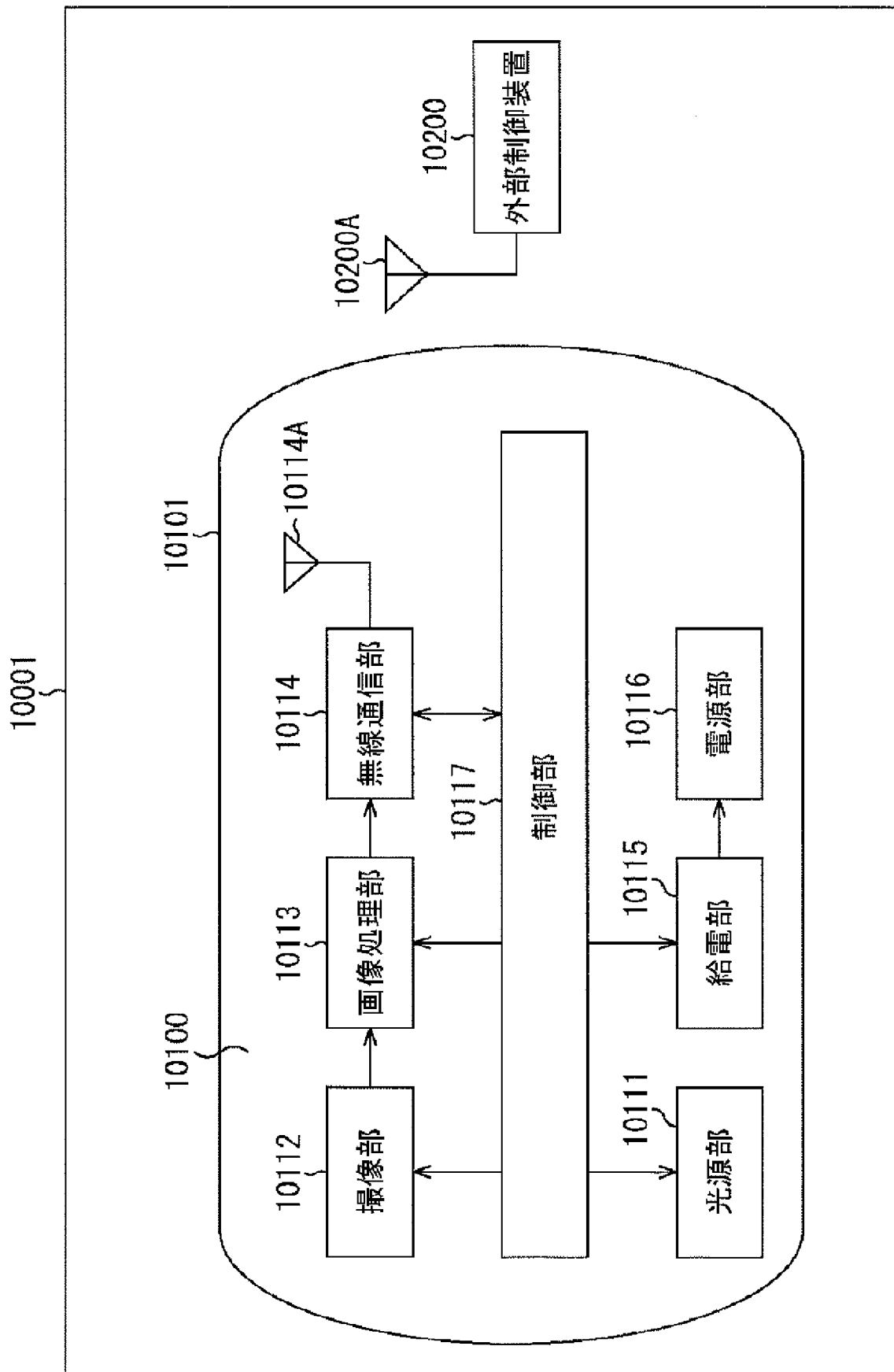
[図17]



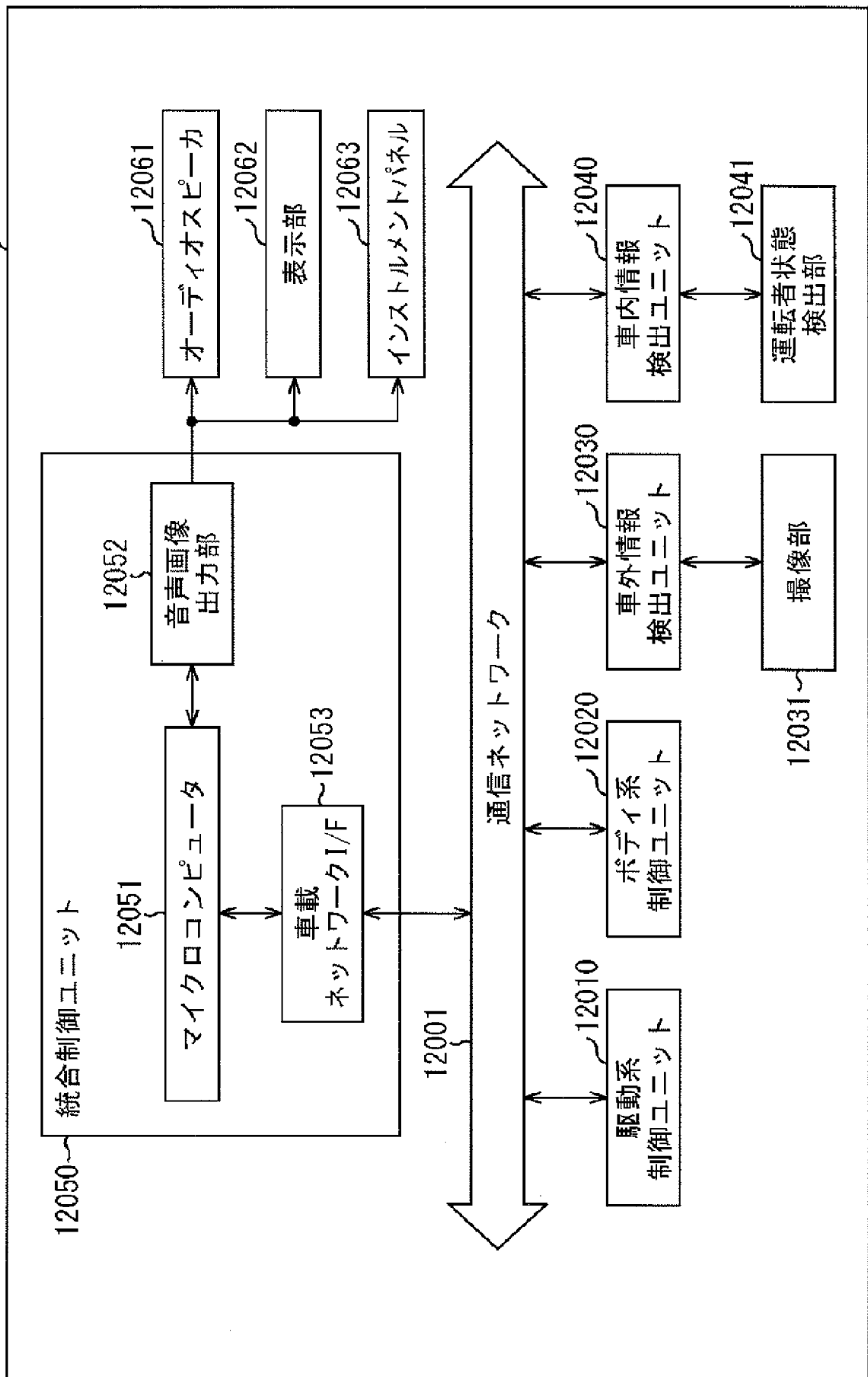
[図18]



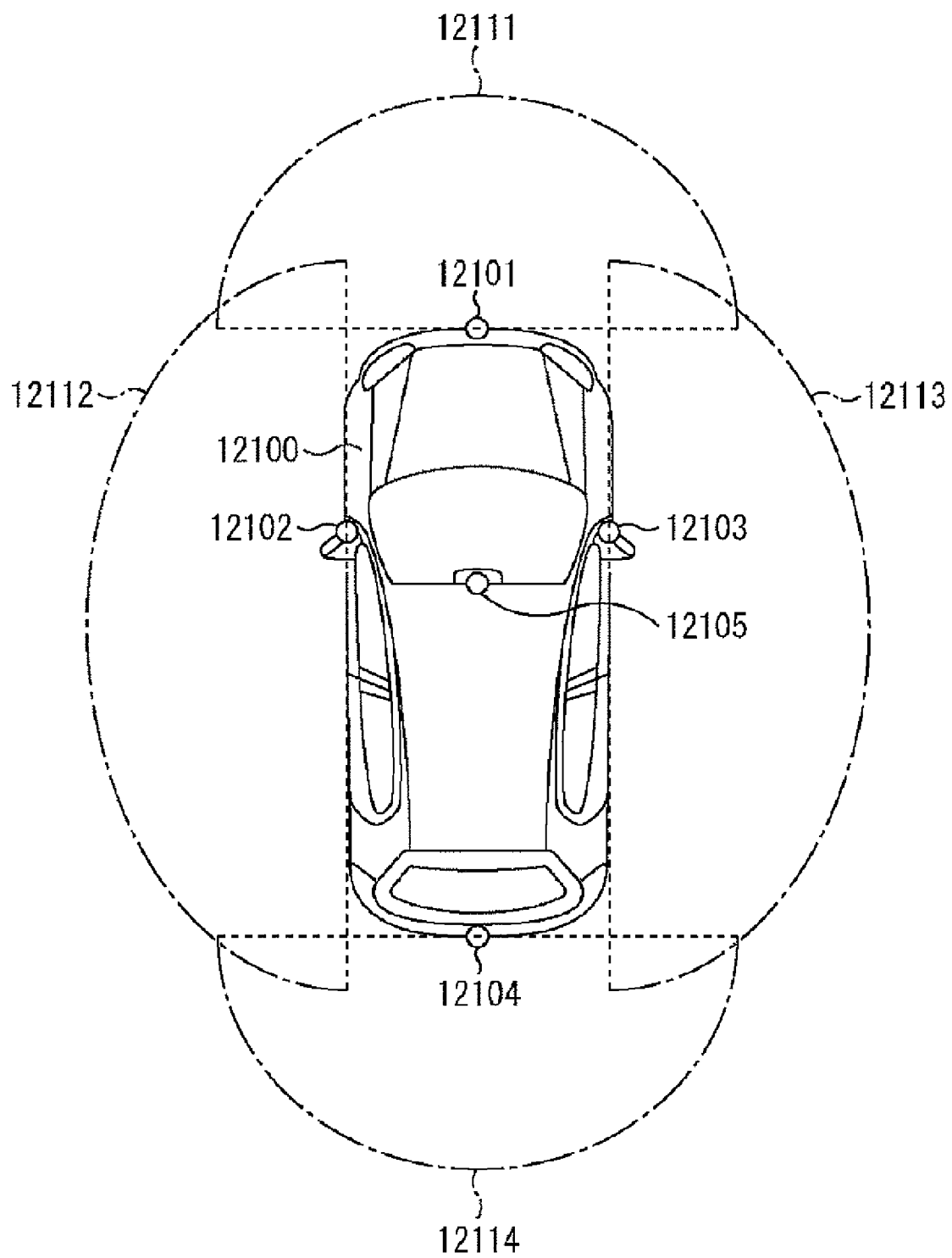
[図19]



[図20]



[図21]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2018/001143

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl. H01L27/088 (2006.01) i, H01L21/762 (2006.01) i, H01L27/144 (2006.01) i,
H01L27/146 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl. H01L27/088, H01L21/762, H01L27/144, H01L27/146

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan	1922-1996
Published unexamined utility model applications of Japan	1971-2018
Registered utility model specifications of Japan	1996-2018
Published registered utility model applications of Japan	1994-2018

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2013-105981 A (RENESAS ELECTRONICS CORP.) 30 May 2013 & US 2013/0119469 A1	1-10
A	JP 2013-105982 A (RENESAS ELECTRONICS CORP.) 30 May 2013 & US 2013/0119470 A1	1-10
A	JP 2014-143269 A (RENESAS ELECTRONICS CORP.) 07 August 2014 (Family: none)	1-10



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search
16 March 2018 (16.03.2018)

Date of mailing of the international search report
03 April 2018 (03.04.2018)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2018/001143

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2014-236097 A (RENESAS ELECTRONICS CORP.) 15 December 2014 & US 2014/0353756 A1 & CN 104218040 A	1-10
A	JP 2013-118317 A (RENESAS ELECTRONICS CORP.) 13 June 2013 & US 2013/0140669 A1 & CN 103137705 A & TW 201330269 A	1-10

A. 発明の属する分野の分類（国際特許分類（IPC））

Int.Cl. H01L27/088(2006.01)i, H01L21/762(2006.01)i, H01L27/144(2006.01)i, H01L27/146(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

Int.Cl. H01L27/088, H01L21/762, H01L27/144, H01L27/146

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2018年
日本国実用新案登録公報	1996-2018年
日本国登録実用新案公報	1994-2018年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2013-105981 A（ルネサスエレクトロニクス株式会社） 2013.05.30, & US 2013/0119469 A1	1-10
A	JP 2013-105982 A（ルネサスエレクトロニクス株式会社） 2013.05.30, & US 2013/0119470 A1	1-10
A	JP 2014-143269 A（ルネサスエレクトロニクス株式会社） 2014.08.07,（ファミリーなし）	1-10

☒ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

16.03.2018

国際調査報告の発送日

03.04.2018

国際調査機関の名称及びあて先

日本国特許庁（ISA/J P）
郵便番号100-8915
東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

岩本 勉

5 F

9355

電話番号 03-3581-1101 内線 3516

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2014-236097 A (ルネサスエレクトロニクス株式会社) 2014.12.15, & US 2014/0353756 A1 & CN 104218040 A	1-10
A	JP 2013-118317 A (ルネサスエレクトロニクス株式会社) 2013.06.13, & US 2013/0140669 A1 & CN 103137705 A & TW 201330269 A	1-10