



ÚŘAD PRO VYNÁLEZY
A OBJEVY

POPIS VYNÁLEZU K AUTORSKÉMU OSVĚDČENÍ

215518

(11)

(B1)

(51) Int. Cl.³
H 03 K 23/00

(22) Přihlášeno 12 12 78
(21) (PV 8256-78)

(40) Zveřejněno 30 11 81

(45) Vydáno 15 10 84

(75)

Autor vynálezu

HOLUB IGOR ing., PRAHA

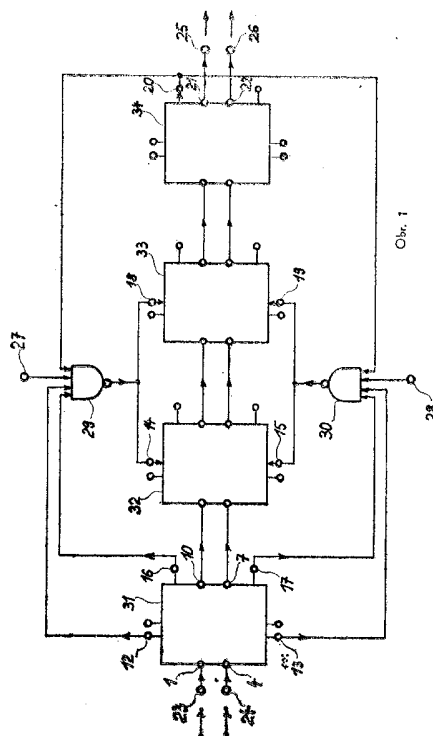
(54) Zapojení asynchronního vratného čítače

1

Zapojení vytvořené alespoň ze dvou čtyřvstupových negovaných součinnových hradel a alespoň ze čtyř stupňů asynchronního vratného čítače, přičemž každý stupeň obsahuje dva otevírací obvody, například invertory, tři negovaná součinnová hradla, jeden dvoustavový klopný obvod typu D, čtyři vstupy a šest výstupů. Zapojení má dva vstupy a dva výstupy pro čítání vpřed a vzad, a dva vstupy pro volbu druhu čítače při čítání vpřed a vzad.

Vynálezu může být využito především v řídicí a automatizační technice a všude tam, kde je použito asynchronního vratného čítače, pracujícího dekadicky nebo binárně a kdy je výhodná jeho reakce na náběžnou hranu vstupních impulsů.

2



Vynález se týká zapojení asynchronního vratného čítače s univerzálním použitím, vhodného zejména pro použití v případech, kdy je výhodná jeho reakce na náběžnou hranu vstupních impulsů. Vnitřní zapojení umožňuje provozovat čítač buď jako dekadický, nebo jako binární v každém z obou směrů čítání — nezávisle — přivedením logické jedničky nebo nuly na vstupy pro volbu čítací kapacity. Zapojení podle vynálezu je proti srovnatelným zapojením podstatně jednodušší.

Dosud známé koncepce vratných čítačů jsou založeny na principu synchronního systému, při němž všechny obvody, které mají změnit svůj stav, jej mění současně. Tyto synchronní obvody jsou podstatně složitější než obvody asynchronní, avšak jejich použití je vynuceno vlastnostmi klopných obvodů, dosud používaných pro tyto účely. Předností synchronních vratných čítačů je vyšší dosažitelná pracovní rychlost.

Nevýhody a nedostatky synchronního systému v největší míře potlačuje a dává možnost lépe eliminovat případný negativní vliv hazardních stavů na spolehlivou činnost čítače zapojení podle vynálezu, které se týká asynchronního vratného čítače s univerzálním použitím, jehož podstatou je zapojení vytvořené alespoň ze dvou čtyřvstupových vychovaných součinových hradel a alespoň ze čtyř stupňů asynchronního dekadického vratného čítače, přičemž každý stupeň asynchronního vratného čítače má jednak první vstup, určený pro přívod impulsů pro čítání vpřed a připojený ke vstupu prvního otevíracího obvodu, například invertoru, a zároveň k prvnímu vstupu prvního negovaného součinového hradla, jednak druhý vstup, určený pro přívod impulsů pro čítání vzad a připojený ke vstupu druhého otevíracího obvodu, například invertoru, a zároveň ke druhému vstupu třetího negovaného součinového hradla, dále jednak první výstup, připojený k výstupu prvního negovaného součinového hradla, jednak druhý výstup, připojený k výstupu druhého negovaného součinového hradla. Výstup prvního otevíracího obvodu je spojen s prvním vstupem prvního negovaného součinového hradla a výstup druhého otevíracího obvodu je spojen se druhým vstupem druhého negovaného součinového hradla. Výstup třetího negovaného součinového hradla je spojen se vstupem TC dvoustavového klopného obvodu typu D, jehož vstup D je spojen s jeho negovaným výstupem $\bar{Q}$ a zároveň se druhým vstupem prvního negovaného součinového hradla, zatímco přímý výstup Q dvoustavového klopného obvodu typu D je spojen s prvním vstupem druhého negovaného součinového hradla.

Podle vynálezu je první vstup zapojení, určený pro přívod sledu čítaných impulsů při čítání vpřed, připojen k prvnímu vstupu prvního stupně asynchronního vratného čítače. Druhý vstup zapojení, určený pro

přívod sledu čítaných impulsů při čítání vzad, je připojen ke druhému vstupu prvního stupně, jehož první výstup pro přenos do vyššího řádu při čítání vpřed je připojen k prvnímu vstupu druhého stupně a jehož druhý výstup pro přenos do vyššího řádu při čítání vzad je připojen ke druhému vstupu druhého stupně. Obdobně oba výstupy druhého stupně jsou připojeny k odpovídajícím oběma vstupům třetího stupně a oba výstupy třetího stupně jsou připojeny k odpovídajícím oběma vstupům čtvrtého stupně, jehož první výstup je připojen k prvnímu výstupu zapojení pro přenos do vyššího řádu při čítání vpřed a jehož druhý výstup je připojen ke druhému výstupu zapojení pro přenos do vyššího řádu při čítání vzad, zatímco první vstup prvního čtyřvstupového negovaného součinového hradla je připojen k třetímu výstupu prvního stupně, spojenému s přímým výstupem Q dvoustavového klopného obvodu typu D uvnitř prvního stupně. Druhý vstup prvního čtyřvstupového negovaného součinového hradla je připojen k pátému výstupu prvního stupně při čítání vpřed, spojenému s výstupem prvního otevíracího obvodu. Třetí vstup prvního čtyřvstupového negovaného součinového hradla je spojen se třetím vstupem zapojení, určeným pro volbu druhu čítače při čítání vpřed. Čtvrtý vstup prvního čtyřvstupového negovaného součinového hradla je připojen ke čtvrtému vstupu druhého čtyřvstupového negovaného součinového hradla a zároveň k třetímu výstupu čtvrtého stupně, spojenému s přímým vstupem Q dvoustavového klopného obvodu typu D uvnitř čtvrtého stupně. První vstup druhého čtyřvstupového negovaného součinového hradla je připojen ke čtvrtému výstupu prvního stupně, spojenému s negovaným výstupem $\bar{Q}$ dvoustavového klopného obvodu typu D uvnitř prvního stupně. Druhý vstup druhého čtyřvstupového negovaného součinového hradla je připojen k šestému výstupu prvního stupně, spojenému s výstupem druhého otevíracího obvodu a zároveň se druhým vstupem druhého negovaného součinového hradla uvnitř prvního stupně. Třetí vstup druhého čtyřvstupového negovaného součinového hradla je spojen se čtvrtým vstupem zapojení, určeným pro volbu druhu čítače při čítání vzad. Výstup prvního čtyřvstupového negovaného součinového hradla je spojen s třetím vstupem druhého stupně a zároveň se třetím vstupem třetího stupně, přičemž tyto oba třetí vstupy jsou připojeny k nastavovacím vstupům P dvoustavových klopných obvodů typu D uvnitř druhého a třetího stupně. Výstup druhého čtyřvstupového negovaného součinového hradla je spojen se čtvrtým vstupem druhého stupně a zároveň se čtvrtým vstupem třetího stupně, přičemž tyto oba čtvrté vstupy jsou připojeny k nulovacím vstupům C dvoustavových klopných obvodů typu D uvnitř druhého a třetího stupně.

Zapojení podle vynálezu je vhodné použít zejména v těch případech, kdy je výhodná jeho reakce na náběžnou hranu vstupních impulsů. Toto zapojení jednak umožňuje provozovat čítač buď jako dekadický, nebo jako binární v každém z obou směrů čítání, nezávisle, přivedením logické jedničky nebo nuly na vstupy pro volbu čítače, jednak je při srovnání se zapojeními určenými k obdobnému účelu podstatně jednodušší, a tím také méně nákladné.

Podstata předmětu vynálezu je dále objasněna pomocí výkresů, na nichž je znázorněno na obr. 1 — blokové schéma zapojení asynchronního vratného čítače podle vynálezu, na obr. 2 — zapojení jednoho stupně vratného čítače.

Na obr. 1 je první vstup 23 zapojení, určený pro přívod sledu čítaných impulsů při čítání vpřed, připojen k prvnímu vstupu 1 prvního stupně 31 asynchronního vratného čítače. Podobně druhý vstup 24 zapojení, určený pro přívod sledu čítaných impulsů při čítání vzad, je připojen ke druhému vstupu 4 prvního stupně 31 vratného čítače. První výstup 10 a druhý výstup 7 prvního stupně 31 jsou připojeny k odpovídajícím prvnímu a druhému vstupu druhého stupně 32, jehož první a druhý výstup jsou opět připojeny k odpovídajícím prvnímu a druhému vstupu třetího stupně 33 a konečně první a druhý výstup třetího stupně 33 jsou připojeny k odpovídajícím prvnímu a druhému vstupu čtvrtého stupně 34, jehož první výstup 21 je připojen k prvnímu výstupu 25 zapojení a jehož druhý výstup 22 je připojen ke druhému výstupu 26 zapojení. Přitom první výstup 25 zapojení je určen pro čítání vpřed a druhý výstup 26 zapojení je určen pro čítání vzad. Zapojení stupňů 32, 33, 34 je stejné jako zapojení prvního stupně 31 podle obr. 2.

Pátý výstup 12 prvního stupně 31 je spojen se druhým vstupem prvního čtyřvstupového negovaného součinnového hradla 29, jehož první vstup je spojen se třetím výstupem 16 prvního stupně 31, určeným pro indikaci stavu při čítání vpřed. Třetí vstup 27 zapojení, určený pro volbu druhu čítače při čítání vpřed, je spojen se třetím vstupem prvního čtyřvstupového negovaného součinnového hradla 29, jehož čtvrtý vstup je spojen se čtvrtým vstupem druhého čtyřvstupového negovaného součinnového hradla 30 a zároveň se třetím výstupem 20 čtvrtého stupně 34, určeným pro indikaci stavu. Výstup prvního čtyřvstupového negovaného součinnového hradla 29 je připojen ke třetímu vstupu 14 druhého stupně 32 a zároveň ke třetímu vstupu 18 třetího stupně 33. Třetí vstupy 14 a 18 druhého stupně 32 a třetího stupně 33 jsou určeny pro jejich nastavení. Výstup druhého čtyřvstupového nego-

vaného součinnového hradla 30 je obdobně připojen ke čtvrtému vstupu 15 druhého stupně 32 a zároveň ke čtvrtému vstupu 19 třetího stupně 33. Čtvrté vstupy 15 a 19 druhého stupně 32 a třetího stupně 33 jsou určeny pro nulování. Šestý výstup 13 prvního stupně 31 je spojen se druhým vstupem druhého čtyřvstupového negovaného součinnového hradla 30, jehož první vstup je spojen se čtvrtým výstupem 17 prvního stupně 31, určeným pro indikaci stavu při čítání vzad. Čtvrtý vstup 28 zapojení, určený pro volbu druhu čítače při čítání vzad, je spojen se třetím vstupem druhého čtyřvstupového negovaného součinnového hradla 30.

Na obr. 2 je první vstup 1 prvního stupně 31 asynchronního vratného čítače, určený pro přívod impulsů pro čítání vpřed, připojen jednak ke vstupu prvního otevíracího obvodu 11, například invertoru, jednak k prvnímu vstupu třetího negovaného součinnového hradla 9. Druhý vstup 4 prvního stupně 31, určený pro přívod impulsů pro čítání vzad, je připojen jednak ke vstupu druhého otevíracího obvodu 5, jednak ke druhému vstupu třetího negovaného součinnového hradla 9, jehož negovaný výstup je připojen ke vstupu TC dvoustavového klopného obvodu 8 typu D. Výstup prvního otevíracího obvodu 11 je spojen jednak s prvním vstupem prvního negovaného součinnového hradla 3, jednak s pátým výstupem 12 prvního stupně 31. Výstup druhého otevíracího obvodu 5 je spojen jednak se druhým vstupem druhého negovaného součinnového hradla 6, jednak se šestým výstupem 13 prvního stupně 31. Výstup prvního negovaného součinnového hradla 3 je spojen s prvním výstupem 10 prvního stupně 31 a výstup druhého negovaného součinnového hradla 6 je spojen se druhým výstupem 7 prvního stupně 31. Třetí vstup 14 prvního stupně 31 je spojen se vstupem P pro nastavení dvoustavového klopného obvodu 8 typu D, jehož vstup C pro nulování je spojen se čtvrtým vstupem 15 prvního stupně 31 a jehož vstup D je spojen jednak s jeho negovaným výstupem Q, jednak se druhým vstupem prvního negovaného součinnového hradla 3, jednak se čtvrtým výstupem 17 prvního stupně 31, jehož třetí výstup 16 je spojen s přímým výstupem Q dvoustavového klopného obvodu 8 typu D a zároveň s prvním vstupem druhého negovaného součinnového hradla 6. Třetí negované součinnové hradlo 9 a dvoustavový klopný obvod 8 typu D tvoří dvoustavový obvod 2. Třetí vstup 14 prvního stupně 31 je určen pro jeho nastavení, čtvrtý vstup 15 stupně 31 je určen pro jeho nulování.

Činnost vratného asynchronního čítače je snadno a stručně vysvětlitelná použitím následující logické tabulky:

Číslo stavu	Logický stav stupně			
	34	33	32	31
0	0	0	0	0
1	0	0	0	1
2	0	0	1	0
3	0	0	1	1
4	0	1	0	0
5	0	1	0	1
6	0	1	1	0
7	0	1	1	1
8	1	0	0	0
9	1	0	0	1
10	1	0	1	0
11	1	0	1	1
12	1	1	0	0
13	1	1	0	1
14	1	1	1	0
15	1	1	1	1

Asynchronní vratný čítač, zapojený podle vynálezu, pracuje jako binární čítač, který vynechává devátý až čtrnáctý stav, a to jak při čítání vpřed, tak při čítání vzad, přičemž nastane-li při čítání vpřed devátý stav, pak jsou logickým obvodem, to znamená prvním čtyřvstupovým negovaným součinným hradlem, nastaveny dvoustavové klopné obvody typu D ve druhém a ve třetím stupni tak, že devátý stav se změní na patnáctý stav. Analogicky při čítání vzad, nastane-li čtrnáctý stav, okamžitě se změní na osmý stav.

Změna asynchronního dekadického čítače na asynchronní binární čítač se provede tím, že se na třetí vstup zapojení, určený pro volbu druhu čítače při čítání vpřed, popří-

padě na čtvrtý vstup zapojení, určený pro volbu druhu čítače při čítání vzad, přivede místo úrovně logické jedničky úroveň logické nuly. Takovou změnu lze ovšem provést nezávisle pro každý směr čítání, tedy pro čítání vpřed nebo pro čítání vzad.

Na pátém a šestém výstupu prvního stupně se objevují negované impulsy přivedené na první a druhý vstup zapojení.

Na třetím a čtvrtém výstupu prvního stupně se objevují impulsy indikující stav při čítání vpřed a vzad.

Pro nastavení druhého a třetího stupně jsou určeny jejich třetí vstupy.

Pro nulování druhého a třetího stupně jsou určeny jejich čtvrté vstupy.

PŘEDMĚT VYNÁLEZU

Zapojení asynchronního vratného čítače s univerzálním použitím, vytvořené alespoň ze dvou čtyřvstupových negovaných součinných hradel a alespoň ze čtyř stupňů asynchronního vratného čítače, přičemž každý stupeň asynchronního vratného čítače má jednak první vstup určený pro přívod impulsů pro čítání vpřed a připojený ke vstupu prvního otevíracího obvodu, například invertoru, a zároveň k prvnímu vstupu třetího negovaného součinného hradla, jednak druhý vstup, určený pro přívod impulsů pro čítání vzad a připojený ke vstupu druhého otevíracího obvodu, například invertoru, a zároveň ke druhému vstupu třetího negovaného součinného hradla, dále jednak první výstup připojený k výstupu prvního negovaného součinného hradla, jednak druhý výstup, připojený k výstupu druhého negovaného součinného hradla, zatímco výstup prvního otevíracího obvodu je spojen s prvním vstupem prvního negovaného součinného hradla a výstup druhého otevíracího obvodu je spojen se druhým vstupem druhého negovaného součinného hradla, přitom výstup třetího negovaného součinného hradla je spojen se vstupem TC dvoustavo-

vého klopného obvodu typu D, jehož vstup D je spojen s jeho negovaným výstupem $\bar{Q}$ a zároveň se druhým vstupem prvního negovaného součinného hradla a jehož přímý výstup Q dvoustavového klopného obvodu typu D je spojen s prvním vstupem druhého negovaného součinného hradla, vyznačené tím, že první vstup (23) zapojení, určený pro přívod sledu čítaných impulsů při čítání vpřed, je připojen k prvnímu vstupu (1) prvního stupně (31), druhý vstup (24) zapojení, určený pro přívod sledu čítaných impulsů při čítání vzad, je připojen ke druhému vstupu (4) prvního stupně (31), jehož první výstup (10) pro přenos do vyššího řádu při čítání vpřed je připojen k prvnímu vstupu druhého stupně (32) a jehož druhý výstup (7) pro přenos do vyššího řádu při čítání vzad je připojen ke druhému vstupu druhého stupně (32), obdobně oba výstupy druhého stupně (32) jsou připojeny k odpovídajícím oběma vstupům třetího stupně (33) a oba výstupy třetího stupně (33) jsou připojeny k odpovídajícím oběma vstupům čtvrtého stupně (34), jehož první výstup (21) je připojen k prvnímu výstupu (25)

zapojení pro přenos do vyššího řádu při čítání vpřed a jehož druhý výstup (22) je připojen ke druhému výstupu (26) zapojení pro přenos do vyššího řádu při čítání vzad, zatímco první vstup prvního čtyřvstupového negovaného součinnového hradla (29) je připojen k třetímu výstupu (16) prvního stupně (31), spojenému s přímým výstupem Q dvoustavového klopného obvodu (8) typu D uvnitř prvního stupně (31), druhý vstup prvního čtyřvstupového negovaného součinnového hradla (29) je připojen k pátému výstupu (12) prvního stupně (31) při čítání vpřed, spojenému s výstupem prvního otevíracího obvodu (11), třetí vstup prvního čtyřvstupového negovaného součinnového hradla (29) je spojen se třetím vstupem (27) zapojení, určeným pro volbu druhu čítače při čítání vpřed, čtvrtý vstup prvního čtyřvstupového negovaného součinnového hradla (29) je připojen ke čtvrtému vstupu druhého čtyřvstupového negovaného součinnového hradla (30) a zároveň k třetímu výstupu (20) čtvrtého stupně (34), spojenému s přímým výstupem Q dvoustavového klopného obvodu typu D uvnitř čtvrtého stupně (34), a dále první vstup druhého čtyřvstupového negovaného součinnového hradla (30) je připojen ke čtvrtému výstupu (17) prvního stupně (31), spojenému s

negovaným výstupem Q dvoustavového klopného obvodu typu D uvnitř prvního stupně (31), druhý vstup druhého čtyřvstupového negovaného součinnového hradla (30) je připojen k šestému výstupu (13) prvního stupně (31), spojenému s výstupem druhého otevíracího obvodu (5), a zároveň se druhým vstupem druhého negovaného součinnového hradla (6) uvnitř prvního stupně (31), třetí vstup druhého čtyřvstupového negovaného součinnového hradla (30) je spojen se čtvrtým vstupem (28) zapojení určeným pro volbu druhu čítače při čítání vzad, a konečně výstup prvního čtyřvstupového negovaného součinnového hradla (29) je spojen se třetím vstupem (14) druhého stupně (32) a zároveň se třetím vstupem (18) třetího stupně (33), přičemž oba tyto třetí vstupy (14, 18) jsou připojeny k nastavovacím vstupům P dvoustavových klopných obvodů typu D uvnitř druhého a třetího stupně (32, 33), zatímco výstup druhého čtyřvstupového negovaného součinnového hradla (30) je spojen se čtvrtým vstupem (15) druhého stupně (32) a zároveň se čtvrtým vstupem (19) třetího stupně (33), přičemž oba čtvrté vstupy (15, 19) jsou připojeny k nulovacím vstupům C dvoustavových klopných obvodů typu D uvnitř druhého a třetího stupně (32, 33).

