



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2014-0106270
(43) 공개일자 2014년09월03일

(51) 국제특허분류(Int. Cl.)
H01L 29/78 (2006.01) *H01L 21/336* (2006.01)
(21) 출원번호 10-2013-0020612
(22) 출원일자 2013년02월26일
심사청구일자 없음

(71) 출원인
삼성전자주식회사
경기도 수원시 영통구 삼성로 129 (매탄동)
(72) 발명자
강명길
서울 서초구 남부순환로350길 29-12, 101호 (양재동)
김성봉
경기 수원시 영통구 영통로173번길 37, 106동
1004호 (망포동, 쌍용1차아파트)
(뒷면에 계속)
(74) 대리인
특허법인가산

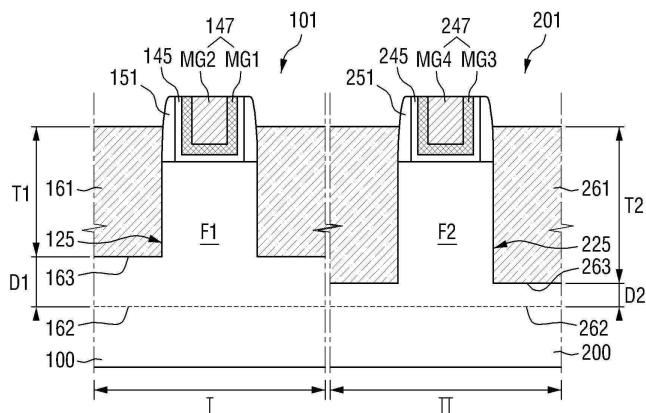
전체 청구항 수 : 총 10 항

(54) 발명의 명칭 집적 회로 장치 및 그 제조 방법

(57) 요 약

집적 회로 장치 및 그 제조 방법이 제공된다. 상기 집적 회로 장치는 기판 상에 형성된 동일한 도전형의 제1 편형 트랜지스터와 제2 편형 트랜지스터를 포함하되, 상기 제1 편형 트랜지스터의 제1 소오스/드레인의 제1 두께는 상기 제2 편형 트랜지스터의 제2 소오스/드레인의 제2 두께와 서로 다르다.

대 표 도 - 도3



(72) 발명자

오창우

경기 수원시 영통구 청명북로 33, 439동 206호 (영
통동, 청명마을4단지아파트)

김동원

경기 성남시 분당구 정자로 112, 506동 303호 (정
자동, 정든마을신화5단지아파트)

특허청구의 범위

청구항 1

기판 상에 형성된 동일한 도전형의 제1 펀형 트랜지스터와 제2 펀형 트랜지스터를 포함하되, 상기 제1 펀형 트랜지스터의 제1 소오스/드레인의 제1 두께는 상기 제2 펀형 트랜지스터의 제2 소오스/드레인의 제2 두께와 서로 다른 접적 회로 장치.

청구항 2

제 1항에 있어서,

상기 제1 펀형 트랜지스터의 제1 펀의 제1 바닥(bottom)으로부터, 상기 제1 펀과 상기 제1 소오스/드레인의 제1 인터페이스까지의 거리가 제1 거리이고,

상기 제2 펀형 트랜지스터의 제2 펀의 제2 바닥으로부터, 상기 제2 펀과 상기 제2 소오스/드레인의 제2 인터페이스까지의 거리가 제2 거리이고,

상기 제1 거리와 상기 제2 거리는 서로 다른 접적 회로 장치.

청구항 3

제 1항에 있어서,

상기 제1 소오스/드레인과 상기 제2 소오스/드레인은 동일한 제1 격자 상수(lattice constant)를 포함하고,

상기 제1 소오스/드레인이 상기 제1 펀형 트랜지스터의 제1 채널에 제공하는 제1 스트레스는, 상기 제2 소오스/드레인이 상기 제2 펀형 트랜지스터의 제2 채널에 제공하는 제2 스트레스와 서로 다른 접적 회로 장치.

청구항 4

제 3항에 있어서,

상기 제1 채널 및 상기 제2 채널은, 상기 제1 격자 상수와 다른 제2 격자 상수를 포함하는 접적 회로 장치.

청구항 5

제1 영역과 제2 영역이 정의된 기판;

상기 제1 영역에 형성된 제1 펀형 트랜지스터로서, 제1 펀과, 상기 제1 펀 상에 상기 제1 펀을 교차하는 제1 게이트 전극과, 상기 제1 게이트 전극 양측의 상기 제1 펀 내에 형성된 제1 리세스와, 상기 제1 리세스 내에 형성되는 상기 제1 소오스/드레인을 포함하는 제1 펀형 트랜지스터; 및

상기 제2 영역에 형성된 제2 펀형 트랜지스터로서, 제2 펀과, 상기 제2 펀 상에 상기 제2 펀을 교차하는 제2 게이트 전극과, 상기 제2 게이트 전극 양측의 상기 제2 펀 내에 형성된 제2 리세스와, 상기 제2 리세스 내에 형성되는 상기 제2 소오스/드레인을 포함하는 제2 펀형 트랜지스터를 포함하고,

상기 제1 소오스/드레인의 제1 두께는, 상기 제2 소오스/드레인의 제2 두께와 서로 다른 접적 회로 장치.

청구항 6

제1 블록과 제2 블록이 정의된 기판;

상기 제1 블록 내에 형성된 적어도 하나의 제1 펀형 트랜지스터;

상기 제2 블록 내에 형성된 적어도 하나의 제2 펀형 트랜지스터; 및

상기 제1 펀형 트랜지스터의 제1 소오스/드레인의 제1 두께는 상기 제2 펀형 트랜지스터의 제2 소오스/드레인의 제2 두께와 서로 다른 접적 회로 장치.

청구항 7

로직 영역과 SRAM 영역이 정의된 기판;

상기 로직 영역에 형성된 제1 펈형 트랜지스터로서, 제1 펈과, 상기 제1 펈 내에 형성된 제1 리세스와, 상기 제1 리세스 내에 형성된 제1 소오스/드레인을 포함하는 제1 펈형 트랜지스터; 및

상기 SRAM 영역에 형성된 제2 펈형 트랜지스터로서, 제2 펈과, 상기 제2 펈 내에 형성된 제2 리세스와, 상기 제2 리세스 내에 형성된 제2 소오스/드레인을 포함하는 제2 펈형 트랜지스터를 포함하고,

상기 제1 리세스의 깊이와, 상기 제2 리세스의 깊이는 서로 다른 집적 회로 장치.

청구항 8

기판 상에 형성된 동일한 도전형의 제1 나노와이어 트랜지스터와 제2 나노와이어 트랜지스터를 포함하되, 상기 제1 나노와이어 트랜지스터의 제1 소오스/드레인의 제1 두께는 상기 제2 나노와이어 트랜지스터의 제2 소오스/드레인의 제2 두께와 서로 다른 집적 회로 장치.

청구항 9

기판 상에 형성된 제1 나노와이어 트랜지스터와 제2 나노와이어 트랜지스터를 포함하되,

상기 제1 나노와이어 트랜지스터는 수직으로 적층된 다수의 제1 나노와이어와, 상기 다수의 제1 나노와이어 중 n개(단, n은 자연수)와 전기적으로 연결된 제1 소오스/드레인을 포함하고,

상기 제2 나노와이어 트랜지스터는 수직으로 적층된 다수의 제2 나노와이어와, 상기 다수의 제2 나노와이어 중 m개(단, m은 n과 다른 자연수)와 전기적으로 연결된 제2 소오스/드레인을 포함하는 집적 회로 장치.

청구항 10

제1 영역과 제2 영역이 정의된 기판을 제공하고,

상기 제1 영역에 제1 펈을 형성하고, 상기 제2 영역에 제2 펈을 형성하고,

상기 제1 영역에 상기 제1 펈을 교차하는 제1 게이트 전극을 형성하고, 상기 제2 영역에 상기 제2 펈을 교차하는 제2 게이트 전극을 형성하고,

상기 제1 영역에 상기 제1 게이트 전극 양측의 상기 제1 펈 내에 제1 리세스를 형성하고, 상기 제2 영역에 상기 제2 게이트 전극 양측의 상기 제2 펈 내에 제2 리세스를 형성하되, 상기 제1 리세스의 깊이와 상기 제2 리세스의 깊이가 서로 다르도록 형성하는 집적 회로 장치의 제조 방법.

명세서

기술 분야

[0001]

본 발명은 집적 회로 장치 및 그 제조 방법에 관한 것이다.

배경 기술

[0002]

집적 회로 장치의 밀도를 높이기 위한 스케일링(scaling) 기술 중 하나로서, 기판 상에 펈(fin) 형상 또는 나노와이어(nanowire) 형상의 실리콘 바디(body)를 형성하고 실리콘 바디의 표면 위에 게이트를 형성하는 멀티-게이트(multi-gate) 트랜지스터가 제안되었다.

[0003]

이러한 멀티 게이트 트랜지스터는 3차원의 채널을 이용하기 때문에, 스케일링하는 것이 용이하다. 또한, 멀티 게이트 트랜지스터의 게이트 길이를 증가시키지 않아도, 전류 제어 능력을 향상시킬 수 있다. 뿐만 아니라, 드레인 전압에 의해 채널 영역의 전위가 영향을 받는 SCE(short channel effect)를 효과적으로 억제할 수 있다.

발명의 내용

해결하려는 과제

[0004]

본 발명이 해결하려는 과제는, 소오스/드레인의 두께를 조절하여 전류량을 제어할 수 있는 집적 회로 장치를 제공하는 것이다.

- [0005] 본 발명이 해결하려는 과제는, 소오스/드레인의 두께를 조절하여 전류량을 제어할 수 있는 집적 회로 장치의 제조 방법을 제공하는 것이다.
- [0006] 본 발명이 해결하려는 과제들은 이상에서 언급한 과제들로 제한되지 않으며, 언급되지 않은 또 다른 과제들은 아래의 기재로부터 당업자에게 명확하게 이해될 수 있을 것이다.

과제의 해결 수단

- [0007] 상기 과제를 해결하기 위한 본 발명의 집적 회로 장치의 일 면(aspect)은 기판 상에 형성된 동일한 도전형의 제1 펈형 트랜지스터와 제2 펈형 트랜지스터를 포함하되, 상기 제1 펈형 트랜지스터의 제1 소오스/드레인의 제1 두께는 상기 제2 펈형 트랜지스터의 제2 소오스/드레인의 제2 두께와 서로 다르다.
- [0008] 또는, 상기 제1 펈형 트랜지스터의 제1 펈의 제1 바닥(bottom)으로부터, 상기 제1 펈과 상기 제1 소오스/드레인의 제1 인터페이스까지의 거리가 제1 거리이고, 상기 제2 펈형 트랜지스터의 제2 펈의 제2 바닥으로부터, 상기 제2 펈과 상기 제2 소오스/드레인의 제2 인터페이스까지의 거리가 제2 거리이고, 상기 제1 거리와 상기 제2 거리는 서로 다를 수 있다.
- [0009] 상기 제1 소오스/드레인과 상기 제2 소오스/드레인은 동일한 제1 격자 상수(lattice constant)를 포함하고, 상기 제1 소오스/드레인이 상기 제1 펈형 트랜지스터의 제1 채널에 제공하는 제1 스트레스는, 상기 제2 소오스/드레인이 상기 제2 펈형 트랜지스터의 제2 채널에 제공하는 제2 스트레스와 서로 다를 수 있다.
- [0010] 상기 제1 채널 및 상기 제2 채널은, 상기 제1 격자 상수와 다른 제2 격자 상수를 포함할 수 있다.
- [0011] 상기 제1 펈형 트랜지스터 및 제2 펈형 트랜지스터는 PMOS 트랜지스터이고, 상기 제1 소오스/드레인 및 제2 소오스/드레인은 SiGe를 포함하고, 상기 제1 채널 및 제2 채널은 Si를 포함할 수 있다.
- [0012] 상기 제1 펈형 트랜지스터 및 제2 펈형 트랜지스터는 NMOS 트랜지스터이고, 상기 제1 소오스/드레인 및 제2 소오스/드레인은 SiC를 포함하고, 상기 제1 채널 및 제2 채널은 Si를 포함할 수 있다.
- [0013] 상기 제1 소오스/드레인의 불순물 농도와 상기 제2 소오스/드레인의 불순물 농도가 서로 다를 수 있다.
- [0014] 상기 과제를 해결하기 위한 본 발명의 집적 회로 장치의 다른 면은 제1 영역과 제2 영역이 정의된 기판; 상기 제1 영역에 형성된 제1 펈형 트랜지스터로서, 제1 펈과, 상기 제1 펈 상에 상기 제1 펈을 교차하는 제1 게이트 전극과, 상기 제1 게이트 전극 양측의 상기 제1 펈 내에 형성된 제1 리세스와, 상기 제1 리세스 내에 형성되는 상기 제1 소오스/드레인을 포함하는 제1 펈형 트랜지스터; 및 상기 제2 영역에 형성된 제2 펈형 트랜지스터로서, 제2 펈과, 상기 제2 펈 상에 상기 제2 펈을 교차하는 제2 게이트 전극과, 상기 제2 게이트 전극 양측의 상기 제2 펈 내에 형성된 제2 리세스와, 상기 제2 리세스 내에 형성되는 상기 제2 소오스/드레인을 포함하는 제2 펈형 트랜지스터를 포함하고, 상기 제1 소오스/드레인의 제1 두께는, 상기 제2 소오스/드레인의 제2 두께와 서로 다르다.
- [0015] 상기 제1 리세스의 깊이와 상기 제2 리세스의 깊이는 서로 다르다.
- [0016] 상기 제1 펈형 트랜지스터는 상기 제1 게이트 전극의 측벽에 배치되는 제1 스페이서를 더 포함하고, 상기 제2 펈형 트랜지스터는 상기 제2 게이트 전극의 측벽에 배치되는 제2 스페이서를 더 포함하고, 상기 제1 스페이서의 두께와 상기 제2 스페이서의 두께는 서로 동일할 수 있다.
- [0017] 상기 제1 펈형 트랜지스터 및 상기 제2 펈형 트랜지스터는 서로 동일한 도전형의 트랜지스터이고, 상기 제1 소오스/드레인의 불순물 농도와 상기 제2 소오스/드레인의 불순물 농도가 서로 다를 수 있다.
- [0018] 상기 제1 펈형 트랜지스터 상에 형성된 제1 스트레스막과, 상기 제2 펈형 트랜지스터 상에 형성된 제2 스트레스막을 더 포함하고, 상기 제1 스트레스막과 상기 제2 스트레스막은 동일 물질로 이루어질 수 있다.
- [0019] 상기 제1 영역은 SRAM 형성 영역이고, 상기 제2 영역은 로직 영역이고, 상기 제1 소오스/드레인의 제1 두께는, 상기 제2 소오스/드레인의 제2 두께보다 얇을 수 있다.
- [0020] 상기 제1 펈형 트랜지스터는 서로 이격되고 평행하게 배치된 다수의 제1 펈을 포함하고, 상기 제1 게이트 전극은 상기 다수의 제1 펈을 교차하고, 상기 제2 펈형 트랜지스터는 서로 이격되고 평행하게 배치된 다수의 제2 펈을 포함하고, 상기 제2 게이트 전극은 상기 다수의 제2 펈을 교차할 수 있다.
- [0021] 상기 제1 소오스/드레인과 상기 제2 소오스/드레인은 동일한 제1 격자 상수(lattice constant)를 포함하고, 상

기 제1 핀과 상기 제2 핀은 제1 격자 상수와 다른 제2 격자 상수를 포함할 수 있다.

[0022] 상기 과제를 해결하기 위한 본 발명의 집적 회로 장치의 또 다른 면은 제1 블록과 제2 블록이 정의된 기판; 상기 제1 블록 내에 형성된 적어도 하나의 제1 핀형 트랜지스터; 상기 제2 블록 내에 형성된 적어도 하나의 제2 핀형 트랜지스터; 및 상기 제1 핀형 트랜지스터의 제1 소오스/드레인의 제1 두께는 상기 제2 핀형 트랜지스터의 제2 소오스/드레인의 제2 두께와 서로 다를 수 있다.

[0023] 상기 과제를 해결하기 위한 본 발명의 집적 회로 장치의 또 다른 면은 로직 영역과 SRAM 영역이 정의된 기판; 상기 로직 영역에 형성된 제1 핀형 트랜지스터로서, 제1 핀과, 상기 제1 핀 내에 형성된 제1 리세스와, 상기 제1 리세스 내에 형성된 제1 소오스/드레인을 포함하는 제1 핀형 트랜지스터; 및 상기 SRAM 영역에 형성된 제2 핀형 트랜지스터로서, 제2 핀과, 상기 제2 핀 내에 형성된 제2 리세스와, 상기 제2 리세스 내에 형성된 제2 소오스/드레인을 포함하는 제2 핀형 트랜지스터를 포함하고, 상기 제1 리세스의 깊이와, 상기 제2 리세스의 깊이는 서로 다를 수 있다.

[0024] 상기 제1 리세스의 깊이가, 상기 제2 리세스의 깊이보다 깊을 수 있다.

[0025] 상기 과제를 해결하기 위한 본 발명의 집적 회로 장치의 또 다른 면은 기판 상에 형성된 동일한 도전형의 제1 나노와이어 트랜지스터와 제2 나노와이어 트랜지스터를 포함하되, 상기 제1 나노와이어 트랜지스터의 제1 소오스/드레인의 제1 두께는 상기 제2 나노와이어 트랜지스터의 제2 소오스/드레인의 제2 두께와 서로 다를 수 있다.

[0026] 상기 과제를 해결하기 위한 본 발명의 집적 회로 장치의 또 다른 면은 기판 상에 형성된 제1 나노와이어 트랜지스터와 제2 나노와이어 트랜지스터를 포함하되, 상기 제1 나노와이어 트랜지스터는 수직으로 적층된 다수의 제1 나노와이어와, 상기 다수의 제1 나노와이어 중 n개(단, n은 자연수)와 전기적으로 연결된 제1 소오스/드레인을 포함하고, 상기 제2 나노와이어 트랜지스터는 수직으로 적층된 다수의 제2 나노와이어와, 상기 다수의 제2 나노와이어 중 m개(단, m은 n과 다른 자연수)와 전기적으로 연결된 제2 소오스/드레인을 포함할 수 있다.

[0027] 상기 n개의 제1 나노와이어는, 가장 위에 배치된 제1 나노와이어부터 순차적으로 n개이고, 상기 m개의 제2 나노와이어는, 가장 위에 배치된 제2 나노와이어부터 순차적으로 m개일 수 있다.

[0028] 상기 다수의 제1 나노와이어는 k개(단, k는 자연수) 적층되고, 상기 다수의 제2 나노와이어도 k개 적층될 수 있다.

[0029] 상기 다른 과제를 해결하기 위한 본 발명의 집적 회로 장치의 일 면은 제1 영역과 제2 영역이 정의된 기판을 제공하고, 상기 제1 영역에 제1 핀을 형성하고, 상기 제2 영역에 제2 핀을 형성하고, 상기 제1 영역에 상기 제1 핀을 교차하는 제1 게이트 전극을 형성하고, 상기 제2 영역에 상기 제2 핀을 교차하는 제2 게이트 전극을 형성하고, 상기 제1 영역에 상기 제1 게이트 전극 양측의 상기 제1 핀 내에 제1 리세스를 형성하고, 상기 제2 영역에 상기 제2 게이트 전극 양측의 상기 제2 핀 내에 제2 리세스를 형성하되, 상기 제1 리세스의 깊이와 상기 제2 리세스의 깊이가 서로 다르도록 형성할 수 있다.

[0030] 본 발명의 기타 구체적인 사항들은 상세한 설명 및 도면들에 포함되어 있다.

도면의 간단한 설명

[0031] 도 1은 본 발명의 제1 실시예에 따른 집적 회로 장치를 설명하기 위한 사시도이다.

도 2는 도 1의 A - A를 따라서 절단한 단면도이다.

도 3은 도 1의 B - B, C - C를 따라서 절단한 단면도이다.

도 4는 본 발명의 제2 실시예에 따른 집적 회로 장치를 설명하기 위한 단면도이다.

도 5는 본 발명의 제3 실시예에 따른 집적 회로 장치를 설명하기 위한 단면도이다.

도 6는 본 발명의 제4 실시예에 따른 집적 회로 장치를 설명하기 위한 단면도이다.

도 7는 본 발명의 제5 실시예에 따른 집적 회로 장치를 설명하기 위한 단면도이다.

도 8는 본 발명의 제6 실시예에 따른 집적 회로 장치를 설명하기 위한 단면도이다.

도 9a 및 도 9b는 본 발명의 제7 실시예에 따른 집적 회로 장치를 설명하기 위한 회로도와 레이아웃도이다.

도 9c은 도 9b에서, 다수의 핀과 다수의 게이트 전극만을 도시한 것이다.

도 9d는 도 9b의 D-D, E-E 를 따라 절단한 단면도이다.

도 10a은 본 발명의 제8a 실시예에 따른 집적 회로 장치를 설명하기 위한 개념도이다.

도 10b은 본 발명의 제8b 실시예에 따른 집적 회로 장치를 설명하기 위한 개념도이다.

도 10c는 본 발명의 제8c 실시예에 따른 집적 회로 장치를 설명하기 위한 개념도이다.

도 11a는 본 발명의 제9 실시예에 따른 집적 회로 장치를 설명하기 위한 개념도이다.

도 11b는 본 발명의 제10 실시예에 따른 집적 회로 장치를 설명하기 위한 개념도이다.

도 12는 본 발명의 제11 실시예에 따른 집적 회로 장치를 설명하기 위한 분해 사시도이다.

도 13a는 본 발명의 제12a 실시예에 따른 집적 회로 장치를 설명하기 위한 개념도이다.

도 13b는 본 발명의 제12b 실시예에 따른 집적 회로 장치를 설명하기 위한 개념도이다.

도 14 내지 도 26은 본 발명의 제1 실시예에 따른 집적 회로 장치의 제조 방법을 설명하기 위한 중간 단계 도면들이다.

도 27 내지 도 29를 참조하여, 본 발명의 몇몇 실시예에 따른 집적 회로 장치의 제조 방법에서 사용가능한 핀의 제조 방법을 설명하도록 한다.

도 30은 본 발명의 몇몇 실시예에 따른 집적 회로 장치를 포함하는 전자 시스템의 블록도이다.

도 31 및 도 32은 본 발명의 몇몇 실시예들에 따른 집적 회로 장치를 적용할 수 있는 예시적인 반도체 시스템이다.

발명을 실시하기 위한 구체적인 내용

[0032] 본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 본 실시예들은 본 발명의 개시가 완전하도록 하며, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다. 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다.

[0033] 하나의 소자(elements)가 다른 소자와 "접속된(connected to)" 또는 "커플링된(coupled to)" 이라고 지칭되는 것은, 다른 소자와 직접 연결 또는 커플링된 경우 또는 중간에 다른 소자를 개재한 경우를 모두 포함한다. 반면, 하나의 소자가 다른 소자와 "직접 접속된(directly connected to)" 또는 "직접 커플링된(directly coupled to)"으로 지칭되는 것은 중간에 다른 소자를 개재하지 않은 것을 나타낸다. 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다. "및/또는"은 언급된 아이템들의 각각 및 하나 이상의 모든 조합을 포함한다.

[0034] 비록 제1, 제2 등이 다양한 소자, 구성요소 및/또는 섹션들을 서술하기 위해서 사용되나, 이들 소자, 구성요소 및/또는 섹션들은 이들 용어에 의해 제한되지 않음은 물론이다. 이들 용어들은 단지 하나의 소자, 구성요소 또는 섹션들을 다른 소자, 구성요소 또는 섹션들과 구별하기 위하여 사용하는 것이다. 따라서, 이하에서 언급되는 제1 소자, 제1 구성요소 또는 제1 섹션은 본 발명의 기술적 사상 내에서 제2 소자, 제2 구성요소 또는 제2 섹션 일 수도 있음을 물론이다.

[0035] 본 명세서에서 사용된 용어는 실시예들을 설명하기 위한 것이며 본 발명을 제한하고자 하는 것은 아니다. 본 명세서에서, 단수형은 문구에서 특별히 언급하지 않는 한 복수형도 포함한다. 명세서에서 사용되는 "포함한다(comprises)" 및/또는 "포함하는(comprising)"은 언급된 구성요소, 단계, 동작 및/또는 소자는 하나 이상의 다른 구성요소, 단계, 동작 및/또는 소자의 존재 또는 추가를 배제하지 않는다.

[0036] 다른 정의가 없다면, 본 명세서에서 사용되는 모든 용어(기술 및 과학적 용어를 포함)는 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에게 공통적으로 이해될 수 있는 의미로 사용될 수 있을 것이다. 또 일반적으로 사용되는 사전에 정의되어 있는 용어들은 명백하게 특별히 정의되어 있지 않는 한 이상적으로 또는 과도하게 해석되지 않는다.

- [0037] 도 1은 본 발명의 제1 실시예에 따른 집적 회로 장치를 설명하기 위한 사시도이다. 도 2는 도 1의 A - A를 따라서 절단한 단면도이다. 도 3은 도 1의 B - B, C - C를 따라서 절단한 단면도이다.
- [0038] 도 1 내지 도 3을 참조하면, 제1 펀형 트랜지스터(101)는 제1 영역(I)에 형성되고, 제2 펀형 트랜지스터(201)는 제2 영역(II)에 형성된다. 제1 영역(I)과 제2 영역(II)은 서로 이격된 영역일 수도 있고, 서로 연결된 영역일 수도 있다. 예를 들어, 제1 영역(I)은 SRAM 형성 영역이고, 제2 영역(II)은 로직 영역일 수도 있다. 또는, 제1 영역(I)은 SRAM의 풀업(pull up) 트랜지스터가 형성되는 영역이고, 제2 영역(II)은 SRAM의 풀다운(pull down) 트랜지스터 또는 패스(pass) 트랜지스터가 형성되는 영역일 수도 있다.
- [0039] 제1 펀형 트랜지스터(101)의 채널에 인가되는 스트레스와, 제2 펀형 트랜지스터(201)의 채널에 인가되는 스트레스는 서로 다르다. 구체적으로, 채널에 적절한 스트레스를 인가할 경우, 캐리어(carrier)의 이동도가 향상되고 전류량이 증가할 수 있다. 스트레스가 채널에 얼마나 인접하여 가해지는지에 따라, 채널에 가해지는 스트레인(strain)의 양이 달라질 수 있다. 본 발명에서는 스트레스의 크기를 조절하기 위해서, 제1 펀형 트랜지스터(101)의 제1 소오스/드레인(161)의 제1 두께(T1)와, 제2 펀형 트랜지스터(201)의 제2 소오스/드레인(261)의 제2 두께(T2)가 서로 다르도록 조절한다. 이에 대해서 구체적으로 후술한다.
- [0040] 제1 펀형 트랜지스터(101)는 제1 핀(F1), 제1 게이트 전극(147), 제1 리세스(125), 제1 소오스/드레인(161) 등을 포함할 수 있다.
- [0041] 제1 핀(F1)은 제2 방향(Y1)을 따라서 길게 연장될 수 있다. 제1 핀(F1)은 기판(101)의 일부일 수도 있고, 기판(101)으로부터 성장된 에피층(epitaxial layer)을 포함할 수 있다. 소자 분리막(110)은 제1 핀(F1)의 측면을 덮을 수 있다.
- [0042] 제1 게이트 전극(147)은 제1 핀(F1) 상에, 제1 핀(F1)과 교차하도록 형성될 수 있다. 제1 게이트 전극(147)은 제1 방향(X1)으로 연장될 수 있다.
- [0043] 제1 게이트 전극(147)은 금속층(MG1, MG2)을 포함할 수 있다. 제1 게이트 전극(147)은 도시된 것과 같이, 2층 이상의 금속층(MG1, MG2)이 적층될 수 있다. 제1 금속층(MG1)은 일함수 조절을 하고, 제2 금속층(MG2)은 제1 금속층(MG1)에 의해 형성된 공간을 채우는 역할을 한다. 예를 들어, 제1 금속층(MG1)은 TiN, TaN, TiC, 및 TaC 중 적어도 하나를 포함할 수 있다. 또한, 제2 금속층(MG2)은 W 또는 Al을 포함할 수 있다. 또는, 제1 게이트 전극(147)은 금속이 아닌, Si, SiGe 등으로 이루어질 수도 있다. 이러한 제1 게이트 전극(147)은 예를 들어, 리플레이스먼트(replacement) 공정을 통해서 형성될 수 있다(즉, 제1 게이트 전극(147)은 게이트 라스트 구조(gate last structure)일 수 있다.). 또는, 도시하지 않았으나, 예를 들어, 제1 게이트 전극(147)은 게이트 퍼스트 구조(gate first structure)를 가질 수도 있다.
- [0044] 제1 게이트 절연막(145)은 제1 핀(F1)과 제1 게이트 전극(147) 사이에 형성될 수 있다. 도 2에 도시된 것과 같이, 제1 게이트 절연막(145)은 제1 핀(F1)의 상면과 측면의 상부에 형성될 수 있다. 또한, 제1 게이트 절연막(145)은 제1 게이트 전극(147)과 소자 분리막(110) 사이에 배치될 수 있다. 이러한 제1 게이트 절연막(145)은 실리콘 산화막보다 높은 유전 상수를 갖는 고유전체 물질을 포함할 수 있다. 예를 들어, 제1 게이트 절연막(145)은 HfO₂, ZrO₂ 또는 Ta₂O₅을 포함할 수 있다.
- [0045] 제1 리세스(125)는 제1 게이트 전극(147) 양측의 제1 핀(F1) 내에 형성될 수 있다.
- [0046] 제1 소오스/드레인(161)은 제1 리세스(125) 내에 형성된다. 제1 소오스/드레인(161)은 상승된(elevated) 소오스/드레인 형태일 수 있다. 또한, 제1 소오스/드레인(161)과 제1 게이트 전극(147)은 스페이서(151)에 의하여 절연될 수 있다.
- [0047] 제1 펀형 트랜지스터(101)가 PMOS 트랜지스터인 경우, 제1 소오스/드레인(161)은 압축 스트레스 물질을 포함할 수 있다. 예를 들어, 압축 스트레스 물질은 Si에 비해서 격자상수가 큰 물질일 수 있고, 예를 들어 SiGe일 수 있다. 압축 스트레스 물질은 제1 핀(F1)에 압축 스트레스를 가하여 채널 영역의 캐리어의 이동도(mobility)를 향상시킬 수 있다.
- [0048] 이와는 달리, 제1 펀형 트랜지스터(101)가 NMOS 트랜지스터인 경우, 제1 소오스/드레인(161)은 기판(100)과 동일 물질 또는, 인장 스트레스 물질일 수 있다. 예를 들어, 기판(100)이 Si일 때, 제1 소오스/드레인(161)은 Si이거나, Si보다 격자 상수가 작은 물질(예를 들어, SiC)일 수 있다.
- [0049] 스페이서(151)는 질화막, 산질화막 중 적어도 하나를 포함할 수 있다.

- [0050] 기판(101)은 Si, Ge, SiGe, GaP, GaAs, SiC, SiGeC, InAs 및 InP로 이루어지는 군에서 선택되는 하나 이상의 반도체 재료로 이루어질 수 있다. 또한, SOI(silicon on insulator) 기판을 사용하여도 무방하다.
- [0051] 제2 핀형 트랜지스터(201)는 제2 핀(F2), 제2 게이트 전극(247), 제2 리세스(225), 제2 소오스/드레인(261) 등을 포함할 수 있다. 제2 게이트 전극(247)은 제2 핀(F2) 상에 제2 핀(F2)을 교차하고, 제2 리세스(225)는 제2 게이트 전극(247) 양측의 제2 핀(F2) 내에 형성되고, 제2 소오스/드레인(261)은 제2 리세스(225) 내에 형성될 수 있다. 제2 핀형 트랜지스터(201)는 제1 핀형 트랜지스터(101)와 전체적으로 유사하고, 차이 나는 점을 위주로 설명한다.
- [0052] 도 1에서, 설명의 편의를 위해서, 제1 핀(F1)과 제2 핀(F2)이 나란하게 제2 방향(Y1, Y2)을 따라서 길게 연장되는 것으로 도시하였으나, 이에 한정되는 것은 아니다. 예를 들어, 제1 핀(F1)은 제2 방향(Y1)을 따라서 길게 연장되고, 제2 핀(F2)은 제1 방향(X2)을 따라서 길게 연장될 수도 있다.
- [0053] 마찬가지로, 제1 게이트 전극(147)과 제2 게이트 전극(247)이 나란하게 제1 방향(X1, X2)을 따라서 길게 연장되는 것으로 도시하였으나, 이에 한정되는 것은 아니다. 예를 들어, 제1 게이트 전극(147)은 제1 방향(X1)을 따라서 길게 연장되고, 제2 핀(F2)은 제2 방향(Y2)을 따라서 길게 연장될 수도 있다.
- [0054] 제1 핀형 트랜지스터(101)와 제2 핀형 트랜지스터(201)는 동일한 도전형(예를 들어, P형 또는 N형)일 수 있다. 또는, 제1 핀형 트랜지스터(101)는 제1 도전형(예를 들어, P형)이고, 제2 핀형 트랜지스터(201)는 제2 도전형(예를 들어, N형)일 수도 있다.
- [0055] 설명되지 않은 도면부호 201은 기판이고, 245는 제2 게이트 절연막이고, 251은 제2 스페이서이고, MG3은 제3 금 속층이고, MG4는 제4 금 속층이다.
- [0056] 제1 리세스(125)와 제2 리세스(225)를 반도체 물질이 아닌 금속으로 채울 수도 있다. 즉, 제1 소오스/드레인(161)과 제2 소오스/드레인(261)은 Si, SiGe, SiC와 같은 반도체 물질이 아닌, 금속 물질일 수 있다.
- [0057] 도 3을 참조하면, 전술한 것과 같이, 제1 핀형 트랜지스터(101)의 제1 소오스/드레인(161)의 제1 두께(T1)는, 제2 핀형 트랜지스터(201)의 제2 소오스/드레인(261)의 제2 두께(T2)와 서로 다르다. 도시된 것과 같이, 제1 두께(T1)는 제2 두께(T2)보다 얇을 수 있다.
- [0058] 다르게 표현하면, 제1 핀형 트랜지스터(101)의 제1 핀(F1)의 제1 바닥(bottom)(162)으로부터 제1 핀(F1)과 제1 소오스/드레인(161)의 제1 인터페이스(163)까지의 거리가 제1 거리(D1)이고, 제2 핀형 트랜지스터(201)의 제2 핀(F2)의 제2 바닥(262)으로부터 제2 핀(F2)과 제2 소오스/드레인(261)의 제2 인터페이스(263)까지의 거리가 제2 거리(D2)이다. 이러한 제1 거리(D1)와 제2 거리(D2)는 서로 다를 수 있다. 여기서, "a와 b의 거리"는 a와 b의 최단 거리를 의미한다. 도시된 것과 같이, 제2 거리(D2)는 제1 거리(D1)보다 얕을 수 있다.
- [0059] 또 다르게 표현하면, 제1 핀형 트랜지스터(101)의 제1 리세스(125)의 깊이와, 제2 핀형 트랜지스터(201)의 제2 리세스(225)의 깊이가 서로 다를 수 있다. 제1 리세스(125) 내에는 제1 소오스/드레인(161)이 형성되고, 제2 리세스(225) 내에는 제2 소오스/드레인(261)이 형성될 수 있다. 따라서, 제1 리세스(125)의 깊이와 제2 리세스(225)의 깊이를 서로 다르게 형성하면, 제1 소오스/드레인(161)의 제1 두께(T1)와 제2 소오스/드레인(261)의 제2 두께를 서로 다르게 형성할 수 있다.
- [0060] 소자 분리막(110)의 두께는 D1이다(도 2 참조). 도시된 것과 같이, 제1 리세스(125)는 소자 분리막(110)의 상면 까지 형성되고, 제2 리세스(225)는 소자 분리막(110)의 상면보다 더 깊게 형성될 수 있다. 제2 리세스(225)는 제1 리세스(125)보다 더 깊다.
- [0061] 예를 들어, 제1 핀형 트랜지스터(101)와 제2 핀형 트랜지스터(201)가 모두 P형 트랜지스터인 경우, 기판(100)은 Si이고 제1 소오스/드레인(161)과 제2 소오스/드레인(261)은 SiGe일 수 있다. 이러한 경우, SiGe는 Si보다 격자 상수가 크기 때문에, 제1 소오스/드레인(161)은 제1 핀형 트랜지스터(101)의 채널에 압축 스트레스를 주고, 제2 소오스/드레인(261)은 제2 핀형 트랜지스터(201)의 채널에 압축 스트레스를 줄 수 있다. 그런데, 제1 소오스/드레인(161)의 제1 두께(T1)가 제2 소오스/드레인(261)의 제2 두께(T2)보다 얕기 때문에, 제1 소오스/드레인(161)의 볼륨(volume)은 제2 소오스/드레인(261)의 볼륨보다 작다. 따라서, 제1 소오스/드레인(161)은 제1 핀형 트랜지스터(101)의 채널에 주는 압축 스트레스는, 제2 소오스/드레인(261)은 제2 핀형 트랜지스터(201)의 채널에 주는 압축 스트레스보다 작을 수 있다. 따라서, 제1 핀형 트랜지스터(101)의 구동 전류량보다, 제2 핀형 트랜지스터(201)의 구동 전류량이 클 수 있다.
- [0062] 핀의 폭이 굉장히 얕을 경우(예를 들어, 20nm 이하인 경우), 핀을 형성하기 위해서 일반적인 포토 공정을 이용

하지 못할 수 있다. 예를 들어, 일정한 폭을 갖는 핀이 반복적으로 형성되는 SIT(Sidewall Image Transfer) 공정을 사용할 수 있다. 이러한 경우, 유효 채널폭(effective channel width)의 조절이 어렵다. 즉, 일반적인 플래너 트랜지스터(planar transistor)의 경우에는 포토 공정을 이용하여 채널폭을 쉽게 변경하여 전류량을 쉽게 조절할 수 있다. 하지만, SIT 공정을 통해서 생성된 핀을 이용하는 핀형 트랜지스터의 경우, 채널폭이 고정되기 때문에 전류량을 조절하기 어려웠다.

[0063] 그런데, 본 발명의 제1 실시예에 따른 집적 회로 장치에서, 소오스/드레인(161, 261)의 두께(T1, T2)를 조절함으로써, 핀형 트랜지스터(101, 201)의 전류량을 쉽게 조절할 수 있다.

[0064] 도 4는 본 발명의 제2 실시예에 따른 집적 회로 장치를 설명하기 위한 단면도이다. 설명의 편의상, 본 발명의 제1 실시예에 따른 집적 회로 장치와 다른점을 위주로 설명한다.

[0065] 도 4를 참조하면, 소자 분리막(110)의 두께가 D1이라고 할 때(도 2 참조), 제1 리세스(125)는 소자 분리막(110)의 상면보다 위까지 형성되고, 제2 리세스(225)는 소자 분리막(110)의 상면보다 더 깊게 형성될 수 있다. 제2 리세스(225)는 제1 리세스(125)보다 더 깊다.

[0066] 제1 핀형 트랜지스터(102)의 제1 소오스/드레인(161)의 제3 두께(T3)는, 제2 핀형 트랜지스터(202)의 제2 소오스/드레인(261)의 제2 두께(T2)와 서로 다르다. 제3 두께(T3)는 전술한 제1 두께(T1)(도 3 참조)보다 더 얇을 수 있다.

[0067] 제1 핀형 트랜지스터(102)의 제1 핀(F1)의 제1 바닥(162)으로부터 제1 핀(F1)과 제1 소오스/드레인(161)의 제1 인터페이스(163)까지의 거리가 제3 거리(D3)이고, 제2 핀형 트랜지스터(202)의 제2 핀(F2)의 제2 바닥(262)으로부터 제2 핀(F2)과 제2 소오스/드레인(261)의 제2 인터페이스(263)까지의 거리가 제2 거리(D2)이다. 이러한 제3 거리(D3)와 제2 거리(D2)는 서로 다를 수 있다. 제3 거리(D3)는 전술한 제1 거리(D1)(도 3 참조)보다 더 길 수 있다.

[0068] 도 5는 본 발명의 제3 실시예에 따른 집적 회로 장치를 설명하기 위한 단면도이다. 설명의 편의상, 본 발명의 제1 실시예에 따른 집적 회로 장치와 다른점을 위주로 설명한다.

[0069] 도 5를 참조하면, 소자 분리막(110)의 두께가 D1이라고 할 때(도 2 참조), 제1 리세스(125)와 제2 리세스(225)는 모두 소자 분리막(110)의 상면보다 더 깊게 형성될 수 있다. 또한, 제2 리세스(225)는 제1 리세스(125)보다 더 깊다.

[0070] 제4 두께(T4)와 제2 두께(T2)는 서로 다를 수 있다. 제4 두께(T4)는 전술한 제1 두께(T1)(도 3 참조)보다 더 두꺼울 수 있다. 하지만, 제4 두께(T4)는 제2 두께(T2)보다 얇다.

[0071] 제4 거리(D4)와 제2 거리(D2)는 서로 다를 수 있다. 제4 거리(D4)는 전술한 제1 거리(D1)(도 3 참조)보다 더 얕을 수 있다. 또한, 제4 거리(D4)는 제2 거리(D2)보다 길 수 있다.

[0072] 도 6은 본 발명의 제4 실시예에 따른 집적 회로 장치를 설명하기 위한 단면도이다. 설명의 편의상, 본 발명의 제1 실시예에 따른 집적 회로 장치와 다른점을 위주로 설명한다.

[0073] 도 6을 참조하면, 제1 핀형 트랜지스터(104) 상에는 제1 스트레스막(169)이 형성되고, 제2 핀형 트랜지스터(204) 상에는 제2 스트레스막(269)을 형성될 수 있다.

[0074] 제1 스트레스막(169) 및 제2 스트레스막(269)은 예를 들어, SiN막일 수 있다. SiN막이 인장 스트레스를 주게 되는지, 압축 스트레스를 주게 되는지는, SiN막 내의 N-H 본딩(bonding)과 Si-H 본딩의 비율에 따라 결정된다. 예를 들어, N-H본딩/Si-H본딩의 비율이 약 1~5이면 인장 스트레스를 주게 되고, 약 5~20이면 압축 스트레스를 줄 수 있다.

[0075] 예를 들어, 제1 핀형 트랜지스터(104)와 제2 핀형 트랜지스터(204)가 동일한 PMOS 트랜지스터인 경우, 제2 핀형 트랜지스터(202)의 구동 전류량이 제1 핀형 트랜지스터(102)의 구동 전류량보다 클 수 있다. 제1 스트레스막(169) 및 제2 스트레스막(269)의 영향으로, 제1 핀형 트랜지스터(102)와 제2 핀형 트랜지스터(202)의 전류량도 증가시킬 수 있다.

[0076] 도 7은 본 발명의 제5 실시예에 따른 집적 회로 장치를 설명하기 위한 단면도이다. 설명의 편의상, 본 발명의 제1 실시예에 따른 집적 회로 장치와 다른점을 위주로 설명한다.

[0077] 도 7을 참조하면, 제1 스페이서(151)가 제1 핀형 트랜지스터(105)의 채널에 주는 스트레스와, 제2 스페이서

(251)가 제2 펀형 트랜지스터(205)의 채널에 주는 스트레스는 서로 다를 수 있다. 예를 들어, 제1 스페이서(151)와 제2 스페이서(251)에서 사용되는 물질은 서로 다를 수 있다. 예를 들어, 제1 스페이서(151)의 절연막(151a, 151b)과, 제2 스페이서(251)의 절연막(251b)는 채널에 스트레스를 주는 물질이 아닐 수 있다. 하지만, 제2 스페이서(251d)는 제2 펀형 트랜지스터(203a)의 채널에 스트레스를 인가하는 물질일 수 있다. 그 결과, 제1 펀형 트랜지스터(105)의 구동 전류량과, 제2 펀형 트랜지스터(205)의 구동 전류량을 다르게 조절할 수 있다.

[0078] 도 8는 본 발명의 제6 실시예에 따른 집적 회로 장치를 설명하기 위한 단면도이다. 설명의 편의상, 본 발명의 제1 실시예에 따른 집적 회로 장치와 다른점을 위주로 설명한다.

[0079] 도 8을 참조하면, 제1 펀형 트랜지스터(106)와 제2 펀형 트랜지스터(206)가 서로 동일한 도전형의 트랜지스터이고, 제1 리세스(125) 내에 형성된 제1 소오스/드레인(161)의 불순물 농도와, 제2 리세스(225) 내에 형성된 제2 소오스/드레인(261)의 불순물 농도가 서로 다르다. 예를 들어, 제2 소오스/드레인(261)의 불순물 농도가 제1 소오스/드레인(161)의 불순물 농도보다 높은 경우, 제2 소오스/드레인(261)의 저항이 제1 소오스/드레인(161)의 저항보다 작을 수 있다. 따라서, 제2 펀형 트랜지스터(206)의 구동 전류량이 제1 펀형 트랜지스터(106)의 구동 전류량보다 많을 수 있다. 즉, 제1 및 제2 소오스/드레인(161, 261)의 불순물 농도를 조절하여, 구동 전류량을 조절할 수도 있다.

[0080] 도 9a 및 도 9b는 본 발명의 제7 실시예에 따른 집적 회로 장치를 설명하기 위한 회로도와 레이아웃도이고, 도 9c은 도 9b에서, 다수의 펀과 다수의 게이트 전극만을 도시한 것이고, 도 9d는 도 9b의 D-D, E-E 를 따라 절단한 단면도이다. 전술한 본 발명의 몇몇 실시예에 따른 집적 회로 장치들은 펀형 트랜지스터를 사용하는 모든 장치에 적용가능하나, 도 9a 내지 도 9d는 예시적으로 SRAM을 도시한다.

[0081] 우선, 도 9a를 참조하면, 본 발명의 제7 실시예에 따른 집적 회로 장치는 전원 노드(Vcc)와 접지 노드(Vss) 사이에 병렬 연결된 한 쌍의 인버터(inverter)(INV1, INV2)와, 각각의 인버터(INV1, INV2)의 출력 노드에 연결된 제1 패스 트랜지스터(PS1) 및 제2 패스 트랜지스터(PS2)를 포함할 수 있다. 제1 패스 트랜지스터(PS1)와 제2 패스 트랜지스터(PS2)는 각각 비트 라인(BL)과 상보 비트 라인(BL/)과 연결될 수 있다. 제1 패스 트랜지스터(PS1)와 제2 패스 트랜지스터(PS2)의 게이트는 워드 라인(WL)과 연결될 수 있다.

[0082] 제1 인버터(INV1)는 직렬로 연결된 제1 풀업 트랜지스터(PU1)와 제1 풀다운 트랜지스터(PD1)를 포함하고, 제2 인버터(INV2)는 직렬로 연결된 제2 풀업 트랜지스터(PU2)와 제2 풀다운 트랜지스터(PD2)를 포함한다. 제1 풀업 트랜지스터(PU1)와 제2 풀업 트랜지스터(PU2)은 PMOS 트랜지스터이고, 제1 풀다운 트랜지스터(PD1)와 제2 풀다운 트랜지스터(PD2)는 NMOS 트랜지스터일 수 있다.

[0083] 또한, 제1 인버터(INV1) 및 제2 인버터(INV2)는 하나의 래치회로(latch circuit)를 구성하기 위하여 제1 인버터(INV1)의 입력 노드가 제2 인버터(INV2)의 출력 노드와 연결되고, 제2 인버터(INV2)의 입력 노드는 제1 인버터(INV1)의 출력 노드와 연결된다.

[0084] 여기서, 도 9b 내지 도 9d를 참조하면, 서로 이격된 제1 펀(310), 제2 펀(320), 제3 펀(330), 제4 펀(340)은 일 방향(예를 들어, 도 9의 상하방향)으로 길게 연장되도록 형성된다. 제2 펀(320), 제3 펀(330)은 제1 펀(310), 제4 펀(340)보다 연장 길이가 짧을 수 있다.

[0085] 또한, 제1 게이트 전극(351), 제2 게이트 전극(352), 제3 게이트 전극(353), 제4 게이트 전극(354)은 타 방향(예를 들어, 도 9의 좌우 방향)으로 길게 연장되고, 제1 펀(310) 내지 제4 펀(340)을 교차하도록 형성된다. 구체적으로, 제1 게이트 전극(351)은 제1 펀(310)과 제2 펀(320)을 완전히 교차하고, 제3 펀(330)의 종단과 일부 오버랩될 수 있다. 제3 게이트 전극(353)은 제4 펀(340)과 제3 펀(330)을 완전히 교차하고, 제2 펀(320)의 종단과 일부 오버랩될 수 있다. 제2 게이트 전극(352), 제4 게이트 전극(354)은 각각 제1 펀(310), 제4 펀(340)을 교차하도록 형성된다.

[0086] 도시된 것과 같이, 제1 풀업 트랜지스터(PU1)는 제1 게이트 전극(351)과 제2 펀(F2)이 교차되는 영역 주변에 정의되고, 제1 풀다운 트랜지스터(PD1)는 제1 게이트 전극(351)과 제1 펀(F1)이 교차되는 영역 주변에 정의되고, 제1 패스 트랜지스터(PS1)는 제2 게이트 전극(352)과 제1 펀(F1)이 교차되는 영역 주변에 정의된다. 제2 풀업 트랜지스터(PU2)는 제3 게이트 전극(353)과 제3 펀(330)이 교차되는 영역 주변에 정의되고, 제2 풀다운 트랜지스터(PD2)는 제3 게이트 전극(353)과 제4 펀(340)이 교차되는 영역 주변에 정의되고, 제2 패스 트랜지스터(PS2)는 제4 게이트 전극(354)과 제4 펀(340)이 교차되는 영역 주변에 정의된다.

[0087] 명확하게 도시하지 않았으나, 제1 내지 제4 게이트 전극(351~354)과, 제1 내지 제4 펀(310, 320, 330, 340)이

교차되는 영역의 양측에는 리세스가 형성되고, 리세스 내에 소오스/드레인이 형성될 수 있다.

[0088] 또한, 다수의 컨택(350)이 형성될 수 있다.

[0089] 뿐만 아니라, 공유 컨택(shared contact)(361)은 제2 핀(320), 제3 게이트 라인(353)과, 배선(371)을 동시에 연결한다. 공유 컨택(362)은 제3 핀(330), 제1 게이트 라인(351)과, 배선(372)을 동시에 연결한다.

[0090] 제1 풀업 트랜지스터(PU1), 제1 풀다운 트랜지스터(PD1), 제1 패스 트랜지스터(PS1), 제2 풀업 트랜지스터(PU2), 제2 풀다운 트랜지스터(PD2), 제2 패스 트랜지스터(PS2)는 모두 핀형 트랜지스터로 구현될 수 있으며, 도 1 내지 도 8를 이용하여 전술한 구성을 가질 수 있다.

[0091] 예를 들어, 도 9d와 같은 구성을 가질 수 있다. 제1 풀업 트랜지스터(PU1)는 제2 핀(320)과, 제2 핀(320)을 교차하는 제1 게이트 전극(351)과, 제1 게이트 전극(351)의 양측의 제2 핀(320) 내에 형성된 제1 리세스(321a), 제1 리세스(321a) 내에 형성된 제1 소오스/드레인(321)을 포함할 수 있다. 제1 풀다운 트랜지스터(PD1)는 제1 핀(310)과, 제1 핀(310)을 교차하는 제1 게이트 전극(351)과, 제1 게이트 전극(351)의 양측의 제1 핀(310) 내에 형성된 제2 리세스(311a), 제2 리세스(311a) 내에 형성된 제2 소오스/드레인(311)을 포함할 수 있다.

[0092] 이와 같은 경우, 제1 풀업 트랜지스터(PU1)의 제1 소오스/드레인(321)의 두께는, 제1 풀다운 트랜지스터(PD1)의 제2 소오스/드레인(311)의 두께가 서로 다를 수 있다. 예를 들어, 전류 소모를 줄이기 위해서, 제1 풀업 트랜지스터(PU1)는 전류량이 적게 할 수 있다. 따라서, 제1 풀업 트랜지스터(PU1)의 제1 소오스/드레인(321)의 두께는, 제1 풀다운 트랜지스터(PD1)의 제2 소오스/드레인(311)의 두께보다 얇을 수 있다.

[0093] 제1 패스 트랜지스터(PS1)는 제1 핀(310)과, 제1 핀(310)을 교차하는 제2 게이트 전극(352)과, 제2 게이트 전극(352)의 양측의 제1 핀(310) 내에 형성된 제3 리세스, 제3 리세스 내에 형성된 제3 소오스/드레인을 포함할 수 있다. 도시된 것과 같이, 제2 소오스/드레인과 제3 소오스/드레인은 1개의 노드를 서로 공유한다. 제1 풀업 트랜지스터(PU1)의 제1 소오스/드레인(321)의 두께는, 제1 패스 트랜지스터(PS1)의 제3 소오스/드레인 사이의 두께는 서로 다를 수 있다.

[0094] 한편, 제1 영역(I)에 있는 제1 풀업 트랜지스터(PU1), 제2 풀업 트랜지스터(PU2)의 리세스를 형성하는 것과, 제2 영역(II)에 있는 제1 풀다운 트랜지스터(PD1), 제2 풀다운 트랜지스터(PD2), 제1 패스 트랜지스터(PS1), 제2 패스 트랜지스터(PS2)의 리세스를 형성하는 것을 별도의 공정으로 진행할 수도 있다.

[0095] 이와 같이 함으로써, 제1 풀업 트랜지스터(PU1)(및/또는 제2 풀업 트랜지스터(PU2))의 구동 전류량을 다른 트랜지스터(PD1, PD2, PS1, PS2)에 비해서 상대적으로 줄일 수 있다.

[0096] 도 10a은 본 발명의 제8a 실시예에 따른 집적 회로 장치를 설명하기 위한 개념도이다

[0097] 도 10a을 참조하면, 본 발명의 제8a 실시예에 따른 집적 회로 장치에서, 로직 영역(410)에 핀형 트랜지스터(411)가 배치되고, SRAM 형성 영역(420)에 핀형 트랜지스터(421)가 배치될 수 있다.

[0098] 도 1 내지 도 8을 이용하여 설명한 것과 유사하게, 핀형 트랜지스터(411)은, 제1 핀과, 제1 핀 내에 형성된 제1 리세스와, 제1 리세스 내에 형성된 제1 소오스/드레인을 포함하고, 제2 핀형 트랜지스터(421)은 제2 핀과, 제2 핀 내에 형성된 제2 리세스와, 제2 리세스 내에 형성된 제2 소오스/드레인을 포함한다. 여기서, 제1 리세스의 깊이와, 제2 리세스의 깊이는 서로 다를 수 있다. 즉, 제1 소오스/드레인의 두께와 제2 소오스/드레인의 두께는 서로 다를 수 있다. 또는, 핀형 트랜지스터(411)의 채널이 받는 스트레스와, 핀형 트랜지스터(421)의 채널이 받는 스트레스를 다르게 조절할 수 있다.

[0099] 특히, 제1 리세스의 깊이가 제2 리세스의 깊이가 더 깊을 수 있다. 왜냐하면, 로직 영역(410)에 형성된 핀형 트랜지스터(411)가, SRAM 형성 영역(420)에 형성된 핀형 트랜지스터(421)보다 더 높은 성능(즉, 속도)가 필요할 수 있기 때문이다.

[0100] 도 10a에서는, 예시적으로 로직 영역(410)과 SRAM 형성 영역(420)을 도시하였으나, 이에 한정되는 것은 아니다. 예를 들어, 로직 영역(410)과 다른 메모리가 형성되는 영역(예를 들어, DRAM, MRAM, RRAM, PRAM 등)에도 본 발명을 적용할 수 있다.

[0101] 도 10b은 본 발명의 제8b 실시예에 따른 집적 회로 장치를 설명하기 위한 개념도이다.

[0102] 도 10b를 참조하면, 본 발명의 제8b 실시예에 따른 집적 회로 장치에서, 로직 영역(410) 내에 서로 다른 핀형 트랜지스터(412, 422)가 배치될 수 있다.

- [0103] 즉, 편형 트랜지스터(412)의 소오스/드레인의 두께와, 편형 트랜지스터(422)의 소오스/드레인의 두께를 다르게 할 수 있다. 또는, 편형 트랜지스터(412)의 채널이 받는 스트레스와, 편형 트랜지스터(422)의 채널이 받는 스트레스를 다르게 조절할 수 있다.
- [0104] 도 10c는 본 발명의 제8c 실시예에 따른 집적 회로 장치를 설명하기 위한 개념도이다.
- [0105] 도 10c를 참조하면, 본 발명의 제8c 실시예에 따른 집적 회로 장치에서, 기판에 다수의 블록(예를 들어 BLK1, BLK2)이 정의된다. 여기서, 다수의 블록(BLK1, BLK2)마다 서로 다른 편형 트랜지스터가 배치될 수 있다. 도시된 것과 같이, 각 블록(BLK1, BLK2)에는 적어도 하나의 편(F5, F6)이 배치될 수 있다. 블록(BLK1)내에 배치된 편형 트랜지스터의 소오스/드레인의 두께와, 블록(BLK2) 내에 배치된 편형 트랜지스터의 소오스/드레인의 두께를 다르게 할 수 있다. 또는, 블록(BLK1)내에 배치된 편형 트랜지스터의 채널이 받는 스트레스와, 블록(BLK2)내에 배치된 편형 트랜지스터의 채널이 받는 스트레스를 다르게 조절할 수 있다.
- [0106] 도 11a는 본 발명의 제9 실시예에 따른 집적 회로 장치를 설명하기 위한 개념도이다. 설명의 편의상, 본 발명의 제1 실시예에 따른 집적 회로 장치와 다른점을 위주로 설명한다.
- [0107] 도 11a를 참조하면, 본 발명의 제9 실시예에 따른 집적 회로 장치에서, 사용하는 편(F11, F12, F21, F22)의 개수를 조절하여 편형 트랜지스터(107, 107a)의 전류량을 조절할 수 있다.
- [0108] 편형 트랜지스터(107)은 서로 이격되고 평행하게 배치된 다수의 제1 편(F11, F12)을 포함한다. 제1 게이트 전극(147)은 다수의 제1 편(F1)을 교차하도록 배치될 수 있다. 편형 트랜지스터(107a)은 서로 이격되고 평행하게 배치된 다수의 제2 편(F21, F22)을 포함한다. 제2 게이트 전극(247)은 다수의 제2 편(F2)을 교차하도록 배치될 수 있다.
- [0109] 편형 트랜지스터(107)의 소오스/드레인의 두께는, 편형 트랜지스터(107a)의 소오스/드레인의 두께는 서로 다를 수 있다.
- [0110] 편형 트랜지스터(107)이 사용하는 편(F11, F12)의 개수가 증가하면, 전류량을 증가시킬 수 있다. 즉, 1개의 편을 사용할 때 편형 트랜지스터의 전류량이 j 라면, 2개의 편(F11, F12)을 사용하면 편형 트랜지스터의 전류량은 $2j$ 가 된다. 또한, 전술한 것과 같이, 편형 트랜지스터(107a)의 전류량은, 편형 트랜지스터(107)의 전류량과 다소 다르도록 조절할 수 있다. 예를 들어, 편형 트랜지스터(107a)의 전류량은 $2j+a$ 또는 $2j-a$ 정도가 될 수 있다.
- [0111] 따라서, 본 발명의 제9 실시예에 따르면, 다양한 종류의 전류량을 갖는 편형 트랜지스터(107, 107a)의 구현이 가능하다.
- [0112] 도 11b는 본 발명의 제10 실시예에 따른 집적 회로 장치를 설명하기 위한 개념도이다. 설명의 편의상, 본 발명의 제9 실시예에 따른 집적 회로 장치와 다른점을 위주로 설명한다.
- [0113] 도 11b를 참조하면, 본 발명의 제10 실시예에 따른 집적 회로 장치는, 사용하는 편(F1a, F1b, F2a, F2b, F3a, F3b, F4a, F4b)의 개수를 조절하여 편형 트랜지스터(109, 108, 107, 101)의 전류량을 조절할 수 있다.
- [0114] 편형 트랜지스터(109, 109a)는 4개의 편(F1a, F2a)를 사용한다. 1개의 편을 사용할 때 편형 트랜지스터의 전류량이 j 라면, 4개의 편(F1a)을 사용하는 편형 트랜지스터(109)의 전류량은 $4j$ 가 된다. 또한, 편형 트랜지스터(109a)의 $4j+a$ 또는 $4j-a$ 정도가 될 수 있다.
- [0115] 편형 트랜지스터(108, 108a)는 3개의 편(F1b, F2b)를 사용한다. 3개의 편(F1b)을 사용하는 편형 트랜지스터(108)의 전류량은 $3j$ 가 된다. 또한, 편형 트랜지스터(108a)의 $3j+a$ 또는 $3j-a$ 정도가 될 수 있다.
- [0116] 편형 트랜지스터(107, 107a)는 2개의 편(F1c, F2c)를 사용한다. 2개의 편(F2b)을 사용하는 편형 트랜지스터(107)의 전류량은 $2j$ 가 된다. 또한, 편형 트랜지스터(107a)의 $2j+a$ 또는 $2j-a$ 정도가 될 수 있다.
- [0117] 편형 트랜지스터(101, 101a)는 1개의 편(F1d, F2d)를 사용한다. 1개의 편(F1d)을 사용하는 편형 트랜지스터(101)의 전류량은 j 가 된다. 또한, 편형 트랜지스터(101a)의 $j+a$ 또는 $j-a$ 정도가 될 수 있다.
- [0118] 따라서, 본 발명의 제10 실시예에 따르면, 다양한 종류의 전류량을 갖는 편형 트랜지스터(109, 109a, 108, 108a, 107, 107a, 101, 101a)의 구현이 가능하다.
- [0119] 도 12는 본 발명의 제11 실시예에 따른 집적 회로 장치를 설명하기 위한 분해 사시도이다. 설명의 편의상, 본 발명의 제1 실시예에 따른 집적 회로 장치와 다른점을 위주로 설명한다.

- [0120] 도 12를 참조하면, 본 발명의 제11 실시예에 따른 집적 회로 장치는, 제1 나노와이어 트랜지스터(1101), 제2 나노와이어 트랜지스터(1201)을 포함한다. 나노와이어 트랜지스터는 게이트 올 어라운드 소자(Gate All Around Device)라고 불리기도 한다. 제1 및 제2 나노와이어 트랜지스터(1101, 1201)은 펈(도 1 내지 도 3의 F1, F2 참조) 대신 나노와이어(n1, n2)를 사용한다.
- [0121] 구체적으로, 제1 나노와이어 트랜지스터(1101)는 제1 나노와이어(n1), 제1 나노와이어(n1) 상에 제1 나노와이어(n1)을 교차하는 제1 게이트 전극(147), 제1 게이트 전극(147)의 양측에 제1 나노와이어(n1) 내에 형성된 제1 소오스/드레인(161) 등을 포함할 수 있다.
- [0122] 제2 나노와이어 트랜지스터(1201)는 제2 나노와이어(n2), 제2 나노와이어(n2) 상에 제2 나노와이어(n2)을 교차하는 제2 게이트 전극(247), 제2 게이트 전극(247)의 양측에 제2 나노와이어(n2) 내에 형성된 제2 소오스/드레인(261) 등을 포함할 수 있다.
- [0123] 제1 및 제2 나노와이어(n1, n2)의 단면을 원형으로 도시하였으나, 이에 한정되지 않는다. 예를 들어, 제1 및 제2 나노와이어(n1, n2)의 단면이 타원형, 직사각형, 정사각형 등의 형태일 수도 있다.
- [0124] 제1 나노와이어 트랜지스터(1101)의 제1 소오스/드레인(161)의 두께는 제2 나노와이어 트랜지스터(1201)의 제2 소오스/드레인(261)의 두께와 서로 다를 수 있다.
- [0125] 도 13a는 본 발명의 제12a 실시예에 따른 집적 회로 장치를 설명하기 위한 개념도이다. 설명의 편의상, 본 발명의 제11 실시예에 따른 집적 회로 장치와 다른점을 위주로 설명한다.
- [0126] 도 13a를 참조하면, 본 발명의 제12a 실시예에 따른 집적 회로 장치에서, 제1 나노와이어 트랜지스터(1102)와 제2 나노와이어 트랜지스터(1202)는 수직으로 적층된 다수의 나노와이어(n11, n12, n21, n22)를 포함한다. 도면에서는 예시적으로, 2개의 나노와이어가 적층된 구조를 도시하였으나, 이에 한정되지 않는다. 예를 들어, 3개 이상의 나노와이어가 적층되어 있어도 무방하다.
- [0127] 구체적으로, 제1 나노와이어 트랜지스터(1102)는 수직으로 적층된 다수의 제1 나노와이어(n11, n12)와, 다수의 제1 나노와이어(n11, n12) 중 n개(단, n은 자연수)(예를 들어, 1개)와 전기적으로 연결된 제1 소오스/드레인(161)을 포함한다. 즉, 1개의 제1 나노와이어(n12)만 사용될 수 있다.
- [0128] 제2 나노와이어 트랜지스터(1202)는 수직으로 적층된 다수의 제2 나노와이어(n21, n22)와, 다수의 제2 나노와이어(n21, n22) 중 m개(단, m은 n과 다른 자연수)(예를 들어, 2개)와 전기적으로 연결된 제2 소오스/드레인(261)을 포함한다. 즉, 2개의 제2 나노와이어(n21, n22)가 사용될 수 있다.
- [0129] 사용하는 나노와이어(n11, n12, n21, n22)의 개수가 다르게 하여, 구동 전류량을 조절할 수 있다. 예를 들어, 1개의 나노와이어를 사용하는 제1 나노와이어 트랜지스터(1102)의 전류량이 j라면, 2개의 나노와이어를 사용하는 제2 나노와이어 트랜지스터(1202)의 전류량은 2j가 된다.
- [0130] 도 13b는 본 발명의 제12b 실시예에 따른 집적 회로 장치를 설명하기 위한 개념도이다. 설명의 편의상, 본 발명의 제12a 실시예에 따른 집적 회로 장치와 다른점을 위주로 설명한다.
- [0131] 도 13b를 참조하면, 제1 나노와이어 트랜지스터(1103)와 제2 나노와이어 트랜지스터(1203)는 수직으로 적층된 3개 이상의 나노와이어(n11~n14, n21~n24)를 포함한다. 제1 나노와이어 트랜지스터(1103)가 포함하는 제1 나노와이어(n11~n14)의 개수와, 제2 나노와이어 트랜지스터(1203)가 포함하는 제2 나노와이어(n21~n24)의 개수는 서로 같을 수 있다.
- [0132] 구체적으로, 제1 나노와이어 트랜지스터(1103)는 수직으로 적층된 다수의 제1 나노와이어(n11~n14)와, 다수의 제1 나노와이어(n11~n14) 중 n개(예를 들어, 2개)(n13, n14)와 전기적으로 연결된 제1 소오스/드레인(161)을 포함한다. 즉, 2개의 제1 나노와이어(n13, n14)만 사용될 수 있다.
- [0133] 특히, 사용되는 n개의 제1 나노와이어(n11~n14)는, 가장 위에 배치된 제1 나노와이어(n14)부터 순차적으로 n개이다. 도 13b에서는, 가장 위에서부터 2개가 사용되고, n14, n13이 사용된다.
- [0134] 제2 나노와이어 트랜지스터(1203)는 수직으로 적층된 다수의 제2 나노와이어(n21~n24)와, 다수의 제2 나노와이어(n21~n24) 중 m개(예를 들어, 3개)(n22, n23, n24)와 전기적으로 연결된 제2 소오스/드레인(261)을 포함한다. 즉, 3개의 제2 나노와이어(n22, n23, n24)가 사용될 수 있다.
- [0135] 특히, 사용되는 m개의 제2 나노와이어(n21~n24)는, 가장 위에 배치된 제2 나노와이어(n24)부터 순차적으로 m개

일 수 있다. 도 13b에서는, 가장 위에서부터 3개가 사용되고, n24, n23, n22가 사용된다.

[0136] 제1 나노와이어 트랜지스터(1103)가 포함하는 제1 나노와이어(n11~n14)의 개수와, 제2 나노와이어 트랜지스터(1203)가 포함하는 제2 나노와이어(n21~n24)의 개수는 서로 같을 수 있다. 도 13b에서, 적층된 제1 나노와이어(n11~n14)와 제2 나노와이어(n21~n24)는 4개씩이다.

[0137] 사용하는 나노와이어(n11~n14, n21~n24)의 개수가 다르게 하여, 구동 전류량을 조절할 수 있다. 2개의 나노와이어를 사용하는 제1 나노와이어 트랜지스터(1102)의 전류량이 2j라면, 3개의 나노와이어를 사용하는 제2 나노와이어 트랜지스터(1202)의 전류량은 3j가 된다.

[0138] 본 발명의 제12a 실시예 및 제12b 실시예에 따른 집적 회로 장치에서, 제1 소오스/드레인(161) 및 제2 소오스/드레인(261)을 형성할 때, 리세스의 깊이를 다르게 하여 노출시키는 나노와이어의 개수를 다르게 하고, 이에 따라 사용하는 나노와이어의 개수를 조절할 수 있다.

[0139] 이하에서, 도 14 내지 도 26, 도 1 내지 도 3을 참조하면, 본 발명의 제1 실시예에 따른 집적 회로 장치의 제조 방법을 설명하도록 한다.

[0140] 도 14 내지 도 26은 본 발명의 제1 실시예에 따른 집적 회로 장치의 제조 방법을 설명하기 위한 중간 단계 도면들이다. 도 14 내지 도 20에는 제1 펀형 트랜지스터(도 1의 101 참조)에 대해서만 도시하였다. 도 14 내지 도 20의 과정에서, 제1 펀형 트랜지스터(101)와 제2 펀형 트랜지스터(도 1의 201 참조)의 제조 과정이 실질적으로 동일하기 때문이다. 도 21 내지 도 26에는 제1 펀형 트랜지스터(101)와 제2 펀형 트랜지스터(201)를 별도로 도시하였다. 도 22, 도 25는 각각 도 21, 도 24의 A - A를 따라서 절단한 단면도이다. 도 23, 도 26은 각각 도 24의 B - B, C - C를 따라서 절단한 단면도이다.

[0141] 도 14를 참조하면, 제1 영역(I)에 제1 펀(F1)을 형성한다.

[0142] 구체적으로, 기판(100) 상에 마스크 패턴(2103)을 형성한 후, 식각 공정을 진행하여 제1 펀(F1)을 형성한다. 제1 펀(F1)은 제2 방향(Y1)을 따라 연장될 수 있다. 제1 펀(F1) 주변에는 트렌치(121)가 형성된다. 마스크 패턴(2103)은 실리콘 산화막, 실리콘 질화막, 실리콘 산화 질화막 중 적어도 하나를 포함하는 물질로 형성될 수 있다.

[0143] 도 15를 참조하면, 트렌치(121)를 채우는 소자 분리막(110)을 형성한다. 소자 분리막(110)은 실리콘 산화막, 실리콘 질화막, 실리콘 산화 질화막 중 적어도 하나를 포함하는 물질로 형성될 수 있다.

[0144] 도 16을 참조하면, 소자 분리막(110)의 상부를 리세스하여, 제1 펀(F1)의 상부를 노출시킨다. 리세스 공정은 선택적 식각 공정을 포함할 수 있다. 마스크 패턴(2103)은 소자 분리막(110)의 형성 이전에 제거되거나, 리세스 공정 이후에 제거될 수 있다.

[0145] 한편, 소자 분리막(110) 위로 돌출된 제1 펀(F1)의 일부는, 에피 공정에 의하여 형성될 수도 있다. 구체적으로, 소자 분리막(110) 형성 후, 리세스 공정없이 소자 분리막(110)에 의하여 노출된 제1 펀(F1)의 상면을 씌드로 하는 에피 공정에 의하여 제1 펀(F1)의 일부가 형성될 수 있다.

[0146] 또한, 제1 펀(F1)에 문턱 전압 조절용 도핑이 수행될 수 있다. 펀형 트랜지스터(101)가 NMOS 트랜지스터인 경우, 불순물은 봉소(B)일 수 있다. 펀형 트랜지스터(101)가 PMOS 트랜지스터인 경우, 불순물은 인(P) 또는 비소(As)일 수 있다.

[0147] 도 17을 참조하면, 마스크 패턴(2104)를 이용하여 식각 공정을 진행하여, 제1 펀(F1)과 교차하여 제1 방향(X1)으로 연장되는 더미 게이트 절연막(141), 제1 더미 게이트 전극(143)을 형성한다.

[0148] 예를 들어, 더미 게이트 절연막(141)은 실리콘 산화막일 수 있고, 제1 더미 게이트 전극(143)은 폴리 실리콘일 수 있다.

[0149] 도 18을 참조하면, 제1 더미 게이트 전극(143)의 측벽 및 제1 펀(F1)의 측벽에 제1 스페이서(151)를 형성한다.

[0150] 예를 들어, 제1 더미 게이트 전극(143)이 형성된 결과물 상에 절연막을 형성한 후 에치백 공정을 진행하여 제1 스페이서(151)를 형성할 수 있다. 제1 스페이서(151)는 마스크 패턴(2104)의 상면, 제1 펀(F1)의 상면을 노출할 수 있다. 제1 스페이서(151)는 실리콘 질화막 또는 실리콘 산질화막일 수 있다.

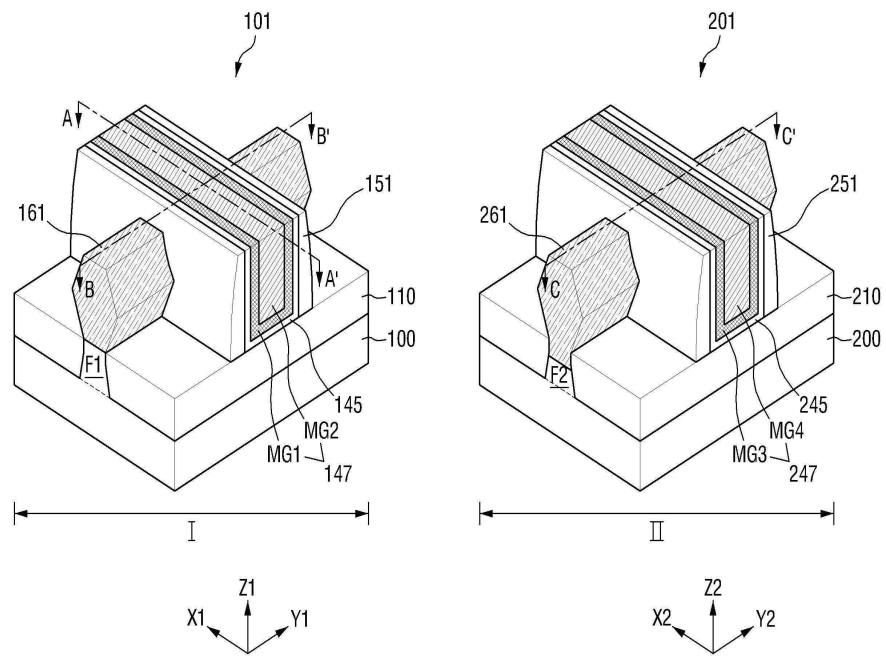
[0151] 도 19을 참조하면, 제1 스페이서(151)가 형성된 결과물 상에, 충간 절연막(155)을 형성한다. 충간 절연막(155)은 실리콘 산화막일 수 있다.

- [0152] 이어서, 제1 더미 게이트 전극(143)의 상면이 노출될 때까지, 충간 절연막(155)을 평탄화한다. 그 결과, 마스크 패턴(2104)이 제거되고 제1 더미 게이트 전극(143)의 상면이 노출될 수 있다.
- [0153] 도 20을 참조하면, 더미 게이트 절연막(141) 및 제1 더미 게이트 전극(143)을 제거한다. 더미 게이트 절연막(141) 및 제1 더미 게이트 전극(143)의 제거함에 따라, 소자 분리막(110)을 노출하는 트렌치(123)가 형성된다.
- [0154] 도 21 내지 도 23을 참조하면, 트렌치(123) 내에 제1 게이트 절연막(145) 및 제1 게이트 전극(147)을 형성한다.
- [0155] 제1 게이트 절연막(145)은 실리콘 산화막보다 높은 유전 상수를 갖는 고유전체 물질을 포함할 수 있다. 예를 들어, 제1 게이트 절연막(145)은 HfO₂, ZrO₂ 또는 Ta₂O₅를 포함할 수 있다. 제1 게이트 절연막(145)은 트렌치(123)의 측벽 및 하면을 따라 실질적으로 커포먼트하게 형성될 수 있다.
- [0156] 제1 게이트 전극(147)은 금속층(MG1, MG2)을 포함할 수 있다. 제1 게이트 전극(147)은 도시된 것과 같이, 2층 이상의 금속층(MG1, MG2)이 적층될 수 있다. 제1 금속층(MG1)은 일함수 조절을 하고, 제2 금속층(MG2)은 제1 금속층(MG1)에 의해 형성된 공간을 채우는 역할을 한다. 예를 들어, 제1 금속층(MG1) TiN, TaN, TiC, 및 TaC 중 적어도 하나를 포함할 수 있다. 또한, 제2 금속층(MG2)은 W 또는 Al을 포함할 수 있다. 또는, 제1 게이트 전극(147)은 금속이 아닌, Si, SiGe 등으로 이루어질 수도 있다.
- [0157] 전술한 것과 동일한 방식으로, 제2 영역(II)에 제2 게이트 절연막(245) 및 제2 게이트 전극(247)을 형성한다. 제2 게이트 전극(247)은 금속층(MG3, MG4)을 포함할 수 있다.
- [0158] 도 24 내지 도 26을 참조하면, 제1 영역(I)에 제1 게이트 전극(147) 양측의 제1 핀(F1) 내에 제1 리세스(125)를, 제2 영역(II)에 제2 게이트 전극(247) 양측의 제2 핀(F2) 내에 제2 리세스(225)를 형성한다.
- [0159] 이 때, 제1 핀형 트랜지스터(101)의 제1 리세스(125)의 깊이와, 제2 핀형 트랜지스터(201)의 제2 리세스(225)의 깊이가 서로 다르도록 형성할 수 있다. 제1 리세스(125)를 형성하는 것과, 제2 리세스(225)를 형성하는 것을 별도로 진행할 수도 있다.
- [0160] 예를 들어, 제1 영역(I)을 노출하고 제2 영역(II)을 비노출하는 제1 마스크를 이용하여 식각한다. 그 후, 제2 영역(II)을 노출하고 제1 영역(I)을 비노출하는 제2 마스크를 이용하여 식각할 수 있다. 식각 방식은 건식 식각을 이용하거나, 습식 식각과 건식 식각을 조합하여 형성할 수 있다.
- [0161] 다시, 도 1 내지 도 3을 참조하면, 제1 리세스(125) 내에 제1 소오스/드레인(161)을 형성하고, 제2 리세스(225) 내에 제2 소오스/드레인(261)을 형성한다. 예를 들어, 제1 소오스/드레인(161)은 상승된(elevated) 소오스/드레인 형태일 수 있다.
- [0162] 또한, 제1 소오스/드레인(161)과 제2 소오스/드레인(261)을 형성하는 것은, 에피 공정에 의해서 형성할 수 있다. 또한, 제1 핀형 트랜지스터(101), 제2 핀형 트랜지스터(201)가 PMOS, NMOS 트랜지스터인지에 따라서, 제1 소오스/드레인(161)과 제2 소오스/드레인(261)의 물질이 달라질 수 있다.
- [0163] 또한, 필요에 따라서, 에피 공정시 불순물을 인시츄 도핑할 수도 있다.
- [0164] 또한, 필요에 따라, 제1 리세스(125)와 제2 리세스(225)를 반도체 물질이 아닌 금속으로 채울 수도 있다.
- [0165] 이하, 도 27 내지 도 29를 참조하여, 본 발명의 몇몇 실시예에 따른 접적 회로 장치의 제조 방법에서 사용 가능한 핀의 제조 방법을 설명하도록 한다. 도 27 내지 도 29에서 제시하는 방법은, 도 11a에 도시된 다수의 핀을 형성하는 방법일 수 있다. 예를 들어, SIT(Sidewall Image Transfer) 공정일 수 있다. 도 27 내지 도 29에서는 예시적으로, 2개의 핀을 제조하는 방법을 설명하나, 이에 한정되는 것은 아니다.
- [0166] 도 27을 참조하면, 기판(100) 상에 희생 패턴(501)을 형성한다. 이어서, 희생 패턴(501)이 형성된 기판(100) 상에 마스크층(505)을 형성한다. 마스크층(505)은 희생 패턴(501)이 형성된 기판(100)의 상면을 따라 커포먼트하게 (conformally) 형성될 수 있다. 희생 패턴(501)과 마스크층(505)은 상호 식각 선택성 있는 물질로 형성될 수 있다. 예를 들어, 마스크층(505)은 실리콘 산화물, 실리콘 질화물, 실리콘산화질화물, 포토 레지스트(Photo Resist), 에스오지(SOG: Spin On Glass) 또는 에스오에이치(SOH: Spin On Hard mask) 중에서 선택된 적어도 하나를 포함할 수 있고, 희생 패턴(501)은 전술한 물질들 중 마스크층(505)과 다른 물질로 형성될 수 있다.
- [0167] 또한, 희생 패턴(501) 및 마스크층(505)은 물리 기상 증착 공정(Physical Vapor Deposition Process; PVD), 화학 기상 증착 공정(Chemical Vapor Deposition Process; CVD), 원자층 증착(Atomic Layer Deposition) 또는 스팍 코팅 방법 중에서 선택된 적어도 하나에 의해 형성될 수 있다.

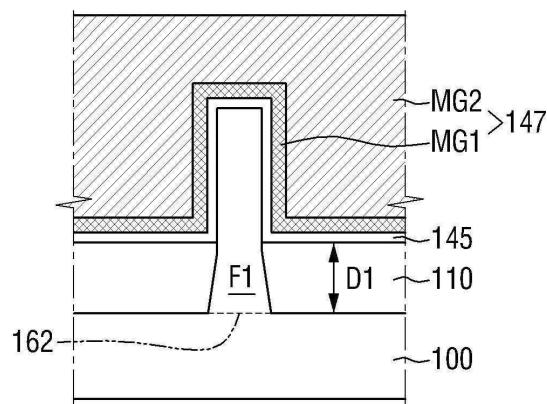
- [0168] 도 28를 참조하면, 에치백 공정을 이용하여 희생 패턴(501)의 측벽에 스페이서 형상의 마스크 패턴(506)을 형성한다. 이어서, 희생 패턴(501)을 제거한다. 마스크 패턴(506)은 실질적으로 동일한 폭을 가질 수 있다. 마스크 패턴(506) 사이에 트렌치(511)이 형성될 수 있다.
- [0169] 를 참조하여, 마스크 패턴(506)을 식각 마스크로 이용하여, 기판(100)을 식각한다. 그 결과, 일정한 폭을 갖는 핀(F11, F12)이 형성될 수 있다. 식각 공정에 의해, 인접한 핀(F11, F12) 사이에 트렌치(512)가 형성될 수 있다. 식각 공정에 의해, 마스크 패턴(506)의 상부가 함께 식각되어, 마스크 패턴(506)의 상부는 라운드된 형태일 수 있다.
- [0170] 마스크 패턴(506)을 제거하면, 서로 이격되고 일정한 폭을 갖는 다수의 핀(F11, F12)이 완성된다.
- [0171] 도 30은 본 발명의 몇몇 실시예에 따른 집적 회로 장치를 포함하는 전자 시스템의 블록도이다.
- [0172] 도 30을 참조하면, 본 발명의 실시예에 따른 전자 시스템(1100)은 컨트롤러(1110), 입출력 장치(1120, I/O), 기억 장치(1130, memory device), 인터페이스(1140) 및 버스(1150, bus)를 포함할 수 있다. 컨트롤러(1110), 입출력 장치(1120), 기억 장치(1130) 및/또는 인터페이스(1140)는 버스(1150)를 통하여 서로 결합 될 수 있다. 버스(1150)는 데이터들이 이동되는 통로(path)에 해당한다.
- [0173] 컨트롤러(1110)는 마이크로프로세서, 디지털 신호 프로세스, 마이크로컨트롤러, 및 이들과 유사한 기능을 수행할 수 있는 논리 소자들 중에서 적어도 하나를 포함할 수 있다. 입출력 장치(1120)는 키패드(keypad), 키보드 및 디스플레이 장치 등을 포함할 수 있다. 기억 장치(1130)는 데이터 및/또는 명령어 등을 저장할 수 있다. 인터페이스(1140)는 통신 네트워크로 데이터를 전송하거나 통신 네트워크로부터 데이터를 수신하는 기능을 수행할 수 있다. 인터페이스(1140)는 유선 또는 무선 형태일 수 있다. 예컨대, 인터페이스(1140)는 안테나 또는 유무선 트랜시버 등을 포함할 수 있다. 도시하지 않았지만, 전자 시스템(1100)은 컨트롤러(1110)의 동작을 향상시키기 위한 동작 메모리로서, 고속의 디램 및/또는 에스램 등을 더 포함할 수도 있다. 본 발명의 실시예들에 따른 편형 트랜지스터는 기억 장치(1130) 내에 제공되거나, 컨트롤러(1110), 입출력 장치(1120, I/O) 등의 일부로 제공될 수 있다.
- [0174] 전자 시스템(1100)은 개인 휴대용 정보 단말기(PDA, personal digital assistant) 포터블 컴퓨터(portable computer), 웹 태블릿(web tablet), 무선 전화기(wireless phone), 모바일 폰(mobile phone), 디지털 뮤직 플레이어(digital music player), 메모리 카드(memory card), 또는 정보를 무선환경에서 송신 및/또는 수신할 수 있는 모든 전자 제품에 적용될 수 있다.
- [0175] 도 31 및 도 32은 본 발명의 몇몇 실시예들에 따른 집적 회로 장치를 적용할 수 있는 예시적인 반도체 시스템이다. 도 31은 태블릿 PC이고, 도 32은 노트북을 도시한 것이다. 본 발명의 실시예들에 따른 집적 회로 장치(1~8) 중 적어도 하나는 태블릿 PC, 노트북 등에 사용될 수 있다. 본 발명의 몇몇 실시예들에 따른 집적 회로 장치는 예시하지 않는 다른 집적 회로 장치에도 적용될 수 있음을 당업자에게 자명하다.
- [0176] 이상 첨부된 도면을 참조하여 본 발명의 실시예를 설명하였지만, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자는 본 발명이 그 기술적 사상이나 필수적인 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다. 그러므로 이상에서 기술한 실시예들은 모든 면에서 예시적인 것이며 한정적이 아닌 것으로 이해해야만 한다.
- 부호의 설명**
- [0177]
- | | |
|------------------|-----------------|
| 101: 제1 편형 트랜지스터 | F1: 제1 핀 |
| D1: 제1 거리 | 125: 제1 리세스 |
| 147: 제1 게이트 전극 | 161: 제1 소오스/드레인 |
| 201: 제2 편형 트랜지스터 | F2: 제2 핀 |
| D2: 제2 거리 | 225: 제2 리세스 |
| 247: 제2 게이트 전극 | 261: 제2 소오스/드레인 |

도면

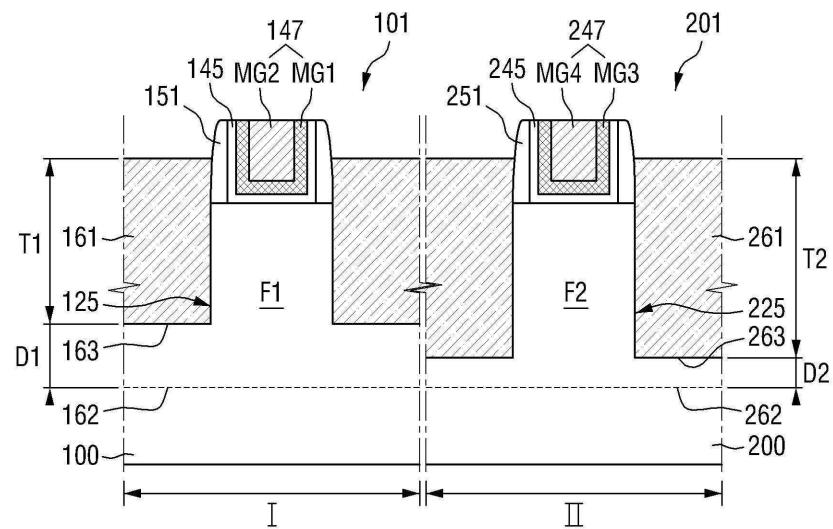
도면1



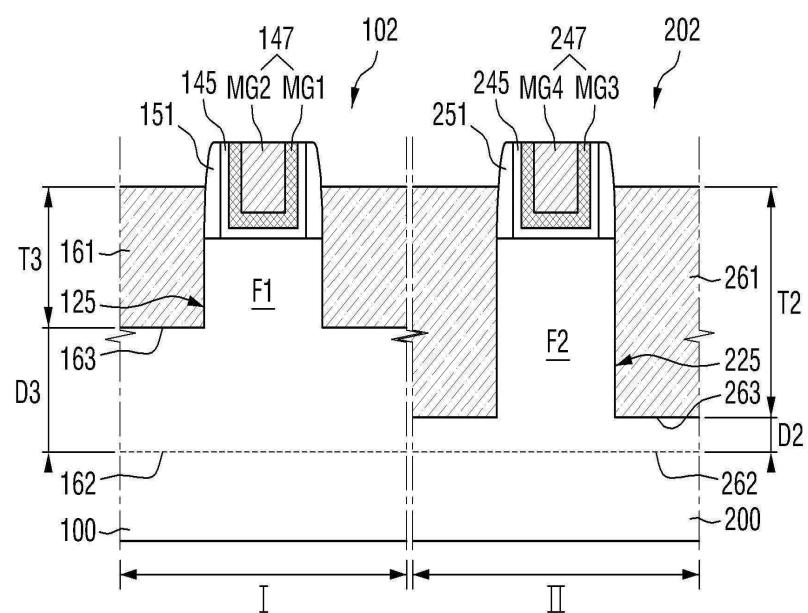
도면2



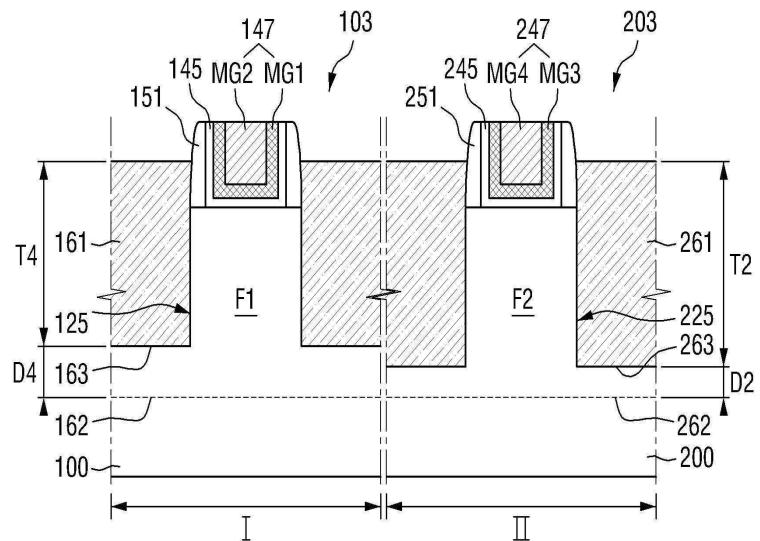
도면3



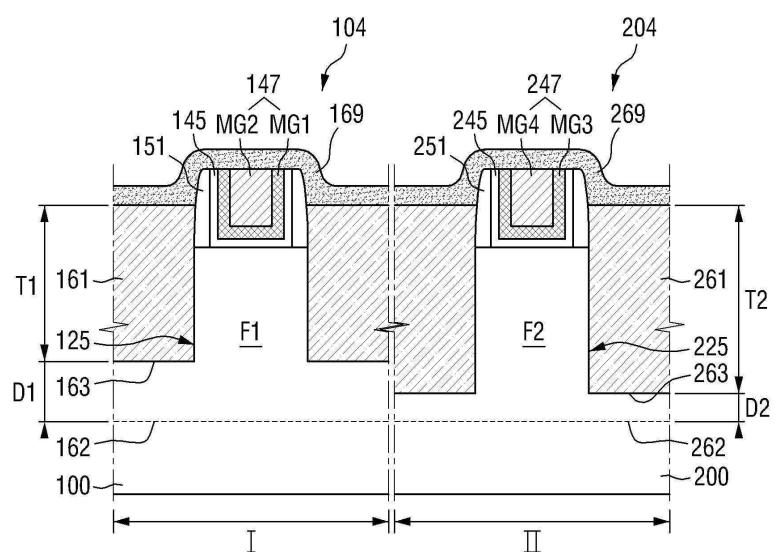
도면4



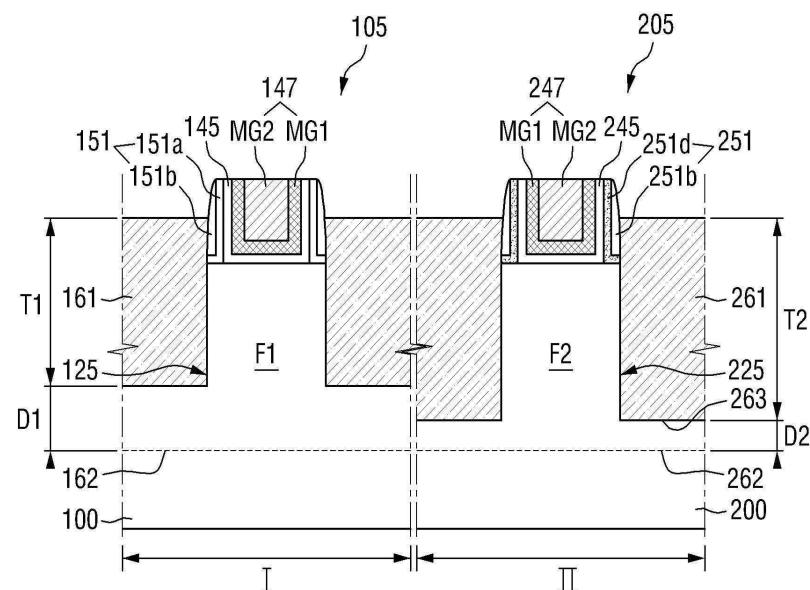
도면5



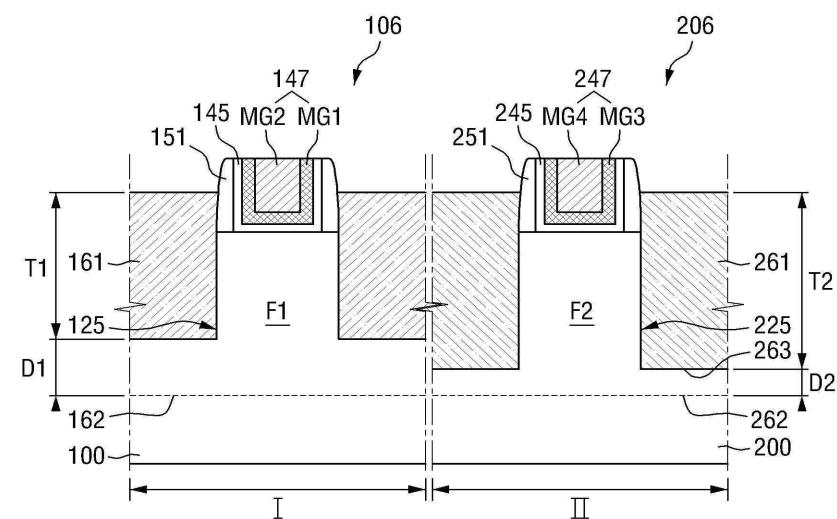
도면6



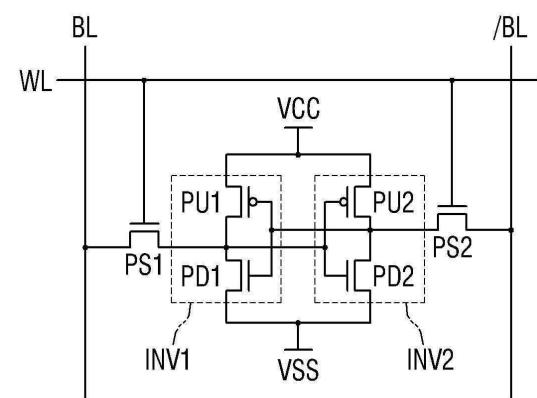
도면7



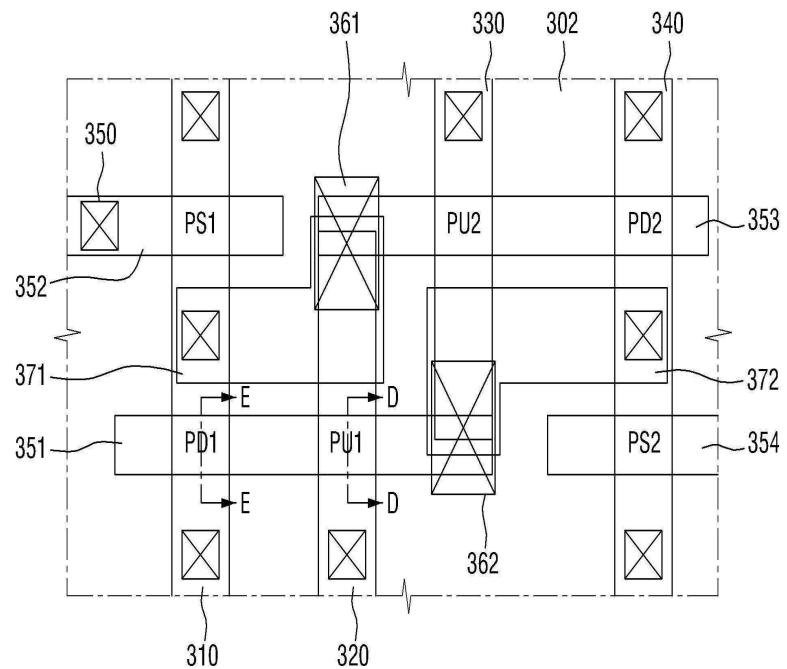
도면8



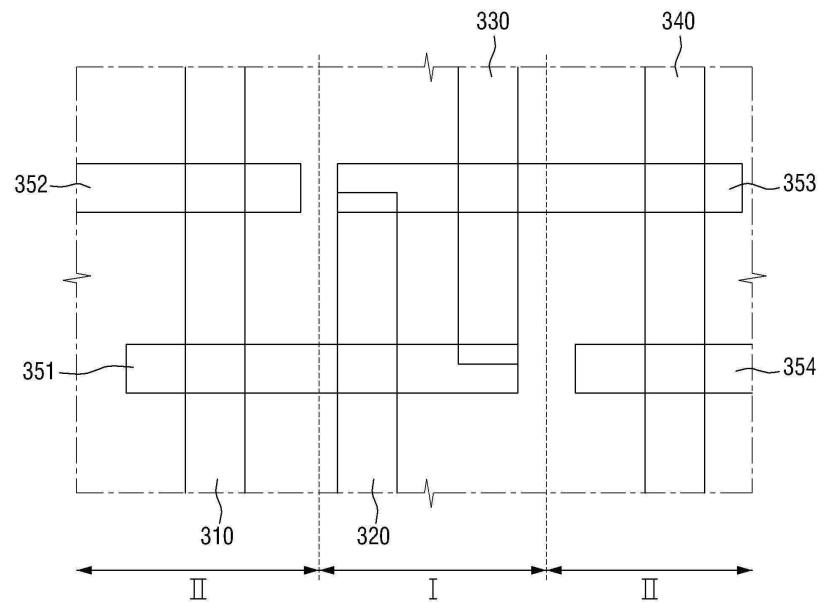
도면9a



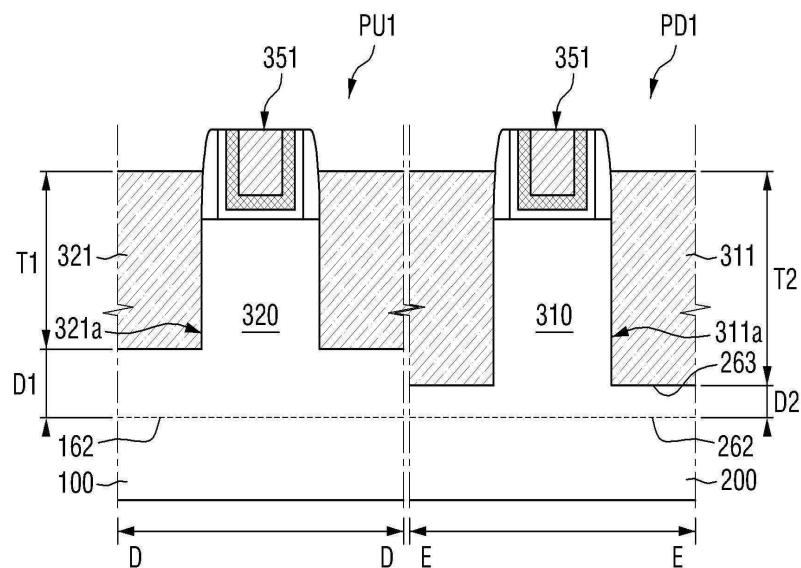
도면9b



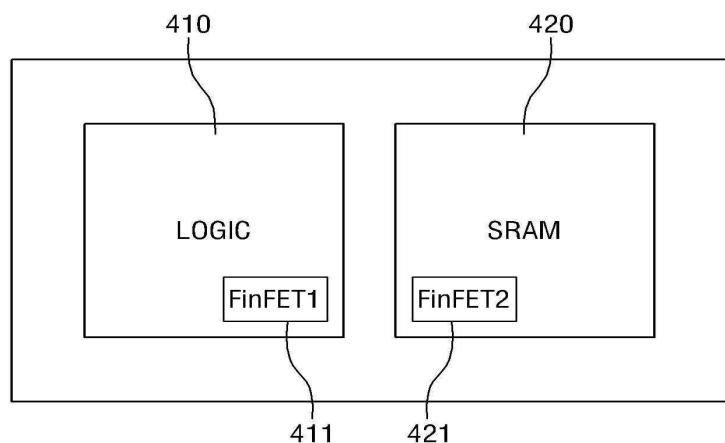
도면9c



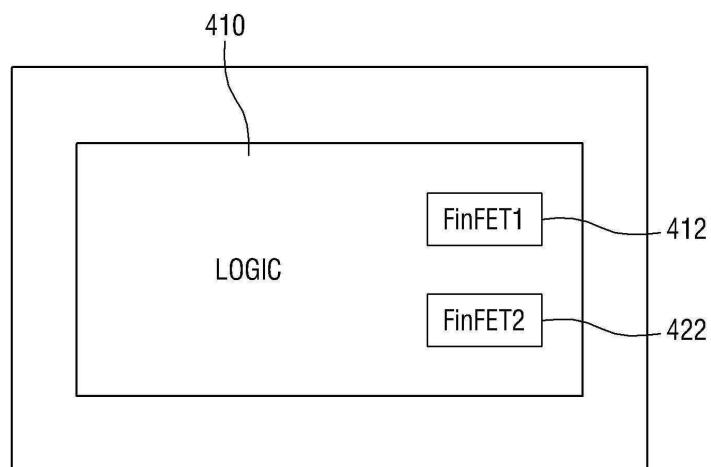
도면9d



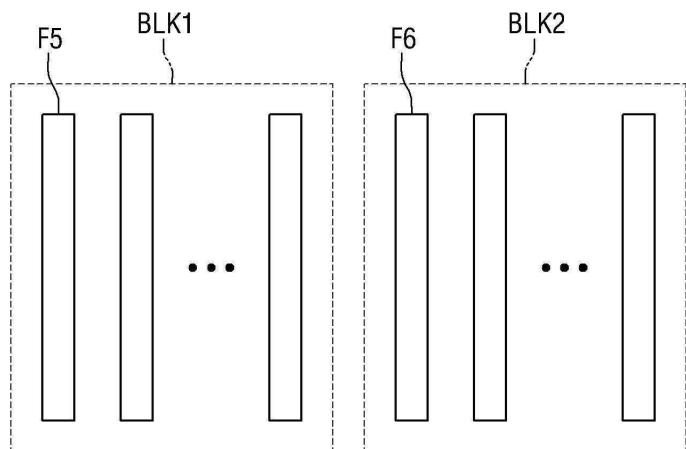
도면10a



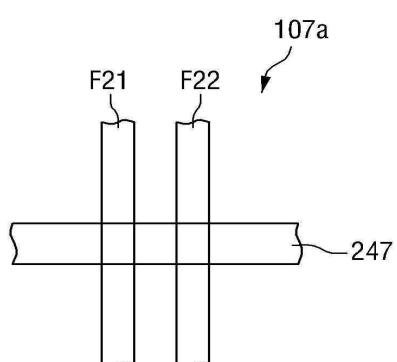
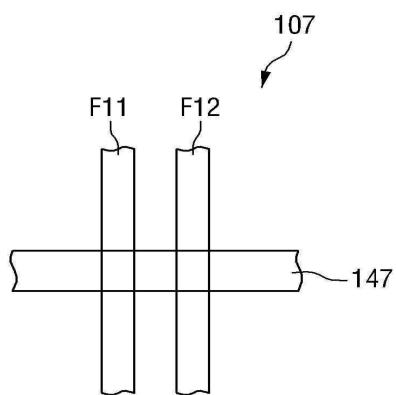
도면10b



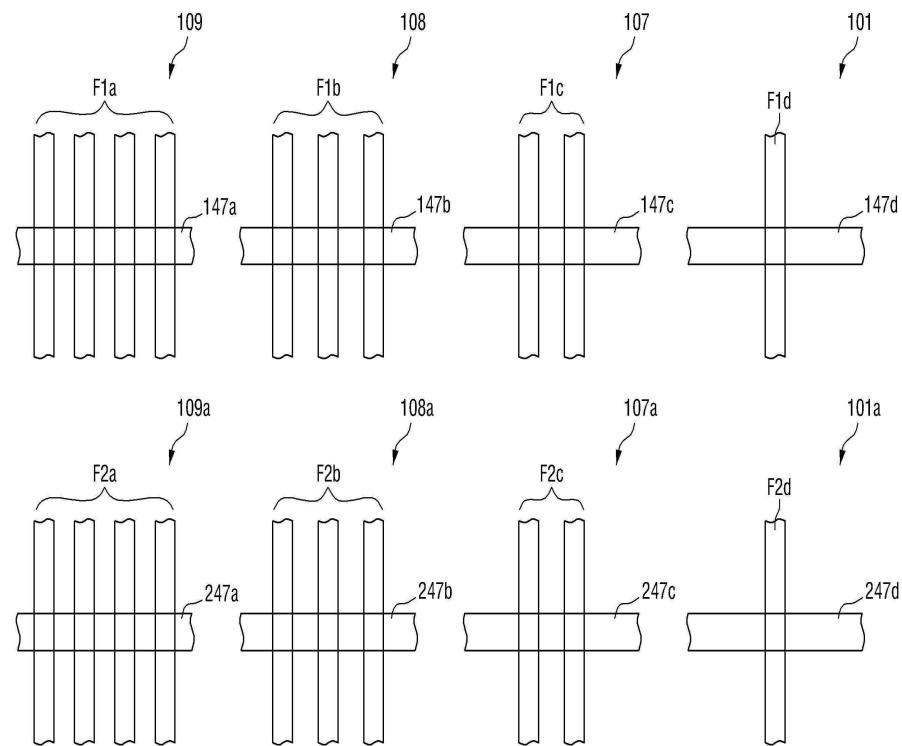
도면10c



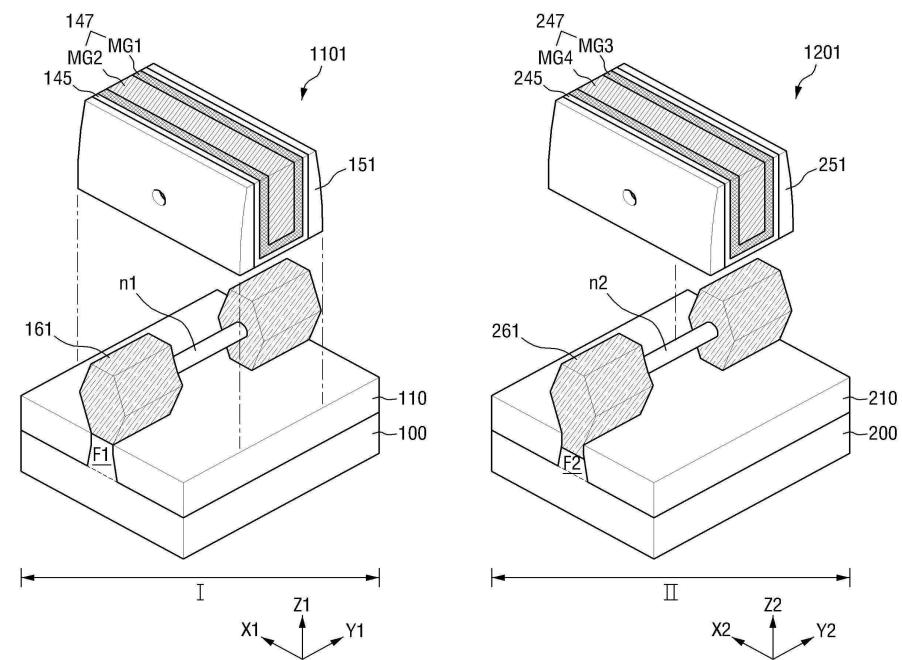
도면11a



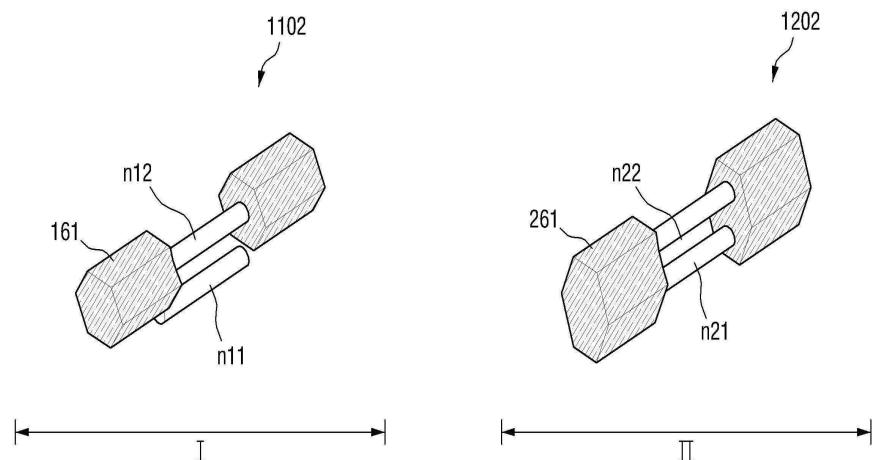
도면11b



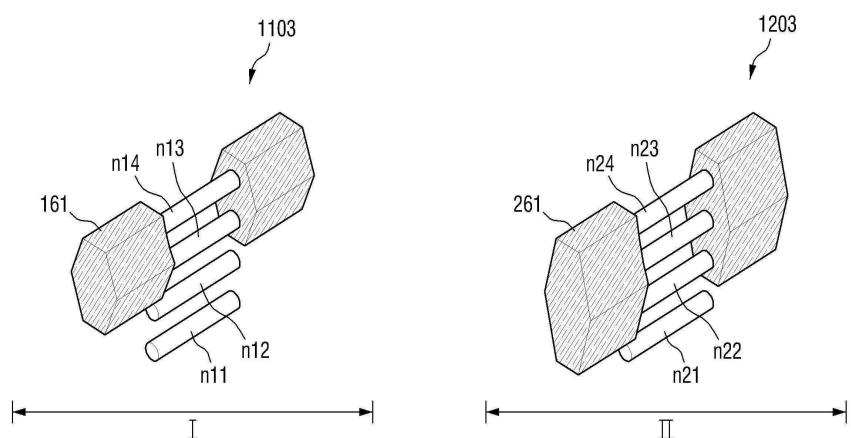
도면12



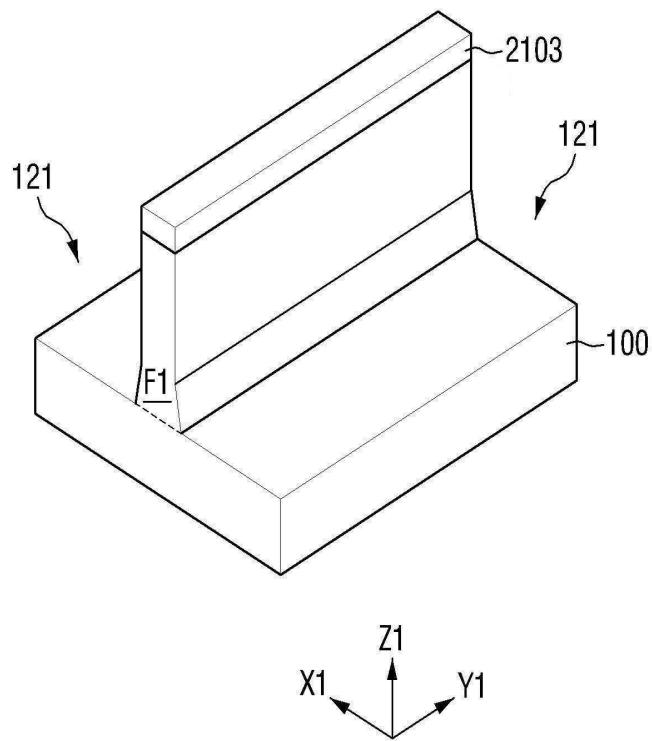
도면13a



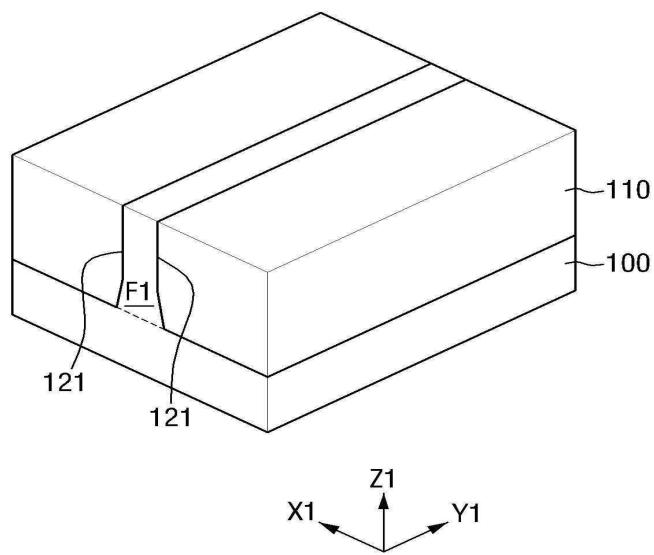
도면13b



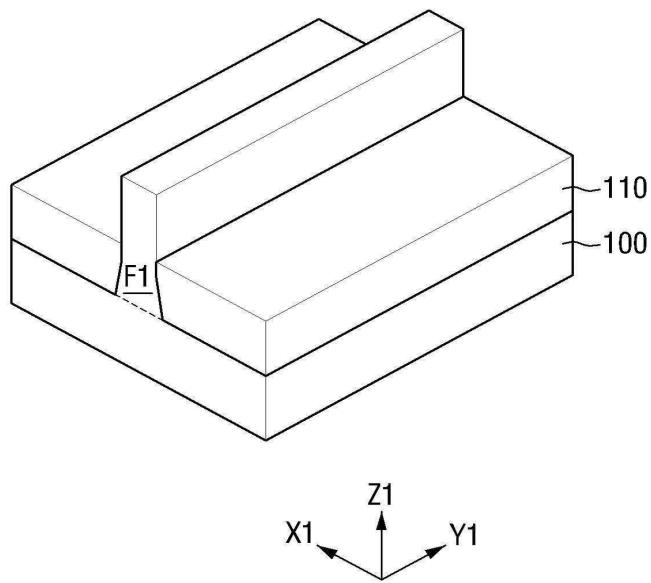
도면14



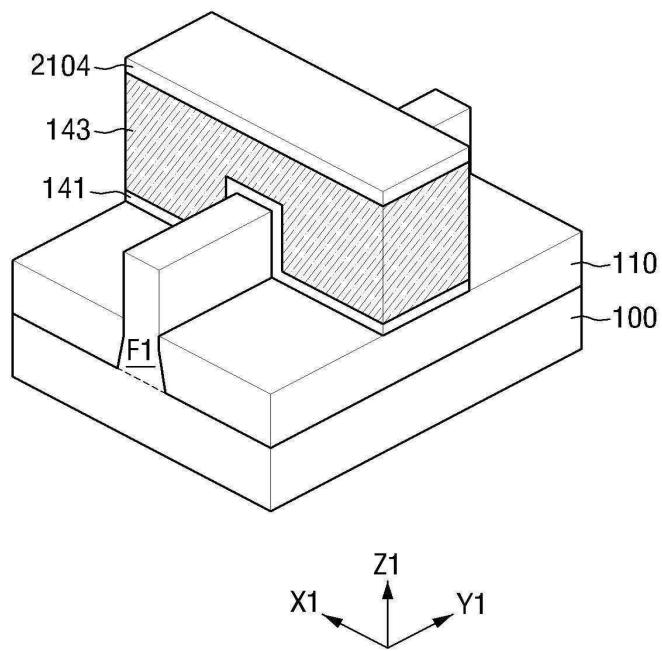
도면15



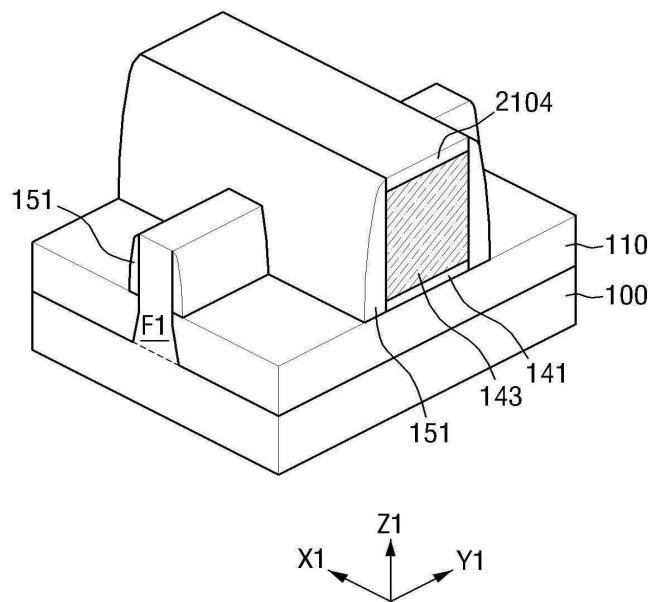
도면16



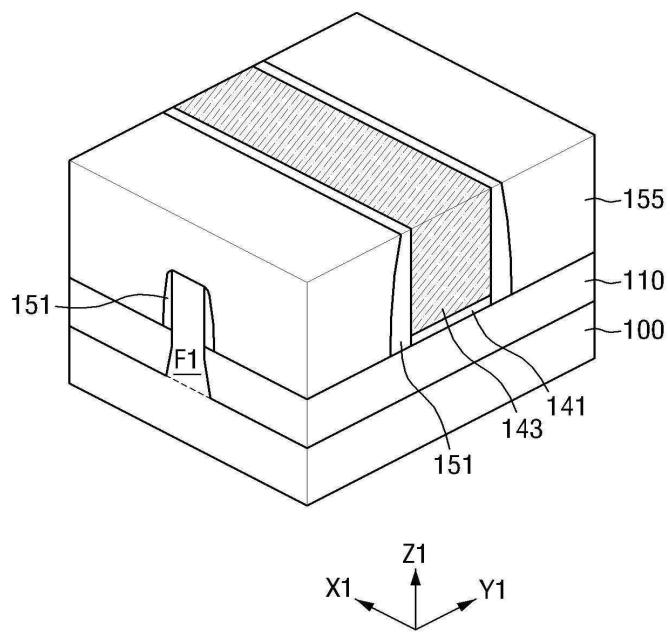
도면17



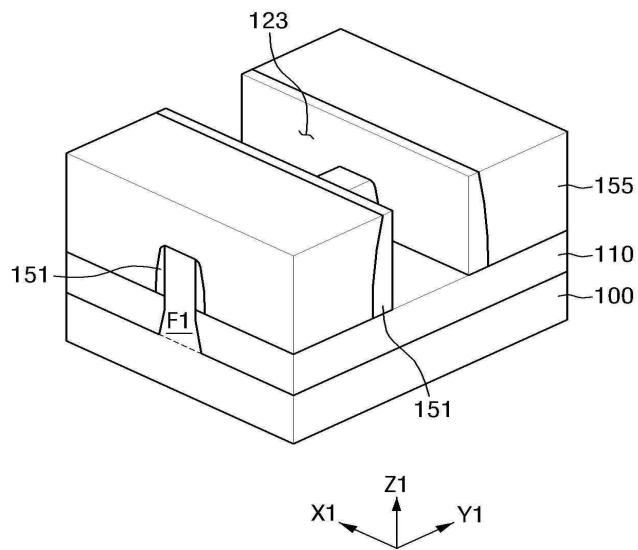
도면18



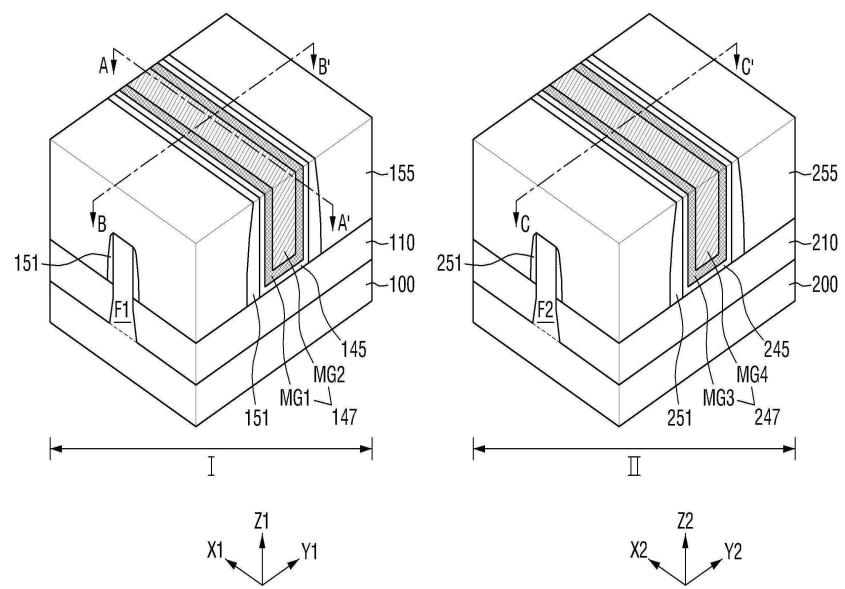
도면19



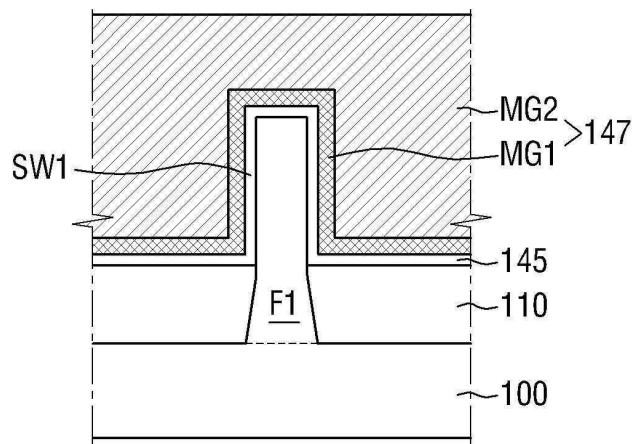
도면20



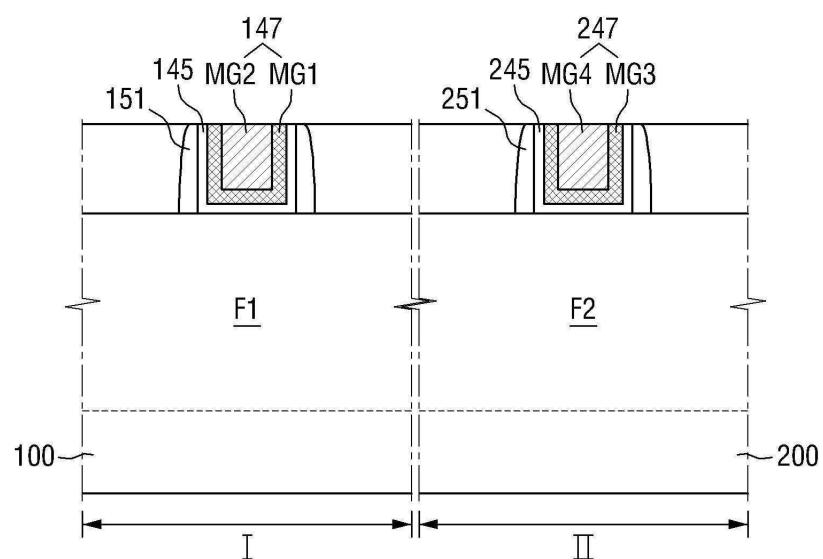
도면21



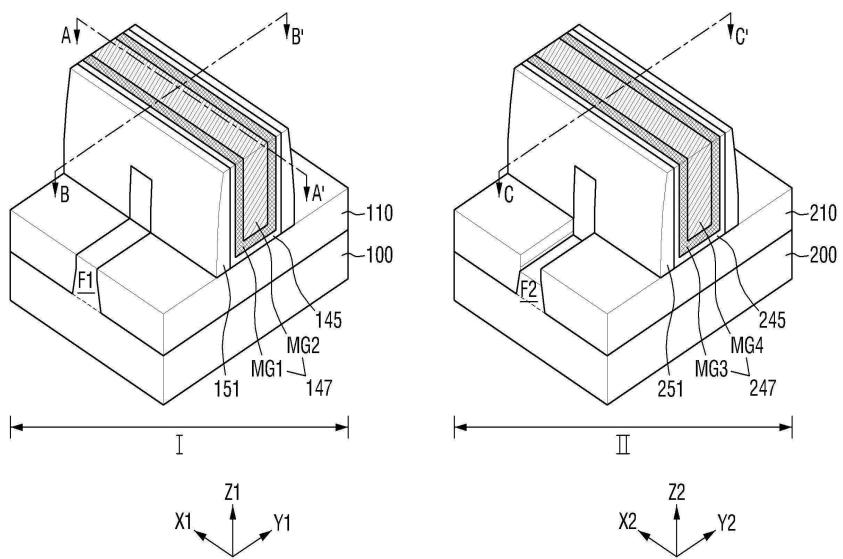
도면22



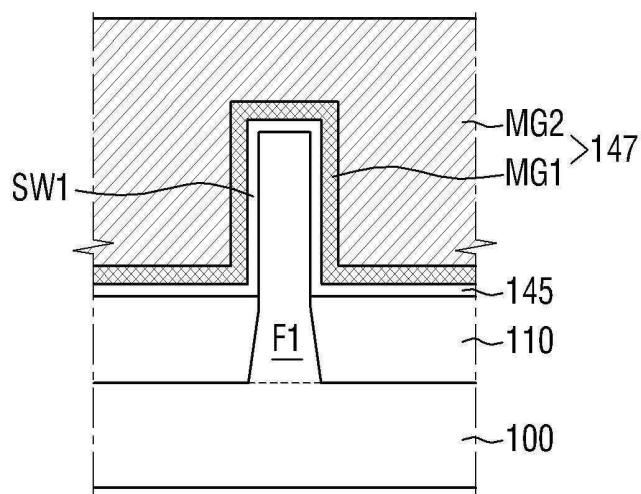
도면23



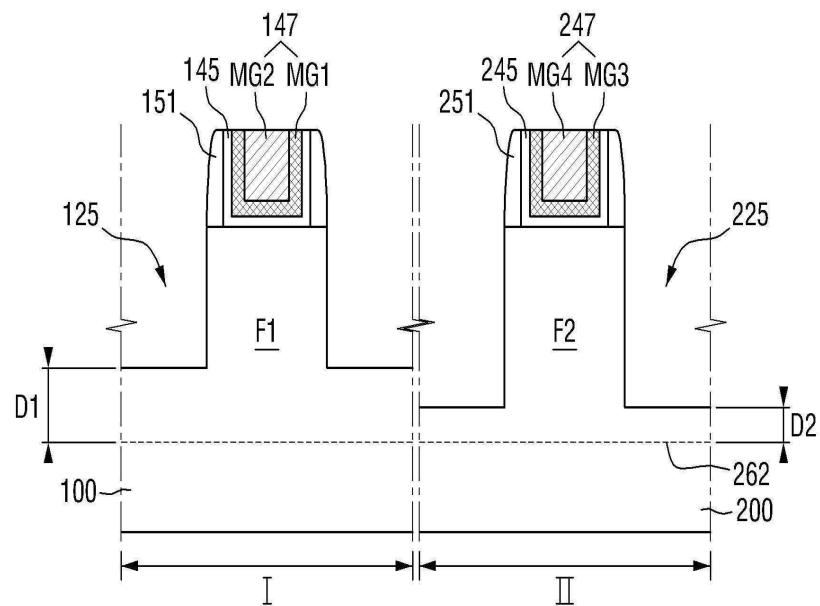
도면24



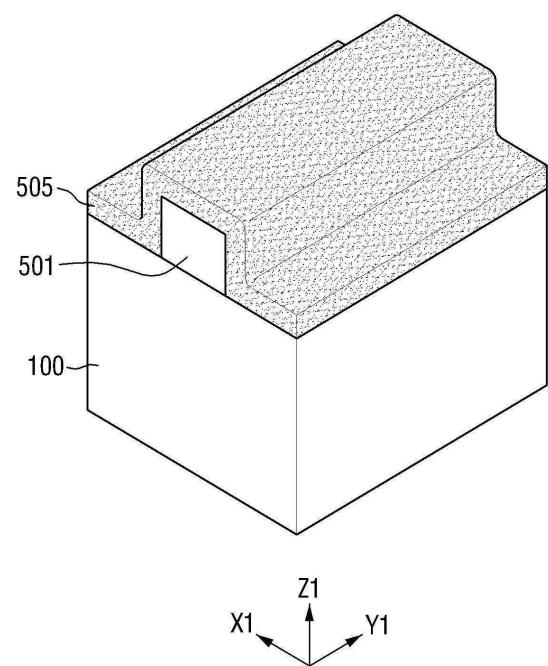
도면25



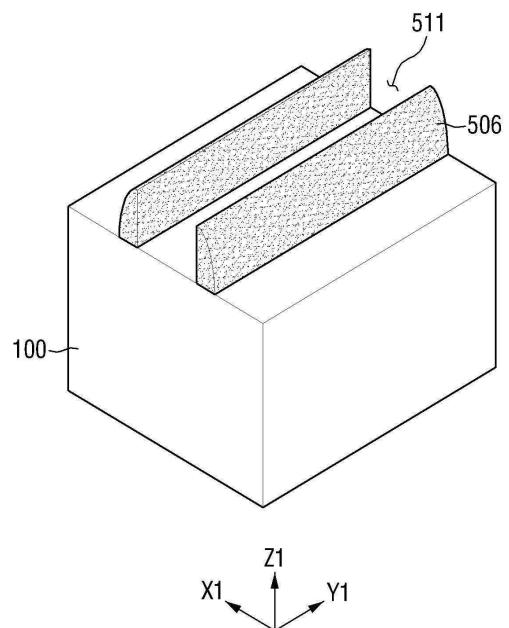
도면26



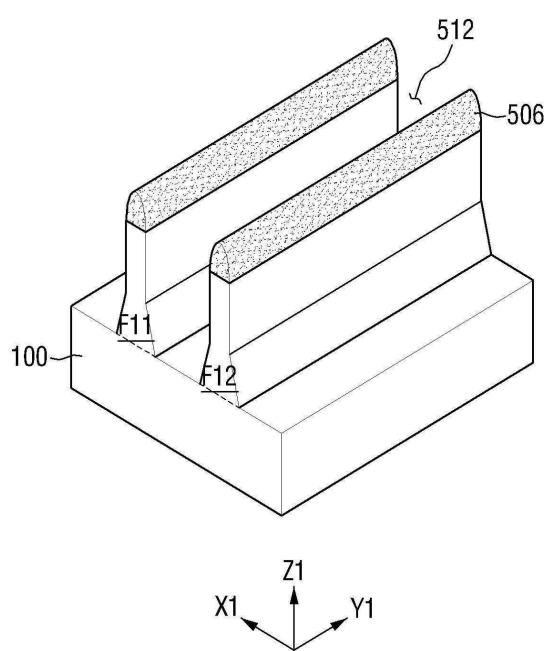
도면27



도면28

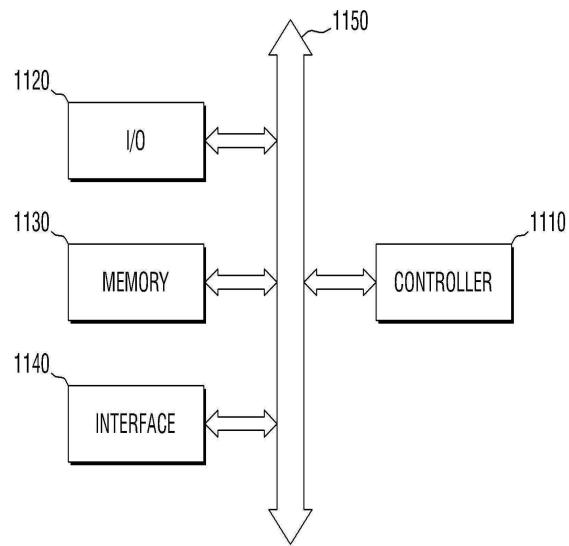


도면29

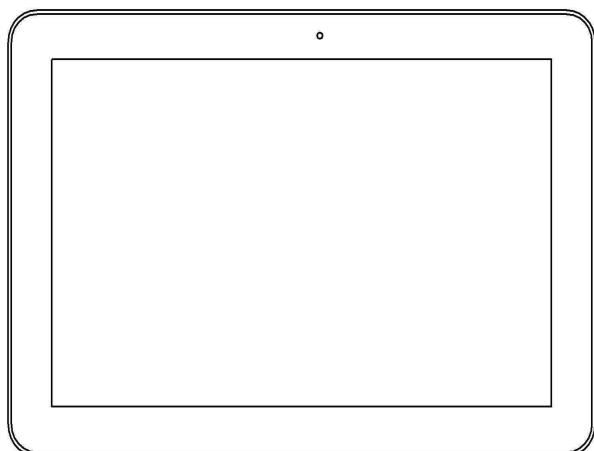


도면30

1100



도면31



도면32

