

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4776355号  
(P4776355)

(45) 発行日 平成23年9月21日(2011.9.21)

(24) 登録日 平成23年7月8日(2011.7.8)

(51) Int.Cl.		F I		
<b>H03K 19/0175 (2006.01)</b>		H03K 19/00		I O I S
<b>H03K 19/0185 (2006.01)</b>		H03K 19/00		I O I D

請求項の数 5 (全 11 頁)

(21) 出願番号	特願2005-336133 (P2005-336133)	(73) 特許権者	302062931 ルネサスエレクトロニクス株式会社
(22) 出願日	平成17年11月21日(2005.11.21)		神奈川県川崎市中原区下沼部1753番地
(65) 公開番号	特開2007-142968 (P2007-142968A)	(74) 代理人	100080816 弁理士 加藤 朝道
(43) 公開日	平成19年6月7日(2007.6.7)	(72) 発明者	磯崎 智明 神奈川県川崎市中原区下沼部1753番地 NECエレクトロニクス株式会社内
審査請求日	平成20年10月17日(2008.10.17)	審査官	官島 郁美

最終頁に続く

(54) 【発明の名称】 半導体チップおよび半導体装置

(57) 【特許請求の範囲】

【請求項1】

互いに相補的にオンとオフが切り替わる第1および第2トランジスタを有し、第1外部端子へ信号を出力する出力回路と、

第2外部端子にゲート電極が接続された第3トランジスタと、

第1電源供給源と、を有し、

前記第1、第2および第3トランジスタのゲート電極以外の端子に対して、

前記第1トランジスタの一方の端子が前記第1電源供給源と接続され、前記第1トランジスタの他方の端子が前記第3トランジスタの一方の端子と接続され、前記第3トランジスタの他方の端子が前記第2トランジスタの一方の端子および前記第1の外部端子と接続され、前記第2トランジスタの他方の端子が接地電位を供給する電源線と接続されたことを特徴とする半導体チップ。

【請求項2】

前記出力回路に信号を出力する内部回路をさらに有し、

前記内部回路が前記第1電源電圧供給源により供給される電圧で動作することを特徴とする請求項1に記載の半導体チップ。

【請求項3】

前記第3トランジスタが、ゲート電極に印加された電圧を前記第3トランジスタの他方の端子に出力することを特徴とする請求項1または2に記載の半導体チップ。

【請求項4】

10

20

前記第3トランジスタのしきい値が実質的に0Vであること、  
を特徴とする請求項3に記載の半導体チップ。

【請求項5】

前記第1および第2トランジスタが3-Stateバッファ回路を構成することを特徴  
とする請求項1乃至4のいずれかーに記載の半導体チップ。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体装置、特に、2つの半導体チップを含む半導体装置に関し、その2つ  
のチップの動作電圧が異なる場合に特に好適なものである。

10

【背景技術】

【0002】

近年、機能の異なる複数の半導体チップを一つのパッケージに収めることにより、高機  
能な半導体装置を製造することが行なわれている。このような半導体装置はマルチチップ  
パッケージ(MCP)と呼ばれ、例えば、特許文献1に開示されている。MCPは、複数  
の機能を1つのチップに集積したSoC(System-on-Chip)に比べて容易  
かつ低コストで製造できるという利点があり、注目されている。

【0003】

MCPとして、例えば、ロジックチップとメモリチップをパッケージングする場合があ  
る。ロジックチップについては、高性能化・低消費電力化のために微細化が進行しており  
、その動作電圧の低下が著しい。一方、MCPに求められるメモリチップには小さい容量  
が十分な場合がある。そして、容量の小さいメモリチップには数世代前の製造技術が用い  
られ、動作電圧が比較的高い場合がある。

20

【0004】

このような場合に、動作電圧の異なる半導体チップを組み合わせる必要が生じる  
。

【0005】

動作電圧が異なる半導体チップを組み合わせる場合、動作電圧が高いほうの半導  
体チップから、自身の動作電圧がHighレベルであるデータ信号を、そのまま、動作電  
圧が低い方の半導体チップに出力すると、低い電圧で動作する受信側の半導体チップの入  
力回路を構成するトランジスタが破壊される可能性がある。

30

【0006】

また、低い電圧で動作する半導体チップが、その低い電圧がHighレベルであるデー  
タ信号を高電圧で動作する半導体チップにそのまま送信すると、高い電圧で動作する半導  
体チップの入力回路の論理が正常に確定しない可能性がある。

【0007】

従来、これらの問題を以下のように解決していた。

【0008】

例えば1.5Vで動作するメモリチップと1.0Vで動作するロジックチップを組みあ  
わせる場合、メモリチップとロジックチップのそれぞれに3.3Vの電源を設け、両チッ  
プ内に3.3Vで動作する入出力回路をそれぞれ設けていた。つまり、両チップ間の入出  
力電圧を一致させるためのバッファ回路を、両チップのそれぞれに設けていた。

40

【0009】

【特許文献1】特開2005-217205号公報

【発明の開示】

【発明が解決しようとする課題】

【0010】

本発明者は、上記の従来技術には、動作電圧と異なる電圧で動作するバッファ回路を、  
データ送信側と受信側のそれぞれの半導体チップ内に設ける必要があるため、それぞれの  
半導体チップの面積が大きくなってしまふ、という課題があることを発見した。

50

## 【 0 0 1 1 】

例えば、メモリチップがデータ幅 16 ビットでデータ信号を出力する場合には、動作電圧と異なる電圧で動作するバッファ回路を 16 個設ける必要があり、チップ面積が増加する問題は深刻である。

## 【 0 0 1 2 】

尚、本明細書で「動作電圧」とは、内部回路を駆動する電圧のことである。内部回路とは、ロジックチップでは演算処理を行なう回路のことを、メモリチップではメモリセル回路や X デコーダ・ Y デコーダ、センスアンプ等を意味する。

## 【課題を解決するための手段】

## 【 0 0 1 3 】

本発明は、一方の半導体チップの動作電圧を、当該一方の半導体チップから他方の半導体チップに供給するものである。

## 【 0 0 1 4 】

この特徴により、前記他方の半導体チップは、前記一方の半導体チップの動作電圧が High レベルであるデータ信号を生成することができる。そのため、少なくとも、前記一方の半導体チップは、前記他方の半導体チップから、High レベルが自身の動作電圧であるデータ信号を受信することができるので、自身の動作電圧と異なる電圧で動作するバッファ回路を別途設ける必要が無くなる。

## 【 0 0 1 5 】

例えば、本発明は、第 1 電源電圧で動作する第 1 半導体チップと、前記第 1 電源電圧よりも低い第 2 電源電圧で動作し、当該第 2 電源電圧を前記第 1 半導体チップに供給する第 2 半導体チップと、を有すること、を特徴とする半導体装置である。

## 【 0 0 1 6 】

また、上記半導体装置に用いるのに好適な半導体チップも本発明に含まれる。そのような半導体チップは、例えば、互いに直列に接続され、互いに相補的にオンとオフが切り替わる第 1 および第 2 トランジスタを有し、第 1 外部端子へ信号を出力する出力回路と、前記第 1 および第 2 トランジスタと直列に接続され、第 2 外部端子にゲート電極が接続された第 3 トランジスタと、を有すること、を特徴とする半導体チップである。即ち、本発明の半導体チップによれば、互いに相補的にオンとオフが切り替わる第 1 および第 2 トランジスタを有し、第 1 外部端子へ信号を出力する出力回路と、第 2 外部端子にゲート電極が接続された第 3 トランジスタと、第 1 電源供給源と、を有し、前記第 1、第 2 および第 3 トランジスタのゲート電極以外の端子に対して、前記第 1 トランジスタの一方の端子が前記第 1 電源供給源と接続され、前記第 1 トランジスタの他方の端子が前記第 3 トランジスタの一方の端子と接続され、前記第 3 トランジスタの他方の端子が前記第 2 トランジスタの一方の端子および前記第 1 の外部端子と接続され、前記第 2 トランジスタの他方の端子が接地電位を供給する電源線と接続される。

## 【発明の効果】

## 【 0 0 1 7 】

本発明によれば、動作電圧と異なる電圧で動作するバッファ回路を設ける必要が無くなるため、半導体チップの面積を縮小することができる。

## 【発明を実施するための最良の形態】

## 【 0 0 1 8 】

本発明の実施の形態を、図 1 を用いて以下に説明する。

## 【 0 0 1 9 】

図 1 は、本発明の第 1 の実施の形態に係る半導体装置 100 を説明するための図である。

## 【 0 0 2 0 】

半導体装置 100 は、第 1 半導体チップ 10 と第 2 半導体チップ 20 とを有する。以下、本実施の形態を、第 1 半導体チップ 10 をメモリチップ、第 2 半導体チップ 20 をロジックチップとして説明するが、本発明は、半導体チップの種類をこれらに限定するものでは

10

20

30

40

50

ない。

【 0 0 2 1 】

メモリチップ10は、メモリセル、デコーダ、センスアンプ等（不図示）を含む内部回路12を有する。内部回路12は第1電源電圧供給源である電源線Vdd1に接続され、電源線Vdd1が供給する第1電源電圧をHighレベルとするデータ信号SD1を出力する。すなわち、内部回路12は、電源線Vdd1が供給する第1電源電圧を動作電圧とする。本実施の形態では、第1電源電圧を、1.5Vとして説明する。

【 0 0 2 2 】

尚、本明細書中で、同一の符号が付された電源線は、同一の電源電圧を供給する配線のことを意味する。従って、繋がった同一の配線であってもよいし、分離した別個の配線であってもよい。

10

【 0 0 2 3 】

さらに、メモリチップ10は出力回路14を有する。出力回路14は、内部回路12が出力するデータ信号SD1をその入力とし、第1外部端子であるパンプB1にデータ信号SD2を出力する。

【 0 0 2 4 】

また、メモリチップ10は、電源電圧供給回路16を有する。電源電圧供給回路16は、第2外部端子であるパンプB2に供給される電圧信号SVを入力とし、出力回路14に電圧信号SVと同一の電圧を供給する。そして、出力回路14は、Highレベルが電源電圧供給回路16から供給された電圧であるデータ信号SD2をパンプB1に出力する。

20

【 0 0 2 5 】

ロジックチップ20は、演算処理を行なう内部回路22を有する。内部回路は22、第2電源電圧供給源である電源線Vdd2に接続され、電源線Vdd2が供給する第2電源電圧をその動作電圧とする。第2電源電圧は、第1電源電圧よりも低い電圧であり、本実施の形態では、第2電源電圧を1.0Vとして説明する。

【 0 0 2 6 】

また、ロジックチップ20は、第2電源電圧をその動作電圧とする入力回路28を有する。入力回路28は、メモリチップ10から第3外部端子であるパンプB3を介して送られるデータ信号SD2をその入力とし、内部回路22にHighレベルが第2電源電圧であるデータ信号SD3を出力する。尚、メモリチップ10とロジックチップ20とがフリップチップ接続される場合には、パンプB1とB2とは同一のものである。

30

【 0 0 2 7 】

さらに、ロジックチップ20は、第4外部端子であるパンプB4を有する。パンプB4は、電源線Vdd2に接続され、かつ、メモリチップ10のパンプB2に電氣的に接続している。すなわち、ロジックチップ20は、パンプB4とB2とを介して、メモリチップ10に第2電源電圧を供給する。具体的には、ロジックチップ20は、メモリチップ10の電源電圧供給回路16に第2電源電圧を供給する。

【 0 0 2 8 】

メモリチップ10の動作を、ロジックチップ20との関係において説明する。

【 0 0 2 9 】

まず、電源電圧供給回路16は、パンプB2、B4を介してロジックチップ20から1.0Vの電圧供給を受け、出力回路14に1.0Vを出力する。

40

【 0 0 3 0 】

また、内部回路12は、電源線Vdd1から1.5Vの電圧供給を受け、Highレベルが1.5Vのデータ信号SD1を出力回路14に出力する。

【 0 0 3 1 】

そして、出力回路12は、電源電圧供給回路16から1.0Vの電源電圧の供給を受け、内部回路12から入力されるデータ信号SD1に基づき、Highレベルが1.0Vであるデータ信号SD2を、ロジックチップ20に出力する。

【 0 0 3 2 】

50

ロジックチップ20の入力回路28は、メモリチップ10からデータ信号SD2の入力を受ける。このとき、データ信号SD2のHighレベルは、自身の動作電圧である1.0Vである。そのため、例えば1.0Vで動作するインバータ等で受信しても、誤動作やトランジスタの破壊が生じることがない。従って、ロジックチップ20内に、自身の動作電圧と異なる電圧(例えば3.3V)で動作する入力バッファ回路を、別途、設ける必要がなく、チップ面積を小さくすることができる。

#### 【0033】

図2に、本発明の第1の実施例に係る半導体装置200を示す。図2中、図1と同一の構成要素には同一の符号を付し、説明は適宜省略する。

#### 【0034】

メモリチップ10の出力回路14は、互いに相補的にオンオフが切り替わる2つのトランジスタTr1, Tr2を有する。本実施例では、PMOSTランジスタTr1とNMOSTランジスタTr2により説明する。

#### 【0035】

出力回路14は、トランジスタTr1とTr2、NAND142、NOR144、インバータ146により、3-stateバッファ回路を構成する。但し、出力回路14の構成は3-stateバッファ回路に限られず、トランジスタTr1、Tr2とから構成されるインバータであってもよい。

#### 【0036】

電源電圧供給回路は、NMOSTランジスタTr3である。NMOSTランジスタTr3は、PMOSTランジスタTr1とNMOSTランジスタTr2の間に直列に接続されている。そして、NMOSTランジスタTr3のゲート電極には、バンプB2を介して、ロジックチップ20の電源電圧である1.0Vが印加されている。

#### 【0037】

NMOSTランジスタTr3のソース端子とNMOSTランジスタTr2のドレイン端子との接続点であるノードN1が出力回路14の出力端子であり、バンプB1と接続される。

#### 【0038】

NMOSTランジスタTr3のチャネル領域には不純物がドーピングされておらず、オン電圧が実質的に0Vである。従って、NMOSTランジスタTr3は、そのドレイン端子に印加された電圧をクランプし、ゲート電極に印加された電圧をそのソース端子に出力する回路として機能する。

#### 【0039】

トランジスタTr1, Tr2, Tr3についてさらに詳細に説明すると、PMOSTランジスタTr1のバックゲートは電源線Vdd1に接続され、1.5Vにバイアスされている。NMOSTランジスタTr2とTr3のバックゲートは、グランドGND1に接続され、接地電位にバイアスされている。

#### 【0040】

出力回路14の動作を説明する。

#### 【0041】

出力回路14のモード選択端子MTに、内部回路12からHighレベル(1.5V)のモード選択信号SM1が入力すると、出力回路14は出力モードになり、データ端子DTに入力されるデータ信号SD1に応じて、ノードN1にHighもしくはLowのデータ信号SD2を出力する。データ信号SD2は、バンプB1及びバンプB3を介してロジックチップ20の入力回路28に送信される。

#### 【0042】

モード選択信号SM1がLowになると、データ端子DTに入力される論理に依らず、NAND142の出力がHighレベルになり、NOR144の出力がLowレベルとなる。従って、PMOSTランジスタTr1およびNMOSTランジスタTr2が共にオフになり、ノードN1はハイインピーダンスとなる。この状態では、メモリチップ10は、

10

20

30

40

50

入力回路18により、パンプB1を介してデータ信号を受信する。

【0043】

さらに具体的に説明すると、出力回路14が出力モードで、かつ、データ端子DTにHighレベルが入力された場合は、NAND142およびNOR144の出力がLowレベルとなる。従って、PMOSトランジスタTr1がオンになり、NMOSトランジスタTr2がオフになる。

【0044】

従って、NMOSトランジスタTr3のドレイン端子には、電源線Vdd1から、PMOSトランジスタTr1を介して、メモリチップ10の動作電圧である1.5Vが印加される。

10

【0045】

ここで、NMOSトランジスタTr3のゲート電極には、パンプB2を介して、ロジックチップ20から1.0Vの電圧が供給されている。そのため、NMOSトランジスタTr3のソース端子、すなわちノードN1には、1.0Vの電圧が出力される。よって、出力回路14は、Highレベルがロジックチップ20の動作電圧の1.0Vであるデータ信号を出力することができる。

【0046】

一方、出力モード時にデータ端子DTにLowレベルが入力すると、NAND142およびNOR144の出力が共にHighレベルになり、PMOSトランジスタTr1がオフになり、NMOSトランジスタTr2がオンになる。よって、ノードN1には、NMOSトランジスタTr2を介して接地電位が印加され、出力回路14はLowレベルを出力する。

20

【0047】

本実施例に示すように、他方の半導体チップ(ロジックチップ20)から、当該他方の半導体チップの電源電圧(1.0V)の供給を受ける一方の半導体チップ(メモリチップ10)も、チップ面積の小型化を図ることができる。その理由は次の通りである。従来、内部回路の出力を、自分自身の動作電圧と異なる3.3Vで動作する出力バッファ回路で再度受けてから、チップの外部に出力していた。3.3V動作の出力バッファ回路を形成するためのウェルと、1.5V動作の内部回路を形成するためのウェルとは、互いに電氣的に分離する必要があるため、それぞれのウェルを別々に設ける必要がある。さらに、それぞれのウェルを電氣的に分離するために、比較的大きな素子分離領域(例えば、STI等)を設け、両ウェルの距離を比較的大きくする必要があった。そのため、半導体チップ面積の増大を招いていた。一方、本実施例では、電源電圧供給回路であるNMOSトランジスタTr3を、1.5Vで動作する出力バッファ回路(本実施例では出力回路14)中に組み込むことにより、3.3Vで動作する出力バッファ回路を別途設ける必要が無い。1.5V動作の出力バッファ回路は、内部回路を形成するためのウェル内に形成することができるし、別途、1.5V動作の出力バッファ用のウェルを設けるとしても、内部回路を形成するためのウェルから、それ程大きく離す必要がない。そのため、本発明では、従来の技術に比べて、半導体チップ面積を小さくすることができる。

30

【0048】

次に、メモリチップ10がロジックチップ20からデータ信号を受信する場合について説明する。

40

【0049】

ロジックチップ20の内部回路22は、電源線Vdd2に接続され、1.0Vで動作し、Highレベルが1.0Vであるデータ信号SD3を出力回路24に出力する。

【0050】

ロジックチップ20の出力回路24は、電源線Vdd2に接続されて1.0Vで動作し、内部回路22から入力されるデータ信号SD3に応じてHighレベルが1.0Vであるデータ信号SD4を出力する。

【0051】

50

ロジックチップ20の出力回路24が出力するデータ信号SD4は、パンプB3、B1を介して、メモリチップ10の入力回路18に入力される。つまり、パンプB1、B3は、入出力兼用の外部端子である。

【0052】

メモリチップ10の入力回路18は、PMOSトランジスタTr4、Tr6とNMOSトランジスタTr5、Tr7で構成されるフリップフロップ回路182と、インバータ184とからなる。そして、入力回路18は、PMOSトランジスタTr6とNMOSトランジスタTr7間のノードN2の電圧をデータ信号SD5として、内部回路12に出力する。

【0053】

フリップフロップ回路182は、1.5Vで動作し、Highレベルが1.5Vであるデータ信号SD5を出力する。一方、インバータ184は、パンプB2から電圧供給を受けて1.0Vで動作し、Highレベルが1.0Vである信号SD6をNMOSトランジスタTr7に出力する

入力回路18の動作は、パンプB1に入力されるデータ信号SD4がHighレベルの場合には、ノードN2にHighレベルである1.5Vを出力する。一方、データ信号SD4がLowレベルの場合には、ノードN2はLowレベルを出力する。

【0054】

メモリチップ10の入力回路18をこのように構成することにより、スタティックな貫通電流を発生させることなく、Highレベルが1.0Vの信号SD4を、Highレベルが1.5Vの信号に変換することができます。

【0055】

本発明の第2の実施例にかかる半導体装置300を、図3を用いて説明する。

【0056】

本実施例が、第1の実施例と異なる点は、電源電圧供給回路12であるNMOSトランジスタTr3の接続位置である。本実施例のNMOSトランジスタTr3は、電源線Vd1とPMOSトランジスタTr1の間に接続されている。かかる構成により、NMOSトランジスタTr1のドレイン端子には、1.5Vが印加され、ソース端子には、ゲート電極に印加される電圧である1.0Vが出力されている。

【0057】

すなわち、出力回路14は、NMOSトランジスタTr3から1.0Vの供給を受け、Highレベルが1.0Vであるデータ信号SD2を出力する。

【0058】

本実施例のその他の部分は、第1の実施例と同様である。

【0059】

本発明の第3の実施例にかかる半導体装置400を、図4を用いて説明する。

【0060】

本実施例では、出力回路14のPMOSトランジスタTr1のソース端子が、配線162により、直接、パンプB2に接続されている。すなわち、配線162が電源電圧供給回路16である。

【0061】

この構成により、出力回路14は、パンプB2および配線162を介して、ロジックチップ20から1.0Vの供給を受け、Highレベルが1.0Vであるデータ信号SD2を出力する。

【0062】

(第1の実施例と第3の実施例との対比)

第3の実施例は、第1の実施例に比べて、NMOSトランジスタTr3を形成する必要が無いので、構成が単純であるという利点がある。一方、第1の実施例は、第3実施例に比べて、回路面積を小さくすることができるという利点がある。その理由を、図5を用いて説明する。

10

20

30

40

50

## 【 0 0 6 3 】

図5(a)は、第3の実施例に係る半導体装置400の部分断面図である。図4の回路図に示すように、出力回路14を構成するPMOSトランジスタTr1のバックゲートがバンプB2に接続され、1.0Vにバイアスされている。一方、例えばNAND142やNOR144を構成するPMOSトランジスタTr12のバックゲートは、1.5Vにバイアスされる。

## 【 0 0 6 4 】

従って、図5(a)に示すように、PMOSトランジスタTr1がその内部に形成されるNウェルNw1と、例えばNAND142やNOR144を構成するPMOSトランジスタTr12がその内部に形成されるNウェルNw2とを、電氣的に分離しなければならない。電位の異なるNウェルNw1とNw2とを電氣的に分離するためには、例えばSTI(Shallow Trench Isolation)30を設ける必要がある。

10

## 【 0 0 6 5 】

一方、図5(b)に第1の実施例に係る半導体装置200の部分断面図を示す。

## 【 0 0 6 6 】

図2の回路図に示すように、PMOSトランジスタTr1のバックゲートは電源線Vd1に接続され、1.5Vにバイアスされている。従って、図5(a)に示すように、例えばNAND142又はNOR144を構成するPMOSトランジスタTr12とPMOSトランジスタTr1とを、同一のNウェルNw3中に形成することができる。よって、電位の異なるNウェルを電氣的に分離するためのSTIを形成する必要が無い。

20

## 【 0 0 6 7 】

第1の実施例の出力回路14では、第3の実施例の出力回路に比べてNMOSトランジスタTr3を一つ多く形成する必要があるが、一般に、MOSトランジスタ1つ分の面積の方が、電位の異なるNウェルNw1とNw2とを分離するためのSTIの面積よりも小さい。そのため、第1の実施例に係る半導体装置では、第3の実施例に係る半導体装置よりも回路面積を小さくすることができる。

## 【 0 0 6 8 】

本発明は、上記の実施の形態に限定されるものではなく、発明の思想から乖離しないように、適宜、修正や変更を伴うことができる。

## 【 図面の簡単な説明 】

30

## 【 0 0 6 9 】

【 図 1 】 本発明の最良の実施の形態を説明するための図である。

【 図 2 】 本発明の第1の実施例を説明するための図である。

【 図 3 】 本発明の第2の実施例を説明するための図である。

【 図 4 】 本発明の第3の実施例を説明するための図である。

【 図 5 】 本発明の第1の実施例と第3の実施例を比較するための図である。

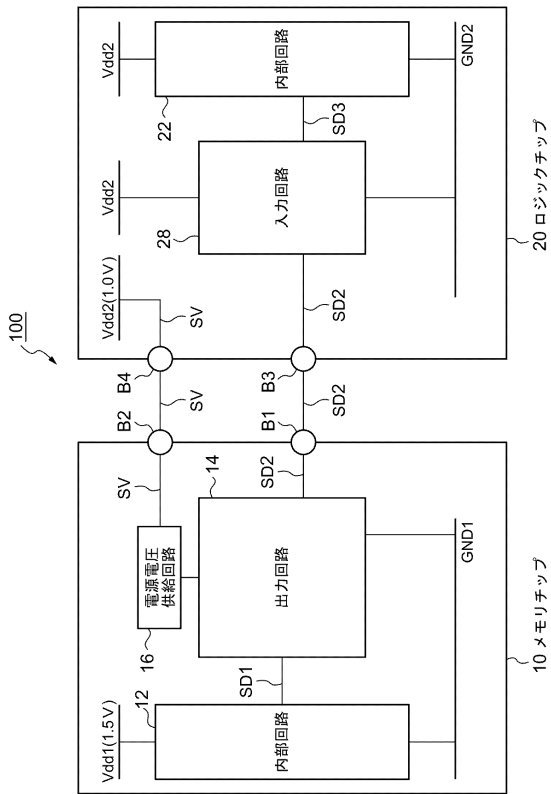
## 【 符号の説明 】

## 【 0 0 7 0 】

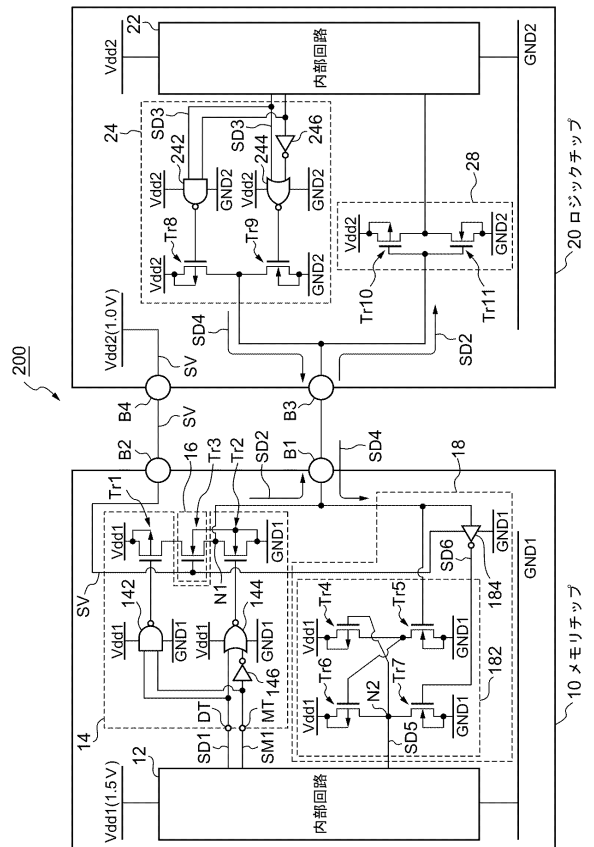
1 0	メモリチップ	
1 2	メモリチップの内部回路	40
1 4	メモリチップの出力回路	
1 6	メモリチップの電源電圧供給回路	
1 8	メモリチップの入力回路	
2 0	ロジックチップ	
2 2	ロジックチップの内部回路	
2 4	ロジックチップの出力回路	
2 8	ロジックチップの入力回路	
3 0	STI	
SD 1 , SD 2 , SD 3 , SD 4 , SD 5 , SD 6	データ信号	
SV	電圧信号	50

- Vdd1 第1電源電圧(1.5V)を供給する電源線
- Vdd2 第2電源電圧(1.0V)を供給する電源線
- B1, B2, B3, B4 パンプ
- GND1, GND2 接地電位を供給する電源線
- Tr MOSトランジスタ

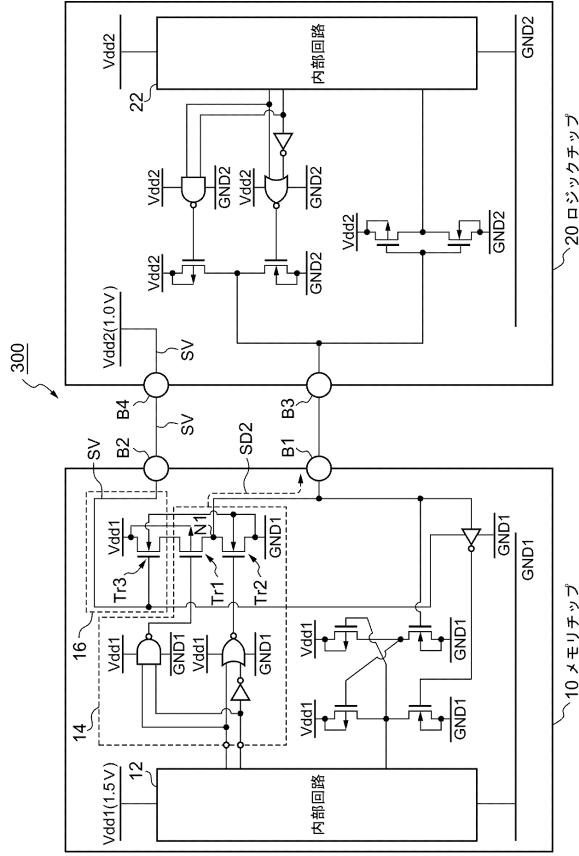
【図1】



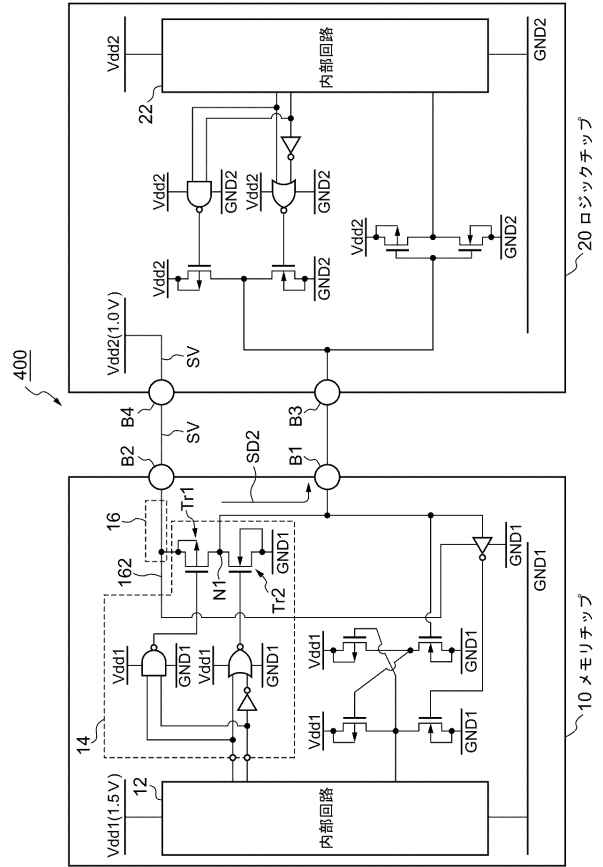
【図2】



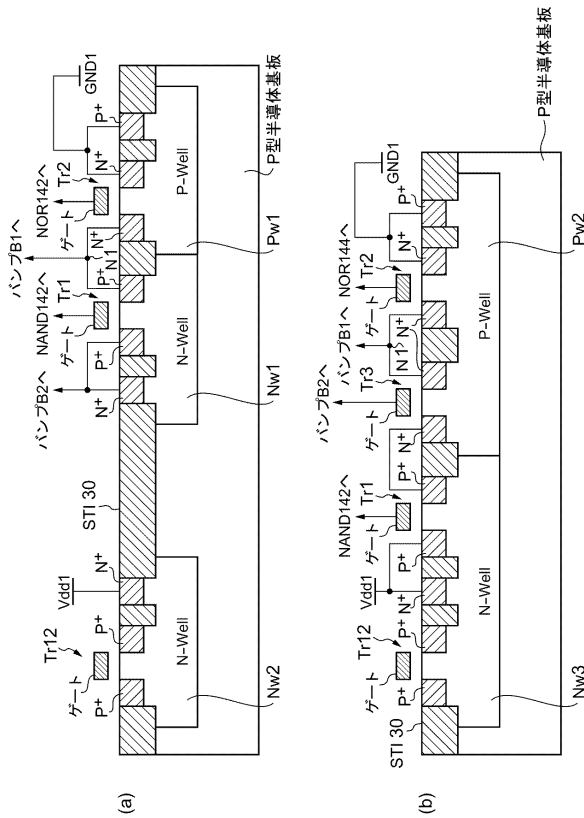
【 図 3 】



【 図 4 】



【 図 5 】



---

フロントページの続き

- (56)参考文献 特開平09 - 116416 (JP, A)  
特開平11 - 041082 (JP, A)  
特開2003 - 218674 (JP, A)  
特開2003 - 133938 (JP, A)

(58)調査した分野(Int.Cl., DB名)

H03K19/00, 19/01 - 19/082, 19/092 - 19/096  
H01L27/06 - 27/08