



ÚŘAD PRO VYNÁLEZY
A OBJEVY

POPIS VYNÁLEZU

K AUTORSKÉMU OSVEDČENIU

217691

(11)

(B1)

(22) Prihlášené 16 04 81

(21) (PV 2876-81)

(40) Zverejnené 30 04 82

(45) Vydané 16 07 84

(51) Int. Cl.³

H 02 P 8/00

H 02 K 37/00

(75)

Autor vynálezu

SKOKÁNEK PETER ing., NOVÉ MESTO NAD VÁHOM

(54) Zapojenie riadiaceho obvodu krokových motorov

Účelom vynálezu je zjednodušenie zapojenia programového riadenia režimu činnosti krokových motorov.

Uvedeného účelu sa dosiahne zapojením, ktorého podstatou je, že generátor riadiacich impulzov je svojím výstupom cez prepínač striedavo pripojený na vstup reverzibilného čítača pre počítanie vpred, alebo na vstup reverzibilného čítača pre počítanie vzad. Binárne výstupy reverzibilného čítača sú pripojené na príslušné adresové vstupy pamäte PROM. Na významovo vyšší adresový vstup pamäte PROM je pripojený prepínač logických úrovní. Z pamäte PROM vyúsťuje priamy a inverzný výstup.

Vynález sa týka riadiaceho obvodu krokových motorov s reverzibilným čítačom a pamäťou PROM.

Doteraz známe riadiace obvody pre krokové motory sú riešené ako logické a sekvenčné obvody tvorené pomocou prvkov malej integrácie, čo pre riadenie väčšieho počtu krokových motorov predstavuje pomerne veľa použitých integrovaných obvodov a zložité plošné spoje. Každá zmena algoritmu riadenia si vyžaduje zmenu zapojenia riadiaceho obvodu.

Vyššie uvedené nedostatky odstraňuje zapojenie riadiaceho obvodu krokových motorov podľa vynálezu, ktorého podstatou je, že generátor riadiacich impulzov je svojím výstupom cez prepínač striedavo pripojený na vstup reverzibilného čítača pre počítanie vpred a na vstup reverzibilného čítača pre počítanie vzad. Nultý binárny výstup reverzibilného čítača je pripojený na nultý adresový vstup pamäte PROM. Prvý binárny výstup reverzibilného čítača je pripojený na prvý adresový vstup pamäte PROM. Druhý binárny výstup reverzibilného čítača je pripojený na druhý adresový vstup pamäte PROM a tretí binárny výstup reverzibilného čítača je pripojený na tretí adresový vstup pamäte PROM. Na významovo vyšší adresový vstup pamäte PROM je pripojený prepínač logických úrovní. Z pamäte PROM vyúsťuje priamy výstup a inverzný výstup.

Zapojením riadiaceho obvodu krokových motorov podľa vynálezu sa docieľi jednoduchým zapojením možnosť programového riadenia režimu činnosti krokového motora a možnosť budenia rôznych spínacích stupňov vyžadujúcich priame, alebo inverzné logické signály.

Na pripojenom výkrese je znázornená bloková schéma zapojenia riadiaceho obvodu krokového motora.

Zapojenie riadiaceho obvodu krokového motora pozostáva z generátora 10 riadiacich

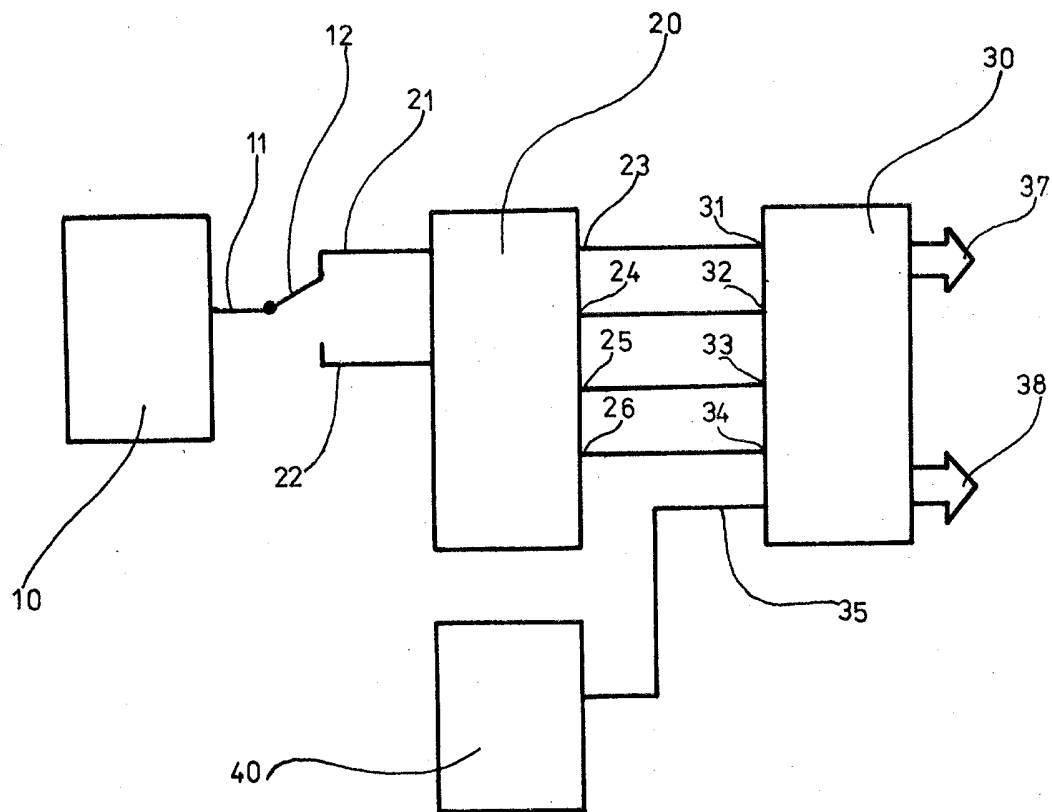
impulzov, ktorý je svojím výstupom 11 cez prepínač 12 striedavo pripojený na vstup 21 reverzibilného čítača 20 pre počítanie vpred a na vstup 22 reverzibilného čítača 20 pre počítanie vzad. Nultý binárny výstup 23 reverzibilného čítača 20 je pripojený na nultý adresový vstup 31 pamäte 30 PROM. Prvý binárny výstup 24 reverzibilného čítača 20 je pripojený na prvý adresový vstup 32 pamäte 30 PROM. Druhý binárny výstup 25 reverzibilného čítača 20 je pripojený na druhý adresový vstup 33 pamäte 30 PROM. Tretí binárny výstup 26 reverzibilného čítača 20 je pripojený na tretí adresový vstup 34 pamäte 30 PROM. Na významovo vyšší adresový vstup 35 pamäte 30 PROM je pripojený prepínač 40 logických úrovní. Z pamäte 30 PROM vyúsťuje priamy výstup 37 a inverzný výstup 38.

Podľa toho či sú riadiace impulzy z generátora 10 privedené na vstup 21 reverzibilného čítača 20 pre počítanie vpred, alebo na vstup 22 reverzibilného čítača 20 pre počítanie vzad, reverzibilný čítač 20 zvyšuje, alebo znižuje svoj obsah, ktorý je vyjadrený binárnym číslom na binárnych výstupoch 23, 24, 25, 26 reverzibilného čítača 20. Pretože tieto sú privedené na adresové vstupy 31, 32, 33, 34 pamäte 30 PROM, bude sa na priamom výstupe 37 pamäte 30 PROM a na inverznom výstupe 38 pamäte 30 PROM objavovať obsah zodpovedajúci adrese danej binárnym číslom na binárnych výstupoch 23, 24, 25, 26 reverzibilného čítača 20. Zmenu algoritmu riadenia možno dosiahnuť zmenou logického stavu na významovo vyššom adresovom vstupe 35 pamäte 30 PROM, čím sa na priamom výstupe 37 pamäte 30 PROM a na inverznom výstupe 38 pamäte 30 PROM budú objavovať obsahy pamäťových miest zodpovedajúce adrese danej binárnym číslom na binárnych výstupoch 23, 24, 25, 26 zvýšené o príslušný rád významovo vyššieho adresového vstupu 35.

PREDMET VYNÁLEZU

Zapojenie riadiaceho obvodu krokových motorov s reverzibilným čítačom a pamäťou PROM vyznačujúce sa tým, že generátor (10) riadiacich impulzov je svojím výstupom (11) cez prepínač (12) striedavo pripojený na vstup 21 reverzibilného čítača (20) pre počítanie vpred a na vstup (22) reverzibilného čítača (20) pre počítanie vzad, pričom nultý binárny výstup (23) reverzibilného čítača (20) je pripojený na nultý adresový vstup (31) pamäte (30) PROM, prvý binárny výstup (24) reverzibilného čítača (20) je pripojený na prvý ad-

resový vstup (32) pamäte (30) PROM, druhý binárny výstup (25) reverzibilného čítača (20) je pripojený na druhý adresový vstup (33) pamäte (30) PROM a tretí binárny výstup (26) reverzibilného čítača (20) je pripojený na tretí adresový vstup (34) pamäte (30) PROM, kým na významovo vyšší adresový vstup (35) pamäte (30) PROM je pripojený prepínač (40) logických úrovní, zatiaľ čo z pamäte (30) PROM vyúsťuje priamy výstup (37) a inverzný výstup (38).



Obr. 1