

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 7 部門第 2 区分

【発行日】平成 16 年 12 月 16 日 (2004.12.16)

【公開番号】特開 2001-210802 (P2001-210802A)

【公開日】平成 13 年 8 月 3 日 (2001.8.3)

【出願番号】特願 2000-21758 (P2000-21758)

【国際特許分類第 7 版】

H 0 1 L 27/108

H 0 1 L 21/8242

H 0 1 L 21/285

【F I】

H 0 1 L 27/10 6 5 1

H 0 1 L 21/285 C

H 0 1 L 21/285 3 0 1 R

H 0 1 L 27/10 6 2 1 C

【手続補正書】

【提出日】平成 16 年 1 月 14 日 (2004.1.14)

【手続補正 1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

酸化物誘電体キャパシタを有する半導体装置の製造方法において、
層間絶縁膜上にルテニウムの成膜を防止する成膜防止膜を形成する第 1 の工程と、
前記成膜防止膜を貫通して上記層間絶縁膜内に凹型の孔を形成する第 2 の工程と、
有機ルテニウム化合物を原料として用いた化学的気相成長法により、前記成膜防止膜が形成されていない部分の前記凹型の孔の内側側面及び底面上に選択的にルテニウムからなるキャパシタの下部電極を形成する第 3 の工程と、
前記下部電極上及び前記成膜防止膜上に渡って酸化物誘電体膜を形成する第 4 の工程と、
前記酸化物誘電体膜上に上部電極を形成する第 5 の工程とを有することを特徴とする半導体装置の製造方法。

【請求項 2】

酸化物誘電体キャパシタを有する半導体装置の製造方法において、
シリコン酸化膜上にルテニウムの成膜を防止する成膜防止膜を形成する第 1 の工程と、
前記成膜防止膜を貫通して前記シリコン酸化膜内に凹型の孔を形成する第 2 の工程と、
有機ルテニウム化合物を原料として用いた化学的気相成長法により前記成膜防止膜が形成されていない部分の前記凹型の孔の内部に選択的にルテニウムからなるキャパシタの下部電極を埋め込み形成する第 3 の工程と、
前記成膜防止膜及び前記シリコン酸化膜を除去して凸型の前記下部電極の側面を露出する第 4 の工程と、
前記下部電極上に酸化物誘電体膜を形成する第 5 の工程と、
前記酸化物誘電体膜上に上部電極を形成する第 6 の工程とを有することを特徴とする半導体装置の製造方法。

【請求項 3】

酸化物誘電体キャパシタを有する半導体装置の製造方法において、
シリコン酸化膜上にルテニウムの成膜を防止する成膜防止膜を形成する第 1 の工程と、

該成膜防止膜を貫通して前記シリコン酸化膜内に凹型の孔を設ける第2の工程と、
有機ルテニウム化合物を原料として用いた化学的気相成長法により前記成膜防止膜が形成されていない部分の該凹型の孔の内部に選択的にルテニウムからなるプラグを埋め込み形成する第3の工程と、
前記プラグの上面と接触したキャパシタの下部電極を形成する第4の工程と、
前記下部電極上に酸化物誘電体膜を形成する第5の工程と、
前記酸化物誘電体膜上に上部電極を形成する第6の工程とを有することを特徴とする半導体装置の製造方法。

【請求項4】

前記第1の工程において、成膜防止膜としてTi, W或いはTaの酸化物膜を形成することを特徴とする請求項1、2または3のいずれかに記載の半導体装置の製造方法。

【請求項5】

前記第1の工程において、成膜防止膜としてTi, W, Ta, TiN, WNの何れかからなる導電膜を形成することを特徴とする請求項1または3のいずれかに記載の半導体装置の製造方法。

【請求項6】

前記第1の工程と前記第4の工程の間に、さらに、酸化雰囲気中での熱処理により、前記導電膜を酸化する第6の工程を有することを特徴とする請求項5に記載の半導体装置の製造方法。

【請求項7】

前記第6の工程を、前記第3の工程後、前記第4の工程前に行うことを特徴とする請求項6に記載の半導体装置の製造方法。

【請求項8】

前記第3の工程と前記第4の工程の間に、さらに、前記導電膜を選択的に除去する第6の工程を有することを特徴とする請求項5に記載の半導体装置の製造方法。

【請求項9】

前記第3の工程を、酸化性ガスを含む雰囲気中で行い、前記酸化性ガスの濃度は0.01%以上70%以下であることを特徴とする請求項1、2または3のいずれかに記載の半導体装置の製造方法。

【請求項10】

前記第3の工程を、0.1 Torr以上10 Torr以下の圧力下で行うことを特徴とする請求項1、2または3のいずれかに記載の半導体装置の製造方法。

【請求項11】

前記第3の工程を、200以上450以下の形成温度で行うことを特徴とする請求項1、2または3のいずれかに記載の半導体装置の製造方法。

【請求項12】

下部電極と誘電体膜と上部電極からなるキャパシタを有する半導体装置の製造方法において、
層間絶縁膜中に凹型の孔を設ける第1の工程と、
第1のルテニウム膜を前記凹型の孔内部および前記絶縁膜の全面に形成する第2の工程と、
前記凹型の孔の内側側面及び底面を除いた前記層間絶縁膜上の前記第1のルテニウム膜を除去する第3の工程と、
有機ルテニウム化合物を原料として用いた化学的気相成長法により、前記凹型の孔内部に残された第1のルテニウム膜上に選択的に第2のルテニウム膜を形成して前記凹型の孔を埋め込み、前記第1及び第2のルテニウム膜からなるキャパシタの下部電極となる部分を形成する第4の工程と、
前記層間絶縁膜を除去して凸型の前記下部電極の側面を露出させる第5の工程と、
前記下部電極の上面及び側面を覆う酸化物誘電体膜を形成する第6の工程と、
前記酸化物誘電体膜上に上部電極を形成する第7の工程とを有することを特徴とする半導

体装置の製造方法。

【請求項 13】

キャパシタを有する半導体装置の製造方法において、
シリコン酸化膜内に凹型の孔を設ける第 1 の工程と、
第 1 のルテニウム膜を前記シリコン酸化膜の上面上及び前記凹型の孔の内面上に形成する第 2 の工程と、
前記シリコン酸化膜の上面上の前記第 1 のルテニウム膜を除去する第 3 の工程と、
有機ルテニウム化合物を原料として用いた化学的気相成長法により、第 2 のルテニウム膜を前記凹型の孔内部に残された第 1 のルテニウム膜上に選択的に形成して前記凹型の孔を埋め込みルテニウムのプラグを形成する第 4 の工程と、
前記第 1 及び第 2 のルテニウム膜からなるプラグと電氣的に接続された下部電極を形成する第 5 の工程と、
前記下部電極上に酸化物誘電体膜を形成する第 6 の工程と、
前記酸化物誘電体膜上に上部電極を形成する第 7 の工程とを有することを特徴とする半導体装置の製造方法。

【請求項 14】

キャパシタを有する半導体装置の製造方法において、
層間絶縁膜中に凹型の孔を設ける第 1 の工程と、
第 1 のルテニウム膜を前記凹型の孔内部および前記絶縁膜の全面に形成する第 2 の工程と、
前記凹型の孔の内側側面上及び底面上以外の前記第 1 のルテニウム膜を除去する第 3 の工程と、
化学的気相成長法により、前記凹型の孔内部に残された第 1 のルテニウム膜上に選択的に第 2 のルテニウム膜を堆積して、前記第 1 及び第 2 のルテニウム膜からなる凹型の下部電極を形成する第 4 の工程と、
前記下部電極上に酸化物誘電体膜を形成する第 5 の工程と、
前記酸化物誘電体膜上に上部電極を形成する第 6 の工程とを有することを特徴とする半導体装置の製造方法。

【請求項 15】

前記第 2 の工程を、スパッタ法により行うことを特徴とする請求項 12 乃至 14 の何れかに記載の半導体装置の製造方法。

【請求項 16】

前記第 2 の工程を、有機ルテニウム化合物を原料として用いた化学的気相成長法により行うことを特徴とする請求項 12 乃至 14 の何れかに記載の半導体装置の製造方法。

【請求項 17】

前記第 4 の工程を、酸化性ガスを含む雰囲気中で行い、前記酸化性ガスの濃度を 0.01 % 以上 70 % 以下とすることを特徴とする請求項 12 乃至 14 の何れかに記載の半導体装置の製造方法。

【請求項 18】

前記第 4 の工程を、0.1 Torr 以上 10 Torr 以下の圧力下で行うことを特徴とする請求項 12 乃至 14 の何れかに記載の半導体装置の製造方法。

【請求項 19】

前記第 4 の工程を、200 °C 以上 450 °C 以下の形成温度で行うことを特徴とする請求項 12 乃至 14 の何れかに記載の半導体装置の製造方法。

【請求項 20】

半導体基板と、前記半導体基板の主面に形成された MOS トランジスタと、前記 MOS トランジスタのソース領域またはドレイン領域と電氣的に接続されたプラグと、前記プラグ上に設けられた凹型の孔を有する層間絶縁膜と、前記層間絶縁膜の上面上に形成された Ti, W, Ta, TiN, WN から選択された何れかの酸化物からなる Ru, Ru の酸化物, Ir, Ir の酸化物あるいは Pt の成膜を防止するための成膜防止膜と、前記凹型の孔の

内側側面及び底面上に形成され、かつ、前記プラグと電氣的に接続された Ru, Ruの酸化物, Ir, Irの酸化物あるいはPtの何れかからなるキャパシタ下部電極と、前記凹型の孔内の下部電極上及び前記層間絶縁膜上の成膜防止膜上に渡って設けられた酸化物誘電体膜と、前記酸化物誘電体膜上に設けられた上部電極とを有し、前記下部電極と上部電極と酸化物誘電体とによりキャパシタが構成されていることを特徴とする半導体装置。