

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2005-257754
(P2005-257754A)

(43) 公開日 平成17年9月22日(2005.9.22)

(51) Int. Cl. ⁷	F I	テーマコード (参考)
G09G 3/28	G09G 3/28 K	5C058
G09G 3/20	G09G 3/20 612U	5C080
G09G 3/288	G09G 3/20 641E	5C580
H04N 5/66	G09G 3/20 641P	
	G09G 3/20 642A	
審査請求 未請求 請求項の数 15 O L (全 15 頁) 最終頁に続く		

(21) 出願番号	特願2004-65578 (P2004-65578)	(71) 出願人	000005016 パイオニア株式会社 東京都目黒区目黒1丁目4番1号
(22) 出願日	平成16年3月9日(2004.3.9)	(74) 代理人	100079119 弁理士 藤村 元彦
		(72) 発明者	後藤田 明 山梨県中巨摩郡田富町西花輪2680番地 パイオニア株式会社内
		(72) 発明者	重田 哲也 山梨県中巨摩郡田富町西花輪2680番地 パイオニア株式会社内
		(72) 発明者	鈴木 雅博 山梨県中巨摩郡田富町西花輪2680番地 パイオニア株式会社内
		最終頁に続く	

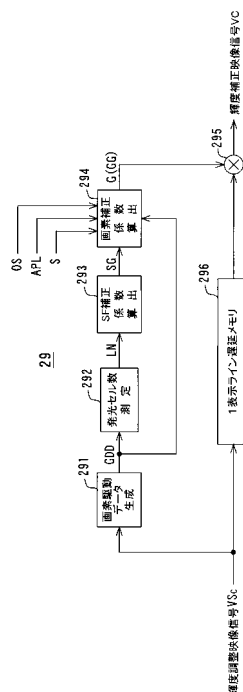
(54) 【発明の名称】 表示装置

(57) 【要約】

【課題】 簡略化された構成で輝度むらのない高品質な画像表示が可能な表示装置を提供することを目的とする。

【解決手段】 映像信号に基づき表示ライン上における画素セル各々の発光状態に対応した負荷量を各表示ライン毎に測定し、各表示ラインに対応した映像信号の区間に対して、その表示ラインに対応した上記負荷量に応じた輝度レベルの補正を行う。

【選択図】 図3



【特許請求の範囲】

【請求項 1】

複数の表示ライン各々上に画素に対応した複数の画素セルが形成されている表示パネルと、映像信号に応じて前記表示ライン各々に駆動パルスを印加することにより前記画素セル各々を発光させる発光駆動手段とを備えた表示装置であって、

前記映像信号に基づき 1 表示ライン上における前記画素セル各々の発光状態に対応した負荷量を前記表示ライン毎に測定する負荷量測定手段と、

前記表示ライン各々に対応した前記映像信号の区間に対して、その表示ラインに対応した前記負荷量に応じた輝度レベルの補正を施す補正手段と、
を有することを特徴とする表示装置。

10

【請求項 2】

前記負荷量測定手段は、前記表示ライン上において発光状態となる前記画素セルの数に基づき前記負荷量を得ることを特徴とする請求項 1 記載の表示装置。

【請求項 3】

前記補正手段は、前記負荷量が最大となる場合の輝度レベルの補正量を 0 とし、前記負荷量が小なるほど前記映像信号における輝度レベルを大幅に低下させるべき補正を行うことを特徴とする請求項 1 記載の表示装置。

【請求項 4】

前記補正手段は、前記負荷量が最小となる場合の輝度レベルの補正量を 0 とし、前記負荷量が大なるほど前記映像信号における輝度レベルを大幅に増加させるべき補正を行うことを特徴とする請求項 1 記載の表示装置。

20

【請求項 5】

前記映像信号の平均輝度レベルを検出する平均輝度検出手段を更に備え、

前記補正手段は、前記平均輝度レベルに応じて前記輝度レベルの補正量を変更することを特徴とする請求項 1 記載の表示装置。

【請求項 6】

前記平均輝度レベルが所定レベルよりも小である場合には前記輝度レベルの補正量を低下させることを特徴とする請求項 5 記載の表示装置。

【請求項 7】

前記平均輝度レベルが所定レベルよりも小である場合には前記輝度レベルの補正量を 0 に変更することを特徴とする請求項 5 記載の表示装置。

30

【請求項 8】

前記発光駆動手段は、前記映像信号における各フィールドを構成する複数のサブフィールド各々において前記画素セルを前記映像信号に応じて発光させる発光駆動制御手段を含み、

前記負荷量測定手段は、前記サブフィールド毎に前記表示ライン各々に対応した前記負荷量を求め、

前記補正手段は、前記サブフィールド各々に対応した前記負荷量を重み付け加算して得た加算結果に基づいて前記輝度レベルの補正量を算出することを特徴とする請求項 1 記載の表示装置。

40

【請求項 9】

複数の表示ライン各々上に画素に対応した複数の画素セルが形成されている表示パネルと、映像信号に応じて前記表示ライン各々に駆動パルスを印加することにより前記画素セル各々を発光させる発光駆動手段とを備えた表示装置であって、

前記映像信号に基づき前記画素セル各々の発光状態に対応した負荷量を前記画素セル毎に測定する負荷量測定手段と、

前記表示ライン各々に対応した前記映像信号の区間に対して、その画素セルに対応した前記負荷量に応じた輝度レベルの補正を施す補正手段と、を有することを特徴とする表示装置。

【請求項 10】

50

前記負荷量測定手段は、1表示ライン上において発光する前記画素セルの総数及び前記画素セルの前記表示ライン上の位置に基づいて前記負荷量を得ることを特徴とする請求項9記載の表示装置。

【請求項11】

前記映像信号の平均輝度レベルを検出する平均輝度検出手段を更に備え、

前記補正手段は、前記平均輝度レベルに応じて前記輝度レベルの補正量を変更することを特徴とする請求項9記載の表示装置。

【請求項12】

複数の表示ライン各々上に画素に対応した複数の画素セルが形成されている表示パネルと、映像信号に応じて前記表示ライン各々に駆動パルスを印加することにより前記画素セル各々を発光させる発光駆動手段とを備えた表示装置であって、

前記映像信号に基づき前記画素セル各々の発光状態に対応した負荷量を測定する負荷量測定手段と、

前記映像信号中にオンスクリーン映像信号が重畳されている場合又は前記映像信号がコンピュータ映像信号である場合に、前記負荷量に応じて前記映像信号における輝度レベルを補正する補正手段と、を有することを特徴とする表示装置。

【請求項13】

前記補正手段は、前記映像信号が動画信号である場合には前記映像信号に対する輝度レベルの補正動作を非作動とすることを特徴とする請求項12記載の表示装置。

【請求項14】

前記補正手段は、前記映像信号が動画信号である場合には前記映像信号に対する輝度レベルの補正量を低下させることを特徴とする請求項12記載の表示装置。

【請求項15】

前記映像信号の平均輝度レベルを検出する平均輝度検出手段を更に備え、

前記補正手段は、前記平均輝度レベルに応じて前記輝度レベルの補正量を変更することを特徴とする請求項12記載の表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、表示パネルを搭載した表示装置に関する。

【背景技術】

【0002】

現在、大型で薄型のカラー表示パネルとしてプラズマディスプレイパネル（以下、PDPと称する）を搭載したプラズマディスプレイ装置が製品化されている。

【0003】

PDPには、表示面を担う前面ガラス基板と、背面基板とが、放電ガスの封入された放電空間を介して対向配置されている。前面ガラス基板の内面（背面基板と対向する面）には表示面における行方向に伸長する帯状の行電極が複数個形成されている。一方、背面基板には表示面における列方向に伸長する帯状の列電極が複数個形成されている。この際、互いに隣接する一対の行電極（以下、行電極対と称する）が1表示ラインを担う。各行電極対と列電極との交叉部に画素を担う放電セルが形成される構造となっている。

【0004】

プラズマディスプレイ装置では、先ず、各画素毎の画素データに応じて、放電セル各々内に選択的に壁電荷を形成させる。そして、PDPの行電極に維持パルスを繰り返し印加することにより、壁電荷の形成された放電セルに対して繰り返し維持放電を生起させてその放電に伴う発光状態を維持させるのである。

【0005】

ここで、上記維持放電に伴い、各行電極上には維持放電電流が流れる。又、PDPが大画面化するほど行電極も長くなり、その抵抗値も大となるので、上記維持放電電流が行電

10

20

30

40

50

極に流れた際に比較的大なる電圧降下が生じる。この際、維持放電電流の電流量及び電圧降下は、その行電極上において維持放電の生起された放電セルの総数により各行電極毎に異なってくる。すなわち、維持放電の生起された放電セルの数が多い表示ラインは、その数が少ない表示ラインに比して電圧降下が大となるので、維持放電に伴う発光輝度が低下する。よって、1画面内において輝度ムラが生じるという問題があった。

【0006】

そこで、かかる問題を解決すべく、表示データに基づき、各表示ライン毎にその表示ラインに印加すべき維持パルスの変数を変更するようにした画像表示装置が提案された(例えば、特許文献1参照)。

【0007】

しかしながら、各表示ライン毎に維持パルスの数を変更するには複雑な制御が必要となり、又、その調整及び検証作業も困難になるという問題が生じる。

【特許文献1】特開平09-38945号公報

【発明の開示】

【発明が解決しようとする課題】

【0008】

本発明は、かかる問題を解決すべく為されたものであり、簡略化された構成で輝度むらのない高品質な画像表示が可能な表示装置を提供することを目的とするものである。

【課題を解決するための手段】

【0009】

請求項1記載による表示装置は、複数の表示ライン各々上に画素に対応した複数の画素セルが形成されている表示パネルと、映像信号に応じて前記表示ライン各々に駆動パルスを印加することにより前記画素セル各々を発光させる発光駆動手段とを備えた表示装置であって、前記映像信号に基づき1表示ライン上における前記画素セル各々の発光状態に対応した負荷量を前記表示ライン毎に測定する負荷量測定手段と、前記表示ライン各々に対応した前記映像信号の区間に対して、その表示ラインに対応した前記負荷量に応じた輝度レベルの補正を施す補正手段と、を有する。

【0010】

又、請求項9記載による表示装置は、複数の表示ライン各々上に画素に対応した複数の画素セルが形成されている表示パネルと、映像信号に応じて前記表示ライン各々に駆動パルスを印加することにより前記画素セル各々を発光させる発光駆動手段とを備えた表示装置であって、前記映像信号に基づき前記画素セル各々の発光状態に対応した負荷量を前記画素セル毎に測定する負荷量測定手段と、前記表示ライン各々に対応した前記映像信号の区間に対して、その画素セルに対応した前記負荷量に応じた輝度レベルの補正を施す補正手段と、を有する。

【0011】

又、請求項11記載による表示装置は、複数の表示ライン各々上に画素に対応した複数の画素セルが形成されている表示パネルと、映像信号に応じて前記表示ライン各々に駆動パルスを印加することにより前記画素セル各々を発光させる発光駆動手段とを備えた表示装置であって、前記映像信号に基づき前記画素セル各々の発光状態に対応した負荷量を測定する負荷量測定手段と、前記映像信号中にオンスクリーン映像信号が重畳されている場合又は前記映像信号がコンピュータ映像信号である場合に、前記負荷量に応じて前記映像信号における輝度レベルを補正する補正手段と、を有する。

【発明を実施するための最良の形態】

【0012】

映像信号に基づき表示ライン上における画素セル各々の発光状態に対応した負荷量を各表示ライン毎に測定し、各表示ラインに対応した映像信号の区間に対して、その表示ラインに対応した上記負荷量に応じた輝度レベルの補正を行う。

【実施例】

【0013】

10

20

30

40

50

図1は、本発明による表示装置としてのプラズマディスプレイ装置の構成を示す図である。

【0014】

図1に示すように、かかるプラズマディスプレイ装置は、表示部1と、映像信号処理部2とから構成される。表示部1は、プラズマディスプレイパネルとしてのPDP10、X電極ドライバ11、Y電極ドライバ12、アドレスドライバ13、及び発光駆動制御回路14から構成される。

【0015】

PDP100には、表示画面における垂直方向に夫々伸張している列電極 $D_1 \sim D_m$ が形成されている。更に、PDP10には、表示画面における水平方向に夫々伸張している行電極 $X_1 \sim X_n$ 及び行電極 $Y_1 \sim Y_n$ が、XY交互に配列して形成されている。この際、互いに隣接するもの同士にて対を為す行電極対 (Y_1, X_1) 、 (Y_2, X_2) 、 (Y_3, X_3) 、 \dots 、 (Y_n, X_n) が夫々、PDP10における第1表示ライン～第n表示ラインを担う。各表示ラインと列電極 $D_1 \sim D_m$ 各々との各交叉部には、画素を担う画素セルPCが形成されている。すなわち、PDP10には、第1表示ラインに属する画素セルPC_{1,1}、 $1 \sim PC_{1,m}$ 、第2表示ラインに属する画素セルPC_{2,1}～PC_{2,m}、 \dots 、第n表示ラインに属する画素セルPC_{n,1}～PC_{n,m}の各々がマトリクス状に配列されているのである。

10

【0016】

発光駆動制御回路14は、例えば図2に示す如きサブフィールド法を採用した発光駆動シーケンスに従ってPDP10を発光駆動させるべく、映像信号VSに応じて、X電極ドライバ11、Y電極ドライバ12及びアドレスデータドライバ13各々を制御する。尚、図2に示す発光駆動シーケンスでは、映像信号の各フィールド(又はフレーム)は、夫々がアドレス行程Wc及び発光維持行程Icを含む15個のサブフィールドSF1～SF15からなる。

20

【0017】

サブフィールドSF1～SF15各々のアドレス行程Wcでは、Y電極ドライバ12が、行電極 $Y_1 \sim Y_n$ へと順次、走査パルスSPを印加して行く。この間、アドレスデータドライバ13は、メモリ31から供給された1表示ライン分の画素駆動データビットDB₁～DB_m各々に対応した電圧を有するm個の画素データパルスDP₁～DP_mを夫々PDP10の列電極 $D_1 \sim D_m$ に印加する。かかる動作により、PDP10の画素セルPC_{1,1}～PC_{n,m}各々が、画素駆動データビットDBに応じて、発光維持行程Icで発光することになる発光モード、又は発光維持行程Icにおいて消灯状態となる消灯モードのいずれか一方に設定される。

30

【0018】

又、サブフィールドSF1～SF15各々の発光維持行程Icにおいては、X電極ドライバ11が、そのサブフィールドSFの重み付けに対応した回数だけ繰り返し維持パルスをPDP10の行電極 $X_1 \sim X_n$ 各々に印加する。更に、Y電極ドライバ12は、サブフィールドSF1～SF15各々の発光維持行程Icにおいて、そのサブフィールドの重み付けに対応した回数だけ繰り返し維持パルスをPDP10の行電極 $Y_1 \sim Y_n$ 各々に印加する。かかる動作により、PDP10の画素セルPC_{1,1}～PC_{n,m}各々の内で上記発光モードに設定されている画素セルPCのみが、上記維持パルスが印加される度に放電(維持放電)し、その放電に伴う発光状態を維持する。

40

【0019】

以上の如き動作により、サブフィールドSF1～SF15各々の発光維持行程Icにて画素セルPCが維持放電した合計回数に対応した中間輝度が視覚されることになる。

【0020】

又、図1において、映像信号処理部2は、入力セレクタ21、表示制御回路22、加算器23、OSD(On Screen Display)画像信号生成回路24、スイッチ25、操作装置26、APL検出回路27、輝度調整回路28、輝度補正回路29、画素駆動データ生成回

50

路 30 及びメモリ 31 から構成される。

【0021】

入力セレクタ 21 は、入力されたテレビジョン映像信号（以下、TV 映像信号と称する）、又はコンピュータ映像信号（以下、PC 映像信号と称する）の内のいずれか一方を、表示制御回路 22 から供給された選択信号 S に応じて選択し、これを加算器 23 に供給する。OSD 画像信号生成回路 24 は、表示制御回路 22 にて指定された作用画像に対応した OSD 画像信号（オンスクリーン画像信号）を生成し、これをスイッチ 25 に供給する。スイッチ 25 は、表示制御回路 22 から OSD 画像表示指令信号 OS が供給された場合にオン状態となり、上記 OSD 画像信号を加算器 23 に供給する。加算器 23 は、入力セレクタ 21 から供給された映像信号（TV 映像信号又は PC 映像信号）に、上記スイッチ 25 から供給された OSD 画像信号を加算して得られた映像信号 VS を発光駆動制御回路 14、APL 検出回路 27、及び輝度調整回路 28 に供給する。

10

【0022】

操作装置 26 は、使用者の操作を受付その操作に対応した各種指令信号を発生する。例えば、使用者によってテレビジョン映像を表示させるべき操作が為されると、操作装置 26 は、テレビジョン映像表示指令信号を表示制御回路 22 に供給する。この際、表示制御回路 22 は、TV 映像信号を選択させるべき選択信号 S を入力セレクタ 21 に供給する。又、使用者によってコンピュータ映像を表示させるべき操作が為されると、操作装置 26 は、コンピュータ映像表示指令信号を表示制御回路 22 に供給する。この際、表示制御回路 22 は、PC 映像信号を選択させるべき選択信号 S を入力セレクタ 21 に供給する。又、操作装置 26 は、使用者によって例えば画面サイズ切替操作キー（図示せぬ）が押圧されたら、画面サイズ切替作用の OSD 画像信号を生成させるべき指令を表示制御回路 22 に供給すると共に、OSD 画像表示指令信号 OS をスイッチ 25 に供給する。これにより、加算器 23 は、入力セレクタ 21 にて選択された映像信号（TV 映像信号又は PC 映像信号）に、例えば画面サイズ切替作用の OSD 画像信号を重畳して得た映像信号 VS を出力する。尚、使用者が、OSD 画像を表示させるべき指令操作を行わなかった場合にはスイッチ 25 がオフ状態となるので、この際、加算器 23 は、入力セレクタ 21 にて選択された映像信号をそのまま映像信号 VS として出力する。APL 検出回路 27 は、かかる映像信号 VS における平均輝度レベルを 1 フィールド（フレーム）毎に求め、これを平均輝度レベル APL として輝度調整回路 28 に供給する。輝度調整回路 28 は、平均輝度レベル APL が大なるほど大なる低下率にて、映像信号 VS の輝度レベルを低下させるべき調整をかかる映像信号 VS に対して施して得られた輝度調整映像信号 VS_c を輝度補正回路 29 に供給する。

20

30

【0023】

輝度補正回路 29 は、1 表示ライン上において発光状態となる画素セルの総数に応じた負荷量が各表示ライン毎に異なることに起因する輝度ムラを補正すべく、輝度調整映像信号 VS_c に対して輝度レベルの補正処理（後述する）を施し、得られた輝度補正映像信号 VC を画素駆動データ生成回路 30 に供給する。

【0024】

画素駆動データ生成回路 30 は、輝度補正映像信号 VC に基づき、図 2 に示すサブフィールド SF1 ~ SF15 各々のアドレス行程 Wc において各画素セル PC1₁ ~ PC_{n,m} を発光モード又は消灯モードのいずれの状態に設定するのかを指定する画素駆動データ GD1₁ ~ GD_{n,m} を生成してメモリ 31 に供給する。尚、画素駆動データ GD1₁ ~ GD_{n,m} の各々は、サブフィールド SF1 ~ SF15 各々に対応した 15 ビットからなる。例えば、画素セル PC1₁ に対応した画素駆動データ GD1₁ の第 1 ビットが論理レベル 1 である場合には、サブフィールド SF1 のアドレス行程 Wc において画素セル PC1₁ が発光モードに設定されることになる。一方、画素駆動データ GD1₁ の第 1 ビットが論理レベル 0 である場合には、サブフィールド SF1 のアドレス行程 Wc において画素セル PC1₁ が消灯モードに設定されることになる。又、画素駆動データ GD1₁ の第 15 ビットが論理レベル 1 である場合にはサブフィールド SF15 のアドレス行程 Wc にて画素セ

40

50

ル PC₁、₁が発光モードに設定される一方、その第15ビットが論理レベル0である場合には SF 15 のアドレス行程 Wcにて画素セル PC₁、₁が消灯モードに設定されることになる。

【0025】

メモリ31は、画素駆動データ生成回路30から供給された画素駆動データ GD₁、₁ ~ GD_n、_mを記憶し、これらを夫々同一ビット桁同士にて分離して読み出す。すなわち、メモリ31は、記憶された各画素セル PC 毎の画素駆動データ GD を、

DB 1 : 画素駆動データ GD の第1ビット

DB 2 : 画素駆動データ GD の第2ビット

DB 3 : 画素駆動データ GD の第3ビット

DB 4 : 画素駆動データ GD の第4ビット

DB 5 : 画素駆動データ GD の第5ビット

DB 6 : 画素駆動データ GD の第6ビット

DB 7 : 画素駆動データ GD の第7ビット

DB 8 : 画素駆動データ GD の第8ビット

DB 9 : 画素駆動データ GD の第9ビット

DB 10 : 画素駆動データ GD の第10ビット

DB 11 : 画素駆動データ GD の第11ビット

DB 12 : 画素駆動データ GD の第12ビット

DB 13 : 画素駆動データ GD の第13ビット

DB 14 : 画素駆動データ GD の第14ビット

DB 15 : 画素駆動データ GD の第15ビット

10

20

なる画素駆動データビット DB 1 ~ DB 15として読み出す。

【0026】

この際、メモリ31は、

画素駆動データビット DB 1をサブフィールド SF 1、

画素駆動データビット DB 2をサブフィールド SF 2、

画素駆動データビット DB 3をサブフィールド SF 3、

画素駆動データビット DB 4をサブフィールド SF 4、

画素駆動データビット DB 5をサブフィールド SF 5、

画素駆動データビット DB 6をサブフィールド SF 6、

画素駆動データビット DB 7をサブフィールド SF 7、

画素駆動データビット DB 8をサブフィールド SF 8、

画素駆動データビット DB 9をサブフィールド SF 9、

画素駆動データビット DB 10をサブフィールド SF 10、

画素駆動データビット DB 11をサブフィールド SF 11、

画素駆動データビット DB 12をサブフィールド SF 12、

画素駆動データビット DB 13をサブフィールド SF 13、

画素駆動データビット DB 14をサブフィールド SF 14、

画素駆動データビット DB 15をサブフィールド SF 15、

30

40

各々のアドレス行程 Wcの実行時において読み出して、アドレスデータドライバ13に供給する。

【0027】

次に、図1に示される輝度補正回路29による輝度補正処理動作について説明する。

【0028】

図3は、輝度補正回路29の内部構成を示す図である。

【0029】

図3において、画素駆動データ生成回路291は、先ず、上記輝度調整映像信号 V S_c を1表示ライン分毎に、その表示ライン内の m 個の画素に夫々対応した画素データ P D₁ ~ P D_mに変換する。次に、画素駆動データ生成回路291は、かかる画素データ P D₁ ~

50

$P D_m$ に基づき、サブフィールド $S F 1 \sim S F 15$ 各々のアドレス行程 $W c$ で画素セル $P C$ の設定状態（発光又は消灯モード）を指定する為の夫々 15 ビットからなる画素駆動データ $G D D_1 \sim G D D_m$ を生成する。例えば、第 1 表示ラインに対応した画素駆動データ $G D D_1$ の第 1 ビットが論理レベル 1 である場合には、サブフィールド $S F 1$ のアドレス行程 $W c$ において画素セル $P C 1, 1$ が発光モードに設定されることになる。一方、画素駆動データ $G D D_1$ の第 1 ビットが論理レベル 0 である場合には、サブフィールド $S F 1$ のアドレス行程 $W c$ において画素セル $P C 1, 1$ は消灯モードに設定されることになる。又、第 1 表示ラインに対応した画素駆動データ $G D D_2$ の第 3 ビットが論理レベル 1 である場合には、サブフィールド $S F 3$ のアドレス行程 $W c$ において画素セル $P C 1, 2$ が発光モードに設定されることになる。

10

【0030】

発光セル数測定回路 292 は、1 表示ライン分の画素駆動データ $G D D_1 \sim G D D_m$ に基づき、各サブフィールド $S F 1 \sim S F 15$ 毎に、発光モードに設定されることになる画素セル $P C$ の数を発光セル数 $L N$ として求める。そして、発光セル数測定回路 292 は、サブフィールド $S F 1 \sim S F 15$ 各々毎の発光セル数 $L N 1 \sim L N 15$ を $S F$ 補正係数算出回路 293 に供給する。

【0031】

$S F$ 補正係数算出回路 293 は、

$$S G = 1 - \quad \cdot [(m - L N) / m]^2$$

：所定係数

m ：1 表示ラインに属する画素セル $P C$ の総数

$L N$ ：1 表示ライン内での発光セル数

20

なる数式にて、サブフィールド $S F 1 \sim S F 15$ 各々に対応した $S F$ 補正係数 $S G 1 \sim S G 15$ を求めて、画素補正係数算出回路 294 に供給する。

【0032】

画素補正係数算出回路 294 は、上記 $S F$ 補正係数 $S G 1 \sim S G 15$ 、サブフィールド $S F 1 \sim S F 15$ 各々の発光維持行程 $I c$ での発光回数 $K 1 \sim K 15$ 、及び画素駆動データ $G D D_1 \sim G D D_m$ 各々の第 1 ビット $B 1 \sim$ 第 15 ビット $B 15$ に基づき、1 表示ライン分の m 個の画素各々に対応した、

(数式 1)

$$G_Q = [(S G 1 \cdot K 1 \cdot B 1_Q) + (S G 2 \cdot K 2 \cdot B 2_Q) + (S G 3 \cdot K 3 \cdot B 3_Q) + \dots + (S G 15 \cdot K 15 \cdot B 15_Q)]$$

$$/ [(K 1 \cdot B 1_Q) + (K 2 \cdot B 2_Q) + (K 3 \cdot B 3_Q) + \dots + (K 15 \cdot B 15_Q)]$$

$Q : 1, 2, 3, \dots, m$

30

なる画素補正係数 $G_1 \sim G_m$ を算出し、これらを G_1 、 G_2 、 G_3 、 \dots 、 G_m なる順に乗算器 295 に供給して行く。

【0033】

1 表示ライン遅延メモリ 296 は、輝度調整回路 28 から供給された輝度調整映像信号 $V S_C$ を 1 表示ライン分だけ遅延させてから、順次、乗算器 295 に送出する。乗算器 295 は、1 表示ライン遅延メモリ 296 から順次供給される輝度調整映像信号 $V S_C$ によって示される輝度レベルに、画素補正係数 G_1 、 G_2 、 G_3 、 \dots 、 G_m を順次乗算し、その乗算結果を輝度補正映像信号 $V C$ として出力する。すなわち、乗算器 295 は、輝度調整映像信号 $V S_C$ における各画素に対応した区間に対し、その画素に対応した画素補正係数 G_1 、 G_2 、 G_3 、 \dots 、 G_m を順次乗算することにより輝度レベルの補正を行うのである。

40

【0034】

以上の如く、輝度補正回路 29 においては、先ず、サブフィールド $S F 1 \sim S F 15$ 各々毎に、各表示ライン内で発光モードに設定される画素セル $P C$ の数に対応した $S F$ 補正係数 $S G 1 \sim S G 15$ を求める。次に、上記数式 1 の分子項にて示されるように、 $S F$ 補正係数 $S G 1 \sim S G 15$ 各々に対して、各サブフィールドの発光回数 $K 1 \sim K 15$ による

50

重みを付加して重み付け加算を実施する。この際、各画素毎にその画素に対応した画素駆動データ G D D (B 1 ~ B 1 5) に基づき、重み付け加算の対象とする S F 補正係数 S G を決定する。すなわち、画素駆動データ G D D のビットが、画素セル P C を発光モードに設定することになる論理レベル 1 である場合に限り、そのビット桁に対応したサブフィールド S F の S F 補正係数 S G が重み付け加算の対象となるのである。つまり、消灯モードに設定することになる論理レベル 0 のビット桁に対応したサブフィールド S F の S F 補正係数 S G は、上記の如き重み付け加算の対象外となる。そして、輝度補正回路 2 9 は、上記数式 1 にて示されるように、この重み付け加算結果を、上記画素駆動データ G D D に基づく 1 フィールド内での総発光回数で除算することにより、各画素毎の画素補正係数 G を求めるのである。

10

【 0 0 3 5 】

例えば、画素駆動データ G D D の第 1 ビット B 1 ~ 第 3 ビット B 3 が論理レベル 1、第 4 ビット B 4 ~ 第 1 5 ビット B 1 5 が論理レベル 0 である場合には、S F 1 ~ S F 3 各々に対応した S F 補正係数 S G 1 ~ S G 3 のみが上記の如き重み付け加算の対象となる。更に、この際、1 フィールド内において S F 1 ~ S F 3 各々の発光維持行程 I c のみで画素セル P C の発光が為されるので、その総発光回数は K 1 + K 2 + K 3 となる。よって、この際、得られる画素補正係数 G は、

$$G = [(SG1 \cdot K1) + (SG2 \cdot K2) + (SG3 \cdot K3)] / [K1 + K2 + K3]$$

となる。

【 0 0 3 6 】

そして、輝度補正回路 2 9 は、各画素毎の画素補正係数 G を輝度調整映像信号 V S_c に乗算することにより、輝度補正の施された輝度補正映像信号 V C を生成するのである。

20

【 0 0 3 7 】

ここで、各表示ライン内の m 個の画素セル P C が全てサブフィールド S F 1 ~ S F 1 5 に亘り発光モードに設定される場合には、上記発光セル数 L N 1 ~ L N 1 5 がいずれも m 個となる。よって、上記 S F 補正係数 S G 1 ~ S G 1 5 が全て 1 となり、画素補正係数 G が 1 となる。すなわち、各表示ライン内の m 個の画素セル P C の全てがサブフィールド S F 1 ~ S F 1 5 に亘り発光モードに設定される、いわゆる負荷量が最大となる場合には、輝度調整映像信号 V S_c がそのまま輝度補正映像信号 V C として出力される。一方、各表示ライン内に消灯モードに設定される画素セル P C が存在する場合には、その数の分だけ S F 補正係数 S G が小となり、画素補正係数 G が小 (1 以下) となる。

30

【 0 0 3 8 】

すなわち、輝度補正回路 2 9 においては、発光状態 (又は消灯状態) となる画素セル P C の数を各表示ライン毎に測定することにより表示ライン毎の負荷量を求め、この負荷量に応じて、その表示ラインに属する画素セル各々に対応した輝度調整映像信号 V S_c の輝度レベルを補正するのである。この際、各表示ライン上において発光状態となる画素セル P C の数が少なくなるほど、その表示ラインでの電流消費量が減って電圧降下も小さくなるので、発光状態となる画素セル P C の数 (各表示ライン上での) が少ないほど、輝度調整映像信号 V S_c の輝度レベルを低下させるべき補正を行うのである。かかる補正動作により、発光状態となる画素セル数が多い為に電圧降下が大となる表示ラインと、発光状態となる画素セル数が少ないが故に電圧降下が小となる表示ラインとの間における画素セル同士の輝度差が低減されるのである。

40

【 0 0 3 9 】

よって、図 3 に示す輝度補正回路 2 9 によれば、P D P 1 0 に印加すべき維持パルスの数を各表示ライン毎に変更するような複雑な制御を行うことなく、表示ライン間での輝度差を低減させることが可能になる。

【 0 0 4 0 】

尚、上記実施例においては、輝度補正回路 2 9 は、1 表示ライン上の画素セル P C が全て発光状態にある場合を基準 (画素補正係数 G = 1) にして輝度補正を行っているが、1 表示ライン上の画素セル P C が全て消灯状態にある場合を基準にして輝度補正を行うよう

50

にしても良い。

【0041】

すなわち、この際、輝度補正回路29のSF補正係数算出回路293は、

$$SG = 1 + \cdot [LN / m]^2$$

：所定係数

m：1表示ライン上の画素セルPCの総数

LN：1表示ライン内での発光セル数

なる数式にて、1サブフィールドSF1～SF15各々に対応したSF補正係数SG1～SG15を求める。これにより、各表示ライン内のm個の画素セルPCが全てサブフィールドSF1～SF15に亘り消灯モードに設定される場合には、上記発光セル数LN1～LN15がいずれも0個となる。よって、上記SF補正係数SG1～SG15が全て1となり、画素補正係数Gが1となる。すなわち、各表示ライン内のm個の画素セルPCの全てがサブフィールドSF1～SF15に亘り消灯状態となる、いわゆる負荷量が最小となる場合には、輝度調整映像信号V_{S_c}がそのまま輝度補正映像信号VCとして出力される。一方、各表示ライン内に発光モードに設定される画素セルPCが存在する場合には、その数の分だけSF補正係数SGが大となり、画素補正係数Gが大(1以上)となる。つまり、輝度補正回路29は、各表示ライン内において発光状態となる画素セルPCの数が多いほど、輝度調整映像信号V_{S_c}のレベルを増加させるべき補正を行うのである。

【0042】

よって、かかる補正動作によっても、発光状態となる画素セルPCの数が多い為に電圧降下が大となる表示ラインと、発光状態となる画素セルPCの数が少ないが故に電圧降下が小となる表示ラインとの間における画素セル同士の輝度差を低減させることが可能になる。

【0043】

ここで、1画面内の平均輝度レベルが低い、いわゆる暗い画像を表示している場合には、明るい画像を表示している場合に比して表示ライン間での輝度差が目立ちにくい。

【0044】

そこで、輝度補正回路29においては、1画面内の平均輝度レベル、つまりAPL検出回路27にて検出された平均輝度レベルAPLが所定レベルよりも低い場合には、高い場合に比して輝度調整映像信号V_{S_c}に対する補正量を低下するようにしても良い。この際、画素補正係数算出回路294は、平均輝度レベルAPLが所定値以下の場合には、上記数式1によって求めた画素補正係数Gに代わり、この画素補正係数Gに例えば下記の如き演算を施すことにより輝度調整映像信号V_{S_c}に対する補正量を低下させた画素補正係数GGを、乗算器295に供給する。

【0045】

$$GG = P \cdot G + Q$$

$$1 = P + Q$$

P、Qは正の小数

又、画素補正係数算出回路294は、平均輝度レベルAPLが所定値以下の場合には、上記数式1によって求めた画素補正係数Gに代わり、補正量0となる「1」を乗算器295に固定供給するようにしても良い。

【0046】

同様に、入力映像信号がTV映像信号の如き動画像を表す動画像信号である場合には、入力映像信号中にOSD画像が重畳表示される場合、又は入力映像信号がPC映像信号である場合に比して表示ライン間での輝度差が目立ちにくい。

【0047】

そこで、画素補正係数算出回路294は、OSD画像表示指令信号OSが供給されていない場合、又は選択信号SがTV映像信号の選択を示す場合には、上記数式1にて求めた画素補正係数Gに代わり、この画素補正係数Gよりも輝度調整映像信号V_{S_c}に対する補正量が小なる上記画素補正係数GGを、乗算器295に供給する。又、画素補正係数算出

回路 294 は、OSD 画像表示指令信号 OS が供給されていない場合、又は選択信号 S が TV 映像信号の選択を示す場合には、上記数式 1 によって求めた画素補正係数 G に代わり、補正量 0 となる「1」を乗算器 295 に固定供給するようにしても良い。

【0048】

以上の如く、図 3 に示される輝度補正回路 29 においては、表示ライン上における画素セル各々の発光状態に基づいて各表示ライン毎に負荷量を測定し、映像信号における各表示ラインに対応した区間に対し、その表示ラインに対応した負荷量に応じた輝度レベルの補正を行うようにしている。

【0049】

ところで、各表示ライン内においても、発光状態となる画素セル PC の位置関係によって、その発光輝度に輝度差が生じる場合がある。例えば、表示ラインの中央部に対して左端又は右端に位置する画素セル PC ほどその発光輝度が低くなる。

【0050】

図 4 は、かかる点に鑑みて為された輝度補正回路 29 の他の内部構成を示す図である。

【0051】

尚、図 4 に示す輝度補正回路 29 においては、図 3 に示す発光セル数測定回路 292 及び SF 補正係数算出回路 293 に代わり、発光セル間距離測定回路 298 及び SF 補正係数生成回路 299 を採用したものであり、他の構成は図 3 に示すものと同一である。

【0052】

図 4 において、発光セル間距離測定回路 298 は、各表示ライン毎の画素駆動データ $GDD_1 \sim GDD_m$ に基づき、各画素セル毎に、その画素セルの最近傍位置（1 表示ライン内での）に存在する発光モード状態の画素セルまでの距離をサブフィールド SF1 ~ SF15 各々毎に測定する。例えば、画素駆動データ $GDD_1 \sim GDD_m$ が図 5 の如き論理レベルを有する場合には、第 1 列目の画素セルは、画素駆動データ GDD_1 の第 1 ビット B1 が論理レベル 1 であることから、サブフィールド SF1 において発光モードに設定される。この際、第 1 列目の画素セルに隣接する第 2 列目及び第 3 列目の画素セル各々に対応した画素駆動データ GDD_1 の第 2 ビット B2 及び第 3 ビット B3 が共に論理レベル 0 であるが、第 4 列目の画素セルに対応した画素駆動データ GDD_1 の第 4 ビット B4 が論理レベル 1 である。つまり、サブフィールド SF1 では、第 1 列目の画素セルの最近傍位置に存在する発光モード状態の画素セルは、第 4 列目の画素セルとなる。よって、サブフィールド SF1 では、第 1 列目の画素セルに対して、この第 1 列目の画素セルから第 4 列目の画素セルまでの距離「3」が発光セル間距離測定回路 298 によって測定されることになる。又、サブフィールド SF1 では、第 2 列目の画素セルに対して、最近傍位置に存在する発光モード状態の画素セルは第 1 列目の画素セルとなるので、この第 2 列目の画素セルから第 1 列目の画素セルまでの距離「1」が発光セル間距離測定回路 298 によって測定されることになる。又、サブフィールド SF2 では、第 1 列目の画素セルに対して、最近傍位置に存在する発光モード状態の画素セルは第 5 列目の画素セルとなるので、この第 1 列目の画素セルから第 5 列目の画素セルまでの距離「4」が発光セル間距離測定回路 298 によって測定されることになる。

【0053】

発光セル間距離測定回路 298 は、上述した如く、サブフィールド SF1 ~ SF15 各々に対応させて各画素セル毎に、同一表示ライン内において最近傍位置に存在する発光画素セルまでの距離を測定し、この距離を示す発光セル間距離データ LD を SF 補正係数生成回路 299 に供給する。

【0054】

SF 補正係数生成回路 299 は、各画素セル毎に、サブフィールド SF1 ~ SF15 各々に対応した上記発光セル間距離データ LD に応じた値を有する SF 補正係数 $SG1 \sim SG15$ を求めて画素補正係数算出回路 294 に供給する。

【0055】

かかる構成により、図 4 に示される輝度補正回路 29 においては、各表示ライン内にお

いて発光状態となる画素セルの位置関係に基づいて、各画素毎にその画素に対応した映像信号を補正するようにしている。

【0056】

よって、表示ライン間のみならず、表示ライン内においても各画素セル間の輝度差をなくすことが可能となる。

【図面の簡単な説明】

【0057】

【図1】本発明による表示装置としてのプラズマディスプレイ装置の構成を示す図である。

【図2】サブフィールド法に基づき図1に示されるPDP10を駆動する際の発光駆動シーケンスの一例を示す図である。 10

【図3】図1に示される輝度補正回路29の内部構成の一例を示す図である。

【図4】輝度補正回路29の他の構成を示す図である。

【図5】画素駆動データ $GDD_1 \sim GDD_m$ 各々の第1ビット $B_1 \sim$ 第15ビット B_{15} の一例を示す図である。

【符号の説明】

【0058】

10	PDP	
29	輝度補正回路	
291	画素駆動データ生成回路	20
292	発光セル数測定回路	
293	SF補正係数算出回路	
294	画素補正係数算出回路	
295	乗算器	
296	1表示ライン遅延メモリ	
297	セル位置情報生成回路	
298	位置係数生成回路	

フロントページの続き

(51) Int.Cl.⁷

F I

テーマコード(参考)

G 0 9 G	3/20	6 6 0 K
H 0 4 N	5/66	1 0 1 B
G 0 9 G	3/28	B
G 0 9 G	3/28	E

(72) 発明者 上山口 潤

山梨県中巨摩郡田富町西花輪2680番地 パイオニア株式会社内

Fターム(参考) 5C058 AA11 BA06 BB12

5C080 AA05 BB05 DD05 EE29 HH02 HH04 HH05 JJ02 JJ04

5C580 AA01 AA02 BA03 CA06 CA09 CB01 CB10 EA01 EA05